



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0000740  
(43) 공개일자 2021년01월05일

- (51) 국제특허분류(Int. Cl.)  
G11C 7/22 (2015.01) H03K 5/156 (2006.01)
- (52) CPC특허분류  
G11C 7/22 (2018.05)  
H03K 5/1565 (2013.01)
- (21) 출원번호 10-2020-7037166
- (22) 출원일자(국제) 2018년10월19일  
심사청구일자 2020년12월23일
- (85) 번역문제출일자 2020년12월23일
- (86) 국제출원번호 PCT/US2018/056785
- (87) 국제공개번호 WO 2019/231489  
국제공개일자 2019년12월05일
- (30) 우선권주장  
62/677,585 2018년05월29일 미국(US)

- (71) 출원인  
마이크론 테크놀로지, 인크.  
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자  
김, 강-용  
미국 83716-9632 아이다호주 보이세 사우스 페더럴 웨이 8000 마이크론 테크놀로지 인크. 내
- (74) 대리인  
양영준, 백만기

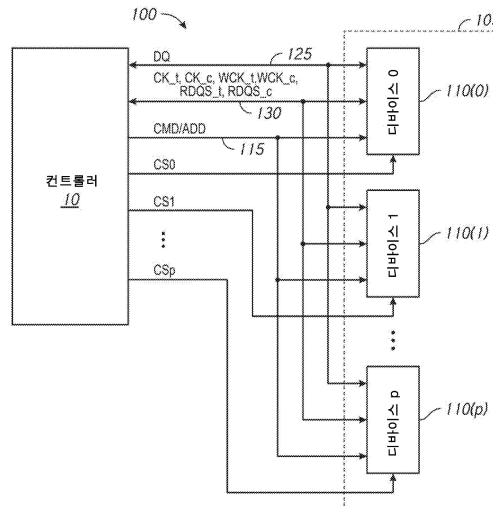
전체 청구항 수 : 총 83 항

(54) 발명의 명칭 클럭 듀티 사이클 개선을 위한 듀티 사이클 조절기 설정 장치 및 방법

(57) 요약

클럭 듀티 사이클을 개선하기 위한 듀티 사이클 조절기를 설정하는 장치 및 방법이 개시된다. 듀티 사이클 조절기는 적어도 하나가 다른 것보다 작은 상이한 양들만큼 조절될 수 있다. 더 작은 조절을 사용할 시기를 결정하는 것은 듀티 사이클 결과를 기반으로 할 수 있다. 듀티 사이클 모니터는 오프셋을 가질 수 있다. 듀티 사이클 조절기에 대한 듀티 사이클 코드는 듀티 사이클 모니터 오프셋의 중간 값으로 설정될 수 있다. 듀티 사이클 모니터 오프셋은 듀티 사이클 모니터 오프셋의 상위 경계 및 하위 경계에 대한 듀티 사이클 코드를 식별함으로써 결정될 수 있다.

대표도 - 도1



(52) CPC특허분류  
G11C 2207/2254 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

불확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하고 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 추가로 식별하기 위해, 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 제1 복수의 커맨드를 발행하는 단계로서, 상기 제2 듀티 사이클 조절기 코드는 상기 제1 듀티 사이클 조절기 코드보다 1개 스텝 큰, 상기 제1 복수의 커맨드를 발행하는 단계;

불확정인 제3 듀티 사이클 결과를 갖는 제3 듀티 사이클 조절기 코드를 식별하고 확정인 제4 듀티 사이클 결과를 갖는 제4 듀티 사이클 조절기 코드를 추가로 식별하기 위해 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 상기 메모리에 제2 복수의 커맨드를 발행하는 단계로서, 상기 제4 듀티 사이클 조절기 코드는 상기 제3 듀티 사이클 조절기 코드보다 1개 스텝 작은, 상기 제2 커맨드를 발행하는 단계; 및

상기 듀티 사이클 조절기 코드를 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정하는 단계를 포함하는, 방법.

#### 청구항 2

청구항 1에 있어서, 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 상기 중간 스텝은 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 중앙점 스텝을 포함하는, 방법.

#### 청구항 3

청구항 1에 있어서, 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 상기 중간 스텝은 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 제1 및 제2 스텝을 포함하는, 방법.

#### 청구항 4

청구항 1에 있어서, 상기 복수의 제2 커맨드는 상기 복수의 제1 커맨드가 발행되기 전에 발행되는, 방법.

#### 청구항 5

청구항 1에 있어서, 상기 불확정 듀티 사이클 결과는 제2 입력 듀티 사이클 모니터 입력 조건에 대한 제2 결과와는 다른 제1 입력 듀티 사이클 모니터 입력 조건에 대한 제1 결과를 포함하는, 방법.

#### 청구항 6

청구항 1에 있어서, 상기 불확정 듀티 사이클 결과는 50 % 초과인 하이 듀티 사이클을 나타내는 제1 결과를 포함하고, 50 % 미만의 하이 듀티 사이클을 나타내는 제2 결과를 더 포함하는, 방법.

#### 청구항 7

청구항 1에 있어서, 상기 제1 듀티 사이클 조절기 코드를 식별하고 상기 제2 듀티 사이클 조절기 코드를 추가로 식별하기 위해 상기 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 상기 제1 복수의 커맨드를 상기 메모리에 발행하는 단계는 상기 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하기 위한 커맨드를 발행하는 단계 및 상기 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하는 커맨드를 발행하는 단계를 포함하고, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작은, 방법.

#### 청구항 8

청구항 7에 있어서, 상기 제1 또는 제2 듀티 사이클 조절기 코드 중 하나는 상기 제1 스텝 크기만큼 상기 듀티

사이클 조절기 코드를 변경하기 위한 커맨드를 발행함으로써 식별되고, 상기 제1 또는 제2 듀티 사이클 조절기 코드 중 다른 하나는 상기 제2 스텝 크기만큼 상기 듀티 사이클 조절기 코드를 변경하기 위한 커맨드를 발행함으로써 식별되는, 방법.

**청구항 9**

방법으로서,

확정인 제1 듀티 사이클 결과를 가지며 제1 불확정 듀티 사이클 결과를 갖는 제1 불확정 듀티 사이클 조절기 코드와 경계를 이루는 제1 듀티 사이클 조절기 코드를 식별하기 위해 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 제1 복수의 커맨드를 메모리에 발행하는 단계;

확정인 제2 듀티 사이클 결과를 가지며 제2 불확정 듀티 사이클 결과를 갖는 제2 불확정 듀티 사이클 조절기 코드와 경계를 이루는 제2 듀티 사이클 조절기 코드를 식별하기 위해 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 제2 복수의 커맨드를 상기 메모리에 발행하는 단계; 및

상기 듀티 사이클 조절기 코드를 상기 제1 듀티 사이클 조절기 코드와 상기 제2 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정하는 단계를 포함하는, 방법.

**청구항 10**

청구항 9에 있어서, 상기 제1 듀티 사이클 조절기 코드는 상기 제2 듀티 사이클 조절기 코드보다 더 큰, 방법.

**청구항 11**

청구항 9에 있어서, 상기 제1 듀티 사이클 조절기 코드 및 상기 제2 듀티 사이클 조절기는 홀수의 듀티 사이클 조절기 코드만큼 분리되는, 방법.

**청구항 12**

청구항 9에 있어서, 상기 제1 듀티 사이클 조절기 코드 및 상기 제2 듀티 사이클 조절기는 짝수의 듀티 사이클 조절기 코드만큼 분리되는, 방법.

**청구항 13**

청구항 9에 있어서,

듀티 사이클 결과가 조절 방향의 변화를 나타낼 때까지 상기 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 증가시키는 단계;

상기 제1 듀티 사이클 조절기 코드 또는 상기 제1 불확정 듀티 사이클 코드가 식별될 때까지 상기 제1 스텝 크기 미만인 제2 스텝 크기로 상기 듀티 사이클 조절기 코드를 변경하는 단계;

듀티 사이클 결과가 조절 방향의 변화를 나타낼 때까지 상기 듀티 사이클 조절기 코드를 상기 제1 스텝 크기만큼 감소시키는 단계; 및

상기 제2 듀티 사이클 조절기 코드 또는 상기 제2 불확정 듀티 사이클 코드가 식별될 때까지 상기 듀티 사이클 조절기 코드를 상기 제2 스텝 크기만큼 변경하는 단계를 더 포함하는, 방법.

**청구항 14**

청구항 13에 있어서, 상기 제1 스텝 크기는 2이고 상기 제2 스텝 크기는 1인, 방법.

**청구항 15**

청구항 9에 있어서, 제1 복수의 커맨드를 상기 메모리에 발행하는 단계는 복수의 모드 레지스터 기입 커맨드를 상기 메모리에 발행하는 단계를 포함하는, 방법.

**청구항 16**

방법으로서,

듀티 사이클 모니터 오프셋의 상위 경계 및 하위 경계가 식별될 때까지 듀티 사이클 조절기 회로 설정의 값을 조절하는 단계; 및

상기 듀티 사이클 조절기 회로 설정을 상기 듀티 사이클 모니터 오프셋에서 중간 회로 설정으로 설정하는 단계를 포함하는, 방법.

**청구항 17**

청구항 16에 있어서, 상기 듀티 사이클 모니터 오프셋의 상위 경계는 제1 확정 듀티 사이클 조절기 결과에 대한 제2 듀티 사이클 조절기 회로 설정보다 1개 스텝 작은 제1 불확정 듀티 사이클 조절기 결과에 대한 제1 듀티 사이클 조절기 회로 설정에 대응하고, 상기 듀티 사이클 모니터 오프셋의 하위 경계는 제2 확정 듀티 사이클 조절기 결과에 대한 제4 듀티 사이클 조절기 회로 설정보다 1개 스텝 큰 제2 불확정 듀티 사이클 조절기 결과에 대한 제3 듀티 사이클 조절기 회로 설정에 대응하는, 방법.

**청구항 18**

청구항 16에 있어서, 상기 듀티 사이클 모니터 오프셋은 홀수의 듀티 사이클 조절기 회로 설정을 포함하고, 상기 중간 회로 설정은 상기 상위 경계와 상기 하위 경계 사이의 중간의 회로 설정에 대응하는, 방법.

**청구항 19**

청구항 16에 있어서, 상기 듀티 사이클 모니터 오프셋은 짝수의 듀티 사이클 조절기 회로 설정을 포함하고, 상기 중간 회로 설정은 상기 상위 경계와 상기 하위 경계 사이의 중간에 근접한 회로 설정에 대응하는, 방법.

**청구항 20**

청구항 16에 있어서, 상위 경계가 식별될 때까지 상기 듀티 사이클 조절기 회로 설정의 상기 값을 조절하는 단계는 불확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 회로 설정을 식별하고 추가로 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 회로 설정을 식별 위해 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 메모리 커맨드를 발행하는 단계를 포함하고, 상기 제2 듀티 사이클 조절기 회로 설정은 상기 제1 듀티 사이클 조절기 회로 설정보다 1개 스텝 더 큰, 방법.

**청구항 21**

청구항 20에 있어서, 하위 경계가 식별될 때까지 상기 듀티 사이클 조절기 회로 설정의 상기 값을 조절하는 단계는 불확정인 제3 듀티 사이클 결과를 갖는 제3 듀티 사이클 조절기 회로 설정을 식별하고 추가로 확정인 제4 듀티 사이클 결과를 갖는 제4 듀티 사이클 조절기 회로 설정을 식별 위해 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 메모리 커맨드를 발행하는 단계를 포함하고, 상기 제4 듀티 사이클 조절기 회로 설정은 상기 제3 듀티 사이클 조절기 회로 설정보다 1개 스텝 더 작은, 방법.

**청구항 22**

청구항 20에 있어서, 불확정인 제1 듀티 사이클 결과를 갖는 상기 제1 듀티 사이클 조절기 회로 설정을 식별하기 위해 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 메모리 커맨드를 발행하는 단계는,

제1 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리 커맨드를 발행하는 단계;

상기 제1 듀티 사이클 모니터 시퀀스로부터의 듀티 사이클 결과를 평가하는 단계;

상기 듀티 사이클 조절기 회로 설정을 제1 스텝 크기만큼 변경하는 단계로서, 상기 제1 스텝 크기는 1개 초과 스텝을 포함하는, 상기 제1 스텝 크기만큼 변경하는 단계;

제2 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리 커맨드를 발행하는 단계;

상기 제2 듀티 사이클 모니터 시퀀스로부터의 듀티 사이클 결과를 평가하는 단계; 및

상기 듀티 사이클 조절기 회로 설정을 제2 스텝 크기만큼 변경하는 단계로서, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 적은 스텝을 포함하는, 제2 스텝 크기만큼 변경하는 단계를 포함하는, 방법.

**청구항 23**

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

불확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하고 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 추가로 식별하기 위해, 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 제1 복수의 커맨드를 발행하되, 상기 제2 듀티 사이클 조절기 코드는 상기 제1 듀티 사이클 조절기 코드보다 1개 스텝 크고;

불확정인 제3 듀티 사이클 결과를 갖는 제3 듀티 사이클 조절기 코드를 식별하고 확정인 제4 듀티 사이클 결과를 갖는 제4 듀티 사이클 조절기 코드를 추가로 식별하기 위해 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 상기 메모리에 제2 복수의 커맨드를 발행하되, 상기 제4 듀티 사이클 조절기 코드는 상기 제3 듀티 사이클 조절기 코드보다 1개 스텝 작고;

상기 듀티 사이클 조절기 코드를 상기 제1 듀티 사이클 조절기 코드와 상기 제3 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정하도록 구성되는, 장치.

#### 청구항 24

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

확정인 제1 듀티 사이클 결과를 가지며 제1 불확정 듀티 사이클 결과를 갖는 제1 불확정 듀티 사이클 조절기 코드와 경계를 이루는 제1 듀티 사이클 조절기 코드를 식별하기 위해 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 제1 복수의 커맨드를 메모리에 발행하고;

확정인 제2 듀티 사이클 결과를 가지며 제2 불확정 듀티 사이클 결과를 갖는 제2 불확정 듀티 사이클 조절기 코드와 경계를 이루는 제2 듀티 사이클 조절기 코드를 식별하기 위해 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하도록 제2 복수의 커맨드를 상기 메모리에 발행하고;

상기 듀티 사이클 조절기 코드를 상기 제1 듀티 사이클 조절기 코드와 상기 제2 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정하도록 구성되는, 방법.

#### 청구항 25

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고,

상기 메모리 컨트롤러는,

듀티 사이클 모니터 오프셋의 상위 경계 및 하위 경계가 식별될 때까지 듀티 사이클 조절기 회로 설정의 값을 조절하고;

상기 듀티 사이클 조절기 회로 설정을 상기 듀티 사이클 모니터 오프셋에서 중간 회로 설정으로 설정하도록 구성되는, 장치.

**청구항 26**

방법으로서,

제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 커맨드를 발행하는 단계;

상기 제1 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 상기 메모리의 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하는 단계;

제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 커맨드를 발행하는 단계; 및

상기 제2 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 상기 메모리의 상기 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하는 단계로서, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작은, 상기 제2 스텝 크기만큼 변경하는 단계를 포함하는, 방법.

**청구항 27**

청구항 26에 있어서, 상기 제2 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 상기 메모리의 상기 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하고, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작은, 방법.

**청구항 28**

청구항 26에 있어서, 상기 제1 듀티 사이클 결과는 50 % 초과와 하이 듀티 사이클을 나타내고, 상기 제2 듀티 사이클 결과는 50 % 미만의 하이 듀티 사이클을 나타내는, 방법.

**청구항 29**

청구항 26에 있어서, 상기 제1 듀티 사이클 결과는 50 % 미만의 하이 듀티 사이클을 나타내고, 상기 제2 듀티 사이클 결과는 50 % 초과와 하이 듀티 사이클을 나타내는, 방법.

**청구항 30**

청구항 26에 있어서, 상기 제1 스텝 크기는 듀티 사이클 조절기 범위의 2개 스텝의 스텝 크기를 포함하고, 상기 제2 스텝 크기는 상기 듀티 사이클 조절기 범위의 1개 스텝의 스텝 크기를 포함하는, 방법.

**청구항 31**

청구항 26에 있어서, 상기 듀티 사이클을 변경하기 위해 상기 제1 스텝 크기만큼 상기 메모리의 상기 듀티 사이클 조절기 코드를 변경하는 것은 하이 듀티 사이클을 감소시키기 위해 상기 듀티 사이클 조절기 코드를 감소시키는 단계를 포함하고, 상기 듀티 사이클을 변경하기 위해 상기 제2 스텝 크기만큼 상기 메모리의 상기 듀티 사이클 조절기 코드를 변경하는 것은 상기 하이 듀티 사이클을 증가시키기 위해 상기 듀티 사이클 조절기 코드를 증가시키는 단계를 포함하는, 방법.

**청구항 32**

청구항 26에 있어서, 상기 듀티 사이클을 변경하기 위해 상기 제1 스텝 크기만큼 상기 메모리의 상기 듀티 사이클 조절기 코드를 변경하는 것은 하이 듀티 사이클을 증가시키기 위해 상기 듀티 사이클 조절기 코드를 증가시키는 단계를 포함하고, 상기 듀티 사이클을 변경하기 위해 상기 제2 스텝 크기만큼 상기 메모리의 상기 듀티 사이클 조절기 코드를 변경하는 것은 상기 하이 듀티 사이클을 증가시키기 위해 상기 듀티 사이클 조절기 코드를

감소시키는 단계를 포함하는, 방법.

**청구항 33**

청구항 26에 있어서, 제1 듀티 사이클 결과는,

제1 듀티 사이클 입력 플립 조건으로부터의 제1 결과; 및

상기 제1 듀티 사이클 입력 플립 조건과는 다른 제2 듀티 사이클 입력 플립 조건으로부터의 제2 결과를 포함하는, 방법.

**청구항 34**

청구항 26에 있어서, 상기 메모리의 상기 듀티 사이클 조절기 코드를 상기 제2 스텝 크기만큼 변경하고 상기 제2 듀티 사이클 모니터 시퀀스를 수행하기 위해 상기 메모리에 커맨드를 발행하기 전에, 제3 듀티 사이클 결과를 결정하기 위한 제3 듀티 사이클 모니터 시퀀스를 수행하기 위해 상기 메모리에 커맨드를 발행하는 단계를 더 포함하는, 방법.

**청구항 35**

방법으로서,

제1 듀티 사이클 조절기 코드로 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하는 단계;

제2 듀티 사이클 조절기 코드로 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하는 단계; 및

제3 듀티 사이클 조절기 코드로 제3 듀티 사이클 결과를 결정하기 위해 제3 듀티 사이클 모니터 시퀀스를 수행하는 단계를 포함하고,

상기 제2 듀티 사이클 조절기 코드는 상기 제1 듀티 사이클 조절기 코드로부터의 제1 스텝 수이고, 상기 제3 듀티 사이클 조절기 코드는 제2 듀티 사이클 조절기 코드로부터의 제2 스텝 수이고, 상기 제2 스텝 수는 상기 제1 스텝 수 미만인, 방법.

**청구항 36**

청구항 35에 있어서, 상기 제1 듀티 사이클 결과는 50 % 미만 또는 50 % 초과인 듀티 사이클을 나타내고, 상기 제2 듀티 사이클 결과는 상기 제1 듀티 사이클 결과와 반대인 듀티 사이클을 나타내는, 방법.

**청구항 37**

청구항 35에 있어서, 상기 제1 스텝 수는 상기 제2 스텝 수의 두 배의 스텝인, 방법.

**청구항 38**

청구항 35에 있어서, 상기 제1 스텝 수는 듀티 사이클 조절기 범위의 2개 스텝이고, 상기 제2 스텝 수는 상기 듀티 사이클 조절기 범위의 1개 스텝인, 방법.

**청구항 39**

청구항 35에 있어서, 각각의 듀티 사이클 모니터 시퀀스를 수행한 후 각각의 듀티 사이클 결과를 저장하는 단계를 더 포함하는, 방법.

**청구항 40**

청구항 35에 있어서, 상기 제2 듀티 사이클 조절기 코드는 제1방향으로 듀티 사이클을 변경하고, 상기 제3 듀티 사이클 조절기 코드는 상기 제1방향과 반대인 제2 방향으로 상기 듀티 사이클을 변경하는, 방법.

**청구항 41**

청구항 35에 있어서, 상기 제3 듀티 사이클 조절기 코드는 상기 제1 및 제2 듀티 사이클 조절기 코드 사이에 있



는, 방법.

**청구항 42**

청구항 35에 있어서, 상기 제2 듀티 사이클 조절기 코드는 상기 제1 및 제3 듀티 사이클 조절기 코드 사이에 있는, 방법.

**청구항 43**

방법으로서,

복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 복수의 커맨드를 메모리에 발행하는 단계;

상기 복수의 듀티 사이클 모니터 시퀀스 각각의 이후에 상기 메모리의 듀티 사이클 조절기에 대한 상기 듀티 사이클 코드를 변경하는 단계; 및

상기 복수의 듀티 사이클 모니터 시퀀스 각각으로부터 듀티 사이클 결과를 평가하는 단계를 포함하고,

상기 듀티 사이클 코드는 상기 복수의 듀티 사이클 모니터 시퀀스에 대해 적어도 2개의 상이한 조절량을 사용하여 변경되는, 방법.

**청구항 44**

청구항 43에 있어서, 상기 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 복수의 커맨드를 발행하는 단계는 모드 레지스터 기입 커맨드를 발행하는 단계를 포함하고, 상기 듀티 사이클 결과를 평가하는 단계는 모드 레지스터 판독 커맨드를 발행하는 단계를 포함하는, 방법.

**청구항 45**

청구항 43에 있어서, 상기 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 복수의 커맨드를 발행하는 단계는 상기 복수의 듀티 사이클 모니터 시퀀스 각각에 대해, 듀티 사이클 모니터 시퀀스를 시작하기 위한 모드 레지스터 기입 커맨드를 발행하는 단계, 상기 메모리의 듀티 사이클 모니터의 입력을 전환하고 모드 레지스터 기입 커맨드를 실행하여 상기 듀티 사이클 모니터 시퀀스로부터 탈출하도록 모드 레지스터 기입 커맨드를 발행하는 단계를 포함하는, 방법.

**청구항 46**

청구항 43에 있어서, 상기 듀티 사이클 조절기에 대한 상기 듀티 사이클 코드를 변경하는 단계는 모드 레지스터 기입 커맨드를 발행하고 상기 듀티 사이클 코드에 대한 새로운 값을 상기 메모리에 제공하는 단계를 포함하는, 방법.

**청구항 47**

청구항 46에 있어서, 듀티 사이클 모니터 시퀀스의 상기 듀티 사이클 코드에 대해 상기 값은 상기 듀티 사이클 모니터 시퀀스로부터의 상기 듀티 사이클 결과에 기초하여 변경되는, 방법.

**청구항 48**

청구항 43에 있어서, 상기 적어도 2개의 상이한 조절량은 듀티 사이클 조절기 범위의 2개 스텝을 포함하는 제1 양 및 상기 듀티 사이클 조절기 범위의 1개 스텝을 포함하는 제2 양을 포함하는, 방법.

**청구항 49**

방법으로서,

복수의 듀티 사이클 모니터 시퀀스에 대한 각각의 듀티 사이클 결과를 평가한 이후에 고속 조절에 따라 내부 클럭의 듀티 사이클을 조절하도록 메모리의 듀티 사이클 조절기를 제어하는 단계; 및

상기 복수의 듀티 사이클 모니터 시퀀스의 이전 듀티 사이클 모니터 시퀀스에 대한 듀티 사이클 결과를 평가한 후에 저속 조절에 따라 상기 내부 클럭의 상기 듀티 사이클을 조절하기 위해 상기 메모리의 상기 듀티 사이클 조절기를 제어하는 단계를 포함하는, 방법.

**청구항 50**

청구항 49에 있어서, 상기 고속 조절은 제1 스텝 크기만큼 듀티 사이클 조절기의 듀티 사이클 코드를 조절하는 것을 포함하고, 상기 저속 조절은 상기 듀티 사이클 조절기의 상기 듀티 사이클 코드를 상기 제1 스텝 크기 미만인 스텝인 제2 스텝 크기만큼 조절하는 것을 포함하는, 방법.

**청구항 51**

청구항 49에 있어서, 상기 복수의 듀티 사이클 모니터 시퀀스 각각에 대한 상기 듀티 사이클 결과는 상기 메모리의 모드 레지스터로부터 검색되는, 방법.

**청구항 52**

청구항 49에 있어서, 상기 듀티 사이클 결과는 상기 메모리의 듀티 사이클 모니터에 대한 제1 입력 조건 및 제2 입력 조건에 대한 결과를 포함하고, 상기 제1 및 제2 입력 조건은 플립되는, 방법.

**청구항 53**

청구항 49에 있어서, 제1 듀티 사이클 조건으로부터 상기 제1 듀티 사이클 조건과 반대인 제2 듀티 사이클 조건으로의 변경에 기초하여 고속 조절에서 저속 조절로 전환하는 것을 결정하는 단계를 더 포함하는, 방법.

**청구항 54**

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 커맨드를 발행하고; 상기 제1 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 상기 메모리의 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하고;

제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하도록 메모리에 커맨드를 발행하고;

상기 제2 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 상기 메모리의 상기 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하되, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작도록 구성되는, 장치.

**청구항 55**

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 복수의 커맨드를 메모리에 발행하고;

상기 복수의 듀티 사이클 모니터 시퀀스 각각의 이후에 상기 메모리의 듀티 사이클 조절기에 대한 상기 듀티 사

이클 코드를 변경하고;

상기 복수의 듀티 사이클 모니터 시퀀스 각각으로부터 듀티 사이클 결과를 평가하도록 구성되고,

상기 듀티 사이클 코드는 상기 복수의 듀티 사이클 모니터 시퀀스에 대해 적어도 2개의 상이한 조절량을 사용하여 변경되는, 장치.

#### 청구항 56

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는 상기 메모리에 커맨드를 발행하도록 구성되고, 상기 메모리는,

제1 듀티 사이클 조절기 코드로 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하고;

제2 듀티 사이클 조절기 코드로 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하고; 및

제3 듀티 사이클 조절기 코드로 제3 듀티 사이클 결과를 결정하기 위해 제3 듀티 사이클 모니터 시퀀스를 수행하도록 구성되고,

상기 제2 듀티 사이클 조절기 코드는 상기 제1 듀티 사이클 조절기 코드로부터의 제1 스텝 수이고, 상기 제3 듀티 사이클 조절기 코드는 제2 듀티 사이클 조절기 코드로부터의 제2 스텝 수이고, 상기 제2 스텝 수는 상기 제1 스텝 수 미만인, 장치.

#### 청구항 57

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

복수의 듀티 사이클 모니터 시퀀스에 대한 각각의 듀티 사이클 결과를 평가한 이후에 고속 조절에 따라 내부 클럭의 듀티 사이클을 조절하도록 메모리의 듀티 사이클 조절기를 제어하고;

상기 복수의 듀티 사이클 모니터 시퀀스의 이전 듀티 사이클 모니터 시퀀스에 대한 듀티 사이클 결과를 평가한 후에 저속 조절에 따라 상기 내부 클럭의 상기 듀티 사이클을 조절하기 위해 상기 메모리의 상기 듀티 사이클 조절기를 제어하도록 구성되는, 장치.

#### 청구항 58

방법으로서,

듀티 사이클 조절기 회로를 제1 듀티 사이클 조절기 코드로 설정하기 위해 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하는 단계;

상기 제1 듀티 사이클 조절기 코드의 설정으로 제1 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행

하는 단계;

상기 제1 듀티 사이클 모니터 시퀀스로부터의 제1 듀티 사이클 결과를 평가하는 단계;

상기 듀티 사이클 조절기 회로를 제2 듀티 사이클 조절기 코드로 설정하기 위해 상기 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하는 단계;

상기 제2 듀티 사이클 조절기 코드의 설정으로 제2 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하는 단계;

상기 제2 듀티 사이클 모니터 시퀀스로부터의 제2 듀티 사이클 결과를 평가하는 단계;

상기 듀티 사이클 조절기 코드를 상기 제1 스텝 크기 또는 제2 스텝 크기 중 어느 쪽만큼 변경할지 결정하는 단계로서, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작은, 상기 결정하는 단계; 및

상기 결정에 적어도 부분적으로 기초하여 상기 듀티 사이클 조절기 코드를 변경하는 단계를 포함하는, 방법.

#### 청구항 59

청구항 58에 있어서, 상기 제1 스텝 크기 또는 제2 스텝 크기 중 어느 쪽만큼 상기 듀티 사이클 조절기 코드를 변경할지 여부를 결정하는 단계는 상기 제1 듀티 사이클 결과에 표시된 하이 듀티 사이클 조건과 반대인 하이 듀티 사이클 조건을 나타내는 상기 제2 듀티 사이클 결과에 응답하여 상기 제2 스텝 크기만큼 상기 듀티 사이클 조절기 코드를 변경하도록 결정하는 단계를 포함하는, 방법.

#### 청구항 60

청구항 59에 있어서, 상기 결정에 적어도 부분적으로 기초하여 상기 듀티 사이클 조절기 코드를 변경하는 단계는 상기 듀티 사이클 조절기 회로를 제3 듀티 사이클 조절기 코드로 설정하기 위해 제1 방향으로 상기 제2 스텝 크기만큼 상기 듀티 사이클 조절기 코드를 변경하는 단계를 포함하고, 상기 제1방향은 상기 듀티 사이클 조절기 회로를 제2 듀티 사이클 조절기 코드로 설정하기 위해 상기 듀티 사이클 조절기 코드를 상기 제1 스텝 크기만큼 변경하기 위한 제2 방향에 반대인, 방법.

#### 청구항 61

청구항 60에 있어서, 상기 제3 듀티 사이클 조절기 코드는 상기 제1 및 제2 듀티 사이클 조절기 코드 사이에 있는, 방법.

#### 청구항 62

청구항 58에 있어서, 상기 제1 스텝 크기 또는 제2 스텝 크기 중 어느 쪽만큼 듀티 사이클 조절기 코드를 변경할지를 결정하는 단계는 상기 제1 듀티 사이클 결과를 포함하는 듀티 사이클 결과의 이력에 기초하여 상기 제2 스텝 크기만큼 상기 듀티 사이클 조절기 코드를 변경하도록 결정하는 단계를 포함하는, 방법.

#### 청구항 63

청구항 58에 있어서, 제1 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하는 단계는,

제1 듀티 사이클 모니터 시퀀스를 시작하기 위해 제1 연산코드를 변경하도록 제1 모드 레지스터 기입 커맨드를 발행하는 단계;

듀티 사이클 모니터 회로에 대한 입력 조건을 플립하기 위해 제2 연산코드를 변경하도록 제2 모드 레지스터 기입 커맨드를 발행하는 단계; 및

제1 듀티 사이클 모니터 시퀀스를 중지하기 위해 상기 제1 연산코드를 변경하도록 제3 모드 레지스터 기입 커맨드를 발행하는 단계를 포함하는, 방법.

#### 청구항 64

청구항 58에 있어서, 상기 제1 듀티 사이클 모니터 시퀀스로부터의 제1 듀티 사이클 결과를 평가하는 단계는 상기 제1 듀티 사이클 결과에 대응하는 모드 레지스터 연산코드를 판독하기 위해 모드 레지스터 판독 커맨드를 발행하는 단계를 포함하는, 방법.

**청구항 65**

방법으로서,

메모리의 듀티 사이클 조절기에 대한 제1 듀티 사이클 코드에 대한 제1 듀티 사이클 결과를 평가하는 단계;

상기 제1 듀티 사이클 결과의 상기 평가에 적어도 부분적으로 기초하여 상기 제1 듀티 사이클 코드를 제2 듀티 사이클 코드로 변경하는 단계;

상기 듀티 사이클 조절기에 대한 상기 제2 듀티 사이클 코드에 대한 제2 듀티 사이클 결과를 평가하는 단계; 및

상기 제2 듀티 사이클 결과의 상기 평가에 적어도 부분적으로 기초하여 상기 제2 듀티 사이클 코드를 제3 듀티 사이클 코드로 변경하는 단계를 포함하고,

상기 제1 듀티 사이클 결과는 제1 듀티 사이클 조건을 나타내고, 상기 제2 듀티 사이클 결과는 상기 제1 듀티 사이클 조건과는 다른 제2 듀티 사이클 조건을 나타내며,

상기 제2 듀티 사이클 코드로부터 상기 제3 듀티 사이클 코드로의 상기 변경을 위한 상기 듀티 사이클 조절기의 조절은 상기 제1 듀티 사이클 코드로부터 상기 제2 듀티 사이클 코드로의 상기 변경에 대한 조절보다 작은, 방법.

**청구항 66**

청구항 65에 있어서, 상기 제1 및 제2 듀티 사이클 결과는 각각 듀티 사이클 모니터에 대한 제1 입력 조건과 관련된 제1 값 및 상기 듀티 사이클 모니터에 대한 제2 입력 조건과 관련된 제2 값을 포함하는, 방법.

**청구항 67**

청구항 65에 있어서, 상기 제1 듀티 사이클 코드를 상기 제2 듀티 사이클 코드로 변경하는 것은 제1 방향으로 듀티 사이클의 변경을 야기하고, 상기 제2 듀티 사이클 코드를 상기 제3 듀티 사이클 코드로 변경하는 것은 상기 제1 방향과 반대인 제2 방향으로 상기 듀티 사이클의 변경을 야기하는, 방법.

**청구항 68**

청구항 65에 있어서, 제2 듀티 사이클 결과를 평가하는 단계는 상기 제1 듀티 사이클 결과에 대해 상기 제2 듀티 사이클 결과를 비교하는 단계를 포함하는, 방법.

**청구항 69**

청구항 65에 있어서, 상기 제1 듀티 사이클 코드를 상기 제2 듀티 사이클 코드로 변경하는 단계는 듀티 사이클 조절기 범위의 2개 스텝만큼의 변경을 포함하고, 상기 제2 듀티 사이클 코드를 상기 제3 듀티 사이클 코드로 변경하는 단계는 상기 듀티 사이클 조절기 범위의 1개 스텝만큼의 변경을 포함하는, 방법.

**청구항 70**

청구항 65에 있어서, 상기 제2 듀티 사이클 코드를 제3 듀티 사이클 코드로 변경하는 단계는 최대 또는 최소 듀티 사이클 조절기 설정으로 변경하는 단계를 포함하는, 방법.

**청구항 71**

청구항 65에 있어서, 상기 제3 듀티 사이클 코드는 상기 제1 및 제2 듀티 사이클 코드 사이에 있는, 방법.

**청구항 72**

청구항 65에 있어서, 상기 제2 듀티 사이클 코드는 상기 제1 및 제3 듀티 사이클 코드 사이에 있는, 방법.

**청구항 73**

방법으로서,

메모리의 듀티 사이클 조절기를 조절하고 각 조절에 대한 듀티 사이클 결과를 평가하는 단계로서, 상기 듀티 사이클 결과는 상기 각각의 조절에 대한 듀티 사이클 조건을 나타내는, 상기 평가하는 단계;

상기 듀티 사이클 결과가 이전 조절에 비해 현재 조절에 대한 듀티 사이클 조건의 변경을 나타낼 때, 더 작은 조절 크기로 전환하는 단계를 포함하는, 방법.

**청구항 74**

청구항 73에 있어서, 각 조절에 대한 듀티 사이클 시퀀스를 수행하기 위해 상기 메모리에 커맨드를 발행하는 단계를 더 포함하고, 각각의 듀티 사이클 시퀀스는 각각의 듀티 사이클 결과를 제공하는, 방법.

**청구항 75**

청구항 73에 있어서, 상기 듀티 사이클 조절기를 조절하는 단계는 상기 듀티 사이클 조절기에 대한 듀티 사이클 코드를 상기 메모리의 모드 레지스터에 기입하는 단계를 포함하는, 방법.

**청구항 76**

청구항 73에 있어서, 듀티 사이클 결과를 평가하는 단계는 상기 메모리의 모드 레지스터로부터 듀티 사이클 결과를 판독하는 단계를 포함하는, 방법.

**청구항 77**

청구항 73에 있어서, 상기 듀티 사이클 결과는 50 % 미만의 하이 듀티 사이클 또는 50 % 초과 하이 듀티 사이클을 나타내는, 방법.

**청구항 78**

청구항 77에 있어서, 상기 듀티 사이클 결과가 이전 조절에 비해 현재 조절에 대한 듀티 사이클 조건의 변경을 나타낼 때 더 작은 조절 크기로 전환하는 단계는 상기 듀티 사이클 결과가 50% 미만의 하이 듀티 사이클로부터 50% 초과 하이 듀티 사이클로의 변경을 나타낼 때 더 작은 조절 크기로 전환하는 단계를 포함하는, 방법.

**청구항 79**

청구항 73에 있어서, 상기 듀티 사이클 조절기를 조절하는 단계는 제1 스텝 크기만큼 듀티 사이클 코드를 변경하는 단계를 포함하고, 더 작은 조절 크기로 전환하는 단계는 상기 제1 스텝 크기의 절반인 제2 스텝 크기만큼 듀티 사이클 코드를 변경하는 단계를 포함하는, 방법.

**청구항 80**

청구항 79에 있어서, 상기 제1 스텝 크기는 듀티 사이클 조절 조절기 범위의 2개 스텝을 포함하고, 상기 제1 스텝 크기는 상기 듀티 사이클 조절 조절기 범위의 1개 스텝을 포함하는, 방법.

**청구항 81**

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

듀티 사이클 조절기 회로를 제1 듀티 사이클 조절기 코드로 설정하기 위해 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하고;

상기 제1 듀티 사이클 조절기 코드의 설정으로 제1 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하고;

상기 제1 듀티 사이클 모니터 시퀀스로부터의 제1 듀티 사이클 결과를 평가하고;

상기 듀티 사이클 조절기 회로를 제2 듀티 사이클 조절기 코드로 설정하기 위해 상기 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하고;

상기 제2 듀티 사이클 조절기 코드의 설정으로 제2 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하고;

상기 제2 듀티 사이클 모니터 시퀀스로부터의 제2 듀티 사이클 결과를 평가하고;

상기 듀티 사이클 조절기 코드를 상기 제1 스텝 크기 또는 제2 스텝 크기 중 어느 쪽만큼 변경할지 결정하되, 상기 제2 스텝 크기는 상기 제1 스텝 크기보다 작고;

상기 결정에 적어도 부분적으로 기초하여 상기 듀티 사이클 조절기 코드를 변경하도록 구성되는, 장치.

## 청구항 82

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

메모리의 듀티 사이클 조절기에 대한 제1 듀티 사이클 코드에 대한 제1 듀티 사이클 결과를 평가하고;

상기 제1 듀티 사이클 결과의 상기 평가에 적어도 부분적으로 기초하여 상기 제1 듀티 사이클 코드를 제2 듀티 사이클 코드로 변경하고;

상기 듀티 사이클 조절기에 대한 상기 제2 듀티 사이클 코드에 대한 제2 듀티 사이클 결과를 평가하고;

상기 제2 듀티 사이클 결과의 상기 평가에 적어도 부분적으로 기초하여 상기 제2 듀티 사이클 코드를 제3 듀티 사이클 코드로 변경하도록 구성되고,

상기 제1 듀티 사이클 결과는 제1 듀티 사이클 조건을 나타내고, 상기 제2 듀티 사이클 결과는 상기 제1 듀티 사이클 조건과는 다른 제2 듀티 사이클 조건을 나타내며,

상기 제2 듀티 사이클 코드로부터 상기 제3 듀티 사이클 코드로의 상기 변경을 위한 상기 듀티 사이클 조절기의 조절은 상기 제1 듀티 사이클 코드로부터 상기 제2 듀티 사이클 코드로의 상기 변경에 대한 조절보다 작은, 장치.

## 청구항 83

장치로서,

메모리;

커맨드/어드레스 버스;

데이터 버스;

클럭 버스; 및

커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 상기 메모리에 결합된 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는,

메모리의 듀티 사이클 조절기를 조절하고 각 조절에 대한 듀티 사이클 결과를 평가하되, 상기 듀티 사이클 결과는 상기 각각의 조절에 대한 듀티 사이클 조건을 나타내고;

상기 듀티 사이클 결과가 이전 조절에 비해 현재 조절에 대한 듀티 사이클 조건의 변경을 나타낼 때, 더 작은 조절 크기로 전환하도록 구성되는, 장치.

**발명의 설명**

**기술 분야**

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2018년 5월 29일자로 출원된 미국 가출원 번호 62/677,585의 출원 혜택을 주장한다. 이 출원은 그 전체가 그리고 모든 목적을 위해 본 명세서에 참조로서 통합된다.

**배경 기술**

[0003] 반도체 메모리는 나중에 검색될 수 있는 데이터를 저장하기 위해 많은 전자 시스템에서 사용된다. 전자 시스템의 속도를 높이고, 데이터 용량을 늘리고, 더 적은 전력을 소비하게 하려 하는 요구가 증가함에 따라, 더 빠르게 액세스될 수 있고 더 많은 데이터를 저장하며 더 적은 전력을 사용하는 반도체 메모리가 변화하는 요구를 충족하기 위해 지속적으로 개발되어 왔다. 개발의 일부는 반도체 메모리를 제어하고 액세스하기 위한 새로운 사양을 생성하는 것을 포함하며, 하나의 세대로부터 다음 세대로의 사양의 변화는 전자 시스템에서 메모리의 성능을 개선시키는 것에 관련한다.

[0004] 반도체 메모리는 일반적으로 메모리에 커맨드, 메모리 어드레스 및 클럭을 제공하여 제어된다. 다양한 커맨드, 어드레스 및 클럭은 예를 들어 메모리 컨트롤러에 의해 제공될 수 있다. 커맨드는 반도체 메모리를 제어하여 다양한 메모리 동작, 예를 들어 메모리로부터 데이터를 검색하기 위한 판독 동작 및 메모리에 데이터를 저장하기 위한 기입 동작을 수행할 수 있다. 연관된 커맨드를 메모리가 수신하는 것에 비한 알려진 타이밍에 데이터가 컨트롤러와 메모리 사이에 제공될 수 있다.

[0005] 새로 개발된 메모리에서, 예를 들어, 커맨드 및 어드레스의 타이밍을 위해 사용되는 시스템 클럭이 메모리에 제공될 수 있으며, 메모리에서 제공하는 데이터의 판독의 타이밍과 메모리에 제공된 데이터의 기입의 타이밍을 위해 사용되는 데이터 클럭이 추가로 제공될 수 있다. 메모리는 또한 컨트롤러에 제공되는 데이터의 제공을 타이밍하기 위한 클럭을 컨트롤러에 제공할 수 있다.

[0006] 메모리에 제공되는 외부 클럭은 메모리 동작 중에 다양한 내부 회로의 타이밍을 제어하는 내부 클럭을 제공하기 위해 사용된다. 메모리 동작 중 내부 회로의 타이밍이 중요할 수 있으며, 클럭의 타이밍의 편차는 오동작을 야기할 수 있다. 클럭의 타이밍의 예시적인 편차는 듀티 사이클 왜곡, 즉, 50 % 듀티 사이클로부터의 편차일 수 있다.

[0007] 메모리에는 외부 클럭에서 생성되는 내부 클럭의 듀티 사이클을 조절하는 데 사용할 수 있는 듀티 사이클 조절기 회로가 포함될 수 있다. 듀티 사이클 조절기 회로는 듀티 사이클을 개선하기 위해 내부 클럭의 듀티 사이클을 조절하는 설정으로 설정될 수 있다. 그러나, 듀티 사이클 조절기 회로에 의해 제공되는 듀티 사이클 조절은 듀티 사이클 조절기 회로가 정확하게 설정되지 않으면 듀티 사이클을 충분히 개선하지 못할 수 있다.

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

[0008] 클럭 듀티 사이클을 개선하기 위한 듀티 사이클 조절기를 설정하는 장치 및 방법이 개시된다. 본 개시내용의 양태에서, 방법은 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 제1 복수의 커맨드를 메모리에 발행하는 단계 및 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 제2 복수의 커맨드를 발행하는 단계를 포함한다. 제1 복수의 듀티 사이클 모니터 시퀀스는 불확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하고, 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 추가로 식별하기 위한 것이며, 제2 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드보다 1개 스텝 더 크다. 제2 복수의 듀티 사이클 모니터 시퀀스는 불확정인 제3 듀티 사이클 결과를 갖는 제3 듀티 사이클 조절기 코드를 식별하고, 확정인 제4 듀티 사이클 결과를 갖는 제4 듀티 사이클 조절기 코드를 추가로 식별하기 위한 것이며, 제4 듀티 사이클 조절기 코드는 제3 듀티 사이클 조절기 코드보다 1개 스텝 작다. 듀티 사이클 조절기 코



드는 제1 듀티 사이클 조절기 코드와 제3 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정된다.

- [0009] 본 개시내용의 다른 양태에서, 방법은 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 제1 복수의 커맨드를 메모리에 발행하는 단계 및 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 제2 복수의 커맨드를 발행하는 단계를 포함한다. 제1 복수의 듀티 사이클 모니터 시퀀스는 제1 불확정 듀티 사이클 결과를 갖는 제1 불확정 듀티 사이클 조절기 코드와 경계를 이루고, 확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하기 위한 것이다. 제2 복수의 듀티 사이클 모니터 시퀀스는 제2 불확정 듀티 사이클 결과를 갖는 제2 불확정 듀티 사이클 조절기 코드와 경계를 이루고, 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 식별하기 위한 것이다. 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드와 제2 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정된다.
- [0010] 본 개시내용의 다른 양태에서, 방법은 듀티 사이클 모니터 오프셋의 상위 경계 및 하위 경계가 식별될 때까지 듀티 사이클 조절기 회로 설정의 값을 조절하는 단계 및 듀티 사이클 조절기 회로 설정을 듀티 사이클 모니터 오프셋에서 중간 회로 설정으로 설정하는 단계를 포함한다.
- [0011] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 제1 복수의 커맨드를 메모리에 발행하도록, 및 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 제2 복수의 커맨드를 발행하도록 구성된다. 제1 복수의 듀티 사이클 모니터 시퀀스는 불확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하고, 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 추가로 식별하기 위한 것이며, 제2 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드보다 1개 스텝 더 크다. 제2 복수의 듀티 사이클 모니터 시퀀스는 불확정인 제3 듀티 사이클 결과를 갖는 제3 듀티 사이클 조절기 코드를 식별하고, 확정인 제4 듀티 사이클 결과를 갖는 제4 듀티 사이클 조절기 코드를 추가로 식별하기 위한 것이며, 제4 듀티 사이클 조절기 코드는 제3 듀티 사이클 조절기 코드보다 1개 스텝 작다. 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드와 제3 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정된다.
- [0012] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 제1 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 제1 복수의 커맨드를 메모리에 발행하도록, 및 제2 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 제2 복수의 커맨드를 발행하도록 구성된다. 제1 복수의 듀티 사이클 모니터 시퀀스는 제1 불확정 듀티 사이클 결과를 갖는 제1 불확정 듀티 사이클 조절기 코드와 경계를 이루고, 확정인 제1 듀티 사이클 결과를 갖는 제1 듀티 사이클 조절기 코드를 식별하기 위한 것이다. 제2 복수의 듀티 사이클 모니터 시퀀스는 제2 불확정 듀티 사이클 결과를 갖는 제2 불확정 듀티 사이클 조절기 코드와 경계를 이루고, 확정인 제2 듀티 사이클 결과를 갖는 제2 듀티 사이클 조절기 코드를 식별하기 위한 것이다. 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드와 제2 듀티 사이클 조절기 코드 사이의 중간 스텝으로 설정된다.
- [0013] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 듀티 사이클 모니터 오프셋의 상위 경계 및 하위 경계가 식별될 때까지 듀티 사이클 조절기 회로 설정의 값을 조절하도록, 및 듀티 사이클 조절기 회로 설정을 듀티 사이클 모니터 오프셋에서 중간 회로 설정으로 설정하도록 구성된다.
- [0014] 본 개시내용의 다른 양태에서, 방법은 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 커맨드를 발행하는 단계와 제1 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 메모리의 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하는 단계를 포함한다. 방법은 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 커맨드를 발행하는 단계 및 제2 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 메모리의 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하는 단계를 더 포함하고, 제2 스텝 크기는 제1 스텝 크기보다 작다.
- [0015] 본 개시내용의 다른 양태에서, 방법은 제1 듀티 사이클 조절기 코드로 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하는 단계, 제2 듀티 사이클 조절기 코드로 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하는 단계 및 제3 듀티 사이클 조절기 코드로 제3 듀티 사이클 결과를 결정하기 위해 제3 듀티 사이클 모니터 시퀀스를 수행하는 단계를 포함한다. 제2 듀티 사이클 조절기

코드는 제1 듀티 사이클 조절기 코드로부터의 제1 스텝 수이고, 제3 듀티 사이클 조절기 코드는 제2 듀티 사이클 조절기 코드로부터의 제2 스텝 수이고, 제2 스텝 수는 제1 스텝 수 미만이다.

- [0016] 본 개시내용의 다른 양태에서, 방법은 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 복수의 커맨드를 발행하는 단계, 복수의 듀티 사이클 모니터 시퀀스 각각에 이어 메모리의 듀티 사이클 조절기에 대한 듀티 사이클 코드를 변경하는 단계 및 복수의 듀티 사이클 모니터 시퀀스 각각으로부터 듀티 사이클 결과를 평가하는 단계를 포함한다. 듀티 사이클 코드는 복수의 듀티 사이클 모니터 시퀀스에 대해 적어도 2개의 상이한 조절량을 사용하여 변경된다.
- [0017] 본 개시내용의 다른 양태에서, 방법은 복수의 듀티 사이클 모니터 시퀀스에 대한 각각의 듀티 사이클 결과를 평가한 후에 고속 조절에 따라 내부 클럭의 듀티 사이클을 조절하기 위해 메모리의 듀티 사이클 조절기를 제어하는 단계를 포함한다. 방법은 복수의 듀티 사이클 모니터 시퀀스의 이전 듀티 사이클 모니터 시퀀스에 대한 듀티 사이클 결과를 평가한 후에 저속 조절에 따라 내부 클럭의 듀티 사이클을 조절하기 위해 메모리의 듀티 사이클 조절기를 제어하는 단계를 더 포함한다.
- [0018] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 커맨드를 발행하도록, 및 제1 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 메모리의 듀티 사이클 조절기 코드를 제1 스텝 크기만큼 변경하도록 구성된다. 메모리 컨트롤러는 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 커맨드를 발행하도록, 및 제2 듀티 사이클 결과에 기초하여 듀티 사이클을 변경하기 위해 메모리의 듀티 사이클 조절기 코드를 제2 스텝 크기만큼 변경하도록 추가로 구성되며, 제2 스텝 크기는 제1 스텝 크기보다 작다.
- [0019] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 복수의 듀티 사이클 모니터 시퀀스를 수행하기 위해 메모리에 복수의 커맨드를 발행하도록, 복수의 듀티 사이클 모니터 시퀀스 각각에 이어 메모리의 듀티 사이클 조절기에 대한 듀티 사이클 코드를 변경하도록, 및 복수의 듀티 사이클 모니터 시퀀스 각각으로부터 듀티 사이클 결과를 평가하도록 구성된다. 듀티 사이클 코드는 복수의 듀티 사이클 모니터 시퀀스에 대해 적어도 2개의 상이한 조절량을 사용하여 변경된다.
- [0020] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 제1 듀티 사이클 조절기 코드로 제1 듀티 사이클 결과를 결정하기 위해 제1 듀티 사이클 모니터 시퀀스를 수행하도록, 제2 듀티 사이클 조절기 코드로 제2 듀티 사이클 결과를 결정하기 위해 제2 듀티 사이클 모니터 시퀀스를 수행하도록, 및 제3 듀티 사이클 조절기 코드로 제3 듀티 사이클 결과를 결정하기 위해 제3 듀티 사이클 모니터 시퀀스를 수행하도록 구성된다. 제2 듀티 사이클 조절기 코드는 제1 듀티 사이클 조절기 코드로부터의 제1 스텝 수이고, 제3 듀티 사이클 조절기 코드는 제2 듀티 사이클 조절기 코드로부터의 제2 스텝 수이다. 제2 스텝 수는 제1 스텝 수 미만이다.
- [0021] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 복수의 듀티 사이클 모니터 시퀀스에 대한 각각의 듀티 사이클 결과를 평가한 후 고속 조절에 따라 내부 클럭의 듀티 사이클을 조절하기 위해 메모리의 듀티 사이클 조절기를 제어하도록 구성된다. 메모리 컨트롤러는 복수의 듀티 사이클 모니터 시퀀스의 이전 듀티 사이클 모니터 시퀀스에 대한 듀티 사이클 결과를 평가한 후에 저속 조절에 따라 내부 클럭의 듀티 사이클을 조절하기 위해 메모리의 듀티 사이클 조절기를 제어하도록 추가로 구성된다.
- [0022] 본 개시내용의 다른 양태에서, 방법은 듀티 사이클 조절기 회로를 제1 듀티 사이클 조절기 코드로 설정하기 위해 제1 스텝 크기만큼 듀티 사이클 조절기 코드를 변경하는 단계, 제1 듀티 사이클 조절기 코드의 설정으로 제1 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하는 단계 및 제1 듀티 사이클 모니터 시퀀스로부터 제1 듀티 사이클 결과를 평가하는 단계를 포함한다. 방법은 듀티 사이클 조절기 회로를 제2 듀티 사이클 조절기 코드로 설정하기 위해 제1 스텝 크기만큼 듀티 사이클 조절기 코드를 변경하는 단계, 제2 듀티 사이클 조절기 코드의 설정으로 제2 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하는 단계 및 제2 듀티 사이클 모니터 시퀀스로부터 제2 듀티 사이클 결과를 평가하는 단계를 더 포함한다. 방법은 제1 스텝 크기 또는 제

2 스텝 크기 중 어느 쪽만큼 듀티 사이클 조절기 코드를 변경할지를 결정하는 단계 (여기서 제2 스텝 크기는 제1 스텝 크기 미만임) 및 이 결정에 적어도 부분적으로 기초하여 듀티 사이클 조절기 코드를 변경하는 단계를 더 포함한다.

[0023] 본 개시내용의 다른 양태에서, 방법은 메모리의 듀티 사이클 조절기에 대한 제1 듀티 사이클 코드에 대한 제1 듀티 사이클 결과를 평가하는 단계 및 제1 듀티 사이클 결과의 평가에 적어도 부분적으로 기초하여 제1 듀티 사이클 코드를 제2 듀티 사이클 코드로 변경하는 단계를 포함한다. 방법은 듀티 사이클 조절기에 대한 제2 듀티 사이클 코드에 대한 제2 듀티 사이클 결과를 평가하는 단계 및 제2 듀티 사이클 결과의 평가에 적어도 부분적으로 기초하여 제2 듀티 사이클 코드를 제3 듀티 사이클 코드로 변경하는 단계를 더 포함한다. 제1 듀티 사이클 결과는 제1 듀티 사이클 조건을 나타내고, 제2 듀티 사이클 결과는 제1 듀티 사이클 조건과는 다른 제2 듀티 사이클 조건을 나타낸다. 제2 듀티 사이클 코드에서 제3 듀티 사이클 코드로의 변경에 대한 듀티 사이클 조절기의 조절은 제1 듀티 사이클 코드에서 제2 듀티 사이클 코드로의 변경에 대한 조절보다 작다.

[0024] 본 개시내용의 다른 양태에서, 방법은 메모리의 듀티 사이클 조절기를 조절하는 단계 및 각 조절에 대한 듀티 사이클 결과를 평가하는 단계- 듀티 사이클 결과는 각각의 조절에 대한 듀티 사이클 조건을 나타냄 -, 및 듀티 사이클 결과가 이전 조절에 비한 현재 조절에 대한 듀티 사이클 조건의 변화를 나타낼 때 더 작은 조절 크기로 전환하는 단계를 포함한다.

[0025] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 듀티 사이클 조절기 회로를 제1 듀티 사이클 조절기 코드로 설정하기 위해 제1 스텝 크기만큼 듀티 사이클 조절기 코드를 변경하도록, 제1 듀티 사이클 조절기 코드의 설정으로 제1 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하도록, 및 제1 듀티 사이클 모니터 시퀀스로부터 제1 듀티 사이클 결과를 평가하도록 구성된다. 메모리 컨트롤러는 듀티 사이클 조절기 회로를 제2 듀티 사이클 조절기 코드로 설정하기 위해 제1 스텝 크기만큼 듀티 사이클 조절기 코드를 변경하도록, 제2 듀티 사이클 조절기 코드의 설정으로 제2 듀티 사이클 모니터 시퀀스를 수행하기 위한 커맨드를 발행하도록, 및 제2 듀티 사이클 모니터 시퀀스로부터 제2 듀티 사이클 결과를 평가하도록 추가로 구성된다. 메모리 컨트롤러는 제1 스텝 크기 또는 제2 스텝 크기 중 어느 쪽만큼 듀티 사이클 조절기 코드를 변경할지를 결정하도록 (여기서 제2 스텝 크기는 제1 스텝 크기 미만임) 그리고 이 결정에 적어도 부분적으로 기초하여 듀티 사이클 조절기 코드를 변경하도록 추가로 구성된다.

[0026] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 메모리의 듀티 사이클 조절기에 대한 제1 듀티 사이클 코드에 대한 제1 듀티 사이클 결과를 평가하도록, 및 제1 듀티 사이클 결과의 평가에 적어도 부분적으로 기초하여 제1 듀티 사이클 코드를 제2 듀티 사이클 코드로 변경하도록 구성된다. 메모리 컨트롤러는 듀티 사이클 조절기에 대한 제2 듀티 사이클 코드에 대한 제2 듀티 사이클 결과를 평가하도록, 및 제2 듀티 사이클 결과의 평가에 적어도 부분적으로 기초하여 제2 듀티 사이클 코드를 제3 듀티 사이클 코드로 변경하도록 추가로 구성된다. 제1 듀티 사이클 결과는 제1 듀티 사이클 조건을 나타내고, 제2 듀티 사이클 결과는 제1 듀티 사이클 조건과는 다른 제2 듀티 사이클 조건을 나타낸다. 제2 듀티 사이클 코드에서 제3 듀티 사이클 코드로의 변경에 대한 듀티 사이클 조절기의 조절은 제1 듀티 사이클 코드에서 제2 듀티 사이클 코드로의 변경에 대한 조절보다 작다.

[0027] 본 개시내용의 다른 양태에서, 장치는 메모리, 커맨드/어드레스 버스, 데이터 버스, 클럭 버스 및 커맨드/어드레스 버스, 데이터 버스 및 클럭 버스를 통해 메모리에 결합된 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 메모리의 듀티 사이클 조절기를 조절하도록, 각 조절에 대한 듀티 사이클 결과를 평가하도록- 듀티 사이클 결과는 각각의 조절에 대한 듀티 사이클 조건을 나타냄 -, 및 듀티 사이클 결과가 이전 조절에 비한 현재 조절에 대한 듀티 사이클 조건의 변화를 나타낼 때 더 작은 조절 크기로 전환하도록 구성된다.

**도면의 간단한 설명**

[0028] 도 1은 본 개시내용의 일 실시예에 따른 시스템의 블록도이다.

도 2는 본 개시내용의 일 실시예에 따른 장치의 블록도이다.

도 3은 본 개시내용의 일 실시예에 따른 데이터 클럭 경로의 블록도이다.

도 4는 본 개시내용의 실시예에 따른 듀티 사이클 모니터(DCM) 특징과 연관된 모드 레지스터의 도면이다.

도 5는 본 개시내용의 실시예에 따른 DCM 특징과 연관된 모드 레지스터에 대한 연산코드 정의의 도면이다.

도 6은 본 개시내용의 일 실시예에 따른 DCM 시퀀스의 흐름도이다.

도 7은 본 개시내용의 일 실시예에 따른 DCM 시퀀스에 대한 타이밍 도면이다.

도 8은 본 개시내용의 일 실시예에 따른 조절기 범위에 대한 듀티 사이클 조절기(DCA) 회로의 예시적인 타이밍 도면이다.

도 9는 본 개시내용의 일 실시예에 따른 DCA 특징을 사용하여 조절되는 데이터 클럭 신호의 예시적인 타이밍 도면이다.

도 10은 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

도 11은 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

도 12는 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

도 13은 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

도 14는 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

도 15는 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 본 개시내용의 예에 대한 충분한 이해를 제공하기 위해 특정 세부 사항이 아래에 설명된다. 그러나, 본 개시내용의 예가 이러한 특정 세부 사항 없이 실시될 수 있다는 것이 본 기술 분야의 숙련자에게 명백할 것이다. 더욱이, 본 명세서에 설명된 본 개시내용의 특정 예는 본 개시내용의 범위를 이러한 특정 예로 제한하는 것으로 해석되어서는 안된다. 다른 경우에, 본 개시내용을 불필요하게 모호하게 하는 것을 피하기 위해 잘 알려진 회로, 제어 신호, 타이밍 프로토콜 및 소프트웨어 동작은 상세히 도시되지 않는다. 추가적으로, "결합" 및 "결합된"과 같은 용어는 두 컴포넌트가 직접 또는 간접적으로 전기적으로 결합될 수 있음을 의미한다. 간접 결합은 2개의 컴포넌트가 하나 이상의 중간 컴포넌트를 통해 결합됨을 의미할 수 있다.

[0030] 도 1은 본 개시내용의 일 실시예에 따른 시스템(100)의 블록도이다. 시스템(100)은 컨트롤러(10) 및 메모리 시스템(105)을 포함한다. 메모리 시스템(105)은 메모리(110(0)-110(p))(예를 들어, "디바이스0" 내지 "디바이스 p")를 포함하고, 여기서 p는 0이 아닌 정수이다. 메모리(110)는 본 개시내용의 일부 실시예에서 LPDDR(low power double data rate) DRAM과 같은 동적 랜덤 액세스 메모리(DRAM)일 수 있다. 메모리(110(0)-110(p))는 각각 커맨드/어드레스, 데이터 및 클럭 버스에 결합된다. 컨트롤러(10) 및 메모리 시스템(105)은 여러 버스를 통해 통신한다. 예를 들어, 커맨드 및 어드레스는 커맨드/어드레스 버스(115) 상에서 메모리 시스템(105)에 의해 수신되고, 데이터는 데이터 버스(125)를 통해 컨트롤러(10)와 메모리 시스템(105) 사이에 제공된다. 다양한 클럭 신호가 클럭 버스(130)를 통해 컨트롤러와 메모리 시스템(105) 사이에 제공될 수 있다. 클럭 버스(130)는 메모리 시스템(105)에 의해 수신된 시스템 클럭(CK<sub>t</sub> 및 CK<sub>c</sub>), 메모리 시스템(105)에 의해 수신된 데이터 클럭(WCK<sub>t</sub> 및 WCK<sub>c</sub>) 및 메모리 시스템(105)에 의해 제공된 액세스 데이터 클럭(RDQS<sub>t</sub> 및 RDQS<sub>c</sub>)을 컨트롤러(10)에 제공하기 위한 신호 라인을 포함할 수 있다. 각각의 버스는 신호가 제공되는 하나 이상의 신호 라인을 포함할 수 있다.

[0031] 컨트롤러(10)에 의해 메모리 시스템(105)에 제공되는 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭은 커맨드 및 어드레스의 제공 및 수신 타이밍을 위해 사용된다. WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭과 RDQS<sub>t</sub> 및 RDQS<sub>c</sub> 클럭은 데이터 제공의 타이밍을 위해 사용된다. CK<sub>t</sub> 및 CK<sub>c</sub> 클럭은 상보적이며 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 상보적이고, RDQS<sub>t</sub> 및 RDQS<sub>c</sub> 클럭은 상보적이다. 클럭 신호는 제1 클럭 신호의 상승 에지가 제2 클럭 신호의 하강 에지와 동시에 발생하는 경우 및 제2 클럭 신호의 상승 에지가 제1 클럭 신호의 하강 에지와 동시에 발생하는 경우 상보적이다. 컨트롤러(10)에 의해 메모리 시스템(105)에 제공되는 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 또한 컨트롤러(10)에 의해 메모리 시스템(105)에 제공되는 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭에 동기화될 수 있다. 또한, WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭보다 높은 클럭 주파수를 가질 수 있다. 예를 들어, 본 개시내용의 일부 실시예에서, WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭의 클럭 주파수의 4 배인 클럭 주파수를 갖는다.

[0032] 컨트롤러(10)는 메모리 동작을 수행하기 위해 메모리 시스템(105)에 커맨드를 제공한다. 메모리 커맨드의 비제한적인 예는 다양한 동작의 타이밍을 제어하기 위한 타이밍 커맨드, 메모리를 액세스하기 위한 액세스 커맨드,



예컨대, 관독 동작을 수행하기 위한 관독 커맨드 및 기입 동작을 수행하기 위한 기입 커맨드, 모드 레지스터 기입 및 관독 동작을 수행을 위한 모드 레지스터 기입 및 관독 커맨드 및 다른 커맨드와 동작을 포함한다. 컨트롤러(10)에 의해 메모리 시스템(105)에 제공되는 커맨드 신호는 선택 신호(예를 들어, 칩 선택 CS 신호 CS0, CS1, CS<sub>p</sub>)를 더 포함한다. 모든 메모리(110)에는 커맨드, 어드레스, 데이터 및 클럭 신호가 제공되지만, 각각의 선택 신호 라인에 제공된 선택 신호는 메모리(110) 중 어느 것이 커맨드에 응답하고 대응 동작을 수행할지를 선택하는 데 사용된다. 본 개시내용의 일부 실시예에서, 메모리 시스템(105)의 각각의 메모리(110)에 각각의 선택 신호가 제공된다. 컨트롤러(10)는 대응하는 메모리(110)를 선택하기 위해 활성 선택 신호를 제공한다. 각각의 선택 신호가 활성화되는 동안, 대응하는 메모리(100)는 커맨드/어드레스 버스(115)에 제공된 커맨드 및 어드레스를 수신하도록 선택된다.

[0033] 동작시, 컨트롤러(10)에 의해 메모리 시스템(105)에 관독 커맨드 및 관련 어드레스가 제공되면, 선택 신호에 의해 선택된 메모리(110)는 관독 커맨드 및 관련 어드레스를 수신하고, 관독 동작을 수행하여 관련 어드레스에 대응하는 메모리 위치로부터 관독 데이터를 컨트롤러(10)에 제공한다. 관독 데이터는 관독 커맨드의 수신에 비한 타이밍에 따라 선택된 메모리(110)에 의해 컨트롤러(10)에 제공된다. 예를 들어, 타이밍은 관독 데이터가 선택된 메모리(110)에 의해 컨트롤러(10)로 제공될 때, 관독 커맨드 이후의 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭의 클럭 사이클 수(CK<sub>t</sub> 및 CK<sub>c</sub> 클럭의 클럭 사이클은 tCK로 참조됨)를 나타내는 관독 레이턴시(RL) 값에 기초할 수 있다. RL 값은 메모리(110)에서 컨트롤러(10)에 의해 프로그래밍된다. 예를 들어, RL 값은 메모리(110)의 각각의 모드 레지스터에 프로그래밍될 수 있다. 알려진 바와 같이, 각 메모리(110)에 포함된 모드 레지스터는 다양한 동작 모드 설정을 위한 및/또는 메모리 동작을 위한 특징 선택을 위한 정보로 프로그래밍될 수 있다. 설정 중 하나는 RL 값에 대한 것일 수 있다.

[0034] 관독 데이터를 컨트롤러(10)에 제공하는 선택된 메모리(110)의 준비시에, 컨트롤러는 활성 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭을 메모리 시스템(105)에 제공한다. WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 액세스 데이터 클럭 RDQS<sub>t</sub> 및 RDQS<sub>c</sub>를 생성하기 위해 선택된 메모리(110)에 의해 사용될 수 있다. 클럭 신호가 낮은 클럭 레벨과 높은 클럭 레벨 사이에서 주기적으로 전이될 때 클럭 신호가 활성화된다. 반대로, 클럭 신호가 일정한 클럭 레벨을 유지하고 주기적으로 전이되지 않을 때 클럭 신호는 비활성화된다. RDQS<sub>t</sub> 및 RDQS<sub>c</sub> 클럭은 컨트롤러(10)에 대한 관독 데이터 제공의 타이밍을 위해 컨트롤러(10)에 관독 동작을 수행하는 메모리(110)에 의해 제공된다. 컨트롤러(10)는 관독 데이터를 수신하기 위해 RDQS<sub>t</sub> 및 RDQS<sub>c</sub> 클럭을 사용할 수 있다.

[0035] 동작시, 컨트롤러(10)에 의해 메모리 시스템(105)에 기입 커맨드 및 관련 어드레스가 제공되면, 선택 신호에 의해 선택된 메모리(110)는 기입 커맨드 및 관련 어드레스를 수신하고, 기입 동작을 수행하여 컨트롤러(10)로부터 데이터를 관련 어드레스에 대응하는 메모리 위치에 기입한다. 기입 데이터는 기입 커맨드의 수신에 비한 타이밍에 따라 컨트롤러(10)에 의해 선택된 메모리(110)에 제공된다. 예를 들어, 타이밍은 컨트롤러(10)에 의해 선택된 메모리(110)에 기입 데이터가 제공될 때, 기입 커맨드 이후의 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭의 클럭 사이클 수를 나타내는 기입 레이턴시(WL) 값에 기초할 수 있다. WL 값은 메모리(110)에서 컨트롤러(10)에 의해 프로그래밍된다. 예를 들어, WL 값은 메모리(110)의 각각의 모드 레지스터에 프로그래밍될 수 있다.

[0036] 기입 데이터를 컨트롤러(10)로부터 수신하는 선택된 메모리(110)의 준비시에, 컨트롤러는 활성 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭을 메모리 시스템(105)에 제공한다. WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 기입 데이터를 수신하는 회로의 동작의 타이밍을 위한 내부 클럭 신호를 생성하기 위해 선택된 메모리(110)에 의해 사용될 수 있다. 데이터는 컨트롤러(10)에 의해 제공되고 선택된 메모리(110)는 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭에 따라 기입 데이터를 수신하며, 이는 메모리 어드레스에 대응하는 메모리에 기입된다.

[0037] 도 2는 본 개시내용의 일 실시예에 따른 장치의 블록도이다. 장치는 반도체 디바이스(200)일 수 있으며, 그렇게 지칭될 것이다. 일부 실시예에서, 반도체 디바이스(200)는 예를 들어 단일 반도체 칩에 통합된 저전력 DDR(LPDDR) 메모리와 같은 DRAM 디바이스를 포함할 수 있지만, 이에 제한되지 않는다.

[0038] 반도체 디바이스(200)는 메모리 어레이(250)를 포함한다. 메모리 어레이(250)는 복수의 메모리 뱅크를 포함하는 것으로 도시되어 있다. 도 2의 실시예에서, 메모리 어레이(250)는 8개의 메모리 뱅크(BANK0-BANK7)를 포함하는 것으로 도시되어 있다. 각 메모리 뱅크는 복수의 워드 라인(WL), 복수의 비트 라인(BL, /BL), 및 복수의 워드 라인(WL)과 복수의 비트 라인(BL, /BL)의 교차점에 배열된 복수의 메모리 셀(MC)을 포함한다. 워드 라인(WL)의 선택은 행 디코더(240)에 의해 수행되고 비트 라인(BL 및 /BL)의 선택은 열 디코더(245)에 의해 수행된다. 도 2의 실시예에서, 행 디코더(240)는 각각의 메모리 뱅크에 대한 각각의 행 디코더를 포함하고, 열 디코더(245)는 각각의 메모리 뱅크에 대한 각각의 열 디코더를 포함한다. 비트 라인(BL 및 /BL)은 각각의 감지 증

폭기(SAMP)에 결합된다. 비트 라인(BL 또는 /BL)으로부터의 판독 데이터는 감지 증폭기 SAMP에 의해 증폭되고, 상보적 로컬 데이터 라인(LIOT/B), 전달 게이트(TG) 및 상보적 주 데이터 라인(MIOT/B)을 통해 판독/기입 증폭기(255)로 전달된다. 반대로, 판독/기입 증폭기(255)에서 출력된 기입 데이터는 상보적 주 데이터 라인(MIOT/B), 전달 게이트(TG) 및 상보적 로컬 데이터 라인(LIOT/B)을 통해 감지 증폭기(SAMP)로 전달되어 비트 라인(BL 또는 /BL)에 결합된 메모리 셀(MC)에 기입된다.

[0039] 반도체 디바이스(200)는 커맨드 및 어드레스 및 CS 신호를 수신하기 위한 커맨드 및 어드레스 버스에 결합된 커맨드 및 어드레스 및 칩 선택(CA/CS) 단자, 클럭(CK<sub>t</sub> 및 CK<sub>c</sub>) 및 데이터 클럭(WCK<sub>t</sub> 및 WCK<sub>c</sub>)을 수신하고 액세스 데이터 클럭(RDQS<sub>t</sub> 및 RDQS<sub>c</sub>)을 제공하기 위한 CS 신호, 클럭 단자, 데이터 단자(DQ 및 DM) 및 전원 전위(VDD, VSS, VDDQ 및 VSSQ)를 수신하기 위한 전원 단자를 포함하는 복수의 외부 단자를 채용할 수 있다.

[0040] 클럭 단자에는 입력 버퍼(220)에 제공되는 외부 클럭 CK<sub>t</sub> 및 CK<sub>c</sub>가 공급된다. 외부 클럭은 상보적일 수 있다. 입력 버퍼(220)는 CK<sub>t</sub> 및 CK<sub>c</sub> 클럭에 기초하여 내부 클럭 ICLK를 생성한다. ICLK 클럭은 커맨드 디코더(215) 및 내부 클럭 생성기(222)에 제공된다. 내부 클럭 생성기(222)는 ICLK 클럭에 기초하여 다양한 내부 클럭 LCLK를 제공한다. LCLK 클럭은 다양한 내부 회로의 동작의 타이밍을 위해 사용될 수 있다. 데이터 클럭 WCK<sub>t</sub> 및 WCK<sub>c</sub>도 외부 클럭 단자에 제공된다. WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭은 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭에 기초하여 내부 데이터 클럭을 생성하는 데이터 클럭 회로(275)에 제공된다. 내부 데이터 클럭은 입력/출력 회로(260)에 포함된 회로의 동작을 타이밍하기 위해 입력/출력 회로(260)에, 예를 들어, 기입 데이터의 수신을 타이밍하기 위해 데이터 수신기에 제공된다.

[0041] CA/CS 단자에는 메모리 어드레스가 공급될 수 있다. CA/CS 단자에 공급된 메모리 어드레스는 커맨드/어드레스 입력 회로(205)를 통해 어드레스 디코더(212)로 전달된다. 어드레스 디코더(212)는 어드레스를 수신하고 디코딩된 행 어드레스(XADD)를 행 디코더(240)에 공급하고 디코딩된 열 어드레스(YADD)를 열 디코더(245)에 공급한다. CA/CS 단자에는 커맨드가 공급될 수 있다. 커맨드의 예는 다양한 동작의 타이밍을 제어하기 위한 타이밍 커맨드, 메모리를 액세스하기 위한 액세스 커맨드, 예컨대, 판독 동작을 수행하기 위한 판독 커맨드 및 기입 동작을 수행하기 위한 기입 커맨드, 모드 레지스터 기입 및 판독 동작을 수행을 위한 모드 레지스터 기입 및 판독 커맨드 및 다른 커맨드와 동작을 포함한다.

[0042] 커맨드는 커맨드/어드레스 입력 회로(205)를 통해 커맨드 디코더(215)에 내부 커맨드 신호로서 제공될 수 있다. 커맨드 디코더(215)는 동작을 수행하기 위한 다양한 내부 신호 및 커맨드를 생성하기 위해 내부 커맨드 신호를 디코딩하는 회로를 포함한다. 예를 들어, 커맨드 디코더(215)는 워드 라인을 선택하기 위한 행 커맨드 신호(ACT)와 비트 라인을 선택하기 위한 열 커맨드 신호(R/W)를 제공할 수 있다.

[0043] 커맨드 디코더(215)는 반도체 디바이스(200)의 동작의 다양한 모드 및 특징을 설정하기 위한 정보가 프로그래밍된 모드 레지스터(230)에 액세스할 수 있다. 예를 들어, 모드 레지스터(230)는 판독 레이턴시 또는 기입 레이턴시와 같은 데이터 액세스 레이턴시와 관련된 정보로 프로그래밍될 수 있다. 다른 예로서, 모드 레지스터(225)는 데이터 버스트 길이와 관련된 정보로 프로그래밍될 수 있다. 데이터 버스트 길이는 액세스 동작(예를 들어, 판독 또는 기입 동작) 당 각각의 데이터 단자(DQ)로부터 또는 각각의 데이터 단자(DQ)로 또는 그로부터 제공되는 데이터 비트의 수를 정의한다. 다른 예로서, 모드 레지스터(230)는 WCK<sub>t</sub> 및 WCK<sub>c</sub> 클럭을 기반으로 데이터 클럭 회로(275)에서 생성된 내부 데이터 클럭의 모니터링과 관련된 모드에 대한 정보와 내부 데이터 클럭의 듀티 사이클과 같은 내부 데이터 클럭의 타이밍의 변경과 관련된 모드에 대한 정보로 프로그래밍될 수 있다. 내부 데이터 클럭은 예를 들어 데이터 클럭 회로(275)의 회로에 의해 야기되는 듀티 사이클 왜곡에 대해 모니터링될 수 있으며, 데이터 클럭의 타이밍은 예를 들어, 데이터 클럭 회로(275)에 의해 야기되는 듀티 사이클 오류를 보상하기 위해 조절될 수 있다.

[0044] 모드 레지스터(230)의 정보는 반도체 디바이스(200)가 모드 레지스터 기입 동작을 수행하게 하는 모드 레지스터 기입 커맨드를 반도체 디바이스(200)에 제공함으로써 프로그래밍될 수 있다. 커맨드 디코더(215)는 모드 레지스터(230)에 액세스하고, 내부 커맨드 신호와 함께 프로그래밍된 정보에 기초하여 내부 신호를 제공하여 이에 따라 반도체 디바이스(200)의 회로를 제어한다. 모드 레지스터(230)에 프로그래밍된 정보는 모드 레지스터 판독 커맨드를 이용하여 반도체 디바이스(200)에 의해 외부적으로 제공될 수 있으며, 이는 반도체 디바이스(200)가 모드 레지스터(230)에 액세스하여 프로그래밍된 정보를 제공하도록 한다.

[0045] 판독 커맨드가 수신되고 판독 커맨드와 함께 행 어드레스 및 열 어드레스가 적시에 공급되면, 판독 데이터는 행 어드레스 및 열 어드레스에 대응하는 메모리 어레이(250)의 메모리 셀로부터 판독된다. 판독 커맨드는 메모리 어레이(250)로부터의 판독 데이터가 판독/기입 증폭기(255)에 제공되도록 내부 커맨드를 제공하는 커맨드 디코

더(215)에 의해 수신된다. 판독 데이터는 입력/출력 회로(260)를 통해 데이터 단자(DQ)로부터 외부로 출력된다. RDQS\_t 및 RDQS\_c 클럭은 입력/출력 회로(260)에 의한 판독 데이터의 제공의 타이밍을 위해 클럭 단자로부터 외부적으로 제공된다. 외부 단자(DQ)는 각각 RDQS\_t 및 RDQS\_c 클럭의 클럭 에지와 동기화된 데이터 비트를 제공하는 여러 개의 개별 단자를 포함한다. 외부 단자(DQ)의 수는 데이터 폭, 즉, RDQS\_t 및 RDQS\_c 클럭의 클럭 에지가 동시에 제공되는 데이터의 비트 수에 대응한다. 본 개시내용의 일부 실시예에서, 반도체 디바이스(200)의 데이터 폭은 8 비트이다. 본 개시내용의 다른 실시예에서, 반도체 디바이스(200)의 데이터 폭은 16 비트이고, 16 비트는 데이터의 하위 바이트(8 비트 포함) 및 데이터의 상위 바이트(8 비트 포함)로 분리된다.

[0046] 기입 커맨드가 수신되고 기입 커맨드로 행 어드레스와 열 어드레스가 적시에 공급되면, 데이터 단자(DQ)에 공급된 기입 데이터는 행 어드레스와 열 어드레스에 대응하는 메모리 어레이(250)의 메모리 셀에 기입된다. 메모리에 기입될 때, 데이터의 일부를 마스킹하기 위해 데이터 마스크가 데이터 단자(DM)에 제공될 수 있다. 기입 커맨드는 커맨드 디코더(215)에 의해 수신되고, 이는 기입 데이터가 입력/출력 회로(260)의 데이터 수신기에 의해 수신되도록 내부 커맨드를 제공한다. WCK\_t 및 WCK\_c 클럭은 또한 입력/출력 회로(260)의 데이터 수신기에 의한 기입 데이터의 수신 타이밍을 위해 외부 클럭 단자에 제공된다. 기입 데이터는 입력/출력 회로(260)를 통해 판독/기입 증폭기(255)에 공급되고, 판독/기입 증폭기(255)에 의해 메모리 어레이(250)에 공급되어 메모리 셀(MC)에 기입된다. 앞서 설명한 바와 같이, 외부 단자(DQ)는 여러 개의 개별 단자를 포함한다. 기입 동작과 관련하여, 각 외부 단자(DQ)는 데이터 비트를 수신하고, 외부 단자(DQ)의 수는 WCK\_t 및 WCK\_c 클럭의 클럭 에지와 동기화되어 동시에 수신되는 데이터 비트의 데이터 폭에 대응한다. 앞서 설명한 바와 같이, 본 개시내용의 일부 실시예는 8 비트의 데이터 폭을 포함한다. 본 개시내용의 다른 실시예에서, 데이터 폭은 16 비트이고, 16 비트는 8 비트 데이터의 하위 바이트 및 8 비트 데이터의 상위 바이트로 분리된다.

[0047] 전원 단자에는 전원 전위 VDD 및 VSS가 공급된다. 전원 전위(VDD 및 VSS)는 내부 전압 생성기 회로(270)에 공급된다. 내부 전압 생성기 회로(270)는 전원 단자에 공급되는 전원 전위(VDD 및 VSS)에 기초하여 다양한 내부 전위(VPP, VOD, VARY, VTARGET, VPERI 등)를 생성한다. 내부 전위 VPP는 주로 행 디코더(240)에서 사용되며, 내부 전위 VOD 및 VARY는 주로 메모리 어레이(250)에 포함된 감지 증폭기(SAMP)에 사용되며, VTARGET는 내부 전위 VARY에 대한 목표 전압일 수 있으며, 내부 전위 VPERI는 많은 주변 회로 블록에서 사용된다.

[0048] 전원 단자에는 전원 전위 VDDQ 및 VSSQ도 제공된다. 전원 전위 VDDQ 및 VSSQ는 입력/출력 회로(260)에 공급된다. 전원 단자에 공급되는 전원 전위(VDDQ, VSSQ)는 본 개시내용의 실시예에서 전원 단자에 공급되는 전원 전위(VDD, VSS)와 동일한 전위일 수 있다. 전원 단자에 공급되는 전원 전위(VDDQ, VSSQ)는 본 개시내용의 다른 실시예에서 전원 단자에 공급되는 전원 전위(VDD, VSS)와는 상이한 전위일 수 있다. 전원 단자에 공급되는 전원 전위(VDDQ, VSSQ)는 입력/출력 회로(260)에 사용되어 입력/출력 회로(260)에서 발생하는 전원 노이즈가 다른 회로 블록으로 전파되지 않도록 한다.

[0049] 도 3은 본 개시내용의 일 실시예에 따른 데이터 클럭 경로(300)의 블록도이다. 데이터 클럭 경로(300)는 데이터 클럭 회로에 포함될 수 있다. 본 개시내용의 일부 실시예에서, 데이터 클럭 경로(300)는 도 2의 데이터 클럭 회로(275)에 포함될 수 있다.

[0050] 데이터 클럭 경로(300)는 외부 데이터 클럭(WCK\_t 및 WCK\_c)이 제공되는 입력 클럭 버퍼(310)를 포함한다. 앞서 설명한 바와 같이, WCK\_t 및 WCK\_c 클럭은 상보적일 수 있다. 입력 클럭 버퍼(310)는 WCK\_t 및 WCK\_c 클럭을 버퍼링하고 상보적 버퍼링된 클럭을 듀티 사이클 조절기(DCA) 회로(320)에 제공한다. DCA 회로는 버퍼링된 WCK\_t 및 WCK\_c 클럭의 타이밍을 조절하여 타이밍 조절된 WCK\_t 및 WCK\_c 클럭을 제공한다. 버퍼링된 WCK\_t 및 WCK\_c 클럭은 모드 레지스터(325)에 프로그래밍된 정보에 기초하여 조절된다. 예를 들어, 모드 레지스터(325)에 프로그래밍된 정보는 DCA 조절기 범위의 다양한 단계에 대응하는 DCA 코드일 수 있다. 버퍼링된 WCK\_t 및 WCK\_c 클럭의 타이밍은 원하는 타이밍에 대응하는 모드 레지스터(325)(예를 들어, 메모리 컨트롤러에 의해 프로그래밍됨)에 DCA 코드를 프로그래밍함으로써 조절된다. 버퍼링된 WCK\_t 및 WCK\_c 클럭의 타이밍은 모드 레지스터(325)에 프로그래밍된 DCA 코드를 변경함으로써 변경될 수 있다. 본 개시내용의 실시예에서, 데이터 클럭 경로(300)가 도 2의 데이터 클럭 회로에 포함되는 경우, 모드 레지스터(325)는 모드 레지스터(230)에 포함될 수 있다.

[0051] DCA 조절기 회로는 분할기 회로(330)에 제공되는 타이밍 조절된 WCK\_t 및 WCK\_c 클럭을 제공한다. 분할기 회로(330)는 WCK\_t 및 WCK\_c 클럭의 클럭 주파수보다 낮은 클럭 주파수를 갖는 다수의 내부 데이터 클럭 신호를 제공한다. 다수의 내부 데이터 클럭은 서로에 대해 위상 관계를 가질 수 있다. 본 개시내용의 일부 실시예에서,

분할기 회로(330)는 서로에 대해 90도(0도, 90도, 180도, 270도)의 위상 관계를 갖고 WCK\_t 및 WCK\_c 클럭 주파수의 1/2인 클럭 주파수를 갖는 4개의 내부 데이터 클럭을 제공한다. 그러나, 본 개시내용의 실시예에는 이러한 특정 수의 내부 데이터 클럭, 위상 관계 및/또는 클럭 주파수로 제한되는 것을 의도하지 않는다. 다수의 내부 데이터 클럭은 클럭 트리 및 드라이버 회로(340)를 통해 분할기 회로(330)로부터 내부 데이터 클럭에 따라 동작할 수 있는 회로로 제공된다. 예를 들어, 내부 데이터 클럭은 기입 데이터를 수신하기 위해 데이터 수신기의 동작의 타이밍을 위해 클럭 트리 및 드라이버 회로(340)에 의해 입력/출력 회로(예를 들어, 도 2의 입력/출력 회로(260))에 제공된다.

[0052] 클럭 입력 버퍼(310)와 클럭 트리 및 드라이버(340)는 내부 데이터 클럭을 제공할 때 WCK\_t 및 WCK\_c 클럭에 비한 바람직하지 않은 타이밍 변화를 야기하는 고유한 회로 특성을 가질 수 있다. 이 고유한 회로 특성은 제조 프로세스의 변동과 온도 및 전압의 변화로 인한 동작 변동으로 인해 이상적인 회로 특성에서 벗어날 수 있다. 예를 들어, 클럭 입력 버퍼(310)와 클럭 트리 및 드라이버(340)는 내부 데이터 클럭을 제공할 때 듀티 사이클을 변경시켜 내부 데이터 클럭이 외부 WCK\_t 및 WCK\_c 클럭에 비해 왜곡된 듀티 사이클을 갖는 결과를 초래할 수 있다. 결과적으로, 생성된 내부 데이터 클럭의 타이밍은 내부 데이터 클럭에 따라 동작하는 회로의 원치 않는 성능을 야기할 수 있다.

[0053] 듀티 사이클 모니터(DCM)(350)는 클럭 트리 및 드라이버 회로(340)에 의해 제공되는 내부 데이터 클럭의 타이밍을 모니터링한다. 예를 들어, DCM(350)은 내부 데이터 클럭 중 하나 이상의 듀티 사이클을 모니터링할 수 있다. DCM(350)은 DCM 회로(355) 및 모드 레지스터(353)를 포함한다. DCM 회로(355)는 클럭 트리 및 드라이버(340)에 의해 제공되는 하나 이상의 내부 데이터 클럭을 모니터링하고 내부 데이터 클럭의 타이밍을 나타내는 정보를 제공한다. 정보는 예를 들어, DCM 회로(355)에 의한 모니터링으로부터의 듀티 사이클(DCM) 결과를 포함할 수 있다. 데이터 클럭 경로의 회로가 내부 데이터 클럭을 제공할 때 바람직하지 않은 타이밍 변화를 야기하는 경우, DCM(350)은 바람직하지 않은 변화의 정도를 결정하는 데 사용될 수 있다. DCM 결과는 모드 레지스터(353)에 제공될 수 있으며, 여기서 DCM 결과는 예를 들어 모드 레지스터 관독 커맨드에 응답하여 외부적으로 액세스 및 제공될 수 있다. DCM 회로(355)는 데이터 폭이 데이터의 상위 및 하위 바이트를 모두를 포함하는 상위 및 하위 바이트에 대한 내부 데이터 클럭을 모니터링하기 위한 회로를 포함할 수 있다.

[0054] 모드 레지스터(353)는 또한 DCM 회로(355)의 동작을 제어하는 정보로 프로그래밍될 수 있다. 예를 들어, 정보는 DCM 회로(355)에 의한 모니터링이 시작될 때 및 DCM 회로(355)에 의한 모니터링이 중지될 때를 제어할 수 있다. 추가적인 예로서, 정보는 내부 데이터 클럭을 모니터링할 때 입력을 변경(또는 "플립(flip)")하도록 DCM 회로(355)를 제어하여 제1 입력 조건으로 내부 데이터 클럭을 모니터링한 다음 제2 입력 조건으로 플립하여 내부 데이터 클럭을 추가로 모니터링함으로써 함으로써 정확도를 증가시킬 수 있다. 본 개시내용의 일부 실시예에서, DCM 회로(355)가 내부 데이터 클럭을 테스트할 때 히스테리시스를 가질 수 있기 때문에 정확도가 증가될 수 있고, 그 결과 입력을 플립하지 않고 테스트하는 경우 DCM 결과가 덜 정확할 수 있다. DCM 회로(355)는 또한 내부 데이터 클럭의 타이밍의 부정확한 측정을 야기하는 DCM 회로(355)의 회로에서의 프로세스 변동 및 불일치로 인해 고유의 DCM 오프셋을 가질 수 있다. DCM 오프셋은 내부 데이터 클럭을 모니터링할 때 불확정 DCM 결과 범위를 초래할 수 있다.

[0055] 별도의 DCM 결과가 각 입력 조건에 대해 DCM 회로(355)에 의해 제공되고 모드 레지스터(353)에 제공될 수 있다. 또한, 데이터의 상위 및 하위 바이트에 대한 내부 데이터 클럭이 제공되는 경우, 데이터의 각 바이트에 대해 별도의 DCM 결과가 제공될 수도 있다.

[0056] 정보는 모드 레지스터(353)에 연산코드로서 프로그래밍될 수 있고, 이 연산코드는 모드 레지스터(353)의 특정 비트에 대응한다. 도 3에서, DCM 회로(355)의 시작 및 중지를 제어하고 모니터링을 위한 입력 조건의 플립을 제어하기 위한 정보는 모드 레지스터(353)의 연산코드 OP[1:0]에서 2 비트로 프로그래밍된 것으로 나타나 있고, DCM 회로(355)에 의해 제공된 DCM 결과는 연산코드 OP[5:2]에서 4 비트로 프로그래밍된다. 그러나, 앞서 설명한 바와 같이 프로그래밍된 정보 및 연산코드에 대한 비트 수는 본 개시내용의 상이한 실시예에 대해 상이할 수 있으며, 결과적으로 본 개시내용의 범위는 도 3에 도시되어 있는 특정 예에 제한되지 않는다.

[0057] 데이터의 하위 및 상위 바이트를 포함하는 데이터 폭을 갖는 본 개시내용의 일부 실시예에서, 데이터의 각 바이트에 대한 내부 클럭 신호에 대해 별도의 클럭 경로가 제공된다. 각 클럭 경로에는 각 데이터 바이트에 대한 내부 클럭 신호를 개별적으로 모니터링하기 위한 회로가 포함되어 있다. 예를 들어, 본 개시내용의 일부 실시예에서, 데이터 경로(300)는 데이터의 제1 바이트에 대한 내부 클럭 신호를 제공, 타이밍 조절 및 모니터링하기 위해 포함되고, 데이터 경로(300)의 적어도 일부는 데이터의 제2 바이트에 대한 내부 클럭 신호를 제공, 타이밍



조절, 및 모니터링하기 위해 이중화된다.

- [0058] 본 개시내용의 일 실시예에 따른 듀티 사이클 모니터(DCM) 특징은 도 4 및 도 5를 참조하여 설명될 것이다. 도 4는 본 개시내용의 일 실시예에 따른 DCM 특징과 관련된 모드 레지스터의 도면이다. 도 5는 본 개시내용의 실시예에 따른 DCM 특징과 연관된 모드 레지스터에 대한 연산코드 정의의 도면이다. 도 4 및 도 5를 참조하여 설명된 DCM 특징은 본 개시내용의 실시예에 따른 DCM과 함께 사용될 수 있다. 예를 들어, 본 개시내용의 일부 실시예에서, DCM 특징은 도 3의 DCM(350)과 함께 사용될 수 있다.
- [0059] DCM 특징은 메모리 컨트롤러가 내부 WCK 클럭 트리에서 WCK 듀티 사이클 왜곡을 모니터링할 수 있게 한다. 하위 및 상위 바이트 모두는 DCM이 활성화되면 동시에 DCM 특징을 수행한다. 각 바이트에 대해 2개의 별개의 듀티 사이클 결과가 제공된다: 하위 바이트의 경우 DCML0 및 DCML1 및 상위 바이트의 경우 DCMU0 및 DCMU1.
- [0060] 도 4는 제공될 DCM 결과뿐만 아니라 DCM 동작을 제어하기 위해 (예를 들어, 메모리 컨트롤러에 의해) 정보를 프로그래밍하는 데 사용될 수 있는 모드 레지스터 MRx의 도면이다. 모드 레지스터 MRx는 모드 레지스터 MRx의 다양한 연산코드를 나타내는 8 비트가 포함된 것으로 도시되어 있다. 도 5에 도시되어 있는 연산코드 정의는 본 개시내용의 일부 실시예에서 도 4의 모드 레지스터 MRx와 함께 사용될 수 있다.
- [0061] DCM 작업은 MRx OP[0] = 1을 기입하는 것에 의해 개시될 수 있다. MRx OP[0] = 0으로 설정하면 DCM 동작이 종결된다. DCM 동작을 개시하기 전에, WCK 클럭 대 CK 클럭 동기화를 수행해야 한다. MRx OP[0] = 0b를 기입함으로써 DCM 작업이 중지될 때까지 DCM 동작이 활성화되는 동안 계속해서 WCK 입력을 토글할 필요가 있다.
- [0062] DCM 회로 히스테리시스가 존재하는 경우 DCM 결과가 부정확할 수 있다. 이 기능의 정확도를 증가시키기 위해 DCM 특징은 MRx OP[1]을 반대 상태로 설정함으로써 입력을 플립한 다음 측정을 반복하는 것을 지원한다.
- [0063] 모드 레지스터 기입 동작 MRW[DCM 플립] 및 MRW[DCM 정지]가 메모리 컨트롤러에 의해 DCM 결과를 캡처하는 데 사용될 수 있다. DCM 결과는 DCM 플립 비트(MRx OP[1])의 상태에 의해 결정된다. 예를 들면:
- [0064] DCM 플립 = 0: DCML0 및 DCMU0이 사용될 것이고;
- [0065] DCM 플립 = 1: DCML1 및 DCMU1이 사용될 것이다.
- [0066] 본 개시내용의 일 실시예에 따른 듀티 사이클 모니터(DCM) 시퀀스가 도 6 및 도 7을 참조하여 설명될 것이다. 도 6은 본 개시내용의 일 실시예에 따른 DCM 시퀀스(600)의 흐름도이다. 도 7은 본 개시내용의 일 실시예에 따른 DCM 시퀀스에 대한 타이밍 도면이다. 도 6 및 도 7을 참조하여 설명된 DCM 시퀀스는 본 개시내용의 실시예에 따라 DCM과 함께 사용될 수 있다. 예를 들어, 본 개시내용의 일부 실시예에서, DCM 특징은 도 3의 DCM(350)과 함께 사용될 수 있다.
- [0067] 본 개시내용의 일부 실시예에서, 도 6의 DCM 시퀀스를 수행하기 전에, 모드 레지스터 기입(MRW) 및 모드 레지스터 판독(MRR) 동작이 수행될 수 있도록 CBT 및 WCK2CK 평준화 후에 DCM 훈련이 완료된다. 추가로, 주파수 설정점이 업데이트되고 WCK는 DCM이 본 개시내용의 이러한 실시예에서 시작되기 전에 최대 속도로 활성화된다.
- [0068] 도 6의 DCM 시퀀스는 도 7의 타이밍 도면과 도 4의 모드 레지스터 MRx를 참조하여 설명될 것이다.
- [0069] 단계 610에서, 모드 레지스터 기입 커맨드(커맨드 MRW-1 및 MRW-2 포함)가 예를 들어, 메모리 컨트롤러에 의해 반도체 디바이스에 발행되어 DCM을 시작한다. 모드 레지스터 기입 커맨드는 도 7의 시간 Tc0 및 Tc1에 수신된다. 단계 620에서, DCM이 듀티 사이클 측정을 완료할 시간 tDCMM 동안 대기한다. 단계 630에서, 모드 레지스터 기입 커맨드가 발행되어 DCM의 입력을 플립하도록 MRx OP[1]를 전환한다. 모드 레지스터 기입 커맨드는 도 7의 시간 Td0과 Td1 사이에 수신되고, 시간 Tc1과 Td1 사이의 tDCMM을 갖는다.
- [0070] 플립 비트를 로직 로우로부터 로직 하이로 전이시키면 자동으로: (1) 현재 DCM 결과를 캡처하고; (2) DCM 결과를 MRx OP[2]/MRx OP[4]에 저장하고; (3) DCM을 리셋 및 재시작할 것이다. 플립 비트를 로직 하이에서 로직 로우로 전이시키면 자동으로: (1) 현재 DCM 결과를 캡처하고; (2) DCM 결과를 MRx OP[3]/MRx OP[5]에 저장하고; (3) DCM을 리셋 및 재시작할 것이다.
- [0071] 단계 640에서, DCM이 플립된 입력으로 듀티 사이클 측정을 완료할 때까지 시간 tDCMM 동안 대기한다. 단계 650에서 모드 레지스터 기입 커맨드가 발행되어 DCM을 탈출한다. 모드 레지스터 커맨드는 시간 Te0 및 Te1에 수신되고, 시간 Td1과 Te1 사이의 tDCMM을 갖는다. DCM을 탈출하면, MRx OP[1]이 로직 로우일 때 현재 DCM 결과를 자동으로 캡처하여 MRx OP[2]/MRx OP[4]에 저장하고, MRx OP[1]이 로직 하이일 때 현재 DCM 결과를 자동으로 캡처하여 MRx OP[3]/MRx OP[5]에 저장한다.

- [0072] 단계 660에서, MRx OP[5:2]는 DCM 결과를 판독하기 위해 정상적인 MRR 타이밍을 사용하여 (예를 들어, 시간 Tf0에서) DCM 탈출로부터 최소 시간 이후에 모드 레지스터 판독 커맨드 MRR을 발행함으로써 판독된다.
- [0073] 도 6 및 도 7을 참조하여 설명된 단계는 본 개시내용의 범위를 벗어나지 않고 단계를 추가하고 단계를 무시하는 것을 포함하여 다양한 방식으로 조합될 수 있다.
- [0074] 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 특징이 도 8 및 도 9를 참조하여 설명될 것이다. 도 8은 본 개시내용의 실시예에 따른 조절기 범위에 대한 DCA 조절기 회로의 예시적인 타이밍 도면이다. 도 9는 본 개시내용의 일 실시예에 따른 DCA 특징을 사용하여 조절되는 데이터 클럭 신호의 예시적인 타이밍 도면이다. 도 8 및 도 9를 참조하여 설명된 DCA 특징은 본 개시내용의 실시예에 따른 DCA 회로와 함께 사용될 수 있다. 예를 들어, 본 개시내용의 일부 실시예에서, DCA 특징은 도 3의 DCA 회로(320)와 함께 사용될 수 있다.
- [0075] DCA 특징은 메모리 컨트롤러가 내부 WCK 클럭 트리 듀티 사이클을 조절하여 시스템 듀티 사이클 오류를 보상할 수 있도록 모드 레지스터 조절 가능한 WCK DCA이다. DCA 특징은 정적 내부 WCK(예를 들어, 내부 WCK\_t 및 WCK\_c) 듀티 사이클을 조절한다. 내부 WCK는 외부 WCK\_t 및 WCK\_c 클럭을 수신하는 클럭 경로에 의해 제공되는 내부 데이터 신호에 포함될 수 있다. 데이터의 각 바이트에 대해 별도의 DCA가 제공될 수 있다(예를 들어, 상위 바이트 조절을 위한 DCAL 및 상위 바이트 조절을 위한 DCAU).
- [0076] WCK DCA는 WCK 분할기 이전에 위치하거나 동등한 위치에 있을 수 있다. WCK DCA는 메모리 동작 중에 WCK 듀티 사이클에 영향을 미칠 수 있다. 예를 들어, WCK 듀티 사이클은 본 개시내용의 일부 실시예에서 다음 동작 전부 중 일부에 대해 영향을 받을 수 있다: 판독, 판독32, 기입, 기입32, 마스크 기입, 모드 레지스터 판독, FIFO 판독, FIFO 기입, DQ 교정 판독 및/또는 듀티 사이클 모니터. 메모리 컨트롤러는 모드 레지스터에 정보를 프로그래밍하여 예를 들어 정보를 모드 레지스터의 연산코드로서 프로그래밍하여 내부 클럭의 듀티 사이클을 조절할 수 있다. 예를 들어, 도 3의 데이터 경로(300)를 포함하는 본 개시내용의 실시예에서, 듀티 사이클은 모드 레지스터(MR)(325)의 연산코드로서 정보를 프로그래밍함으로써 조절될 수 있다. 본 개시내용의 실시예에 대해 MR(325)이 8 비트에 대한 연산코드를 포함한다고 가정하면, 컨트롤러는 DCAL에 대한 연산코드 MR OP[3:0] 및 DCAU 설정에 대한 MR OP[7:4]를 통해 듀티 사이클을 조절할 수 있다. DCA에 대한 바람직한 모드 레지스터 설정은 컨트롤러에 의해 다양한 방식으로 결정될 수 있다.
- [0077] 도 8은 DCA 범위에 걸쳐 내부 WCK의 예시적인 조절을 예시한다. 도 8의 예에서 DCA는 +7 내지 -7 스텝의 조절 범위를 포함한다. 이러한 방식으로, DCA는 내부 WCK의 듀티 사이클을 조절하기 위해 DCA 범위의 15 가지 다른 스텝 중 하나로 설정될 수 있다. 스텝 N과 스텝 N+1(또는 N-1) 사이의 실제 값의 차이는 DCA 변경에 의한 듀티 사이클의 변동이 선형적이지 않을 수 있기 때문에 변할 수 있다. 스텝을 증가(+하여 DCA를 조절하면 WCK의 하이 듀티 사이클이 증가하는 반면 스텝을 감소(-시켜 DCA를 조절하면 WCK의 하이 듀티 사이클이 감소한다. 도 9는 DCA 코드 증가에 대한 WCK의 하이 듀티 사이클 증가와 DCA 코드 감소에 대한 WCK의 하이 듀티 사이클 감소를 예시한다.
- [0078] 본 개시내용의 실시예는 DCA 회로에 대한 DCA 코드 설정을 식별하기 위해 DCA 코드를 다수의 스텝 크기(예를 들어, 1개 초과 스텝 크기)만큼 변경하는 것 및/또는 DCA 코드의 범위에 관하여 DCM 오프셋을 식별하는 것을 포함한다. 본 개시내용의 예시적인 실시예를 아래에서 보다 구체적으로 설명할 것이다. 다수의 스텝 크기를 사용하면 DCA 회로에 대한 DCA 코드 설정의 효율적 식별이 용이해질 수 있다. 다수의 스텝 크기는 DCA 코드 범위에 대한 선형 검색과 함께 사용될 수 있으며, 더 큰 스텝 크기는 고속으로 고려되고 더 작은 스텝 크기는 저속으로 고려된다. DCA 코드 범위와 관련하여 DCM 오프셋을 식별하면 DCA 회로에 대한 DCA 코드 설정에서 정확도가 개선될 수 있다. DCM 오프셋에 대한 DCA 코드 범위의 중간 DCA 코드, 예를 들어, DCA 코드 범위의 중간(또는 중간에 가까운) DCA 코드는 DCA 회로에 대해 수용가능한 DCA 코드 설정으로서 사용될 수 있다.
- [0079] 도 10 내지 도 15는 본 개시내용의 일부 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 이 동작은 내부 클럭 신호의 타이밍을 조절하도록, 예를 들어 내부 클럭 트리 듀티 사이클을 조절하도록 DCA 회로를 설정하기 위해 메모리 컨트롤러에 의해 사용되어 반도체 디바이스의 시스템 듀티 사이클 오류를 보상할 수 있다. 도 10 내지 도 15의 동작은 도 1 내지 도 9를 참조하여 이전에 설명된 본 개시내용의 실시예의 임의의 조합과 함께 사용될 수 있다. 예를 들어, 메모리 컨트롤러에 의해 반도체 디바이스에 커맨드가 발행되어 도 10 내지 도 15에 대해 아래에 설명된 바와 같은 동작을 수행할 수 있다. 발행된 특정 커맨드 및 특정 커맨드의 발행에 대한 구체적인 언급은 간결성을 위해 아래 설명에서 생략되었다. 그러나, 커맨드의 발행 및 동작을 수행하기 위해 커맨드가 발행되는 시기는 본 개시내용의 범위 내에 있는 것으로 의도된다.

- [0080] 도 10 내지 도 15는 각각 듀티 사이클 모니터(DCM) 시퀀스를 수행하여 듀티 사이클 결과(DCM 결과)를 결정하고 DCM 결과에 기초하여 DCA 회로를 조절하여 DCA 회로에 대한 최적 설정에 도달하는 동작을 도시하고 있다. 본 개시내용의 일부 실시예에서, DCM 시퀀스는 도 6의 DCM 시퀀스를 포함할 수 있다. 도 7에 도시되어 있는 타이밍을 갖는 DCM 시퀀스는 본 개시내용의 일부 실시예에서 DCM 시퀀스에 포함될 수 있다. 도 10의 동작에 의해 결정된 DCA 결과는 본 개시내용의 일부 실시예에서 도 5에 도시되어 있는 바와 같이 정의될 수 있다. DCM 결과는 본 개시내용의 일부 실시예에서 도 4에 도시되어 있는 바와 같이 모드 레지스터에 제공될 수 있다.
- [0081] 도 10 내지 도 15의 예시적인 동작에서 DCM 결과에 기초하여 조절되는 DCA 회로에는 +7 내지 -7 스텝의 조절 범위가 포함된다. 이러한 방식으로, DCA 회로는 내부 데이터 클럭, 예를 들어 내부 WCK(예를 들어, 내부 WCK\_t 및/또는 WCK\_c 포함)의 듀티 사이클을 조절하기 위해 15개의 상이한 스텝 중 하나로 설정될 수 있다. 도 10 내지 도 15의 예시적인 동작은 또한 도 3의 클럭 경로(300)의 DCA 회로(320) 및 DCM(350)을 참조하여 설명될 것이다. 또한, 각 DCM 시퀀스는 2개의 DCM 결과를 제공할 수 있다. 예를 들어, DCM에 대한 제1 입력 조건(예를 들어, 제1 DCM 플립 설정)에 대해 하나의 DCM 결과가 제공되고, DCM에 대한 제2 입력 조건(예를 들어, 제2 DCM 플립 설정)에 대해 제2 DCM 결과가 제공된다. DCM 결과는 본 개시내용의 일부 실시예에서 모드 레지스터에 제공될 수 있다. 예를 들어, 각각의 DCM 결과는 모드 레지스터의 각각의 연산코드로서 제공될 수 있다. DCM 결과가 도 4에 도시되어 있는 바와 같이 모드 레지스터에 제공되는 본 개시내용의 실시예에서, 도 10의 예시적인 동작의 DCM 시퀀스 동안 결정된 2개의 연산코드는 연산코드 OP[2] 및 OP[3]에 대응할 수 있고, OP[2]는 제1 DCM 플립 설정(예를 들어, 플립 없음)에 대한 DCM 결과를 제공하고 OP[3]는 제2 DCM 플립 설정(예를 들어, 플립 포함)에 대한 DCM 결과를 제공한다. 데이터의 상위 및 하위 바이트를 포함하는 본 개시내용의 실시예에서, 다른 데이터 바이트에 대한 DCM 시퀀스로부터 추가적인 DCM 결과가 제공될 수 있다.
- [0082] 도 10은 본 개시내용의 일 실시예에 따른 DCA 회로를 설정하기 위한 동작의 도면이다. 도 10의 예시적인 동작의 DCA 회로는 어떠한 DCM 오프셋도 없는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위가 포함되지 않는다.
- [0083] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에서, 제1 DCM 시퀀스가 시작되고 시간 T1에서 예를 들어 메모리 컨트롤러가 메모리에 적절한 커맨드를 발행함으로써 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가 결정된다. 앞서 설명한 바와 같이, 도 10의 예시적인 동작의 DCM 시퀀스는 2개의 DCM 결과를 제공하며, 이들 각각은 DCM에 대한 서로 다른 조건(예를 들어, DCM 플립 없음 및 DCM 플립 포함)에 대응한다. 두 DCM 결과는 모드 레지스터의 연산코드 OP[3:2]에 대응하는 것으로 설명될 것이다. 도 10의 예시적인 동작에서 제1 DCM 시퀀스로부터의 DCM 결과는 OP[3:2] = 00이다. 이 00 결과는 양 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제1 DCM 결과는 예를 들어 메모리 컨트롤러에 의해 평가되고 커맨드가 발행되어 DCA 회로 설정을 위한 연산코드가 메모리 컨트롤러에 의해 변경되어 내부 클럭의 하이 듀티 사이클이 증가를 야기한다. 도 10에 도시되어 있는 바와 같이 DCA 회로는 시간 T1 이후 제1 스텝 크기, 예를 들어, 2개 스텝만큼 조절됨으로써 DCA 회로의 설정을 +2로 증가시키고 하이 듀티 사이클을 증가시킨다.
- [0084] 시간 T1 이후 2개 스텝 증가 후에, 제2 DCM 시퀀스가 시간 T2에서 시작되고 시간 T3에서 중지된다. 시간 T2와 T3 사이의 제2 DCM 시퀀스 동안 제2 DCM 결과가 결정된다. 제2 DCM 시퀀스의 DCM 결과는 OP[3:2] = 00이다. 앞서 설명한 바와 같이, 00 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제2 DCM 결과가 평가되고 DCA 회로 설정을 위한 연산코드가 변경되어 내부 클럭의 하이 듀티 사이클의 증가를 야기한다. 도 10에 도시되어 있는 바와 같이, DCA 회로는 시간 T3 이후에 2 스텝의 제1 스텝 크기만큼 조절되어 DCA 회로의 설정을 +4로 증가시키고 하이 듀티 사이클을 증가시킨다.
- [0085] 제3 DCM 시퀀스는 시간 T4와 T5 사이에 수행되며, 이는 OP[3:2] = 00의 제3 DCM 결과를 초래하고, 이는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. DCA 회로 설정을 위한 연산코드가 다시 변경되어 내부 클럭의 하이 듀티 사이클의 증가를 야기한다. 도 10에 도시되어 있는 바와 같이, DCA 회로는 시간 T5 이후에 2 스텝의 제1 스텝 크기만큼 조절되어 DCA 회로의 설정을 +6로 증가시키고 하이 듀티 사이클을 증가시킨다.
- [0086] 제4 DCM 시퀀스는 시간 T6과 T7 사이에 수행되며 OP[3:2] = 11의 제4 DCM 결과를 초래한다. 이 11 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타낸다. 시간 T5에서 OP[3:2] = 00으로부터 시간 T7에서 OP[3:2] = 11로의 변화는 시간 T5 이후의 +6의 설정으로 DCA 회로의 조절이 내부 클럭의 하이 듀티 사이클을 필요 이상으로 증가시켰음을 나타낸다. 따라서, 내부 클럭의 하이 듀티 사이클을 감소시키기 위해 설정을

+6에서 감소시키도록 DCA를 조절해야 한다. 도 10에 도시되어 있는 바와 같이, DCA 회로는 시간 T7 이후, 제1 스텝 크기 미만인 제2 스텝 크기, 예를 들어, 1 스텝만큼 조절되어 DCA 회로의 설정을 +5로 감소시키고 하이 듀티 사이클을 감소시킨다.

[0087] 제2 스텝 크기는 제1 스텝 크기만큼 설정을 조절하는 것보다 더 세밀하게 DCA 회로의 설정을 조절하는 데 사용될 수 있다. 예를 들어, 하이 듀티 사이클이 50 % 미만임을 나타내는 것으로부터 하이 듀티 사이클이 50 % 초과임을 나타내는 것으로의 DCM 결과의 변화 이후에 제2 스텝 크기가 사용될 수 있다. 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T7 이후에 DCA 회로에 대한 설정을 감소시키면 +4의 DCA 회로 설정이 초래되고, 이는, 시간 T4와 T5 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여  $OP[3:2] = 00$ 이 되는 것으로 알려져 있다.  $OP[3:2] = 00$ 의 DCM 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 따라서, 시간 T7 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 평가되지 않은 +5의 DCA 회로 설정이 얻어진다(+4 및 +6의 DCA 회로 설정은 이미 갖고 있다).

[0088] DCA 회로를 +5의 설정으로 조절한 후, T8과 T9 사이에 제5 DCM 시퀀스가 수행될 수 있으며, 이는 불확정인 제5 DCM 결과, 즉,  $OP[3:2] = 10$  또는  $OP[3:2] = 01$ 를 생성한다. 불확정 DCM 결과는 DCM 시퀀스 동안 테스트된 두 조건 각각에 대한 DCM 결과가 서로 다르다는 것을 나타내며, 하나의 DCM 결과는 50 % 초과인 하이 듀티 사이클을 나타내고 다른 DCM 결과는 50 % 미만의 하이 듀티 사이클을 나타낸다. DCM 결과의 이력에 기초하여, +5로부터 DCA 회로 설정에 대한 추가 조절은 DCA 회로 조절이 필요한 것으로 이미 평가된 조건을 생성한다(예를 들어, +4 설정의 경우  $OP[3:2] = 00$  및 +6 설정의 경우  $OP[3:2] = 11$ ). 결과적으로, 현재 +5 DCA 설정은 DCA 회로에 대해 수용가능한(예를 들어, 최소 불만족) 설정을 생성한다.

[0089] 본 개시내용의 일부 실시예에서, 제5 DCM 시퀀스는 수행되지 않는다. 제5 DCM 시퀀스는 예를 들어 메모리 컨트롤러에 의해 DCM 결과의 이력에 기초하여 불필요한 것으로 고려될 수 있다. 특히, +4 및 +6의 DCA 회로 설정은 불만족이고, DCA 회로 설정의 조절을 초래한다. 따라서, 추론에 의해, +5의 DCA 설정은 DCA 회로에 대한 최소 불만족 설정을 초래한다.

[0090] 도 11은 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 도 11의 예시적인 동작의 DCA 회로는 어떠한 DCM 오프셋도 없는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위가 포함되지 않는다.

[0091] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에서, 제1 DCM 시퀀스가 시작되고 시간 T1에서 예를 들어 메모리 컨트롤러가 메모리에 적절한 커맨드를 발행함으로써 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가 결정된다. 앞서 설명한 바와 같이, 도 11의 예시적인 동작의 DCM 시퀀스는 2개의 DCM 결과를 제공하며, 이들 각각은 DCM에 대한 서로 다른 조건(예를 들어, DCM 플립 없음 및 DCM 플립 포함)에 대응한다. 두 DCM 결과는 모드 레지스터의 연산코드  $OP[3:2]$ 에 대응하는 것으로 설명될 것이다. 도 11의 예시적인 동작에서 제1 DCM 시퀀스로부터의 DCM 결과는  $OP[3:2] = 11$ 이다. 이 11 결과는 도 11의 예시적인 동작에서 양 조건에 대한 하이 듀티 사이클이 50 % 초과임을 나타낸다. 제1 DCM 결과는 예를 들어 메모리 컨트롤러에 의해 평가되고 커맨드가 발행되어 DCA 회로 설정을 위한 연산코드가 메모리 컨트롤러에 의해 변경되어 내부 클럭의 하이 듀티 사이클이 감소를 야기한다. 도 11에 도시되어 있는 바와 같이 DCA 회로는 시간 T1 이후 제1 스텝 크기, 예를 들어, 2개 스텝만큼 조절됨으로써 DCA 회로의 설정을 -2로 감소시키고 하이 듀티 사이클을 감소시킨다.

[0092] 시간 T1 이후 2개 스텝 감소 후에, 제2 DCM 시퀀스가 시간 T2에서 시작되고 시간 T3에서 중지된다. 시간 T2와 T3 사이의 제2 DCM 시퀀스 동안 제2 DCM 결과가 결정된다. 제2 DCM 시퀀스의 DCM 결과는  $OP[3:2] = 00$ 이다. 앞서 설명한 바와 같이, 00 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제2 DCM 결과가 평가되고 DCA 회로 설정을 위한 연산코드가 변경되어 내부 클럭의 하이 듀티 사이클의 증가를 야기한다. 도 11에 도시되어 있는 바와 같이, DCA 회로는 시간 T3 이후, 제1 스텝 크기 미만인 제2 스텝 크기, 예를 들어, 1 스텝만큼 조절되어 DCA 회로의 설정을 -2로부터 -1로 증가시키고 하이 듀티 사이클을 증가시킨다.

[0093] 도 10의 예시적인 동작을 참조하여 앞서 설명한 바와 같이, 제2 스텝 크기는 제1 스텝 크기만큼 설정을 조절하는 것보다 DCA 회로의 설정을 더 세밀하게 조절하는 데 사용될 수 있다. 예를 들어, 하이 듀티 사이클이 50 % 초과임을 나타내는 것으로부터 하이 듀티 사이클이 50 % 미만임을 나타내는 것으로의 DCM 결과의 변화 이후에 제2 스텝 크기가 사용될 수 있다. 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T3 이후에 DCA 회로에 대한 설정을 증가시키면 0의 DCA



회로 설정이 초래되고, 이는, 시간 T0와 T1 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여  $OP[3:2] = 11$ 이 되는 것으로 알려져 있다.  $OP[3:2] = 11$ 의 DCM 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 초과 임을 나타낸다. 따라서, 시간 T3 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 평가되지 않은 -1의 DCA 회로 설정이 얻어진다(0 및 -2의 DCA 회로 설정을 이미 갖고 있으므로).

[0094] DCA 회로를 -1의 설정으로 조절한 후, T4와 T5 사이에 제3 DCM 시퀀스가 수행될 수 있으며, 이는 불확정인 제3 DCM 결과, 즉,  $OP[3:2] = 10$  또는  $OP[3:2] = 01$ 를 생성한다. 앞서 설명한 바와 같이, 불확정 DCM 결과는 DCM 시퀀스 동안 테스트된 두 조건 각각에 대한 DCM 결과가 서로 다르다는 것을 나타내며, 하나의 DCM 결과는 50 % 초과인 하이 듀티 사이클을 나타내고 다른 DCM 결과는 50 % 미만의 하이 듀티 사이클을 나타낸다. DCM 결과의 이력에 기초하여, -1로부터 DCA 회로 설정에 대한 추가 조절은 DCA 회로 조절이 필요한 것으로 이미 평가된 조건을 생성한다(예를 들어, 0 설정의 경우  $OP[3:2] = 11$  및 -2 설정의 경우  $OP[3:2] = 00$ ). 결과적으로, 현재 -1 DCA 설정은 DCA 회로에 대해 수용가능한 설정을 생성한다.

[0095] 본 개시내용의 일부 실시예에서, 제3 DCM 시퀀스는 수행되지 않는다. 제3 DCM 시퀀스는 예를 들어 메모리 컨트롤러에 의해 DCM 결과의 이력에 기초하여 불필요한 것으로 고려될 수 있다. 특히, 0 및 -2의 DCA 회로 설정은 불만족이고, DCA 회로 설정의 조절을 초래한다. 따라서, 추론에 의해, -1의 DCA 설정은 DCA 회로에 대한 최소 불만족 설정을 초래한다.

[0096] 도 12는 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 도 12의 예시적인 동작의 DCA 회로는 DCM 오프셋을 갖는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위를 포함한다. 도 12의 예시적인 동작에서 DCM 오프셋은 약 2-3 스텝의 DCA 설정 범위에 걸쳐진다.

[0097] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에서, 제1 DCM 시퀀스가 시작되고 시간 T1에서 예를 들어 메모리 컨트롤러가 메모리에 적절한 커맨드를 발행함으로써 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가 결정된다. 제1 DCM 시퀀스로부터의 DCM 결과는  $OP[3:2] = 00$ 이며 양 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제1 DCM 결과는 예를 들어 메모리 컨트롤러에 의해 평가되고 커맨드가 발행되어 DCA 회로 설정을 위한 연산코드가 메모리 컨트롤러에 의해 변경되어 내부 클럭의 하이 듀티 사이클이 증가를 야기한다. 도 12에 도시되어 있는 바와 같이 DCA 회로는 시간 T1 이후 제1 스텝 크기, 예를 들어, 2개 스텝만큼 조절됨으로써 DCA 회로의 설정을 +2로 증가시키고 하이 듀티 사이클을 증가시킨다.

[0098] 시간 T1 이후 2개 스텝 증가 후에, 제2 DCM 시퀀스가 시간 T2에서 시작되고 시간 T3에서 중지된다. 시간 T2와 T3 사이의 제2 DCM 시퀀스 동안 제2 DCM 결과가 결정된다. 제2 DCM 시퀀스의 DCM 결과는  $OP[3:2] = 00$ 이다. 앞서 설명한 바와 같이, 00 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제2 DCM 결과가 평가되고 DCA 회로 설정을 위한 연산코드가 변경되어 내부 클럭의 하이 듀티 사이클의 증가를 야기한다. 도 12에 도시되어 있는 바와 같이, DCA 회로는 시간 T3 이후에 2 스텝의 제1 스텝 크기만큼 조절되어 DCA 회로의 설정을 +4로 증가시키고 하이 듀티 사이클을 증가시킨다.

[0099] 제3 DCM 시퀀스는 T4와 T5 사이에 수행되며, 이는 불확정인 제3 DCM 결과, 즉,  $OP[3:2] = 10$  또는  $OP[3:2] = 01$ 을 생성한다. 앞서 설명한 바와 같이, 불확정 DCM 결과는 DCM 시퀀스 동안 테스트된 두 조건 각각에 대한 DCM 결과가 서로 다르다는 것을 나타내며, 하나의 DCM 결과는 50 % 초과인 하이 듀티 사이클을 나타내고 다른 DCM 결과는 50 % 미만의 하이 듀티 사이클을 나타낸다. DCM 결과가 불확정이고, DCA 설정의 오버슈트가 T2와 T3 사이의 DCM 시퀀스로부터의 이전 DCM 결과  $OP[3:2] = 00$ 로부터 명확한 변경을 초래하지 않는다면, 시간 T4와 T5 사이의 DCM 시퀀스로부터의 불확정 DCM 결과는 DCM에 대한 오류 범위 이내, 즉, DCM의 DCM 오프셋 이내의 설정으로 고려된다.

[0100] DCM 오프셋 범위의 경계는 상이한 DCA 회로 설정에 대해 DCM 시퀀스를 수행하여 불확정 DCM 결과를 초래한 DCA 회로 설정을 경계짓는 확정 DCM 결과를 초래하는 설정을 식별함으로써 결정된다. DCM 오프셋의 경계는 불확정인 DCM 결과를 초래하는 최대 DCA 회로 설정(예를 들어, 상위 경계) 및 불확정인 DCM 결과를 초래하는 최소 DCA 회로 설정(예를 들어, 하위 경계)에 의해 표현된다. DCM 오프셋의 상위 경계를 경계짓는 확정 DCM 결과에 대한 DCA 코드는 상위 경계를 나타내는 불확정 DCA 결과에 대한 DCA 코드보다 1개 스텝 더 크고 DCM 오프셋의 하위 경계를 경계짓는 확정 DCM 결과에 대한 DCA 코드는 하위 경계를 나타내는 불확정 DCA 결과에 대한 DCA 코드보다 1개 스텝 더 작다.

- [0101] 예를 들어, +4의 DCA 회로 설정으로부터 T5 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 DCA 회로 설정을 계속 증가시키기 위해 2 스텝의 제1 스텝 크기만큼 조절된다. 결과적인 DCA 회로 설정은 +6이다. 제4 DCM 시퀀스는 시간 T6과 T7 사이에 수행된다. 결과적인 제4 DCM 결과는 다시 불확정이며, 이는 +6의 DCA 회로 설정인 +6이 DCM 오프셋 범위 이내에 있음을 나타낸다. DCM 오프셋의 경계를 찾기 위해 시간 T7 이후에 DCA 회로 설정이 추가로 증가한다. DCA 회로 설정이 이미 +6이고 최대 DCA 회로 설정이 +7이면, DCA 회로 설정이 1 스텝 조절되어 DCA 회로 설정을 +7로 증가시킨다.
- [0102] 제5 DCM 시퀀스는 시간 T8과 T9 사이에 수행되며  $OP[3:2] = 11$ 의 제5 DCM 결과를 초래한다. 이 제5 DCM 결과는 확정이고, DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타내는 +7의 DCA 회로 설정에서, 그리고, 추가로, 불확정 DCM 결과를 생성하는 +6의 DCA 회로 설정에서, +6의 DCA 회로 설정은 DCM 오프셋의 상위 경계를 나타낸다는 결론을 얻을 수 있다. DCM 오프셋의 하위 경계를 결정하는 것이 남아 있다.
- [0103] DCM 오프셋의 하위 경계를 결정하기 위해 DCA 회로 설정은 +4의 DCA 설정에 비해 조절되고, 이 설정은 앞서 설명한 바와 같이, T4 내지 T5 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성한다. 불확정 DCM 결과를 생성하는 +4의 DCA 회로 설정에서, 그리고, DCM 오프셋의 하위 경계를 검색하면, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정이 조절된다. DCA 설정은 DCA 회로의 설정을 +4에서 +3으로 감소시키기 위해 제1 스텝 크기 미만인 제2 스텝 크기(예를 들어, 1 스텝)만큼 조절된다.
- [0104] 예를 들어, 불확정 DCM 결과를 초래한 조절 방향에 비해 DCA 회로 설정에 대한 조절 방향이 변경되기 때문에 1 스텝의 제2 스텝 크기를 사용하여 DCA 회로 설정을 조절할 수 있다. 전술한 바와 같이, +4의 DCA 회로 설정으로부터 불확정 DCM 결과를 초래하는 조절 방향은 하이 듀티 사이클을 증가시켰다(즉, 시간 T3 이후 +2의 DCA 회로 설정으로부터 +4로의 2 스텝 증가한 조절). 이제, DCM 오프셋의 하위 경계를 찾기 위해 하이 듀티 사이클을 감소시키도록 DCA 회로 설정을 조절하면 조절 방향이 마이너스 방향으로 변경된다. 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T5 이후에 DCA 회로에 대한 설정을 감소시키면 +2의 DCA 회로 설정이 초래되고, 이는, 시간 T2와 T3 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여  $OP[3:2] = 00$ 이 되는 것으로 알려져 있다.  $OP[3:2] = 00$ 의 DCM 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 따라서, 시간 T5 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 평가되지 않은 +3의 DCA 회로 설정이 얻어진다(+2의 DCA 회로 설정을 이미 갖고 있으므로). 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 +4에서 +3으로 감소시킨다.
- [0105] DCA 회로 설정을 +3으로 조절한 후 시간 T10과 T11 사이에 제6 DCM 시퀀스가 수행되어  $OP[3:2] = 00$ 의 제6 DCM 결과가 생성된다. 제6 DCM 결과는 확정이며, DCM의 두 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타내는 +3의 DCA 회로 설정에서, 그리고, 추가로, 불확정 DCM 결과를 생성하는 +4의 DCA 회로 설정에서, +4의 DCA 회로 설정은 DCM 오프셋의 하위 경계를 나타낸다는 결론을 얻을 수 있다.
- [0106] 따라서, 도 12의 예시적인 동작에서 DCM 오프셋에 대한 경계는 +4 및 +6의 DCA 회로 설정으로 결정된다.
- [0107] DCM 오프셋의 경계 내에 있는 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정이 될 수 있다. 예를 들어, DCM 오프셋 경계 사이의 중간인(또는 중간에 가까운) 중간 DCA 회로 설정은 DCA 회로에 대한 최소 불만족 설정을 초래할 수 있다. 도 12의 예시적인 동작을 참조하면 +5의 DCA 회로 설정은 +4와 +6의 DCM 오프셋 경계 사이의 중간에 있는 중간 DCA 회로 설정이다. +5의 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정을 제공할 수 있다.
- [0108] 도 13은 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 도 13의 예시적인 동작의 DCA 회로는 DCM 오프셋을 갖는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위를 포함한다. 도 13의 예시적인 동작에서 DCM 오프셋은 약 2-3 스텝의 DCA 설정 범위에 걸쳐진다.
- [0109] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에 제1 DCM 시퀀스가 시작되고 시간 T1에 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가 결정된다. 제1 DCM 시퀀스의 DCM 결과는 불확정이다. DCM 결과가 불확정이고 확정 DCM 결과를 초래한 어떠한 DCA 회로 설정도 갖지 않는 경우, 시간 T0과 T1 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 초래한 DCA 회로 설정은 DCM의 오류 범위 내에 있는 것으로, 즉, DCM의 DCM 오프셋 내에 있는 것으로 고려된다.

- [0110] 전술한 바와 같이, DCM 오프셋 범위의 경계는 상이한 DCA 회로 설정에 대해 DCM 시퀀스를 수행하여 불확정 DCM 결과를 초래한 DCA 회로 설정을 경계짓는 확정 DCM 결과를 초래하는 설정을 식별함으로써 결정된다. DCM 오프셋의 경계는 불확정인 DCM 결과를 초래하는 최대 DCA 회로 설정(예를 들어, 상위 경계) 및 불확정인 DCM 결과를 초래하는 최소 DCA 회로 설정(예를 들어, 하위 경계)에 의해 표현된다.
- [0111] 예를 들어, 0의 DCA 회로 설정으로부터 T1 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 2 스텝의 제1 스텝 크기만큼 조절된다. 도 13의 예시적인 동작에서 DCA 회로 설정은 제1 스텝 크기만큼 +2로 증가한다. 그러나, 본 개시내용의 다른 실시예에서, DCA 회로 설정은 초기 DCA 회로 설정이 DCM 오프셋 내에 있을 때 제1 스텝 크기만큼 감소될 수 있다.
- [0112] 제2 DCM 시퀀스는 제2 DCM 결과를 결정하기 위해 +2의 DCA 회로 설정에 대해 시간 T2와 T3 사이에서 수행된다. 제2 DCM 결과는  $OP[3:2] = 11$ 이다. 앞서 설명한 바와 같이 11 DCM 결과는 DCM의 두 조건 모두에 대한 하이 듀티 사이클이 50 % 초과임을 나타낸다. 제2 DCM 결과가 평가되고 DCA 회로 설정에 대한 연산코드가 변경되어 하이 듀티 사이클의 감소를 야기한다. 도 13에 도시되어 있는 바와 같이, DCA 회로 설정은 시간 T3 이후, 제1 스텝 크기 미만인 제2 스텝 크기, 예를 들어, 1 스텝만큼 조절되어 DCA 회로의 설정을 +2로부터 +1로 감소시키고 하이 듀티 사이클을 감소시킨다.
- [0113] 예를 들어, 이전 조절 방향에 비해 DCA 회로 설정에 대한 조절 방향이 변경되기 때문에 1 스텝의 제2 스텝 크기를 사용하여 DCA 회로 설정을 조절할 수 있다. 전술한 바와 같이, +2의 DCA 회로 설정에 대한 DCM 결과  $OP[3:2] = 11$ 을 초래하는 조절 방향은 하이 듀티 사이클을 증가시켰다(즉, 시간 T1 이후 0의 DCA 회로 설정으로부터 +2로의 2 스텝 증가한 조절). 이제, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정을 조절하면 조절 방향이 마이너스 방향으로 변경된다. 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 +2에서 +1로 조절한다. 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T3 이후에 DCA 회로에 대한 설정을 감소시키면 0의 DCA 회로 설정이 초래되고, 이는, 시간 T0와 T1 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여 불확정이 되는 것으로 알려져 있다. 따라서, 시간 T3 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 DCM 시퀀스에 의해 평가되지 않은 +1의 DCA 회로 설정이 얻어진다(0의 DCA 회로 설정을 이미 갖고 있으므로).
- [0114] +1의 DCA 회로 설정에 대해 T4와 T5 시간 사이에 제3 DCM 시퀀스를 수행할 수 있으며, 이는  $OP[3:2] = 11$ 의 제3 DCM 결과를 초래한다. 이 제3 DCM 결과는 확정이고, DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타내는 +1의 DCA 회로 설정에서, 그리고, 추가로, 불확정 DCM 결과를 생성하는 0의 DCA 회로 설정에서, 0의 DCA 회로 설정은 DCM 오프셋의 상위 경계를 나타낸다는 결론을 얻을 수 있다. DCM 오프셋의 하위 경계를 결정하는 것이 남아 있다.
- [0115] DCM 오프셋의 하위 경계를 결정하기 위해 DCA 회로 설정은 0의 DCA 설정에 비해 조절되고, 이 설정은 앞서 설명한 바와 같이, T0 내지 T1 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성한다. 불확정 DCM 결과를 생성하는 0의 DCA 회로 설정에서, 그리고, DCM 오프셋의 하위 경계를 검색하면, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정이 조절된다. DCA 설정은 DCA 회로의 설정을 0에서 -2로 감소시키기 위해 제1 스텝 크기만큼 조절된다. DCA 회로 설정의 감소 조절에 대한 DCM 결과가 없기 때문에 2 스텝의 제1 스텝 크기를 사용할 수 있다.
- [0116] 제4 DCM 시퀀스는 시간 T6과 T7 사이에 수행된다. 결과적인 제4 DCM 결과는 불확정이며, 이는 -2의 DCA 회로 설정인 +6이 DCM 오프셋 범위 이내에 있음을 나타낸다. DCM 오프셋의 하위 경계를 찾기 위해 시간 T7 이후 DCA 회로 설정이 다시 감소된다. -2의 DCA 회로 설정으로부터 T7 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 DCA 회로 설정을 계속 감소시키기 위해 2 스텝의 제1 스텝 크기만큼 조절된다. 결과적인 DCA 회로 설정은 -4이다. 제5 DCM 시퀀스는 시간 T8과 T9 사이에 수행된다. 결과적인 제5 DCM 결과는  $OP[3:2] = 00$ 이고, 이는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제5 DCM 결과가 평가되고 DCA 회로 설정에 대한 연산코드가 변경되어 하이 듀티 사이클의 증가를 야기한다. 도 13에 도시되어 있는 바와 같이, DCA 회로는 시간 T9 이후에 1 스텝의 제2 스텝 크기만큼 조절되어 DCA 회로의 설정을 -4에서 -3으로 증가시키고 하이 듀티 사이클을 증가시킨다.
- [0117] 예를 들어, 이전 DCM 결과를 초래한 조절 방향에 대한 DCA 회로 설정의 조절 방향의 변경 이후에, 제2 스텝 크기를 사용하여 DCA 회로 설정을 -3으로 조절할 수 있다. 전술한 바와 같이, -4의 DCA 회로 설정에 대한 DCM 결과를 초래하는 조절 방향은 하이 듀티 사이클을 감소시켰다(즉, 시간 T7 이후 -2의 DCA 회로 설정으로부터 -4로의 -2의 조절). 이제, DCM 오프셋의 하위 경계를 찾기 위해 하이 듀티 사이클을 증가시키도록 DCA 회로 설정을

조절하면 조절 방향이 플러스 방향으로 변경된다. 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 -4에서 -3으로 조절한다.

- [0118] 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T9 이후에 DCA 회로에 대한 설정을 증가시키면 -2의 DCA 회로 설정이 초래되고, 이는, 시간 T6와 T7 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여 불확정이 되는 것으로 알려져 있다. OP[3:2] = 00의 DCM 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 따라서, 시간 T9 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 DCM 시퀀스에 의해 평가되지 않은 -3의 DCA 회로 설정이 얻어진다(-2의 DCA 회로 설정을 이미 갖고 있으므로).
- [0119] DCA 회로 설정을 -3으로 조절한 후 시간 T10과 T11 사이에 제6 DCM 시퀀스가 수행되어 OP[3:2] = 00의 DCM 결과에서 제6 DCM 결과가 생성된다. 제6 DCM 결과는 확정이며, DCM의 두 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타내는 -3의 DCA 회로 설정에서, 그리고, 추가로, 시간 T6와 시간 T7 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성하는 -2의 DCA 회로 설정에서, -2의 DCA 회로 설정은 DCM 오프셋의 하위 경계를 나타낸다는 결론을 얻을 수 있다.
- [0120] 이러한 도 13의 예시적인 동작에서, DCM 오프셋에 대한 경계는 0 및 -2의 DCA 회로 설정으로 결정된다.
- [0121] 도 12를 참조하여 전술한 바와 같이, DCM 오프셋의 경계 내에 있는 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정이 될 수 있다. DCM 오프셋 경계 사이의 중간인(또는 중간에 가까운) 중간 DCA 회로 설정은 DCA 회로에 대한 최소 불만족 설정을 초래할 수 있다. 도 13의 예시적인 동작을 참조하면 -1의 DCA 회로 설정은 0과 -2의 DCM 오프셋 경계 사이의 중간에 있는 중간 DCA 회로 설정이다. -3의 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정을 제공할 수 있다.
- [0122] 도 10 및 도 11의 예시적인 동작과 달리 도 12 및 도 13의 예시적인 동작에는 DCM 오프셋의 경계를 나타내는 DCA 회로 설정 식별이 포함된다. 도 10 및 도 11의 예시적인 동작에 대해, DCM 오프셋이 없다고 가정했고, 결과적으로, DCM 오프셋의 경계를 식별할 필요가 없었다. 경계 DCA 회로 설정에 기초하여, 경계 DCA 회로 설정 사이의 중간 DCA 회로 설정이 DCA 회로를 설정하는 데 사용된다. 도 10 내지 도 13의 예시적인 동작은 본 개시내용의 대안 실시예를 제공하기 위해 부분적으로 또는 전체적으로 조합될 수 있다.
- [0123] 도 14는 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 도 14의 예시적인 동작의 DCA 회로는 DCM 오프셋을 갖는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위를 포함한다. 도 14의 예시적인 동작에서 DCM 오프셋은 약 6 스텝의 DCA 설정 범위에 걸쳐진다.
- [0124] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에 제1 DCM 시퀀스가 시작되고 시간 T1에 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가 결정된다. 제1 DCM 시퀀스로부터의 DCM 결과는 OP[3:2] = 00이며 양 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제1 DCM 결과가 평가되고 DCA 회로 설정을 위한 연산코드가 변경되어 내부 클럭의 하이 듀티 사이클의 증가를 야기한다. 도 14에 도시되어 있는 바와 같이 DCA 회로는 시간 T1 이후 제1 스텝 크기, 예를 들어, 2개 스텝만큼 조절됨으로써 DCA 회로의 설정을 +2로 증가시키고 하이 듀티 사이클을 증가시킨다.
- [0125] 시간 T1 이후 +2의 DCA 회로 설정으로 2개 스텝 증가 후에, 제2 DCM 시퀀스가 시간 T2에서 시작되고 시간 T3에서 중지된다. 시간 T2와 T3 사이의 제2 DCM 시퀀스 동안 제2 DCM 결과가 결정된다. 제2 DCM 시퀀스의 DCM 결과는 불확정이다. DCM 결과가 불확정이고, DCA 설정의 오버슈트가 T0와 T1 사이의 DCM 시퀀스로부터의 이전 DCM 결과 OP[3:2] = 00로부터 명확한 변경을 초래하지 않는다면, 시간 T2와 T3 사이의 DCM 시퀀스로부터의 불확정 DCM 결과는 DCM에 대한 오류 범위 이내, 즉, DCM의 DCM 오프셋 이내로 고려된다.
- [0126] +2의 DCA 회로 설정으로부터 T3 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 DCA 회로 설정을 계속 증가시키기 위해 2 스텝의 제1 스텝 크기만큼 조절된다. 결과적인 DCA 회로 설정은 +4이다. 제3 DCM 시퀀스는 시간 T4와 T5 사이에 수행된다. 결과적인 제3 DCM 결과는 불확정이며, 이는 +4의 DCA 회로 설정이 여전히 DCM 오프셋 범위 내에 있음을 나타낸다. DCA 회로 설정은 계속해서 DCA 회로 설정을 증가시키기 위해 2 스텝의 제1 스텝 크기만큼 시간 T5 이후에 다시 증가한다. 결과적인 DCA 회로 설정은 +6이다. 제4 DCM 시퀀스는 시간 T6과 T7 사이에 수행된다. 결과적인 제4 DCM 결과는 다시 불확정이며, 이는 +6의 DCA 회로 설정인 +6이 여전히 DCM 오프셋 범위 이내에 있음을 나타낸다. DCM 오프셋의 경계를 찾기 위해 시간 T7 이후 DCA 회로 설정이 다시 증가된다. DCA 회로 설정이 이미 +6이고 최대 DCA 회로 설정이 +7이면, DCA 회로 설정이 1 스텝 조절



되어 DCA 회로 설정을 +7로 증가시킨다.

- [0127] 제5 DCM 시퀀스는 시간 T8과 T9 사이에 수행되며  $OP[3:2] = 11$ 의 제5 DCM 결과를 초래한다. 이 제5 DCM 결과는 확정이고, DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 초과임을 나타내는 +7의 DCA 회로 설정에서, 그리고, 추가로, 불확정 DCM 결과를 생성하는 +6의 DCA 회로 설정에서, +6의 DCA 회로 설정은 DCM 오프셋의 상위 경계를 나타낸다는 결론을 얻을 수 있다. DCM 오프셋의 하위 경계를 결정하는 것이 남아 있다.
- [0128] DCM 오프셋의 하위 경계를 결정하기 위해 DCA 회로 설정은 +2의 DCA 설정에 비해 조절되고, 이 설정은 앞서 설명한 바와 같이, T2 내지 T3 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성한다. 불확정 DCM 결과를 생성하는 +2의 DCA 회로 설정에서, 그리고, DCM 오프셋의 하위 경계를 검색하면, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정이 조절된다. DCA 설정은 DCA 회로의 설정을 +2에서 +1로 감소시키기 위해 제1 스텝 크기 미만인 제2 스텝 크기(예를 들어, 1 스텝)만큼 조절된다.
- [0129] 예를 들어, 불확정 DCM 결과를 초래한 조절 방향에 비해 DCA 회로 설정에 대한 조절 방향이 변경되기 때문에 1 스텝의 제2 스텝 크기를 사용하여 DCA 회로 설정을 조절할 수 있다. 전술한 바와 같이, +2의 DCA 회로 설정으로부터 불확정 DCM 결과를 초래하는 조절 방향은 하이 듀티 사이클을 증가시켰다(즉, 시간 T1 이후 0의 DCA 회로 설정으로부터 +2로의 2 스텝 증가한 조절). 이제, DCM 오프셋의 하위 경계를 찾기 위해 하이 듀티 사이클을 감소시키도록 DCA 회로 설정을 조절하면 조절 방향이 마이너스 방향으로 변경된다. 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 +2에서 +1로 조절한다.
- [0130] 1 스텝의 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T9 이후에 DCA 회로에 대한 설정을 감소시키면 0의 DCA 회로 설정이 초래되고, 이는, 시간 T0와 T1 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여  $OP[3:2] = 00$ 이 되는 것으로 알려져 있다.  $OP[3:2] = 00$ 의 DCM 결과는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 따라서, 시간 T9 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 DCM 시퀀스에 의해 평가되지 않은 +1의 DCA 회로 설정이 얻어진다(0의 DCA 회로 설정을 이미 갖고 있으므로).
- [0131] DCA 회로 설정을 +1로 조절한 후 시간 T10과 T11 사이에 제6 DCM 시퀀스가 수행되어 불확정인 제6 DCM 결과가 생성된다. 불확정 DCM 결과를 초래하는 +1의 DCA 회로 설정에서, 그리고, 추가로  $OP[3:2] = 00$ 의 확정 DCM 결과를 초래하는 0의 DCA 회로 설정에서, +1의 DCA 회로 설정이 DCM 오프셋의 하위 경계를 나타낸다는 결론을 얻을 수 있다.
- [0132] 따라서, 도 14의 예시적인 동작에서 DCM 오프셋에 대한 경계는 +1 및 +6의 DCA 회로 설정으로 결정된다.
- [0133] 도 12 및 도 13을 참조하여 전술한 바와 같이, DCM 오프셋의 경계 내에 있는 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정이 될 수 있다. 예를 들어, DCM 오프셋 경계 사이의 중간인(또는 중간에 가까운) 중간 DCA 회로 설정은 DCA 회로에 대한 최소 불만족 설정을 초래할 수 있다. 도 14의 예시적인 동작을 참조하면, +1과 +6 사이의 DCM 오프셋은 짝수의 DCA 회로 설정, 즉, 6 스텝을 포함한다. 결과적으로, DCM 오프셋 경계 사이의 중간에 DCA 회로 설정이 하나도 없다. 그러나, +3 및 +4의 DCA 회로 설정은 둘 모두 DCM 오프셋의 +1과 +6 경계 사이의 중간에 가까운 중간 DCA 회로 설정이다. 따라서, +3 또는 +4의 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정을 제공할 수 있다.
- [0134] DCM 오프셋에서 2개의 중간 DCA 회로 설정 사이의 선택은 예를 들어, 결과적인 내부 클럭 신호에 대한 선호도에 기초하여 50% 초과와 하이 듀티 사이클을 갖도록 또는 50% 미만의 하이 듀티 사이클을 갖도록 될 수 있다. DCM 오프셋에서 2개의 중간 DCA 회로 설정 사이의 선택은 본 개시내용의 범위를 벗어나지 않고 대안 및/또는 추가 고려 사항에 기초할 수 있다. 도 14의 특정 예시적인 동작에서, DCA 회로는 +3으로 설정된다. 그러나, DCA 회로를 2개의 중간 DCA 회로 설정의 더 낮은 설정으로 설정하거나 0 설정에 더 가까운 DCA 회로 설정으로 설정하는 것은 본 개시내용의 범위를 제한을 의도하는 것은 아니다.
- [0135] 도 15는 본 개시내용의 일 실시예에 따른 듀티 사이클 조절기(DCA) 회로를 설정하기 위한 동작의 도면이다. 도 15의 예시적인 동작의 DCA 회로는 DCM 오프셋을 갖는 것으로 고려된다. 즉, DCA 회로에는 회로 변동 및 불일치로부터 초래되는 측정 오차 범위를 포함한다. 도 15의 예시적인 동작에서 DCM 오프셋은 약 6 스텝의 DCA 설정 범위에 걸쳐진다.
- [0136] 시간 T0 이전에, DCA 회로는 예를 들어 DCA 회로 초기화 후에 0의 조절로 설정된다. 시간 T0에 제1 DCM 시퀀스가 시작되고 시간 T1에 제1 DCM 시퀀스가 중지된다. 시간 T0과 T1 사이의 제1 DCM 시퀀스 동안 제1 DCM 결과가

결정된다. 제1 DCM 시퀀스의 DCM 결과는 불확정이다. DCM 결과가 불확정이고 확정 DCM 결과를 초래한 어떠한 DCA 회로 설정도 갖지 않는 경우, 시간 T0과 T1 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 초래한 DCA 회로 설정은 DCM의 오류 범위 내에 있는 것으로, 즉, DCM의 DCM 오프셋 내에 있는 것으로 고려된다.

[0137] 0의 DCA 회로 설정으로부터 T1 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 2 스텝의 제1 스텝 크기만큼 조절된다. 도 15의 예시적인 동작에서 DCA 회로 설정은 제1 스텝 크기만큼 +2로 증가한다. 그러나, 본 개시내용의 다른 실시예에서, DCA 회로 설정은 초기 DCA 회로 설정이 DCM 오프셋 내에 있을 때 제1 스텝 크기만큼 감소될 수 있다.

[0138] 제2 DCM 시퀀스는 제2 DCM 결과를 결정하기 위해 +2의 DCA 회로 설정에 대해 시간 T2와 T3 사이에서 수행된다. 제2 DCM 결과는  $OP[3:2] = 11$ 이다. 앞서 설명한 바와 같이 11 DCM 결과는 DCM의 두 조건 모두에 대한 하이 듀티 사이클이 50 % 초과임을 나타낸다. 제2 DCM 결과가 평가되고 DCA 회로 설정에 대한 연산코드가 변경되어 하이 듀티 사이클의 감소를 야기한다. 도 15에 도시되어 있는 바와 같이, DCA 회로 설정은 시간 T3 이후, 제1 스텝 크기 미만인 제2 스텝 크기, 예를 들어, 1 스텝만큼 조절되어 DCA 회로의 설정을 +2로부터 +1로 감소시키고 하이 듀티 사이클을 감소시킨다.

[0139] 예를 들어, 이전 조절 방향에 비해 DCA 회로 설정에 대한 조절 방향이 변경되기 때문에 1 스텝의 제2 스텝 크기를 사용하여 DCA 회로 설정을 조절할 수 있다. 전술한 바와 같이, +2의 DCA 회로 설정에 대한 DCM 결과  $OP[3:2] = 11$ 을 초래하는 조절 방향은 하이 듀티 사이클을 증가시켰다(즉, 시간 T1 이후 0의 DCA 회로 설정으로부터 +2로의 2 스텝 증가한 조절). 이제, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정을 조절하면 조절 방향이 마이너스 방향으로 변경된다. 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 +2에서 +1로 조절한다. 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T3 이후에 DCA 회로에 대한 설정을 감소시키면 0의 DCA 회로 설정이 초래되고, 이는, 시간 T0와 T1 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여 불확정인 것으로 알려져 있다. 따라서, 시간 T3 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 DCM 시퀀스에 의해 평가되지 않은 +1의 DCA 회로 설정이 얻어진다(0의 DCA 회로 설정을 이미 갖고 있으므로).

[0140] +1의 DCA 회로 설정에 대해 T4와 T5 시간 사이에 제3 DCM 시퀀스를 수행할 수 있으며, 이는 불확정인 제3 DCM 결과를 초래한다. 불확정 DCM 결과를 초래하는 +1의 DCA 회로 설정에서, 그리고, 추가로  $OP[3:2] = 11$ 의 확정 DCM 결과를 초래하는 +2의 DCA 회로 설정에서, +1의 DCA 회로 설정이 DCM 오프셋의 상위 경계를 나타낸다는 결론을 얻을 수 있다. DCM 오프셋의 하위 경계를 결정하는 것이 남아 있다.

[0141] DCM 오프셋의 하위 경계를 결정하기 위해 DCA 회로 설정은 0의 DCA 설정에 비해 조절되고, 이 설정은 앞서 설명한 바와 같이, T0 내지 T1 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성한다. 불확정 DCM 결과를 생성하는 0의 DCA 회로 설정에서, 그리고, DCM 오프셋의 하위 경계를 검색하면, 하이 듀티 사이클을 감소시키도록 DCA 회로 설정이 조절된다. DCA 설정은 DCA 회로의 설정을 0에서 -2로 감소시키기 위해 제1 스텝 크기만큼 조절된다. DCA 회로 설정의 감소 조절에 대한 DCM 결과가 없기 때문에 2 스텝의 제1 스텝 크기를 사용할 수 있다.

[0142] 제4 DCM 시퀀스는 시간 T6과 T7 사이에 수행된다. 결과적인 제4 DCM 결과는 불확정이며, 이는 -2의 DCA 회로 설정이 DCM 오프셋 범위 이내에 있음을 나타낸다. DCM 오프셋의 하위 경계를 찾기 위해 시간 T7 이후 DCA 회로 설정이 다시 감소된다. -2의 DCA 회로 설정으로부터 T7 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 DCA 회로 설정을 계속 감소시키기 위해 2 스텝의 제1 스텝 크기만큼 조절된다. 결과적인 DCA 회로 설정은 -4이다. 제5 DCM 시퀀스는 시간 T8과 T9 사이에 수행된다. 결과적인 제5 DCM 결과 또한 불확정이며, 이는 -4의 DCA 회로 설정이 여전히 DCM 오프셋 범위 내에 있음을 나타낸다. -4의 DCA 회로 설정으로부터 T9 시간 이후의 불확정 DCM 결과 이후에, DCA 회로에 대한 설정은 DCA 회로 설정을 계속 감소시키기 위해 2 스텝의 제1 스텝 크기만큼 조절된다. 결과적인 DCA 회로 설정은 -6이다.

[0143] 제6 DCM 시퀀스는 시간 T10와 T11 사이에 수행된다. 결과적인 제5 DCM 결과는  $OP[3:2] = 00$ 이고, 이는 DCM에 대한 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타낸다. 제6 DCM 결과가 평가되고 DCA 회로 설정에 대한 연산코드가 변경되어 하이 듀티 사이클의 증가를 야기한다. 도 15에 도시되어 있는 바와 같이, DCA 회로는 시간 T9 이후에 1 스텝의 제2 스텝 크기만큼 조절되어 DCA 회로의 설정을 -6에서 -5로 증가시키고 하이 듀티 사이클을 증가시킨다.

[0144] 예를 들어, 이전 DCM 결과를 초래한 조절 방향에 대한 DCA 회로 설정의 조절 방향의 변경 이후에, 제2 스텝 크기를 사용하여 DCA 회로 설정을 -5로 조절할 수 있다. 전술한 바와 같이, -6의 DCA 회로 설정에 대한 DCM 결과

를 초래하는 조절 방향은 하이 듀티 사이클을 감소시켰다(즉, 시간 T9 이후 -4의 DCA 회로 설정으로부터 -6으로의 2 스텝 감소의 조절). 이제, DCM 오프셋의 하위 경계를 찾기 위해 하이 듀티 사이클을 증가시키도록 DCA 회로 설정을 조절하면 조절 방향이 플러스 방향으로 변경된다. 따라서, 제2 스텝 크기가 사용되어 DCA 회로 설정을 -6에서 -5로 조절한다.

[0145] 제2 스텝 크기는 DCM 결과 이력을 기반으로 대안적으로 또는 추가로 사용될 수 있다. 예를 들어, 제1 스텝, 즉, 2개 스텝만큼 시간 T11 이후에 DCA 회로에 대한 설정을 증가시키면 -4의 DCA 회로 설정이 초래되고, 이는, 시간 T8와 T9 사이의 DCM 시퀀스로부터의 DCM 결과에 기초하여 불확정이 되는 것으로 알려져 있다. 시간 T10과 T11 사이의 DCM 시퀀스로부터의 OP[3:2] = 00의 DCM 결과는 DCM의 두 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 따라서, 시간 T11 이후 제2 스텝만큼 DCA 회로에 대한 설정을 조절하면 아직 DCM 시퀀스에 의해 평가되지 않은 -5의 DCA 회로 설정이 얻어진다(-4의 DCA 회로 설정을 이미 갖고 있으므로).

[0146] DCA 회로 설정을 -5로 조절한 후 시간 T12과 T13 사이에 제7 DCM 시퀀스가 수행되어 OP[3:2] = 00의 DCM 결과에서 제6 DCM 결과가 생성된다. 제7 DCM 결과는 확정이며, DCM의 두 조건에 대한 하이 듀티 사이클이 50 % 미만임을 나타낸다. 확정 DCM 결과를 생성하고 양 조건에 대해 하이 듀티 사이클이 50 % 미만임을 나타내는 -5의 DCA 회로 설정에서, 그리고, 추가로, 시간 T8과 시간 T9 사이의 DCM 시퀀스로부터 불확정 DCM 결과를 생성하는 -4의 DCA 회로 설정에서, -4의 DCA 회로 설정은 DCM 오프셋의 하위 경계를 나타낸다는 결론을 얻을 수 있다.

[0147] 따라서, 도 15의 예시적인 동작에서 DCM 오프셋에 대한 경계는 -4 및 +1의 DCA 회로 설정으로 결정된다.

[0148] 도 12 내지 도 14를 참조하여 전술한 바와 같이, DCM 오프셋의 경계 내에 있는 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정이 될 수 있다. DCM 오프셋 경계 사이의 중간인(또는 중간에 가까운) 중간 DCA 회로 설정은 DCA 회로에 대한 최소 불만족 설정을 초래할 수 있다. 도 15의 예시적인 동작을 참조하면, -4과 +1 사이의 DCM 오프셋은 짝수의 DCA 회로 설정, 즉, 6 스텝을 포함한다. 결과적으로, DCM 오프셋 경계 사이의 중간에 DCA 회로 설정이 하나도 없다. 그러나, -2 및 -1의 DCA 회로 설정은 둘 모두 DCM 오프셋의 -4 내지 +1 경계 사이의 중간에 가까운 중간 DCA 회로 설정이다. 따라서, -2 또는 -1의 DCA 회로 설정은 DCA 회로에 대해 수용가능한 설정을 제공할 수 있다.

[0149] DCM 오프셋에서 2개의 중간 DCA 회로 설정 사이의 선택은 예를 들어, 결과적인 내부 클럭 신호에 대한 선호도에 기초하여 50% 초과 하이 듀티 사이클을 갖도록 또는 50% 미만의 하이 듀티 사이클을 갖도록 될 수 있다. DCM 오프셋에서 2개의 중간 DCA 회로 설정 사이의 선택은 본 개시내용의 범위를 벗어나지 않고 대안 및/또는 추가 고려 사항에 기초할 수 있다. 도 15의 특정 예시적인 동작에서, DCA 회로는 -1로 설정된다. 그러나, DCA 회로를 2개의 중간 DCA 회로 설정의 더 높은 설정으로 설정하거나 0 설정에 더 가까운 DCA 회로 설정으로 설정하는 것은 본 개시내용의 범위를 제한을 의도하는 것은 아니다.

[0150] 도 12 및 도 13의 예시적인 동작과 달리 도 14 및 도 15의 예시적인 동작에는 짝수의 DCA 회로 설정을 포함하는 DCM 오프셋의 경계를 나타내는 DCA 회로 설정 식별이 포함된다. 도 12와 13을 참조하면, DCM 오프셋에 홀수의 DCA 설정을 포함한다고 가정했으며, 그 결과 DCM 오프셋 경계 사이의 중간에 하나의 DCA 회로 설정이 있다. DCM 오프셋이 짝수의 DCA 회로 설정을 갖는 결과로, DCM 오프셋 경계 사이의 중간에 DCA 회로 설정이 없지만, 대신 2개의 DCA 회로 설정은 DCM 오프셋의 경계 사이의 중간에 가까운 중간 DCA 회로 설정이다. 2개의 중간 DCA 회로 설정 중 하나를 선택하여 DCA 회로를 설정할 수 있다. 2개의 중간 DCA 회로 설정 중 어느 것을 설정할지를 선택할 때 다양한 고려 사항이 있을 수 있다. 도 10 내지 도 15의 예시적인 동작은 본 개시내용의 대안 실시예를 제공하기 위해 부분적으로 또는 전체적으로 조합될 수 있다.

[0151] 도 10 내지 도 15의 예시적인 동작은 DCA 회로에 대한 DCA 코드 설정을 식별하기 위해 DCA 코드를 다수의 스텝 크기(예를 들어, 1개 초과 스텝 크기)만큼 변경하는 것 및/또는 DCA 코드의 범위에 관하여 DCM 오프셋을 식별하는 것을 포함하는 본 개시내용의 실시예를 설명한다. 다수의 스텝 크기(예를 들어, 고속 및 저속)를 사용하고/하거나 DCM 오프셋에 대한 DCA 코드의 범위를 식별하는 것은 본 개시내용의 대안 실시예를 제공하기 위해 다양한 방식으로 조합될 수 있다. 더욱이, 도 1 내지 도 15를 참조하여 설명된 본 개시내용의 실시예는 본 개시내용의 대안 실시예를 제공하기 위해 다양한 조합으로 포함될 수 있다.

[0152] 앞서 설명한 바와 같이, 도 10 내지 도 15의 동작의 DCA에 대한 조절 범위는 +7 내지 -7이다. 그러나, 본 개시내용의 일부 실시예에서, DCA 조절의 범위는 +7 내지 -7보다 클 수 있다. 이러한 실시예의 예는 +15 내지 -15의 DCA 조절 범위를 포함할 수 있다. 본 개시내용의 일부 실시예에서, DCA 조절의 범위는 +7 내지 -7보다 작을 수 있다. 이러한 실시예의 예는 +4 내지 -4의 DCA 조절 범위를 포함할 수 있다. 따라서, 본 개시내용의 실시

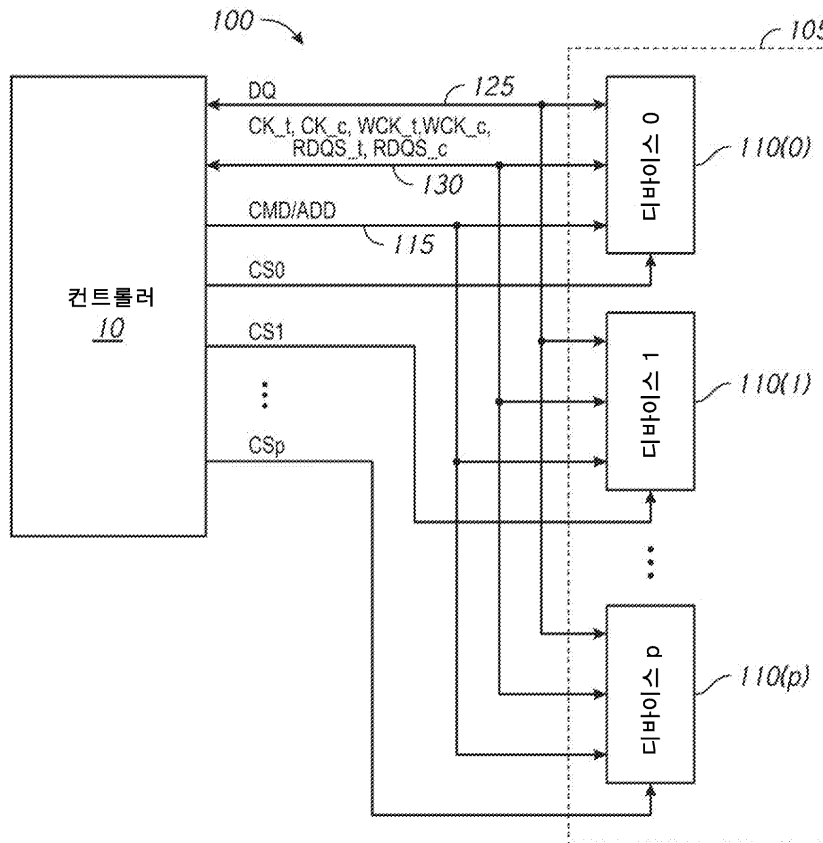
예는 도 10 내지 도 15의 동작에 대해 구체적으로 설명된 바와 같이 +7 내지 -7의 특정 조절 범위로 제한되지 않는다.

[0153] 앞서 설명한 바와 같이, 하나의 DCA 코드에서 다른 코드로 변경하는 데 다수의 스텝 크기가 사용될 수 있다. 예를 들어, 도 10 내지 도 15의 작업은 제1 및 제2 스텝 크기를 포함하는 것으로 설명되었다. 그러나, 본 개시내용의 일부 실시예에서, 더 많은 수의 스텝 크기가 포함될 수 있다. 예를 들어, 본 개시내용의 일부 실시예에서 3개의 스텝 크기를 포함한다. 이에 제한되지는 않지만, 추가 스텝 크기는 조절 범위가 +7 내지 -7보다 큰 (예를 들어, +15 내지 -15) 수용가능한 DCA 코드를 식별하는 것을 용이하게 할 수 있다. 추가적으로, 단계의 크기는 도 10 내지 도 15의 동작을 참조하여 설명된 것(예를 들어, 2 스텝 및 1 스텝)과 다를 수 있다. 예를 들어, 본 개시내용의 일부 실시예는 4 스텝 및 2 스텝의 스텝 크기를 포함할 수 있다. 따라서, 본 개시내용의 실시예는 도 10 내지 도 15에 대해 이전에 설명된 스텝의 특정 수의 스텝 크기 및 스텝에 제한되지 않는다.

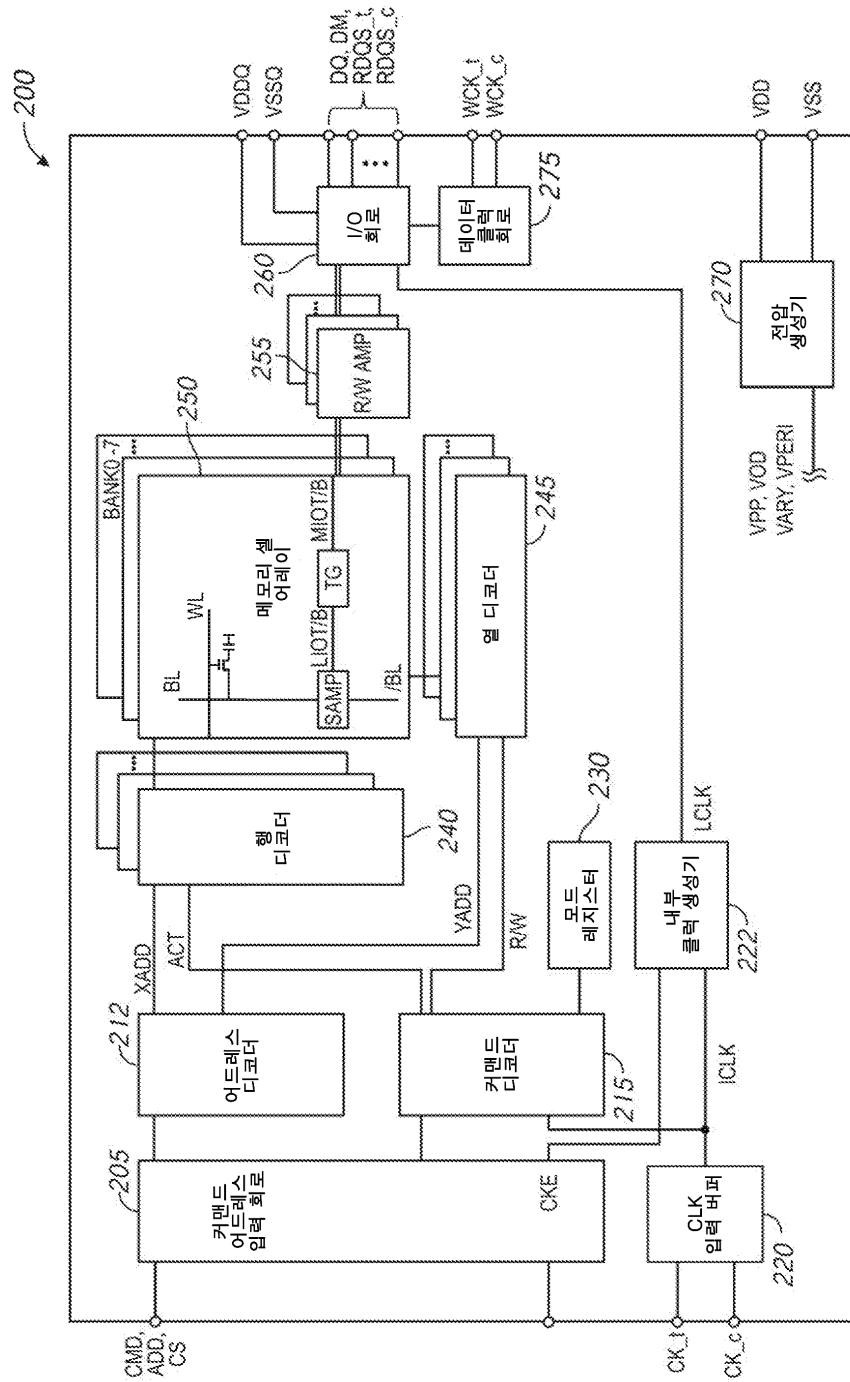
[0154] 앞서 설명한 바로부터, 본 발명의 특정 실시예가 예시의 목적으로 여기에 설명되었지만, 본 발명의 사상 및 범위를 벗어나지 않고 다양한 수정이 이루어질 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 첨부된 청구범위를 제외하고는 제한되지 않는다.

도면

도면1

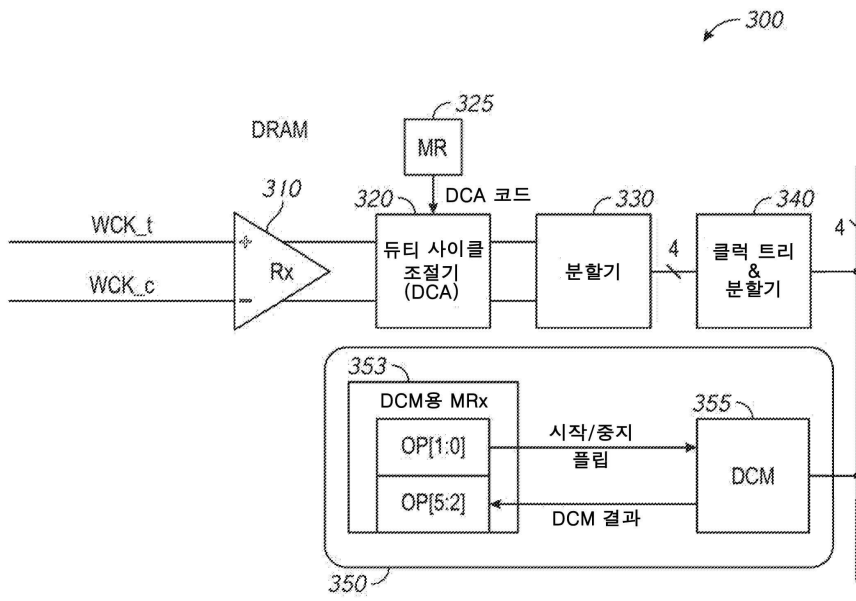


도면2





도면3



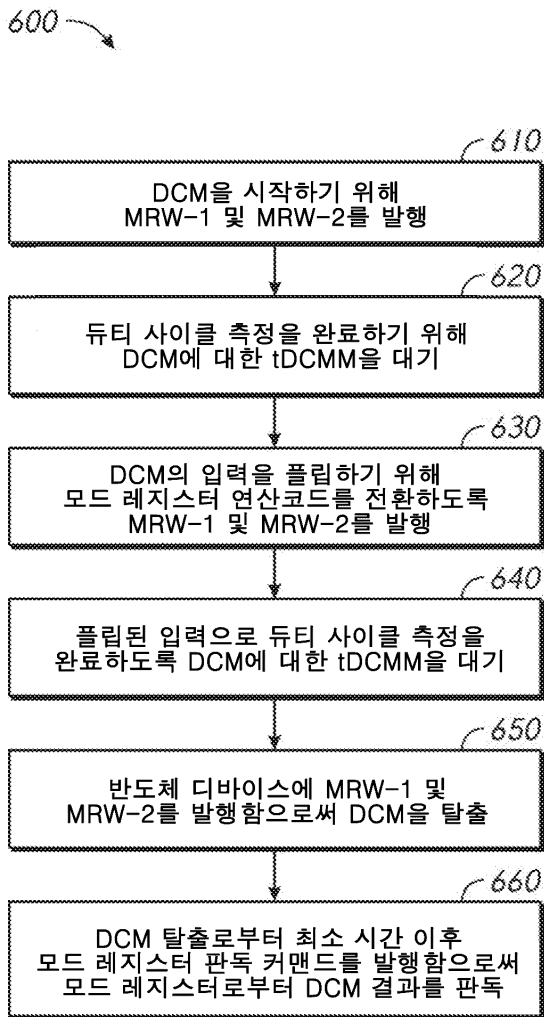
도면4

OP[7]	OP[6]	OP[5]	OP[4]	OP[3]	OP[2]	OP[1]	OP[0]
RFU	DCMU1	DCMU0	DCML1	DCML0	DCM 플립	DCM 시작/중지	

도면5

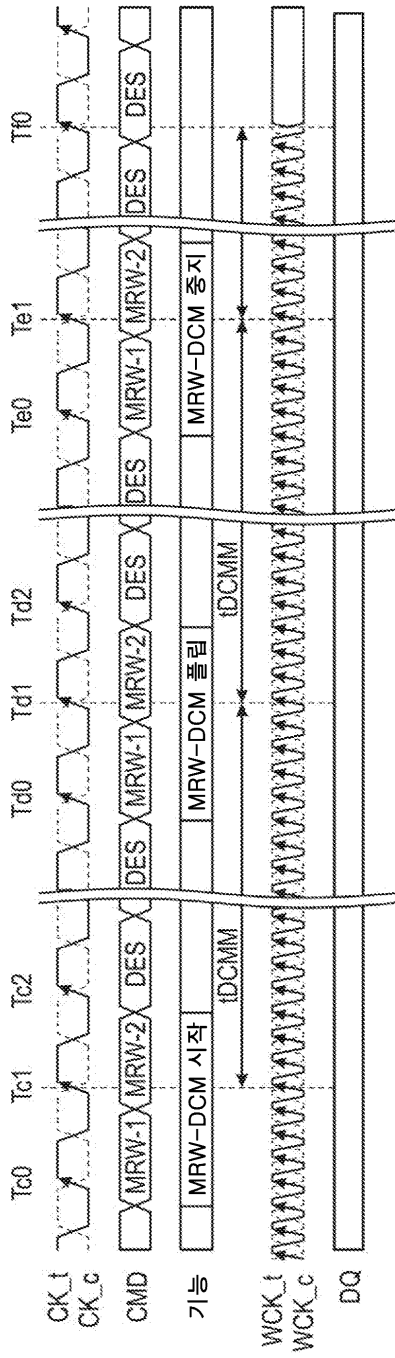
기능	레지스터 타입	연산자	데이터	비고	
DCM 플립 = 1일 때 상위 바이트에 대한 듀티 사이클 결과(DCMU1)	판독	OP[5]	0b: 상위 바이트에 대해 50% 미만 하이 듀티 사이클		
			1b: 상위 바이트에 대해 50% 초과 하이 듀티 사이클		
DCM 플립 = 0일 때 상위 바이트에 대한 듀티 사이클 결과(DCMU0)		OP[4]	0b: 상위 바이트에 대해 50% 미만 하이 듀티 사이클		
			1b: 상위 바이트에 대해 50% 초과 하이 듀티 사이클		
DCM 플립 = 1일 때 하위 바이트에 대한 듀티 사이클 결과(DCML1)		OP[3]	0b: 하위 바이트에 대해 50% 미만 하이 듀티 사이클		
			1b: 하위 바이트에 대해 50% 초과 하이 듀티 사이클		
DCM 플립 = 0일 때 하위 바이트에 대한 듀티 사이클 결과(DCML0)		OP[2]	0b: 하위 바이트에 대해 50% 미만 하이 듀티 사이클		
			1b: 하위 바이트에 대해 50% 초과 하이 듀티 사이클		
오프셋을 상쇄하기 위한 플립 입력		기입	OP[1]	0b: 플립 없음	
				1b: 플립	
DCM_시작/중지	OP[0]		0b: 중지		
			1b: 시작		

도면6

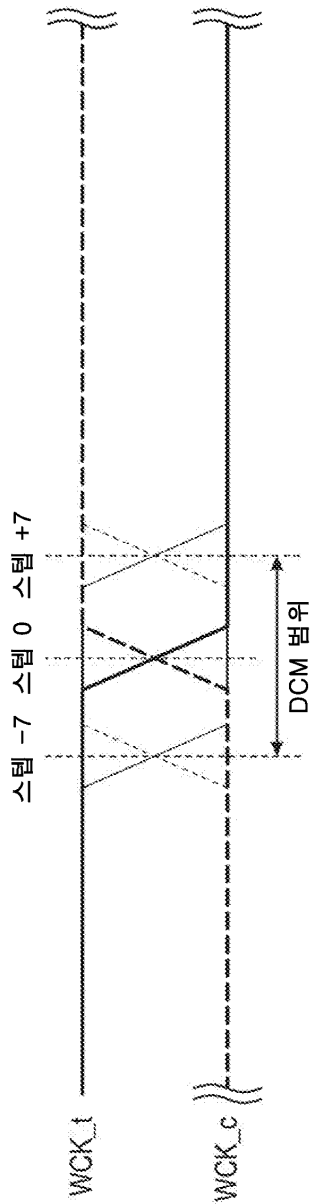




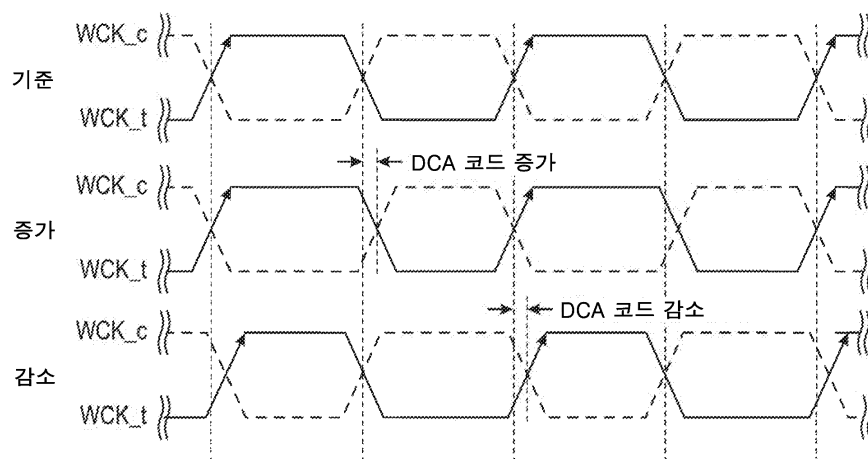
도면7



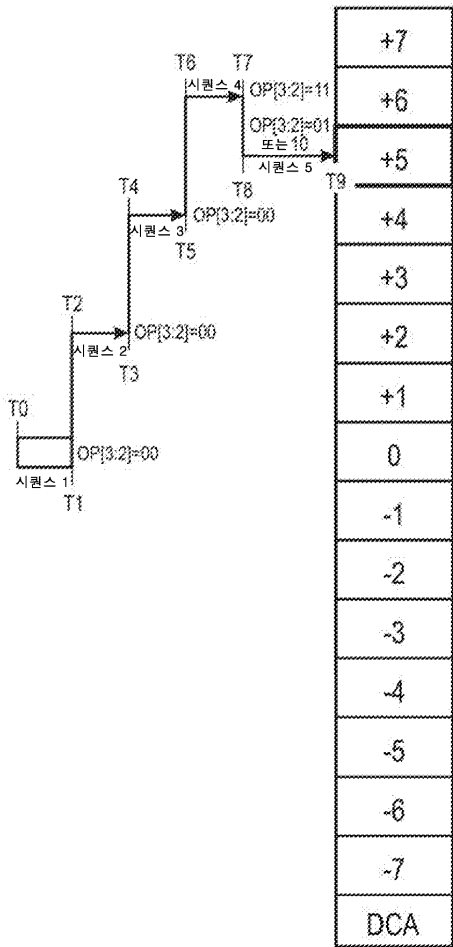
도면8



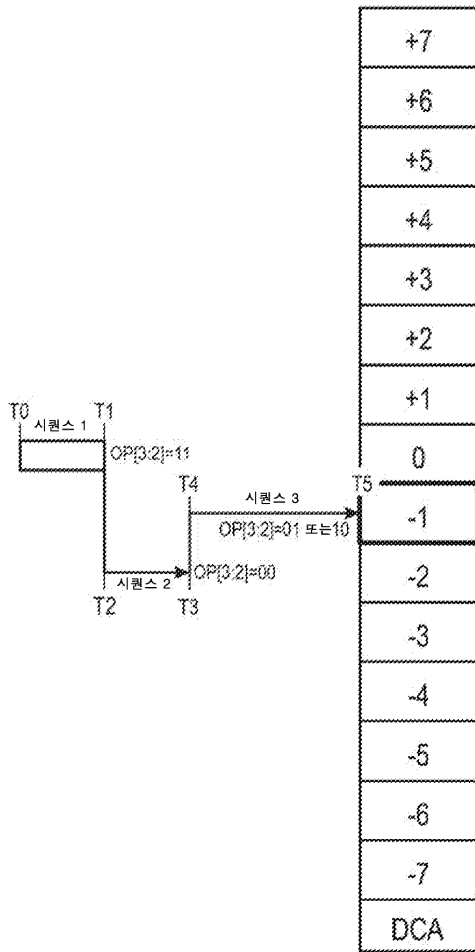
도면9



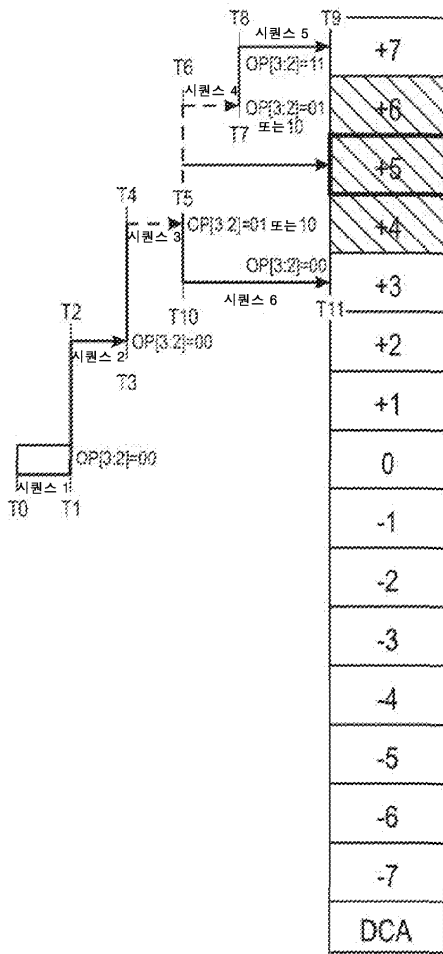
도면10



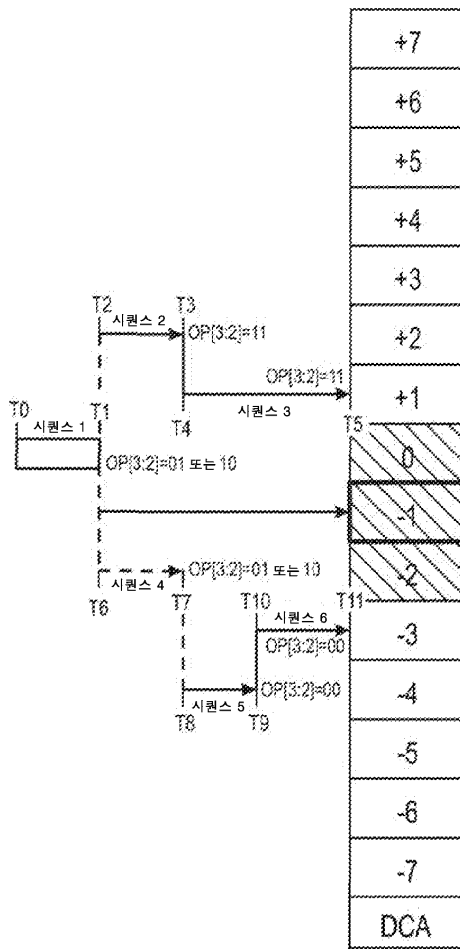
도면11



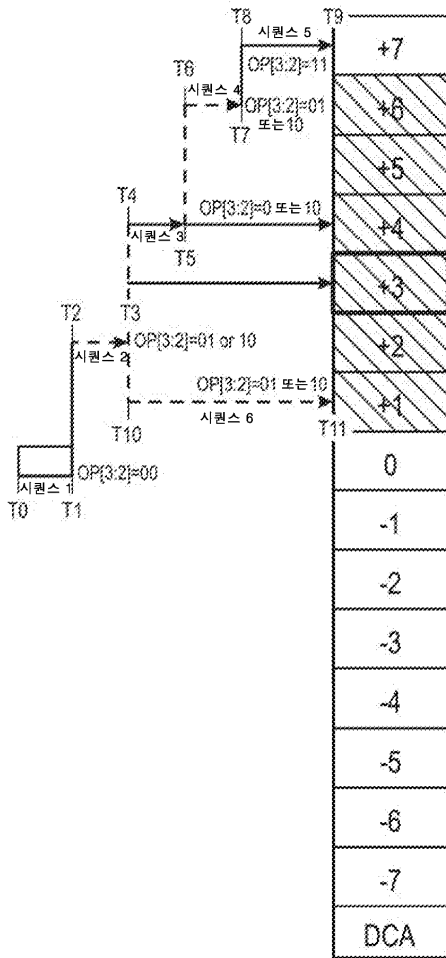
도면12



도면13



도면14



도면15

