



(12)发明专利

(10)授权公告号 CN 105271104 B

(45)授权公告日 2018.09.14

(21)申请号 201410250144.2

(22)申请日 2014.06.06

(65)同一申请的已公布的文献号
申请公布号 CN 105271104 A

(43)申请公布日 2016.01.27

(73)专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工区经三路26号

(72)发明人 萧伟民 黄敏龙

(74)专利代理机构 北京律盟知识产权代理有限公司
代理人 林斯凯

(51)Int.Cl.

B81C 1/00(2006.01)

H01L 21/60(2006.01)

(56)对比文件

US 2014110861 A1,2014.04.24,

CN 102299143 A,2011.12.28,

CN 102683264 A,2012.09.19,

US 5471027 A,1995.11.28,

CN 102569099 A,2012.07.11,

审查员 姜宗月

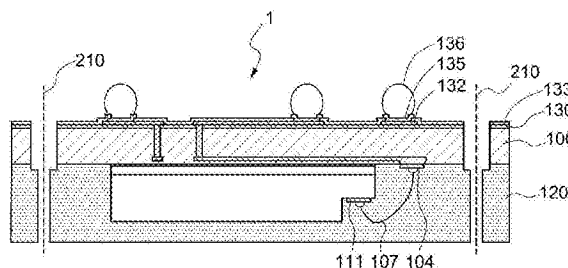
权利要求书1页 说明书4页 附图5页

(54)发明名称

半导体封装结构的制造方法

(57)摘要

本发明涉及一种半导体封装结构的制造方法,其包括:提供衬底,所述衬底具有彼此对置的第一表面和第二表面,所述衬底具有多个导通孔;将裸片固定到所述衬底的所述第一表面,且将所述裸片电连接到所述衬底;使用封装材料囊封所述裸片及所述第一表面;以及使用所述封装材料作为载体,以从所述衬底的所述第二表面薄化所述衬底以曝露所述多个导通孔。



1. 一种半导体封装结构的制造方法,其包括:

提供衬底,所述衬底具有第一表面和第二表面,所述第一表面与所述第二表面对置,所述衬底具有多个导通孔;

将裸片固定到所述衬底的所述第一表面上,且将所述裸片电连接到所述衬底,所述裸片包括第一导电衬垫,所述裸片以所述第一导电衬垫背向所述第一表面的方式固定到所述衬底的所述第一表面上;

使用封装材料囊封所述裸片及所述衬底的所述第一表面;以及

使用所述封装材料作为载体,以从所述衬底的所述第二表面薄化所述衬底以曝露所述多个导通孔;

所述衬底包括第二导电衬垫,所述第二导电衬垫位于所述第一表面,使用导线连接所述第一导电衬垫和所述第二导电衬垫;

其中所述第二导电衬垫在所述第一表面上并未被所述裸片覆盖且藉由在所述裸片下方延伸的迹线连接至所述多个导通孔的至少一者。

2. 根据权利要求1所述的方法,其中所述第二导电衬垫电连接所述多个导通孔中的至少一者。

3. 根据权利要求1所述的方法,其进一步包括在所述衬底的所述第二表面上形成图案化金属层。

4. 根据权利要求3所述的方法,其进一步包括在所述图案化金属层上形成第一保护层。

5. 根据权利要求4所述的方法,其进一步包括在所述第一保护层上形成多个开口以曝露部分所述图案化金属层。

6. 根据权利要求5所述的方法,其进一步包括在每一所述多个开口中形成一凸块下金属层。

7. 根据权利要求1所述的方法,其中所述第一导电衬垫及所述第二导电衬垫包括一或多个表面处理层。

8. 根据权利要求7所述的方法,其中所述一或多个表面处理层包括镍金或镍钯金。

9. 根据权利要求1所述的方法,其中以裸片间导线结合方式以导线连接所述第一导电衬垫和所述第二导电衬垫。

10. 根据权利要求1所述的方法,其中所述裸片藉由黏着材料直接固定到所述衬底的所述第一表面上。

半导体封装结构的制造方法

技术领域

[0001] 本发明涉及半导体封装技术,明确地说,涉及一种半导体封装结构的制造方法。

背景技术

[0002] 微机电系统(micro electro-mechanical system, MEMS)或微机电装置(micro electro-mechanical devices)通常是指利用半导体技术(semiconductor technology)在半导体晶片(wafer)的表面上形成的微观机构(microscopic mechanism)。常见的微机电系统或微机电装置为(例如)加速度计(accelerometer)、压力传感器或其它传感器等。

[0003] 由于微机电系统或微机电装置的结构相当微小,因此可在制造过程中使用粘胶将半导体晶片粘贴在载体(carrier)上以便于制造。然而,在粘贴半导体晶片到载体时可能发生贴合面不平坦/不共平面(flat/coplanar)或未对准(misalignment)的问题。

[0004] 必须挑选耐热的粘胶以避免粘胶本身失去粘性。此外,还必须挑选具有适当热膨胀系数(coefficient of thermal expansion, CTE)的粘胶以减少半导体晶片在制造过程中由于受热而产生的翘曲(warpage)。

[0005] 制造过程结束时必须去除载体。载体去除后必须清洗(clean)半导体晶片上的粘胶。如果粘胶未能完全清除,那么可能会影响产品的可靠性(reliability)。

发明内容

[0006] 本发明提供一种半导体封装结构的制造方法,其包括:提供衬底,所述衬底具有彼此对置的第一表面和第二表面,且衬底具有多个导通孔;将裸片固定到衬底的第一表面,且将裸片电连接到衬底;使用封装材料囊封裸片及第一表面;以及利用所述封装材料作为载体,以从衬底的第二表面薄化所述衬底以暴露所述多个导通孔。

附图说明

[0007] 图1A到1N所示为根据本发明的一实施例的半导体封装结构的制造方法。

具体实施方式

[0008] 图1A到1N所示为根据本发明的一实施例的半导体封装结构的制造方法。

[0009] 参见图1A,可提供衬底100。衬底100可包括第一表面101、第二表面102、至少一个导通孔(via)103、至少一个导电衬垫104以及至少一个迹线(trace)105。

[0010] 衬底100可为或可包括硅或其化合物、玻璃或有机材料。第一表面101与第二表面102对置。在本发明的一实施例中,衬底100可以是裸片100。裸片100包括电路结构,例如集成电路或专用集成电路(application-specific integrated circuit, ASIC)。

[0011] 至少一个导通孔(via)103可为硅穿孔(Through-Silicon Via, TSV)、玻璃穿孔(Through-Glass Via, 缩写为TGV)或芯穿孔(Through-Core Via, TCV)等。可在一通孔(via hole)中填入导电材料或将导电材料形成于通孔侧壁以形成至少一个导通孔103。导电材料

可至少包括金、银、铜、铝、锡或其合金。至少一个导通孔103可电连接衬底100中的迹线再分布层(redistribution layer,RDL,图中未展示)或其它元件。

[0012] 至少一个导电衬垫104位于衬底100的第一表面101上。至少一个导电衬垫104通过迹线105与导通孔103连接。在本发明的一个实施例中,至少一个导电衬垫104包括一层或多层表面处理层(图中未展示)。表面处理层可包括(但不限于)镍金(NiAu)或镍钯金(NiPdAu)或其它合适材料。

[0013] 迹线105可为或可包括金、银、铜、铝、锡或其合金。至少一个导通孔103还可通过迹线105连接到衬底100的其它层电路(图中未展示),例如衬底100的接地层。迹线105可构成成为衬底100中的迹线再分布层的一部分。

[0014] 可在衬底100的第一表面101涂覆粘着材料106。

[0015] 参见图1B。在图1B中,可通过图1A中的粘着材料106将一或多个裸片110固定到衬底100的第一表面101上。在本发明的另一实施例中,可通过焊接或其它方式将裸片110固定到衬底100的第一表面101上。

[0016] 在本发明的一实施例中,可将多个裸片110分别固定到衬底100上。在本发明的另一实施例中,可同时多个裸片110固定到衬底100上。裸片110的尺寸可为(但不限于)0.5×0.5(毫米,mm)到2×2毫米。

[0017] 裸片110可以是微机电系统(Micro Electro Mechanical Systems, MEMS)裸片,例如(但不限于)加速度计、致动器、陀螺仪(gyroscope)、压力传感器、光学传感器、机械式开关、光学式开关等等。裸片110还可为其它种类的有源元件(如各式二极管、各式晶体管、各式光电元件、放大器等)或无源元件(如电阻、电容、电感等)。裸片110上具有至少一个导电衬垫111。至少一个导电衬垫111包括一层或多层表面处理层(图中未展示)。表面处理层的材料可包括(但不限于)镍金(NiAu)或镍钯金(NiPdAu)或其它合适材料。

[0018] 参见图1C。可将裸片110上的导电衬垫111与衬底100的导电衬垫104以导线(wire)107连接起来。导线107的材料可为金、银、铝、铜、锡或其合金。

[0019] 由于衬底100为微型化的裸片,因此其内部元件较为脆弱。使用导线结合(wire bonding)连接衬底100和裸片110时可能破坏其内部元件(例如(但不限于)迹线再分布层)。因此在连接衬底100和裸片110时必须使用裸片间导线结合(die-to-die wire bonding)技术。由于至少一个导电衬垫111和104包括表面处理层(图中未展示),且表面处理层包括(但不限于)镍金或镍钯金,因此具有较好的缓冲效果。因此在使用导线107连接导电衬垫111和104时,不会损害到衬底100和裸片110的内部元件。

[0020] 参见图1D。可使用封装材料(molding compound)120囊封裸片110、导电衬垫111、导线107、导电衬垫104以及衬底100的第一表面101,以形成一半导体封装结构1a。封装材料120可以是或可以包括(但不限于)例如酚醛清漆树脂(novolac resin)、环氧树脂(Epoxy resin)、硅酮树脂(silicone resin)或其它合适材料。

[0021] 参见图1E。可利用薄化技术,例如(但不限于)蚀刻、研磨(grinding)或化学机械抛光(chemical mechanical polishing)等技术,利用所述封装材料120作为载体,以从第二表面102对衬底100进行薄化,以暴露至少部分导通孔103。

[0022] 可将图1D所示的半导体封装结构1a倒置或旋转180度,使衬底100的第二表面102朝上以进行薄化衬底100及/或后续步骤。在本发明的另一实施例中,还可直接对图1D所示

的半导体封装结构1a进行薄化衬底100及/或后续步骤。由于封装材料120相对较为坚硬,因此除了可以保护裸片110、导电衬垫111、导线107以及导电衬垫104之外,还可兼具载体(carrier)的功能。换句话说,半导体封装结构1a的封装材料120可支撑衬底100以利薄化及/或后续步骤。由于封装材料120在制造过程中可作为加工所需的载体,因此省去使用载体加工的相关成本。

[0023] 参见图1F。在图1F中,可在衬底100的第二表面102上形成电介质层130。在本发明的一实施例中,电介质层130可包括(但不限于)感光(photosensitive)材料,例如绿漆、阻焊剂/防焊剂(Solder Resist/Solder Mask)或聚酰亚胺(Polyimide,PI)等,且可将所述感光材料压合到第二表面102以形成电介质层130。在本发明的另一实施例中,电介质层130可包括(但不限于)液态树脂(liquid resin),并通过印刷(printing)方式将液态树脂涂覆到第二表面102以形成电介质层130。电介质层130暴露导通孔103。

[0024] 参见图1G,可在电介质层130上形成图案化掩模131。在本发明的一实施例中,掩模131可以是或可以包括(但不限于)例如光致抗蚀剂(photoresist,PR)或干抗蚀膜(dry-resist film),且可使用例如压合(press)或层压(laminate)方式将掩模131形成于电介质层130中。

[0025] 参见图1H,可使用电镀技术并通过图案化掩模131在电介质层130上形成图案化金属层132。在本发明的一实施例中,图案化金属层132可以是(但不限于)迹线再分布层。图案化金属层132可以是或可以包括(但不限于)例如铜或其它金属。

[0026] 在形成图案化金属层132后,可使用(但不限于)剥离(stripping)或光致抗蚀剂剥离(photoresist stripping)技术去除图1G中的掩模131。

[0027] 参见图1I,可使用涂覆技术在电介质层130以及图案化金属层132上形成电介质层133。在本发明的一实施例中,电介质层133可包括与电介质层130相同的材料。在本发明的另一实施例中,电介质层133可包括与电介质层130不同的材料。

[0028] 参见图1J,可在电介质层133上形成图案化掩模134。在本发明的一实施例中,掩模134的组成和形成方式可类似于图1G中的掩模131的组成和形成方式。

[0029] 可使用蚀刻技术并通过图案化掩模134去除部分电介质层133以暴露部分图案化金属层132。可使用电镀技术并通过图案化掩模134在暴露的图案化金属层132上形成凸块下金属层(under bump metal,为UBM)135。凸块下金属层135可以是或可以包括(但不限于)例如铜或其它金属。

[0030] 参见图1K,在形成凸块下金属层135后,可使用(但不限于)剥离或光致抗蚀剂剥离技术去除图1J中的掩模134。

[0031] 参见图1L,可使用单切技术(singulation technology)沿着切割线210切割衬底100。

[0032] 参见图1M,可在凸块下金属层135上形成电连接材料136。可使用(但不限于)植球/植入(ball mount/implantation)技术形成电连接材料136。电连接材料136可包括(但不限于)锡或其合金。电连接材料136可为(但不限于)球状。

[0033] 参见图1N,可使用单切技术沿着切割线210切割封装材料120,以形成半导体封装结构1。在本发明的一实施例中,切割封装材料120所使用的工具或设备与图1L中切割衬底100所使用的工具或设备不同。在本发明的另一实施例中,切割封装材料120所使用的工具

或设备可与图1L中切割衬底100所使用的工具或设备相同。

[0034] 在本发明的一实施例中,可先形成电连接材料136再进行切割衬底100的步骤。在本发明的另一实施例中,可先进行切割衬底100以及封装材料120的步骤再形成电连接材料136。换句话说,切割衬底100、切割封装材料120以及形成电连接材料136等步骤并没有固定的顺序,可视实际需求而加以变换。

[0035] 在图1D到1N的制造过程中,除了可保护裸片110、导电衬垫111、导线107以及导电衬垫104外,封装材料120还可支撑衬底100以利薄化、黄光、电镀、切割或其它步骤的执行。因此在上述制造过程中可能不需要使用额外的载体,从而免去除除载体的步骤。同时也免除使用粘胶将衬底贴合到载体可能产生的问题,例如去除载体后清洗粘胶的步骤。因此可以节省成本并缩短过程。

[0036] 惟上述实施例仅为说明本发明的原理及其功效,而不是用以限制本发明。因此,所属领域的技术人员对上述实施例进行修改及变化仍不脱本发明的精神。本发明的权利范围应如随附权利要求书所列。

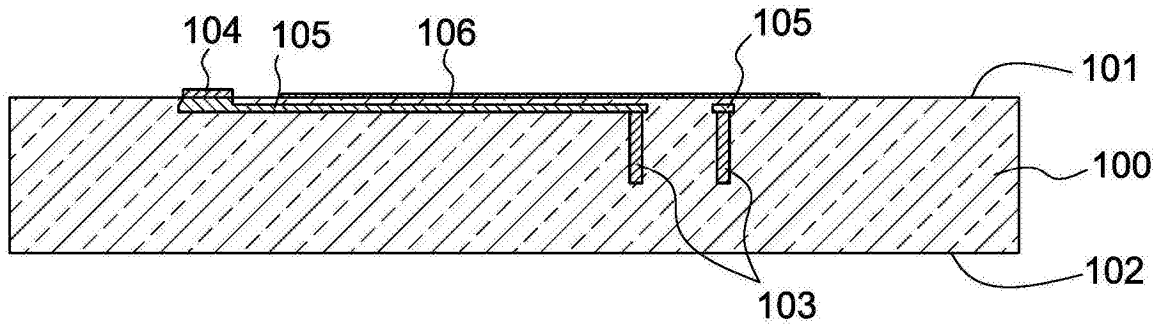


图1A

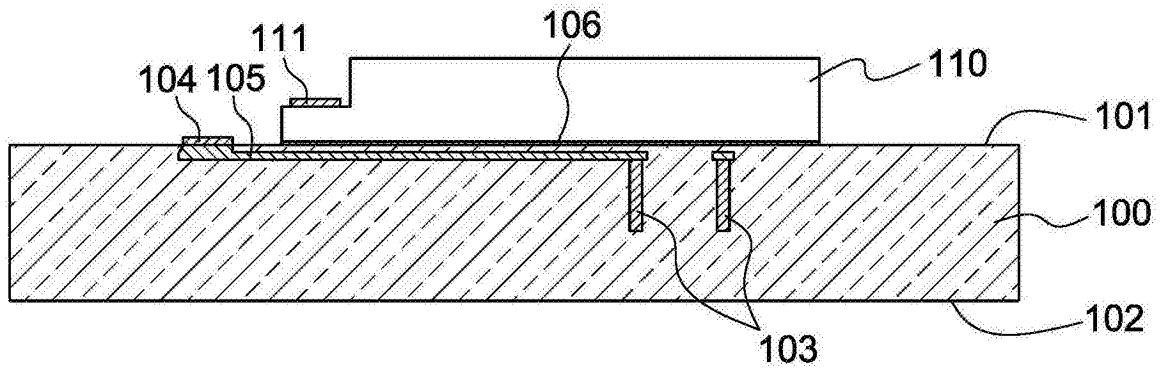


图1B

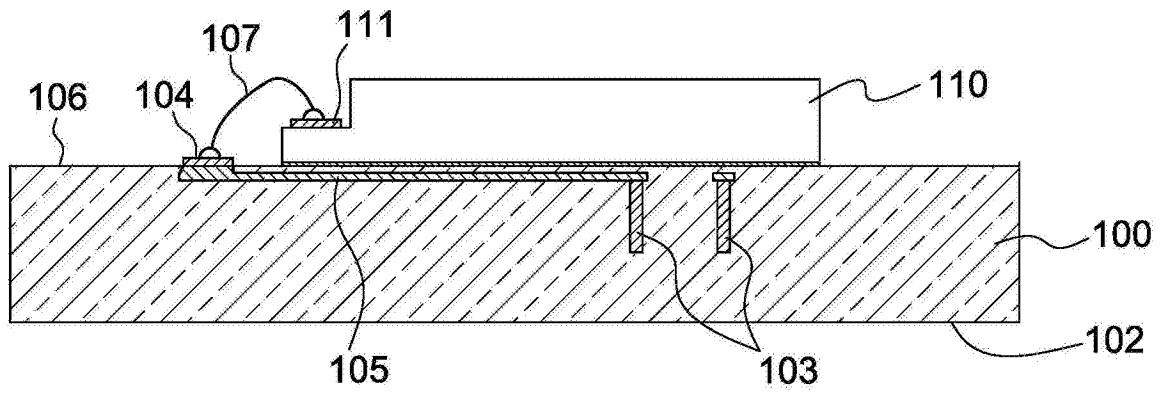


图1C

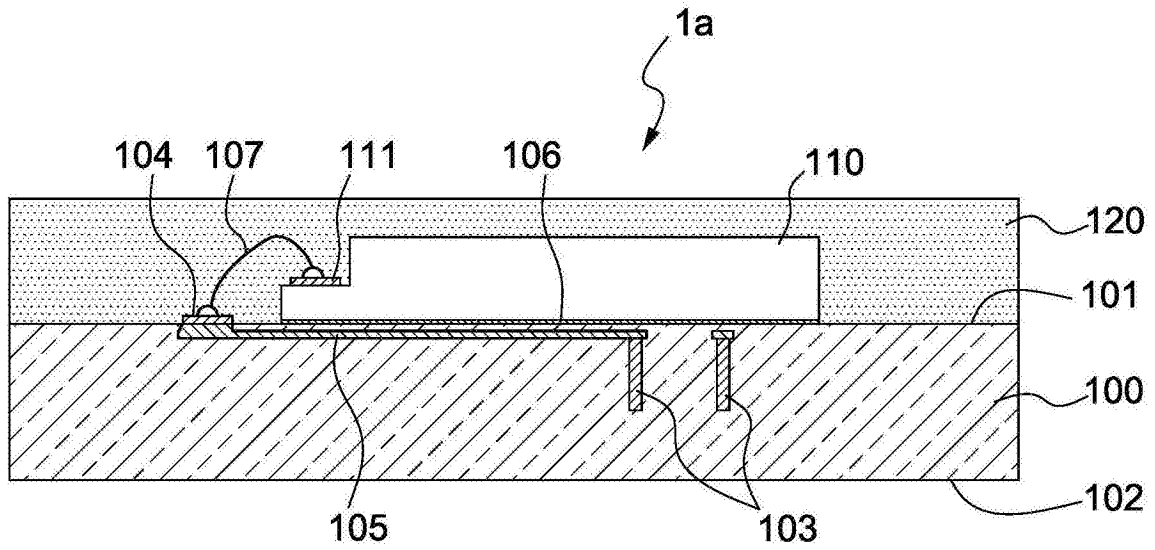


图1D

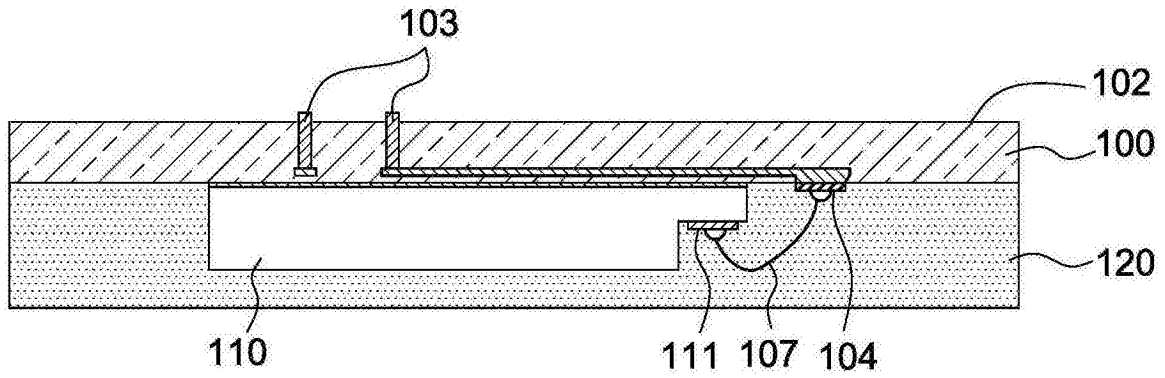


图1E

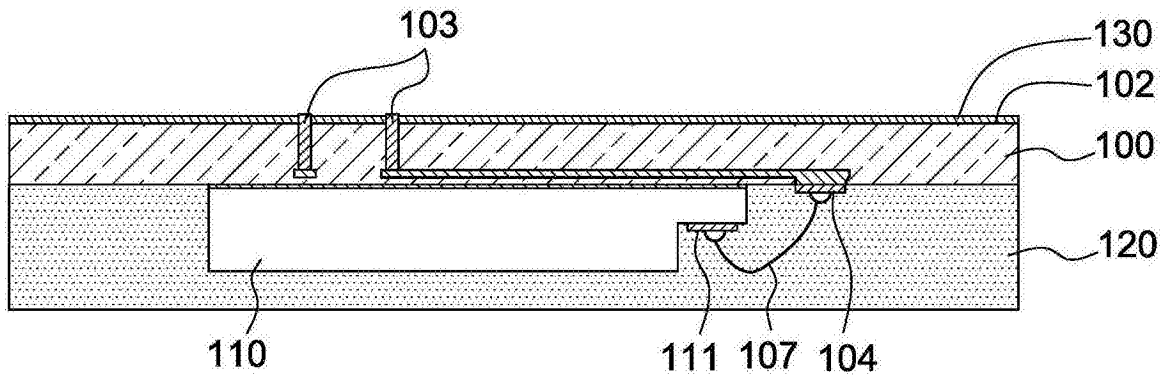


图1F

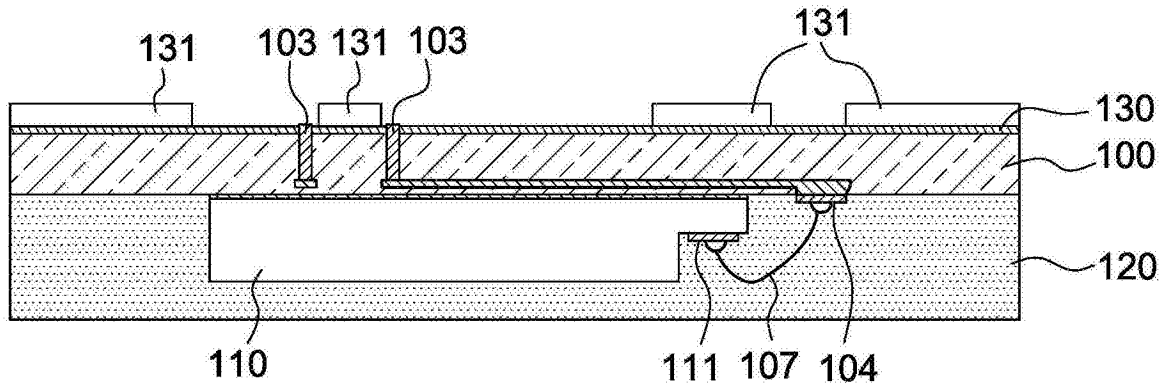


图1G

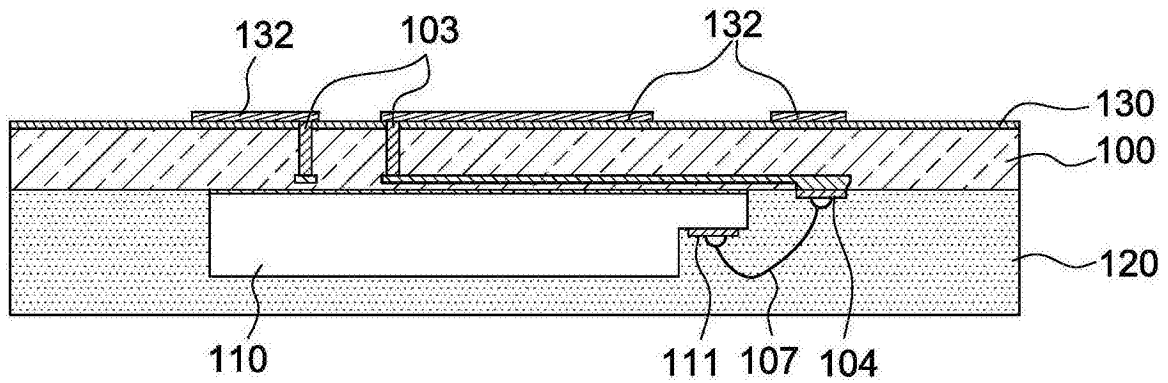


图1H

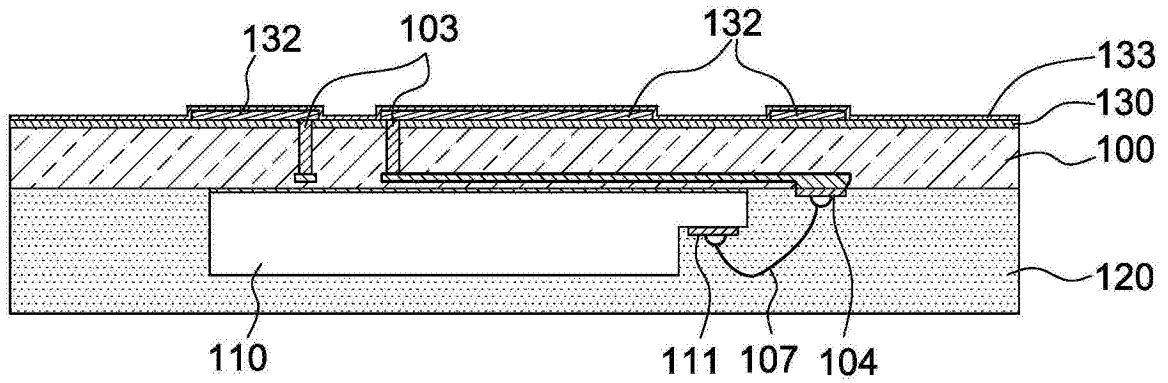


图1I

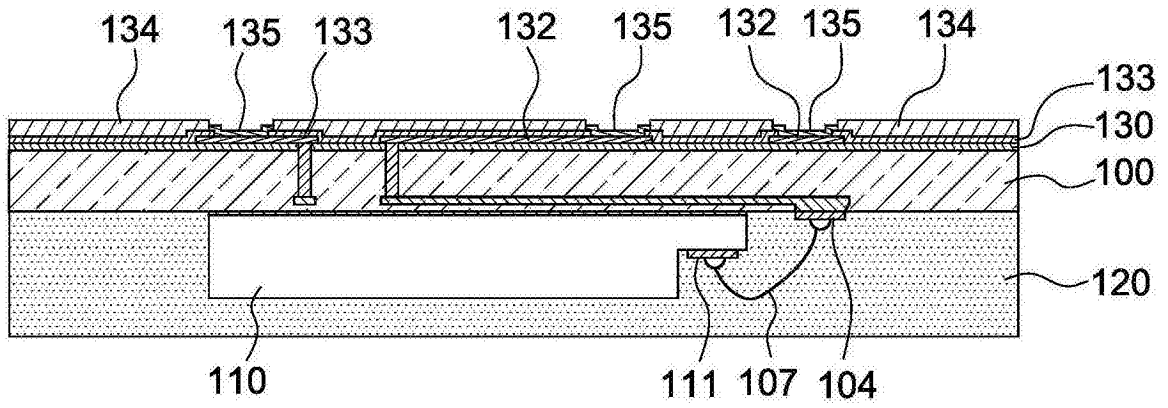


图1J

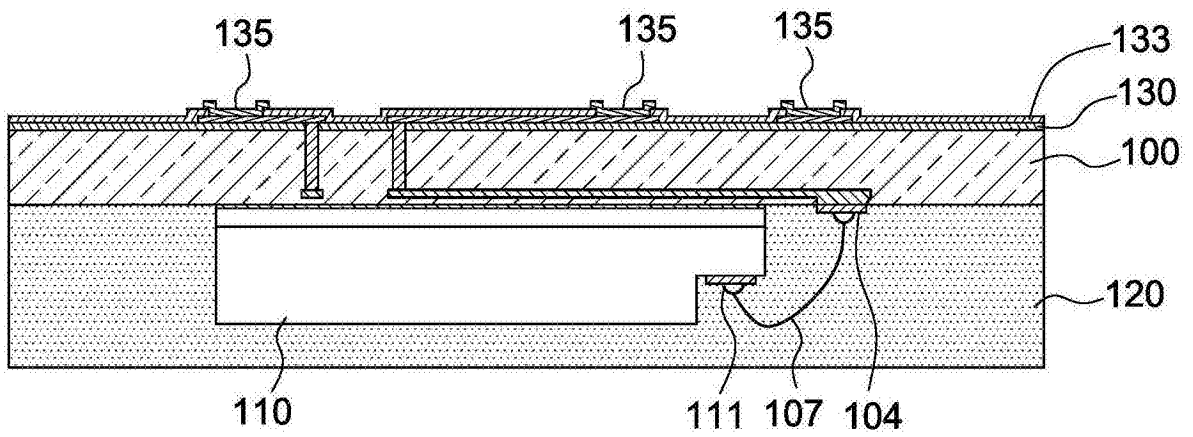


图1K

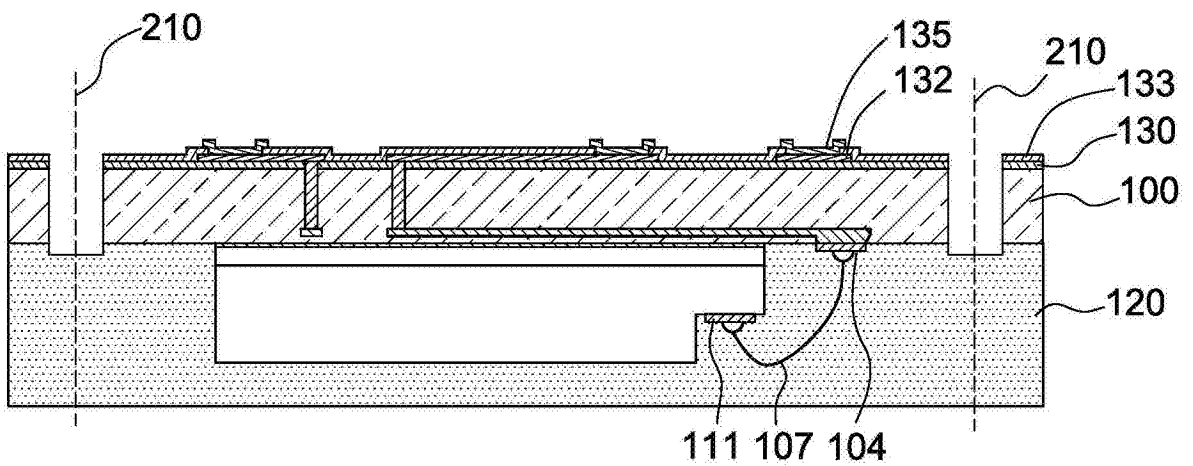


图1L

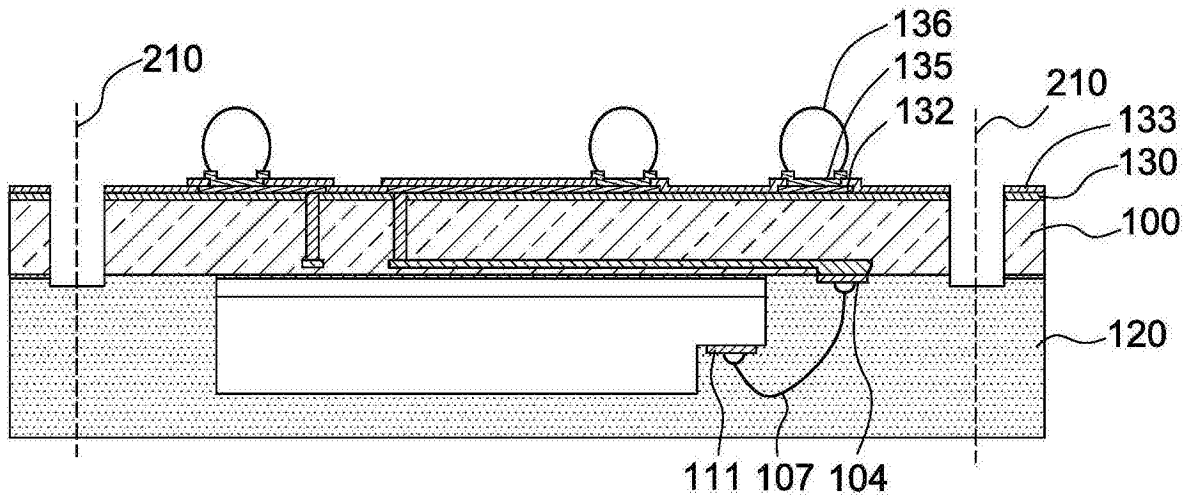


图1M

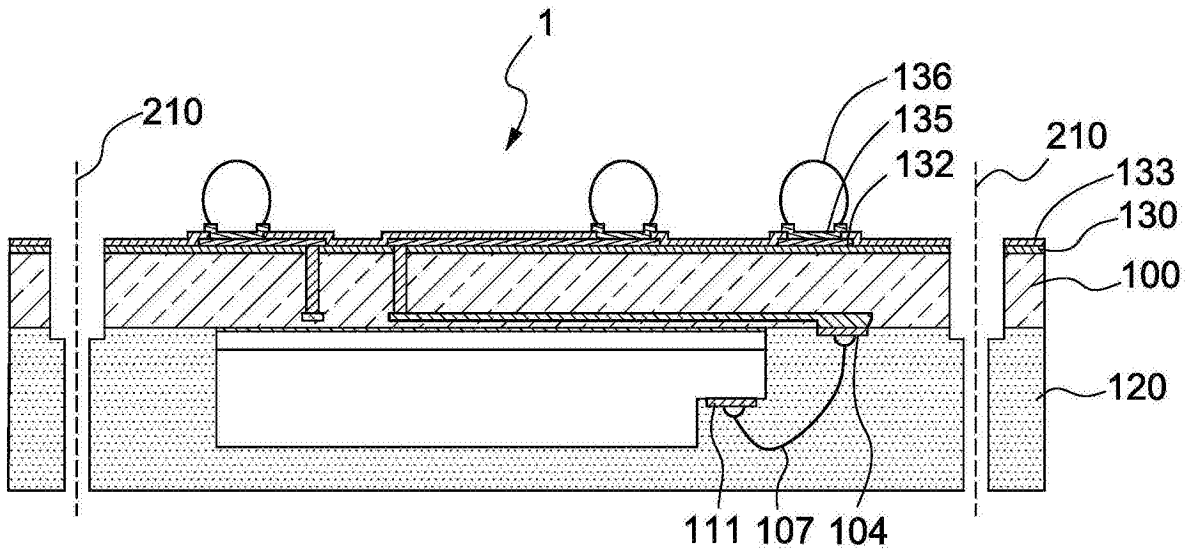


图1N