

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-208134  
(P2016-208134A)

(43) 公開日 平成28年12月8日(2016.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08 C	5H730
H02M 1/08 (2006.01)	H02M 1/08 A	5H740
H02M 3/155 (2006.01)	H02M 3/155 H	5J055

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願2015-84700 (P2015-84700)  
(22) 出願日 平成27年4月17日 (2015.4.17)

(71) 出願人 00005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(74) 代理人 100092152  
弁理士 服部 毅巖  
(72) 発明者 菅原 聡  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
Fターム(参考) 5H730 AS05 BB13 DD04  
5H740 AA04 BA12 BB04 BB07 BC01  
BC02 HH05 JA01 JB01 KK01  
NN11  
5J055 AX22 AX32 AX56 BX16 CX20  
DX12 EX07 EY01 EY12 EY21  
EZ03 EZ04 EZ20 EZ31 FX17  
GX01 GX02 GX03 GX04

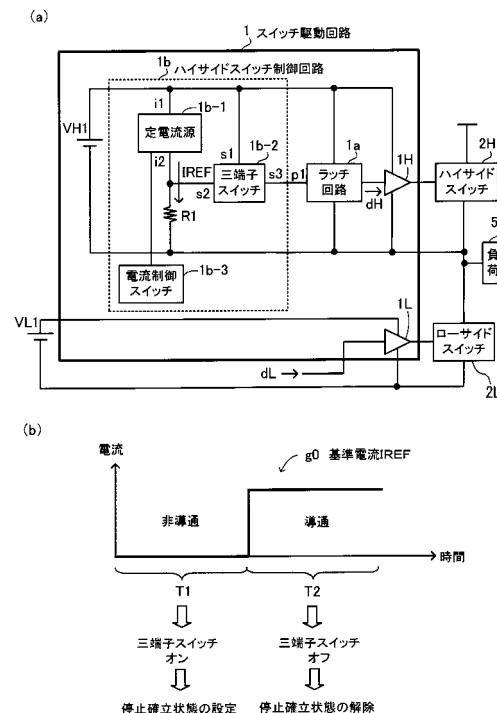
(54) 【発明の名称】 スイッチ駆動回路

(57) 【要約】

【課題】ハイサイドスイッチ素子の誤オンを回避する。

【解決手段】スイッチ駆動回路1は、ハイサイド電源部VH1、ラッチ回路1a、ハイサイドドライバ1H、ローサイドドライバ1Lおよびハイサイドスイッチ制御回路1bを備える。ラッチ回路1aは、ハイサイドスイッチ2Hをスイッチングさせる際のハイサイドスイッチ信号dHの論理レベルをラッチする。ハイサイドドライバ1Hは、ラッチ回路1aから出力されたハイサイドスイッチ信号dHにより、ハイサイドスイッチ2Hを駆動する。ローサイドドライバ1Lは、ローサイドスイッチ信号dLにより、ローサイドスイッチ2Lを駆動する。ハイサイドスイッチ制御回路1bは、ハイサイドスイッチ2Hのスイッチング停止を行う場合には、ハイサイドスイッチ信号dHの論理レベルを停止論理レベルに固定する停止確立状態に設定し、スイッチング駆動を行う場合には、停止確立状態の設定解除を行う。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ハイサイドに位置するハイサイドスイッチと、ローサイドに位置するローサイドスイッチとを交互にスイッチングして負荷を作動するスイッチ駆動回路において、

ハイサイドの回路用電源であるハイサイド電源部と、

前記ハイサイド電源部から電源供給を受けて、前記ハイサイドスイッチをスイッチングさせる際のハイサイドスイッチ信号の論理レベルをラッチするラッチ回路と、

前記ハイサイド電源部から電源供給を受けて、前記ラッチ回路から出力された前記ハイサイドスイッチ信号により、前記ハイサイドスイッチを駆動するハイサイドドライバと、

ローサイドの回路用電源から電源供給を受けて、ローサイドスイッチ信号により、前記ローサイドスイッチを駆動するローサイドドライバと、

前記ハイサイドスイッチのスイッチング停止を行う場合には、前記ハイサイドスイッチ信号の論理レベルを前記スイッチング停止に要する停止論理レベルに固定する停止確立状態に設定し、スイッチング駆動を行う場合には、前記停止確立状態の設定解除を行うハイサイドスイッチ制御回路と、

を備え、

前記ハイサイドスイッチ制御回路は、基準電流を生成する定電流源、抵抗および三端子スイッチを含み、

前記定電流源の入力端と、前記三端子スイッチの第 1 の入力端とは、前記ハイサイド電源部の第 1 の電位側に接続し、前記抵抗の一端は、前記ハイサイド電源部の第 2 の電位側に接続し、

前記抵抗の他端は、前記定電流源の出力端と、前記三端子スイッチの第 2 の入力端と接続し、前記三端子スイッチの出力端は、前記ラッチ回路の入力端に接続し、

前記基準電流を非導通または導通にして前記三端子スイッチのスイッチング制御を行うことで、前記ラッチ回路に対して前記停止確立状態の設定または前記停止確立状態の解除を行う、

ことを特徴とするスイッチ駆動回路。

## 【請求項 2】

ハイサイドに位置するハイサイドスイッチと、ローサイドに位置しそのカソードが前記ハイサイドスイッチ側に位置するローサイドダイオードとを備え、前記ハイサイドスイッチをスイッチングして負荷を作動するスイッチ駆動回路において、

ハイサイドの回路用電源であるハイサイド電源部と、

前記ハイサイド電源部から電源供給を受けて、前記ハイサイドスイッチをスイッチングさせる際のハイサイドスイッチ信号の論理レベルをラッチするラッチ回路と、

前記ハイサイド電源部から電源供給を受けて、前記ラッチ回路から出力された前記ハイサイドスイッチ信号により、前記ハイサイドスイッチを駆動するハイサイドドライバと、

前記ハイサイドスイッチのスイッチング停止を行う場合には、前記ハイサイドスイッチ信号の論理レベルを前記スイッチング停止に要する停止論理レベルに固定する停止確立状態に設定し、スイッチング駆動を行う場合には、前記停止確立状態の設定解除を行うハイサイドスイッチ制御回路と、

を備え、

前記ハイサイドスイッチ制御回路は、基準電流を生成する定電流源、抵抗および三端子スイッチを含み、

前記定電流源の入力端と、前記三端子スイッチの第 1 の入力端とは、前記ハイサイド電源部の第 1 の電位側に接続し、前記抵抗の一端は、前記ハイサイド電源部の第 2 の電位側に接続し、

前記抵抗の他端は、前記定電流源の出力端と、前記三端子スイッチの第 2 の入力端と接続し、前記三端子スイッチの出力端は、前記ラッチ回路の入力端に接続し、

前記基準電流を非導通または導通にして前記三端子スイッチのスイッチング制御を行うことで、前記ラッチ回路に対して前記停止確立状態の設定または前記停止確立状態の解除

10

20

30

40

50

を行う、

ことを特徴とするスイッチ駆動回路。

【請求項 3】

前記ハイサイドスイッチ制御回路は、

前記基準電流を非導通にし、前記三端子スイッチの前記第 2 の入力端の電位を前記ハイサイド電源部の前記第 2 の電位と同電位にすることで前記三端子スイッチをオンして、前記ラッチ回路の入力端の電位を所定電位に固定して前記停止確立状態を設定し、

前記基準電流を導通して、前記三端子スイッチの前記第 2 の入力端の電位を前記基準電流と前記抵抗の抵抗値との乗算値の電位にすることで前記三端子スイッチをオフして、前記停止確立状態を解除する、

ことを特徴とする請求項 1 又は 2 記載のスイッチ駆動回路。

【請求項 4】

前記ハイサイドスイッチ制御回路は、前記定電流源から出力される前記基準電流の導通、非導通を切り替えるための電流制御スイッチをさらに有することを特徴とする請求項 1 又は 2 記載のスイッチ駆動回路。

【請求項 5】

前記定電流源は、第 1 の PMOS トランジスタと、第 2 の PMOS トランジスタとを含むカレントミラー回路で構成され、前記三端子スイッチは、第 3 の PMOS トランジスタで構成され、前記電流制御スイッチは、NMOS トランジスタで構成され、

前記ハイサイド電源部の第 1 の電位側は、前記第 1、第 2、第 3 の PMOS トランジスタのソースに接続し、

前記第 1 の PMOS トランジスタのゲートは、前記第 1 の PMOS トランジスタのドレインと、前記第 2 の PMOS トランジスタのゲートと、前記 NMOS トランジスタのドレインと接続し、

前記第 2 の PMOS トランジスタのドレインは、前記第 3 の PMOS トランジスタのゲートと、前記抵抗の他端に接続し、前記第 3 の PMOS トランジスタのドレインは、前記ラッチ回路の入力端に接続する、

ことを特徴とする請求項 4 記載のスイッチ駆動回路。

【請求項 6】

前記ラッチ回路は、第 1 のインバータ、第 2 のインバータ、第 3 のインバータ、第 1 の抵抗および第 2 の抵抗を含み、

前記第 1 のインバータの入力端は、当該ラッチ回路の入力端になって、前記第 3 の PMOS トランジスタのドレインと、前記第 1 の抵抗の一端と接続し、

前記第 1 のインバータの出力端は、前記第 2 の抵抗の一端に接続し、前記第 2 の抵抗の他端は、前記第 2 のインバータの入力端に接続し、

前記第 1 の抵抗の他端は、前記第 2 のインバータの出力端と、前記第 3 のインバータの入力端に接続し、前記第 3 のインバータの出力端は、当該ラッチ回路の出力端になって、前記ハイサイドドライバの入力端に接続する、

ことを特徴とする請求項 5 記載のスイッチ駆動回路。

【請求項 7】

前記電流制御スイッチである前記 NMOS トランジスタのゲートには、前記基準電流の導通、非導通を制御するための指示信号が入力し、前記 NMOS トランジスタのソースには、前記基準電流を引き込むためのシンク電流源が接続されることを特徴とする請求項 5 記載のスイッチ駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、スイッチ駆動回路に関する。

【背景技術】

【0002】

10

20

30

40

50

近年、I G B T ( Insulated Gate Bipolar Transistor ) などのパワー半導体素子と、パワー半導体素子を駆動するドライブ回路等を内蔵した I P M ( Intelligent Power Module ) と呼ばれる半導体装置の開発が進んでいる。

【 0 0 0 3 】

I P M は、例えば、トランスミッション、エンジンおよびブレーキなどの自動車電装システムに広く利用されており、小型化、高性能化および高信頼性に応える製品が要望されている。

【 0 0 0 4 】

従来技術として、負荷の運転時に、上アーム駆動信号をオン、オフさせて、上アームのパワー素子を制御するフリップフロップ回路へのリセットパルスを発生させることで、上アームと下アームのパワー素子の短絡を防止する技術が提案されている ( 特許文献 1 ) 。

10

【 0 0 0 5 】

また、ハイサイドトランジスタのオンとローサイドトランジスタのオンの 2 つの状態遷移それぞれにデッドタイムを独立に設定して、制御信号にノイズが重畳してもハイサイド制御信号およびローサイド制御信号を出力しない技術が提案されている ( 特許文献 2 ) 。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 4 - 6 0 8 8 2 号公報

【 特許文献 2 】 特開 2 0 1 3 - 1 5 3 3 8 8 号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

I P M では、ハイサイドに位置するパワー半導体スイッチと、ローサイドに位置するパワー半導体スイッチとを交互にオン、オフさせて、負荷を駆動するが、I P M のハイサイドでは、基準となる動作電位が変動するという構成を有している。

【 0 0 0 8 】

また I P M では、ハイサイドに位置するパワー半導体スイッチと、ローサイドに位置しそのカソードがハイサイドスイッチ側に位置するローサイドダイオードとを備え、ハイサイドスイッチをスイッチングして負荷を作動するスイッチ駆動構成を有するものがある。この構成のものも同様に、I P M のハイサイドでは、基準となる動作電位が変動するという構成を有している。

30

【 0 0 0 9 】

このため従来では、ハイサイドのスイッチングの停止時に、ハイサイドの回路では、制御側から送信された停止信号の停止論理レベルを確立できない場合がある。停止論理レベルが確立できない状態では、停止信号の論理が反転してしまう可能性があるため、ハイサイドのスイッチ素子をオフさせずに、誤ってオンさせてしまうという問題が生じるおそれがある。

【 0 0 1 0 】

本技術はこのような点に鑑みてなされたものであり、停止信号の論理レベルを確立し、ハイサイドスイッチ素子の誤オンを回避するスイッチ駆動回路を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 1 1 】

上記課題を解決するために、1つの案では、ハイサイドに位置するハイサイドスイッチと、ローサイドに位置するローサイドスイッチとを交互にスイッチングして負荷を作動するスイッチ駆動回路が提供される。

【 0 0 1 2 】

スイッチ駆動回路は、ハイサイド電源部、ラッチ回路、ハイサイドドライバ、ローサイドドライバおよびハイサイドスイッチ制御回路を有する。

50

ハイサイド電源部は、ハイサイドの回路用電源である。ラッチ回路は、ハイサイド電源部から電源供給を受けて、ハイサイドスイッチをスイッチングさせる際のハイサイドスイッチ信号の論理レベルをラッチする。ハイサイドドライバは、ハイサイド電源部から電源供給を受けて、ラッチ回路から出力されたハイサイドスイッチ信号により、ハイサイドスイッチを駆動する。ローサイドドライバは、ローサイドの回路用電源から電源供給を受けて、ローサイドスイッチ信号により、ローサイドスイッチを駆動する。ハイサイドスイッチ制御回路は、ハイサイドスイッチのスイッチング停止を行う場合には、ハイサイドスイッチ信号の論理レベルをスイッチング停止に要する停止論理レベルに固定する停止確立状態に設定し、スイッチング駆動を行う場合には、停止確立状態の設定解除を行う。また、ハイサイドスイッチ制御回路は、基準電流を生成する定電流源、抵抗および三端子スイッチを含み、定電流源の入力端と、三端子スイッチの第1の入力端とは、ハイサイド電源部の第1の電位側に接続し、抵抗の一端は、ハイサイド電源部の第2の電位側に接続し、抵抗の他端は、定電流源の出力端と、三端子スイッチの第2の入力端と接続し、三端子スイッチの出力端は、ラッチ回路の入力端に接続する。そして、基準電流を非導通または導通にして三端子スイッチのスイッチング制御を行うことで、ラッチ回路に対して停止確立状態の設定または停止確立状態の解除を行う。

10

20

30

40

50

**【0013】**

また、1つの案では、ハイサイドに位置するハイサイドスイッチと、ローサイドに位置しそのカソードがハイサイドスイッチ側に位置するローサイドダイオードとを備え、ハイサイドスイッチをスイッチングして負荷を作動するスイッチ駆動回路が提供される。

**【0014】**

スイッチ駆動回路は、ハイサイド電源部、ラッチ回路、ハイサイドドライバおよびハイサイドスイッチ制御回路を備える。

ハイサイド電源部は、ハイサイドの回路用電源である。ラッチ回路は、ハイサイド電源部から電源供給を受けて、ハイサイドスイッチをスイッチングさせる際のハイサイドスイッチ信号の論理レベルをラッチする。ハイサイドドライバは、ハイサイド電源部から電源供給を受けて、ラッチ回路から出力されたハイサイドスイッチ信号により、ハイサイドスイッチを駆動する。ハイサイドスイッチ制御回路は、ハイサイドスイッチのスイッチング停止を行う場合には、ハイサイドスイッチ信号の論理レベルをスイッチング停止に要する停止論理レベルに固定する停止確立状態に設定し、スイッチング駆動を行う場合には、停止確立状態の設定解除を行う。また、ハイサイドスイッチ制御回路は、基準電流を生成する定電流源、抵抗および三端子スイッチを含み、定電流源の入力端と、三端子スイッチの第1の入力端とは、ハイサイド電源部の第1の電位側に接続し、抵抗の一端は、ハイサイド電源部の第2の電位側に接続し、抵抗の他端は、定電流源の出力端と、三端子スイッチの第2の入力端と接続し、三端子スイッチの出力端は、ラッチ回路の入力端に接続し、基準電流を非導通または導通にして三端子スイッチのスイッチング制御を行うことで、ラッチ回路に対して停止確立状態の設定または停止確立状態の解除を行う。

**【発明の効果】****【0015】**

停止信号の論理レベルを確立して、ハイサイドスイッチ素子の誤オンを回避することが可能になる。

**【図面の簡単な説明】****【0016】**

【図1】(a)スイッチ駆動回路の構成例を示す図である。(b)同回路の動作例を説明するための図である。

【図2】スイッチ駆動装置の構成例を示す図である。

【図3】スイッチ駆動装置の構成例を示す図である。

【図4】スイッチ駆動装置の構成例を示す図である。

【図5】スイッチ駆動装置の構成例を示す図である。

【図6】レベルシフト回路内のラッチ構成を示す図である。

- 【図7】負荷運転時のスイッチング波形を示す図である。  
【図8】スイッチング停止を行う場合の動作フローを示す図である。  
【図9】スイッチング駆動を行う場合の動作フローを示す図である。  
【図10】ハイサイドスイッチ制御回路の動作波形を示す図である。  
【図11】スイッチ駆動装置の構成例を示す図である。  
【発明を実施するための形態】

【0017】

以下、実施の形態を図面を参照して説明する。なお、本明細書および図面において実質的に同一の機能を有する要素については、同一の符号を付することにより重複説明を省略する場合がある。

10

【0018】

図1(a)はスイッチ駆動回路の構成例を示す図である。スイッチ駆動回路1は、ハイサイドに位置するハイサイドスイッチ2Hと、ローサイドに位置するローサイドスイッチ2Lとを交互にスイッチングして負荷5を駆動する回路である。

【0019】

スイッチ駆動回路1は、ハイサイド電源部VH1、ラッチ回路1a、ハイサイドドライバ1H、ローサイドドライバ1Lおよびハイサイドスイッチ制御回路1bを備える。

ハイサイド電源部VH1は、ハイサイドの回路用電源となる。ラッチ回路1aは、ハイサイド電源部VH1から電源供給を受けて、ハイサイドスイッチ2Hをスイッチングさせる際のハイサイドスイッチ信号dHの論理レベルをラッチする。

20

【0020】

ハイサイドドライバ1Hは、ハイサイド電源部VH1から電源供給を受けて、ラッチ回路1aから出力されたハイサイドスイッチ信号dHにより、ハイサイドスイッチ2Hを駆動する。

【0021】

ローサイドドライバ1Lは、ローサイドの回路用電源であるローサイド電源部VL1から電源供給を受けて、外部から送信されたローサイドスイッチ信号dLにより、ローサイドスイッチ2Lを駆動する。

【0022】

ハイサイドスイッチ制御回路1bは、ハイサイドスイッチ2Hのスイッチング停止を行う場合には、ハイサイドスイッチ信号dHの論理レベルをスイッチング停止に要する停止論理レベルに固定する停止確立状態に設定する。また、スイッチング駆動を行う場合には、停止確立状態の設定解除を行う。

30

【0023】

一方、ハイサイドスイッチ制御回路1bは、基準電流IREFを生成する定電流源1b-1、抵抗R1、三端子スイッチ1b-2および電流制御スイッチ1b-3を含む。ハイサイド電源部VH1の第1の電位側(例えば、高電位側)は、定電流源1b-1の入力端i1と、三端子スイッチ1b-2の第1の入力端s1と接続する。

【0024】

ハイサイド電源部VH1の第2の電位側(例えば、低電位側)は、抵抗R1の一端に接続する。また、抵抗R1の他端は、定電流源1b-1の出力端i2と、三端子スイッチ1b-2の第2の入力端s2と接続し、三端子スイッチ1b-2の出力端s3は、ラッチ回路1aの入力端p1に接続する。

40

【0025】

そして、ハイサイドスイッチ制御回路1bでは、基準電流IREFを非導通または導通にして三端子スイッチ1b-2のスイッチング制御を行うことで、ラッチ回路1aに対して停止確立状態の設定または停止確立状態の解除を行う。

【0026】

なお、電流制御スイッチ1b-3は、定電流源1b-1から出力される基準電流IREFの導通、非導通の切り替え制御を行う。

50

図1(b)は動作例を説明するための図である。基準電流IREFの非導通/導通、三端子スイッチ1b-2のオン/オフおよびラッチ回路1aの停止確立状態の設定/解除の関係を示している。グラフg0は、基準電流IREFの波形を示しており、縦軸は電流、横軸は時間である。

【0027】

期間T1では、基準電流IREFは非導通になっている。このとき、三端子スイッチ1b-2の第2の入力端s2の電位は、抵抗R1を介して、ハイサイド電源部VH1の第2の電位と同電位になって、三端子スイッチ1b-2はオンする。これにより、ラッチ回路1aの入力端p1の電位を所定電位に固定して停止確立状態を設定する。

【0028】

また、期間T2では、基準電流IREFは導通になっている。このとき、三端子スイッチ1b-2の第2の入力端s2の電位は、基準電流IREFと抵抗R1の抵抗値との乗算値の電位になって、三端子スイッチ1b-2はオフする。これにより、ラッチ回路1aの停止確立状態を解除する。

【0029】

このように、スイッチ駆動回路1では、基準電流IREFを非導通または導通にして三端子スイッチ1b-2のスイッチング制御を行うことで、ラッチ回路1aの停止確立状態の設定/解除を行う(詳細動作は図5以降で後述)。このような構成により、ハイサイドのスイッチ素子の誤オンを回避することが可能になる。

【0030】

次に本発明の技術の詳細を説明する前に、一般的なスイッチ駆動装置の構成およびその課題について説明する。図2はスイッチ駆動装置の構成例を示す図である。スイッチ駆動装置20は、ハイサイドのパワー半導体スイッチに、NチャネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を使用した構成の装置である。

【0031】

スイッチ駆動装置20は、電源部VH1、VL1、レベルシフト回路21、ドライバ22H、22L、スイッチ素子20aおよび制御回路20bを備える。スイッチ素子20aは、ハイサイドスイッチであるNMOSTランジスタMH1と、ローサイドスイッチであるNMOSTランジスタML1とを含む。

【0032】

回路素子の接続関係を記すと、高電位側の電位Pは、NMOSTランジスタMH1のドレインに接続する。電源部VH1の高電位端子は、レベルシフト回路21の高電位側の電源端子と、ドライバ22Hの高電位側の電源端子と接続する。

【0033】

電源部VH1の低電位端子は、レベルシフト回路21の低電位側の電源端子、ドライバ22Hの低電位側の電源端子、NMOSTランジスタMH1のソース、出力端子OUTおよびNMOSTランジスタML1のドレインに接続する。

【0034】

レベルシフト回路21の入力端子は、制御回路20bの端子a1に接続する。レベルシフト回路21の出力端子は、ドライバ22Hの入力端子に接続する。ドライバ22Hの出力端子は、NMOSTランジスタMH1のゲートに接続する。

【0035】

また、電源部VL1の高電位端子は、制御回路20bの高電位側の電源端子と、ドライバ22Lの低電位側の電源端子と接続する。低電位側の電位Nは、電源部VL1の低電位端子、制御回路20bの低電位側の電源端子、ドライバ22Lの低電位側の電源端子およびNMOSTランジスタML1のソースに接続する。

【0036】

制御回路20bの端子a2は、ドライバ22Lの入力端子に接続し、ドライバ22Lの出力端子は、NMOSTランジスタML1のゲートに接続する。

図3はスイッチ駆動装置の構成例を示す図である。スイッチ駆動装置20-1は、ハイ

10

20

30

40

50

サイドのパワー半導体スイッチに、PチャネルMOSFETを使用した場合の装置である。

【0037】

スイッチ駆動装置20-1は、電源部VH2、VL1、レベルシフト回路21、ドライバ22H-1、22L、スイッチ素子20a-1および制御回路20bを備える。スイッチ素子20a-1は、PMOSTランジスタMH2と、NMOSTランジスタML1を含む。

【0038】

回路素子の接続関係について、高電位側の電位Pは、PMOSTランジスタMH2のソース、電源部VH2の高電位端子、レベルシフト回路21の高電位側の電源端子およびドライバ22H-1の高電位側の電源端子に接続する。

10

【0039】

電源部VH2の低電位端子は、レベルシフト回路21の低電位側の電源端子と、ドライバ22H-1の低電位側の電源端子と接続する。

レベルシフト回路21の入力端子は、制御回路20bの端子a1に接続する。レベルシフト回路21の出力端子は、ドライバ22H-1の入力端子に接続する。

【0040】

ドライバ22H-1の出力端子は、PMOSTランジスタMH2のゲートに接続する。PMOSTランジスタMH2のドレインは、NMOSTランジスタML1のドレインと、出力端子OUTと接続する。

【0041】

また、電源部VL1の高電位端子は、制御回路20bの高電位側の電源端子と、ドライバ22Lの高電位側の電源端子と接続する。低電位側の電位Nは、電源部VL1の低電位端子、制御回路20bの低電位側の電源端子、ドライバ22Lの低電位側の電源端子およびNMOSTランジスタML1のソースに接続する。

20

【0042】

制御回路20bの端子a2は、ドライバ22Lの入力端子に接続し、ドライバ22Lの出力端子は、NMOSTランジスタML1のゲートに接続する。

次に負荷運転時のスイッチング動作について説明する。スイッチ駆動装置20、20-1では共に、制御回路20bは、NMOSTランジスタMH1またはPMOSTランジスタMH2をスイッチングするためのハイサイドスイッチ信号d1を、端子a1から出力する。

30

【0043】

レベルシフト回路21は、ハイサイドスイッチ信号d1をレベルシフト(昇圧)した後、ラッチ処理してハイサイドスイッチ信号d1aを生成して出力する。

スイッチ駆動装置20のドライバ22Hは、ラッチ処理後のハイサイドスイッチ信号d1aをNMOSTランジスタMH1のゲートに入力する。また、スイッチ駆動装置20-1のドライバ22H-1は、ラッチ処理後のハイサイドスイッチ信号d1aの論理を反転したハイサイドスイッチ信号d1bを生成して、PMOSTランジスタMH2のゲートに入力する。

【0044】

一方、スイッチ駆動装置20、20-1では共に、制御回路20bは、端子a2からNMOSTランジスタML1をスイッチングするためのローサイドスイッチ信号d2を出力する。ドライバ22Lは、ローサイドスイッチ信号d2をNMOSTランジスタML1のゲートに入力する。

40

【0045】

なお、スイッチ駆動装置20では、ハイサイドスイッチ信号d1aがHレベルであり、ローサイドスイッチ信号d2がLレベルの場合、NMOSTランジスタMH1はオン、NMOSTランジスタML1はオフである。

【0046】

逆に、ハイサイドスイッチ信号d1aがLレベルで、ローサイドスイッチ信号d2がH

50



レベルの場合、NMOSトランジスタMH1はオフ、NMOSトランジスタML1はオンである。

【0047】

一方、スイッチ駆動装置20-1では、ハイサイドスイッチ信号d1bがLレベルであり、ローサイドスイッチ信号d2がLレベルの場合、PMOSトランジスタMH2はオン、NMOSトランジスタML1はオフである。

【0048】

逆に、ハイサイドスイッチ信号d1bがHレベルで、ローサイドスイッチ信号d2がHレベルの場合、PMOSトランジスタMH2はオフ、NMOSトランジスタML1はオンである。

10

【0049】

次にスイッチ駆動装置20、20-1のハイサイドの電源供給部である電源部VH1、VH2について説明する。図2に示すスイッチ駆動装置20において、ローサイドのスイッチング動作の基準電位は電位Nであり、ローサイドのNMOSトランジスタML1がオン、オフしても電位Nは変動しない。

【0050】

これに対し、スイッチ駆動装置20のハイサイドのスイッチング動作の基準電位は電位Mvである。電位Mvは、ハイサイドのNMOSトランジスタMH1がオン、オフすると、電位Mvは変動することになる。

【0051】

すなわち、ハイサイドのNMOSトランジスタMH1がオフし、ローサイドのNMOSトランジスタML1がオンすると、電位Mvは、電位Nまで低下する。また、ハイサイドのNMOSトランジスタMH1がオンし、ローサイドのNMOSトランジスタML1がオフすると、電位Mvは、電位Pまで上昇することになる。

20

【0052】

このため、スイッチ駆動装置20のハイサイドの電源部VH1には、固定電源は使用せずに、例えば、コンデンサを含むブートストラップ回路が用いられる。

ブートストラップ回路では、NMOSトランジスタMH1がオフして、電位Mvが電位Nまで低下する状態のときに、ローサイドの電源部VL1の電圧によってコンデンサを充電しておく。

30

【0053】

そして、NMOSトランジスタMH1がオンして、電位Mvが上昇する状態のときには、コンデンサに蓄積されている電圧が、ハイサイドの回路側の素子に印加されるような構成になっている。

【0054】

一方、図3に示すスイッチ駆動装置20-1においては、ローサイドのスイッチング動作の基準電位は、スイッチ駆動装置20と同様に電位Nであるが、ハイサイドのスイッチ素子には、PMOSトランジスタMH2を使用しているため、ハイサイドのスイッチング動作の基準電位は電位Pとなる。

【0055】

ドライバ22H-1の出力レベルを、電位Pを基準に下げれば、PMOSトランジスタMH2はオンするから、図3に示す電位Mv1には変動はない。

したがって、スイッチ駆動装置20-1のハイサイドの電源部VH2には、例えば、シリーズレギュレータのような固定電源を使用することができる。なお、スイッチ駆動装置20、20-1のローサイドの電源部VL1については、固定電源が使用できる。

40

【0056】

次に課題について説明する。スイッチ駆動装置20において、負荷の運転を停止する場合、制御回路20bから停止信号がハイサイドおよびローサイドへ送出される。

ローサイドの回路は、固定電源である電源部VL1から電源供給を受けているから（制御回路20bも電源部VL1から電源供給されている）、停止信号の論理レベルは変動す

50

ることがなく、制御回路 20 から送出される停止信号によって、停止論理が確立されることになる。

【0057】

これに対し、ハイサイドの回路は、ブートストラップ電源等による電源部 V H 1 から電源供給を受けている。このため、電源部 V H 1 を構成するコンデンサが十分に充電されていないような場合には、レベルシフト回路 21 やドライバ 22 H は不定状態になっており、このような状態のときは、制御回路 20 b から送出された停止信号の論理レベルを確立することができない。

【0058】

したがって、電源部 V H 1 の電圧が低下して、ハイサイドの回路が不定状態の場合は、停止論理レベルを確立することができないので、停止信号の論理レベルが反転してしまう可能性があり、このような状態では、ハイサイドのスイッチ素子を誤オンさせてしまうというおそれがある。

10

【0059】

以上において、ハイサイドに位置するハイサイドスイッチと、ローサイドに位置するローサイドスイッチとを交互にスイッチングして負荷を駆動するスイッチ駆動装置について述べた。この種のスイッチ駆動装置には、ローサイドに位置するローサイドスイッチに代わりダイオードを用いた構成の装置も存在する。

【0060】

例えば図 4 に示す装置である。図 4 に示す装置は、図 2 に示したスイッチ駆動装置において、N M O S トランジスタ M L 1 をダイオード D に置き換え、N M O S トランジスタ M L 1 のゲート信号に対応する回路を取り去ったものに相当する。具体的には、スイッチ素子 20 a - 2 において、ハイサイドスイッチである N M O S トランジスタ M H 1 のソースとダイオード D 1 のカソードが接続され、ダイオード D 1 のアノードが電位 N の接続されている。

20

【0061】

図 4 に示す装置は、負荷として負荷 5 - 1 に例示するようなコイル L 0 およびコンデンサ C 0 からなる L C 回路を含む回路に適用されるものである。ここで L C 回路を含む回路は例えば D C / D C コンバータである。負荷が負荷 5 - 1 のようなものである場合は、負荷に流れる電流は電流  $i_H$ 、 $i_L$  で示すように、N M O S トランジスタ M L 1 から負荷に流れ、負荷からダイオード D 1 に流れるように動作する。したがってこのような用途ではスイッチ駆動装置のローサイド側にはスイッチではなく単にダイオードで良いものである。

30

【0062】

図 4 に示す装置の場合であっても、ハイサイドに位置するハイサイドスイッチと、ローサイドに位置するローサイドスイッチとを交互にスイッチングして負荷を駆動するスイッチ駆動装置について述べたように、ハイサイドのスイッチ素子を誤オンさせてしまうおそれは同じように存在する。

【0063】

なお、今図 2 に示す装置においてローサイドスイッチをダイオードに置き換えた構成の装置について述べたが、図 3 に示したスイッチ駆動装置 20 - 1 についても同様の構成をとることができる。すなわち、スイッチ駆動装置 20 - 1 において、N M O S トランジスタ M L 1 をダイオード D 1 に置き換え、N M O S トランジスタ M L 1 のゲート信号に対応する回路を取り去った構成の装置も存在する。この装置についても、ローサイドスイッチがダイオードに置き換わったことを除き図 3 の装置で述べたことと同様のことが言える。

40

【0064】

本技術はこのように鑑みてなされたものであり、ハイサイドの停止論理レベルを精度よく確立させて、ハイサイドのスイッチ素子の誤オンを回避し、品質の向上を図ったスイッチ駆動回路、スイッチ駆動モジュールおよびスイッチ駆動装置を提供するものである。

50

## 【 0 0 6 5 】

次に本発明の技術であるスイッチ駆動装置について詳しく説明する。図5はスイッチ駆動装置の構成例を示す図である。スイッチ駆動装置100は、スイッチ駆動モジュール100aと、スイッチ素子101とを備える。

## 【 0 0 6 6 】

スイッチ素子101は、ハイサイドスイッチであるNMOSトランジスタMH1と、ローサイドスイッチであるNMOSトランジスタML1を含む。

また、スイッチ駆動モジュール100aは、スイッチ駆動回路10、制御回路10aおよび電源部VL1を備える。さらに、スイッチ駆動回路10は、ハイサイドスイッチ制御回路11、レベルシフト回路12、ドライバ13H、13Lおよび電源部VH1を含む。

10

## 【 0 0 6 7 】

ハイサイドスイッチ制御回路11は、NMOSトランジスタM1~M3、PMOSトランジスタM4(第1のPMOSトランジスタ)、M5(第2のPMOSトランジスタ)、M6(第3のPMOSトランジスタ)および抵抗R1を含む。

## 【 0 0 6 8 】

レベルシフト回路12は、NMOSトランジスタM7、M8およびラッチ回路12-1を含む。ラッチ回路12-1は、インバータ12a~12cおよび抵抗R2、R3を含む。なお、電源部VL1は、スイッチ駆動回路10に含まれる構成としてもよい。

## 【 0 0 6 9 】

図1との対応関係については、定電流源1b-1の機能は、PMOSトランジスタM4、M5のカレントミラー回路で実現し、三端子スイッチ1b-2は、PMOSトランジスタM6で実現している。また、電流制御スイッチ1b-3は、NMOSトランジスタM3で実現している。さらに、ラッチ回路1aは、ラッチ回路12-1で実現している。

20

## 【 0 0 7 0 】

回路素子の接続関係について記す。高電位側の電位Pは、NMOSトランジスタMH1のドレインに接続する。電源部VH1の高電位端子は、PMOSトランジスタM4~M6のソース、インバータ12a~12cの高電位側の電源端子およびドライバ13Hの高電位側の電源端子に接続する。

## 【 0 0 7 1 】

電源部VH1の低電位端子は、抵抗R1の一端、インバータ12a~12cの低電位側の電源端子、ドライバ13Hの低電位側の電源端子、NMOSトランジスタMH1のソース、出力端子OUTおよびNMOSトランジスタML1のドレインに接続する。出力端子OUTは負荷5に接続する。

30

## 【 0 0 7 2 】

PMOSトランジスタM4のゲートは、PMOSトランジスタM4のドレイン、PMOSトランジスタM5のゲートおよびNMOSトランジスタM3のドレインに接続する。PMOSトランジスタM5のドレインは、PMOSトランジスタM6のゲートと、抵抗R1の他端と接続する。PMOSトランジスタM6のドレインは、抵抗R2の一端、インバータ12aの入力端子およびNMOSトランジスタM7のドレインに接続する。

## 【 0 0 7 3 】

インバータ12aの出力端子は、抵抗R3の一端に接続し、抵抗R3の他端は、インバータ12bの入力端子と、NMOSトランジスタM8のドレインと接続する。

40

抵抗R2の他端は、インバータ12bの出力端子と、インバータ12cの入力端子と接続する。インバータ12cの出力端子は、ドライバ13Hの入力端子に接続し、ドライバ13Hの出力端子は、NMOSトランジスタMH1のゲートに接続する。

## 【 0 0 7 4 】

また、電源部VL1の高電位端子は、制御回路10aの高電位側の電源端子と、ドライバ13Lの高電位側の電源端子と接続する。低電位側の電位Nは、電源部VL1の低電位端子、制御回路10aの低電位側の電源端子、NMOSトランジスタM1、M2、M7、M8のソース、ドライバ13Lの低電位側の電源端子およびNMOSトランジスタML1

50

のソースに接続する。

【0075】

制御回路10aの端子c1は、NMOSトランジスタM3のゲートに接続し、NMOSトランジスタM3のソースは、NMOSトランジスタM2のドレインに接続する。制御回路10aの端子c2は、NMOSトランジスタM1のドレインと、NMOSトランジスタM1、M2のゲートと接続する。

【0076】

制御回路10aの端子c3は、NMOSトランジスタM7のゲートに接続し、制御回路10aの端子c4は、NMOSトランジスタM8のゲートに接続し、制御回路10aの端子c5は、ドライバ13Lの入力端子に接続する。ドライバ13Lの出力端子は、NMOSトランジスタML1のゲートに接続する。

10

【0077】

次にレベルシフト回路12のラッチ機能について説明する。レベルシフト回路12は、ハイサイドのスイッチのスイッチング制御を行うためのハイサイドスイッチ信号の論理レベルをラッチ（保持）するラッチ回路12-1を有している。

【0078】

図6はレベルシフト回路内のラッチ構成を示す図である。図5に示したレベルシフト回路12のラッチ回路12-1周辺の回路構成を示している。

ラッチ回路12-1は、インバータ12a（第1のインバータ）、12b（第2のインバータ）、12c（第3のインバータ）および抵抗R2（第1の抵抗）、R3（第2の抵抗）を含む。なお、ラッチ機能としてのインバータは、インバータ12a、12bであるが、出力レベルを反転するためのインバータ12cも含めてラッチ回路としている。

20

【0079】

また、NMOSトランジスタM7、M8は、ラッチ回路12-1からのラッチ出力の論理レベルを書き替えるためのラッチ論理書替えスイッチとなる。

ラッチ動作について説明する。ハイサイドのNMOSトランジスタMH1のオン、オフを指示するためのパルス信号が、制御回路10aの端子c3、c4から出力される。

【0080】

ドライバ13Hの出力をHレベルにする場合、制御回路10aの出力端子c3からパルス信号Vgmaが出力される。このとき、NMOSトランジスタM7はオンする。

30

すると、ラッチ回路12-1内では、インバータ12aの入力がLレベルになり、インバータ12aの出力はHレベル、インバータ12bの出力はLレベルになる。

【0081】

したがって、Lレベルの信号がラッチされるので、最終段のインバータ12cの出力はHレベルになって、ドライバ13HからHレベルのハイサイドスイッチ信号が出力される。

【0082】

一方、ドライバ13Hの出力をLレベルにする場合、制御回路10aの出力端子c4からパルス信号Vgmbが出力される。このとき、NMOSトランジスタM8はオンする。

すると、ラッチ回路12-1内では、インバータ12bの入力がLレベルになり、インバータ12bの出力はHレベルになる。

40

【0083】

したがって、Hレベルの信号がラッチされるので、最終段のインバータ12cの出力はLレベルになって、ドライバ13HからLレベルのハイサイドスイッチ信号が出力される。

【0084】

このように、パルス信号Vgma、Vgmbを用いて、NMOSトランジスタM7、M8を交互にオンすることで、ラッチ回路12-1の出力レベルの論理の書き換えを行う。

次にスイッチ駆動装置100の負荷運転時のスイッチング動作について説明する。図7は負荷運転時のスイッチング波形を示す図である。縦軸は電圧、横軸は時間tである。

50

## 【0085】

波形 g 1 は、出力端子 O U T の信号、波形 g 2 は、N M O S トランジスタ M H 1 のゲートに入力するハイサイドスイッチ信号、波形 g 3 は、N M O S トランジスタ M L 1 のゲートに入力するローサイドスイッチ信号である。また、波形 g 4 は、パルス信号 V g m a、波形 g 5 は、パルス信号 V g m b である。

## 【0086】

[ t 0 < t < t 1 ] ハイサイドスイッチ信号、ローサイドスイッチ信号およびパルス信号 V g m a、V g m b は、L レベルである。

ハイサイドスイッチ信号と、ローサイドスイッチ信号とが共に L レベルの場合、N M O S トランジスタ M H 1、M L 1 は共にオフであり、出力端子 O U T の信号は L レベルとなる。

10

## 【0087】

なお、ハイサイドスイッチ信号とローサイドスイッチ信号とが共に H レベルになって、N M O S トランジスタ M H 1、M L 1 が共にオンすると、N M O S トランジスタ M H 1、M L 1 に貫通電流が流れるおそれがある。

## 【0088】

このため、ローサイドスイッチ信号の立ち下りからハイサイドスイッチ信号の立ち上りまでの一定期間 t a、およびハイサイドスイッチ信号の立ち下りからローサイドスイッチ信号の立ち上りまでの一定期間 t a においては、ハイサイドスイッチ信号およびローサイドスイッチ信号が共に L レベルになるようにして、N M O S トランジスタ M H 1、M L 1 が共にオフとなる期間を設けている。

20

## 【0089】

[ t 1 t < t 2 ] 制御回路 1 0 a の端子 c 3 から、パルス信号 V g m a が出力されることで、ハイサイドスイッチ信号は H レベルにラッチされる。また、制御回路 1 0 a の端子 c 5 からは、L レベルのローサイドスイッチ信号が出力される。

## 【0090】

ハイサイドスイッチ信号が H レベル、ローサイドスイッチ信号が L レベルの場合、N M O S トランジスタ M H 1、M L 1 はそれぞれオン、オフであり、出力端子 O U T の信号は H レベルとなる。

## 【0091】

なお、N M O S トランジスタ M L 1 をスイッチングするためのローサイドスイッチ信号は、制御回路 1 0 a の端子 c 5 からドライバ 1 3 L を介して N M O S トランジスタ M L 1 に直接印加されるものである。

30

## 【0092】

[ t 2 t < t 3 ] 制御回路 1 0 a の端子 c 4 から、パルス信号 V g m b が出力されることで、ハイサイドスイッチ信号は L レベルにラッチされる。また、制御回路 1 0 a の端子 c 5 からは、L レベルのローサイドスイッチ信号を出力している。したがって、出力端子 O U T の信号は L レベルになる。

## 【0093】

[ t 3 t < t 4 ] ハイサイドスイッチ信号は L レベルにラッチされている。また、制御回路 1 0 a の端子 c 5 からは、H レベルのローサイドスイッチ信号が出力される。

40

ハイサイドスイッチ信号が L レベル、ローサイドスイッチ信号が H レベルの場合、N M O S トランジスタ M H 1、M L 1 はそれぞれオフ、オンであり、出力端子 O U T の信号は L レベルとなる。

## 【0094】

[ t 4 t < t 5 ] ハイサイドスイッチ信号は L レベルにラッチされている。また、制御回路 1 0 a の端子 c 5 からは、L レベルのローサイドスイッチ信号が出力される。したがって、出力端子 O U T の信号は L レベルになる。

## 【0095】

[ t 5 t < t 6 ] 制御回路 1 0 a の端子 c 3 から、パルス信号 V g m a が出力される

50

ことで、ハイサイドスイッチ信号はHレベルにラッチされる。また、制御回路10aの端子c5からは、Lレベルのローサイドスイッチ信号が出力される。したがって、出力端子OUTの信号はHレベルとなる。以下、同様にして繰り返される。

【0096】

次にハイサイドスイッチ制御回路11の動作について、図5、図8、図9を用いて説明する。まず、ハイサイドスイッチ制御回路11内のPMOSトランジスタM4、M5は、カレントミラー回路を構成しており、ソース定電流源となって基準電流IREFを生成する。また、NMOSトランジスタM1、M2は、カレントミラー回路を構成しており、基準電流IREFを引き込むためのシンク電流源となる。

【0097】

なお、制御回路10aは、NMOSトランジスタM3をオン、オフして、基準電流IREFの導通/非導通を切り替えるためのST(start)/SP(stop)信号を、端子c1から出力する。

【0098】

図8はスイッチング停止を行う場合の動作フローを示す図である。ラッチ回路12-1の出力レベル(ハイサイドスイッチ信号のレベル)をLレベルにラッチする動作である。

〔S1〕制御回路10aは、ST/SP信号をLレベルにして、NMOSトランジスタM3をオフにする。

【0099】

〔S2〕NMOSトランジスタM3がオフすると、基準電流IREFは流れず(基準電流IREFは非導通となり)、ダイオード接続(ドレインとゲートが接続)されたPMOSトランジスタM4のゲート電圧は、電源部VH1の高電位側と同電位になる。

【0100】

〔S3〕PMOSトランジスタM5のゲート電圧も電源部VH1の高電位側と同電位になるので、PMOSトランジスタM5はオフする。

〔S4〕PMOSトランジスタM5がオフすると、抵抗R1を介してPMOSトランジスタM6のゲート電圧が、電源部VH1の低電位側と同電位になる。したがって、PMOSトランジスタM6はオンする。

【0101】

〔S5〕PMOSトランジスタM6がオンすると、ポイントST/SPH(ラッチ回路12-1の入力端)がブルアップされ、Hレベルに固定される。

〔S6〕インバータ12aの入力はHレベル、インバータ12bの出力はHレベル、インバータ12cの出力はLレベルになるから、ラッチ回路12-1からは、Lレベルの信号がラッチ出力される。

【0102】

〔S7〕ドライバ13Hを介して、NMOSトランジスタMH1のゲートにLレベルが印加される。したがって、電源部VH1の低電位側の電位(電位Mv)の変動によらず、NMOSトランジスタMH1はオフ状態になり、停止確立状態が設定される。

【0103】

図9はスイッチング駆動を行う場合の動作フローを示す図である。ラッチ回路12-1のLレベルのラッチ出力状態を解除する動作である。

〔S11〕制御回路10aは、ST/SP信号をHレベルにして、NMOSトランジスタM3をオンにする。

【0104】

〔S12〕NMOSトランジスタM3がオンすると、PMOSトランジスタM4から基準電流IREFが流れる(基準電流IREFが導通する)。ここで端子c2からは高電位のオン信号が出力されている。

【0105】

〔S13〕PMOSトランジスタM4、M5はカレントミラー回路なので、PMOSトランジスタM4に基準電流IREFが導通すれば、PMOSトランジスタM5にも基準電

10

20

30

40

50

流 I R E F が流れる。

【 0 1 0 6 】

〔 S 1 4 〕 基準電流 I R E F が抵抗 R 1 を流れることにより、P M O S トランジスタ M 6 のゲートには、基準電流 I R E F と抵抗 R 1 の抵抗値との乗算値 ( I R E F × R 1 ) の電圧が印加され、P M O S トランジスタ M 6 はオフする。

【 0 1 0 7 】

〔 S 1 5 〕 P M O S トランジスタ M 6 がオフすると、ポイント S T / S P H ( ラッチ回路 1 2 - 1 の入力端 ) のプルアップ状態が解除される。

〔 S 1 6 〕 ラッチ回路 1 2 - 1 の L レベル出力ラッチ状態が解除され、停止確立状態が解除される。

10

【 0 1 0 8 】

図 1 0 はハイサイドスイッチ制御回路の動作波形を示す図である。波形 g 1 1 は、S T / S P 信号であり、縦軸は電圧、横軸は時間である。波形 g 1 2 は、基準電流 I R E F であり、縦軸は電流、横軸は時間である。

【 0 1 0 9 】

波形 g 1 3 は、P M O S トランジスタ M 6 のゲート電圧 V g m 6 であり、縦軸は電圧、横軸は時間である。なお、V H 1 \_H は、電源部 V H 1 の高電位側の値、V H 1 \_L は、電源部 V H 1 の低電位側の値を示している。波形 g 1 4 は、ポイント S T / S P H のレベルであり、縦軸は電圧、横軸は時間である。

【 0 1 1 0 】

S T / S P 信号が L レベルの場合、N M O S トランジスタ M 3 はオフするので、基準電流 I R E F は非導通になり、P M O S トランジスタ M 5 はオフする。このとき、P M O S トランジスタ M 6 のゲート電圧 V g m 6 には、電源部 V H 1 の低電位レベルが印加される。

20

【 0 1 1 1 】

したがって、P M O S トランジスタ M 6 がオンして、ポイント S T / S P H はプルアップされて H レベルになり、ラッチ回路 1 2 - 1 は、L レベル出力状態がラッチされ、停止確立状態が設定される。

【 0 1 1 2 】

一方、S T / S P 信号が H レベルの場合、N M O S トランジスタ M 3 はオンするので、基準電流 I R E F は導通し、P M O S トランジスタ M 5 はオンする。このとき、P M O S トランジスタ M 6 のゲート電圧 V g m 6 には、I R E F × R 1 の電圧が印加される。

30

【 0 1 1 3 】

したがって、P M O S トランジスタ M 6 がオフして、ポイント S T / S P H のプルアップ状態は解除され、ラッチ回路 1 2 - 1 の L レベルラッチ出力状態も解除される。すなわち、停止確立状態が解除される。

【 0 1 1 4 】

以上説明したように、本発明の技術によれば、電源部 V H 1 が安定起動するまで、P M O S トランジスタ M 6 をオンすることで、ラッチ回路 1 2 - 1 の出力を、強制的にハイサイドスイッチをオフする信号に固定することができるので、ハイサイドスイッチが誤オンすることを防止することが可能になる。

40

【 0 1 1 5 】

なお、上記では、図 2 に示したスイッチ駆動装置 2 0 の改善を図った場合の装置構成について説明したが、図 3 に示したスイッチ駆動装置 2 0 - 1 に対しても、本発明の機能を同様に適用することが可能である。

【 0 1 1 6 】

さらには、図 4 に示したスイッチ駆動装置 2 0 - 2 に対しても本発明を同様に適用することが可能である。スイッチ駆動装置 2 0 - 2 の具体的な構成例を図 1 1 に示す。図 1 1 に示す装置においても、上述のように図 5 から図 1 0 を用いて説明したことが当てはまる。

50

## 【 0 1 1 7 】

ここで、図 1 1 に示す装置では、図 5 の N M O S トランジスタ M L 1 がダイオード D に置き換わり、N M O S トランジスタ M L 1 のゲートをドライブする回路は無いことに留意する。また、負荷は図 4 の説明で述べたように L C 回路を含む回路に例示されるものであって、負荷に流れる電流は電流  $i_H$ 、 $i_L$  で示すように、N M O S トランジスタ M L 1 から負荷に流れ、負荷からダイオード D に流れるように動作するものであることに留意する。

## 【 0 1 1 8 】

また、上記では M O S トランジスタで構成した例を示したが、バイポーラトランジスタを用いてもよい。

以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。

## 【 符号の説明 】

## 【 0 1 1 9 】

- 1 スイッチ駆動回路
- 1 a ラッチ回路
- 1 b ハイサイドスイッチ制御回路
- 1 b - 1 定電流源
- 1 b - 2 三端子スイッチ
- 1 b - 3 電流制御スイッチ
- 1 H ハイサイドドライバ
- 1 L ローサイドドライバ
- V H 1 ハイサイド電源部
- V L 1 ローサイド電源部
- R 1 抵抗
- 2 H ハイサイドスイッチ
- 2 L ローサイドスイッチ
- 5 負荷
- I R E F 基準電流
- d H ハイサイドスイッチ信号
- d L ローサイドスイッチ信号
- i 1 定電流源の入力端
- i 2 定電流源の出力端
- s 1 三端子スイッチの第 1 の入力端
- s 2 三端子スイッチの第 2 の入力端
- s 3 三端子スイッチの出力端
- p 1 ラッチ回路の入力端
- g 0 基準電流の波形
- T 1 基準電流の非導通期間
- T 2 基準電流の導通期間
- D 1 ダイオード
- L 0 コイル
- C 0 コンデンサ
- $i_H$  電流
- $i_L$  電流

10

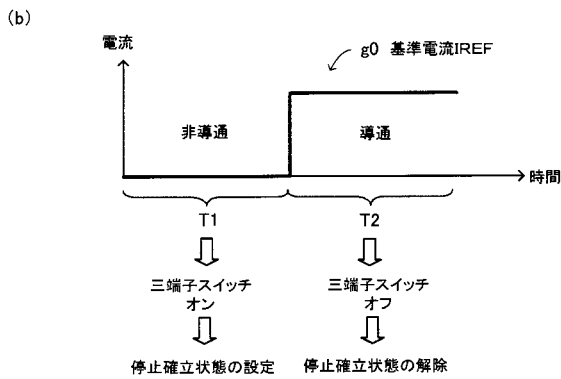
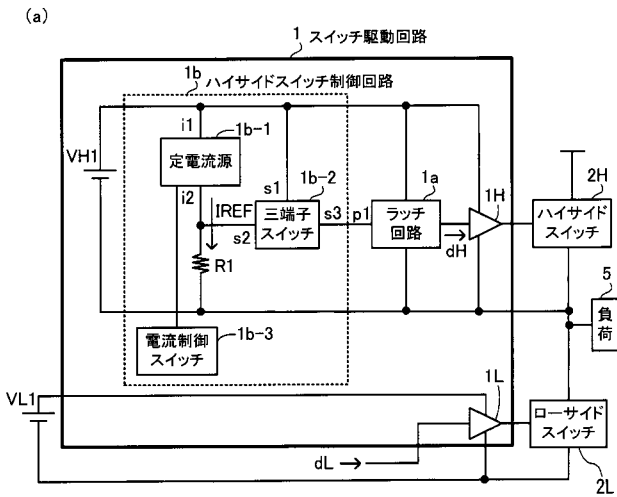
20

30

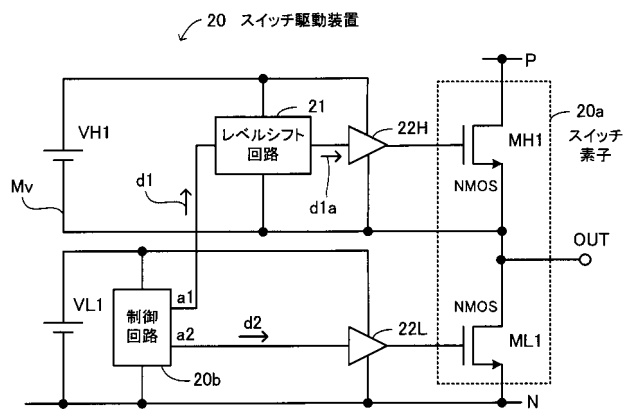
40



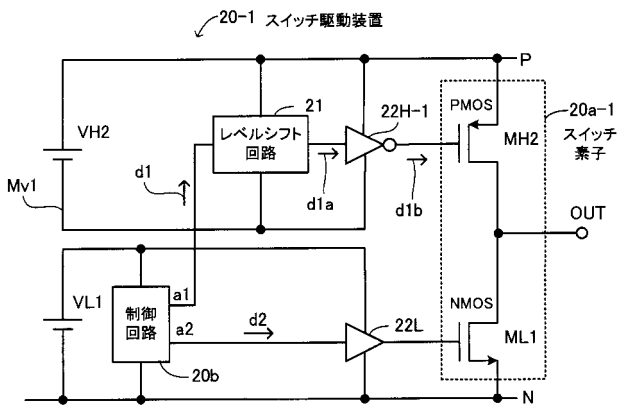
【図1】



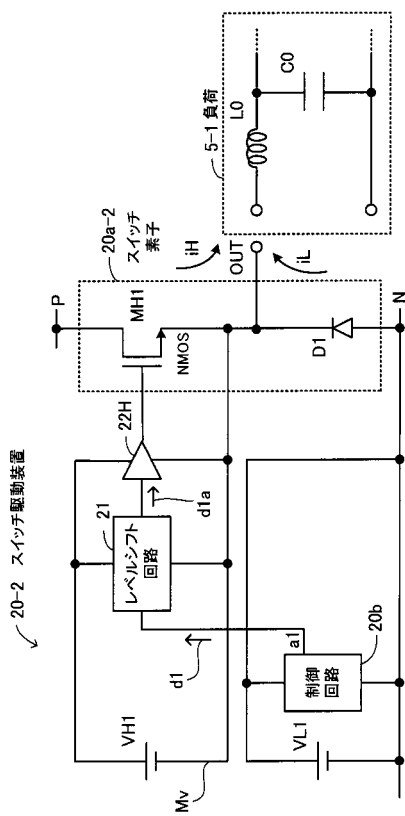
【図2】



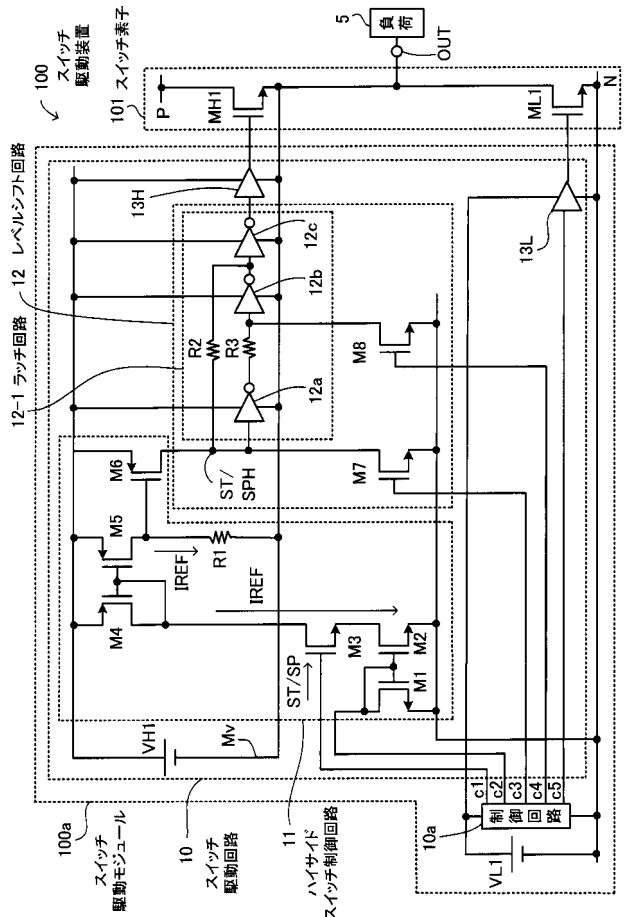
【図3】



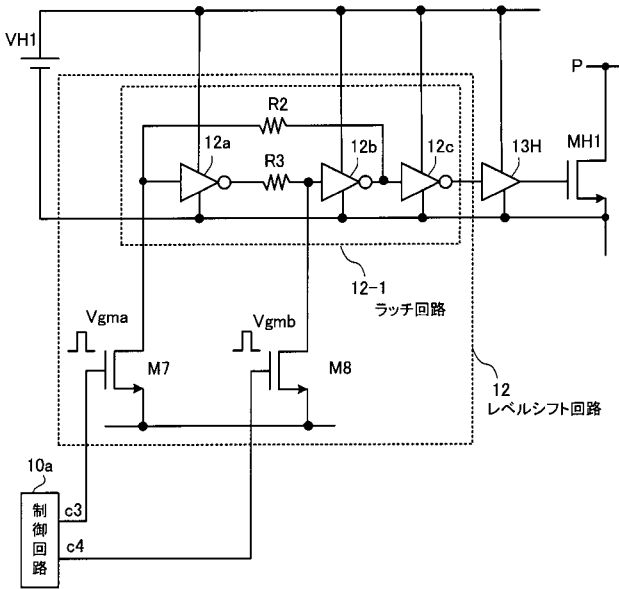
【図4】



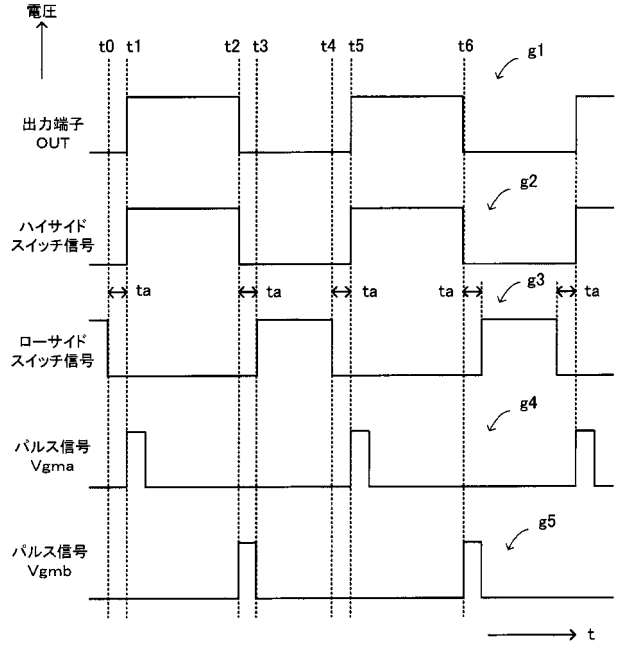
【図5】



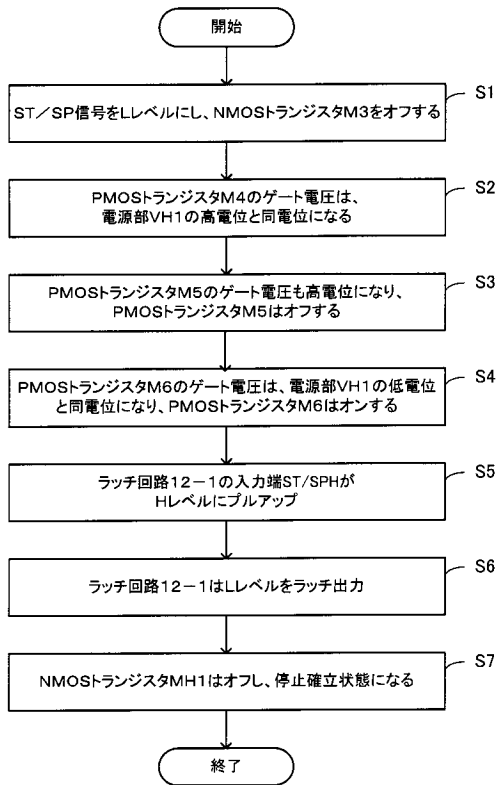
【図6】



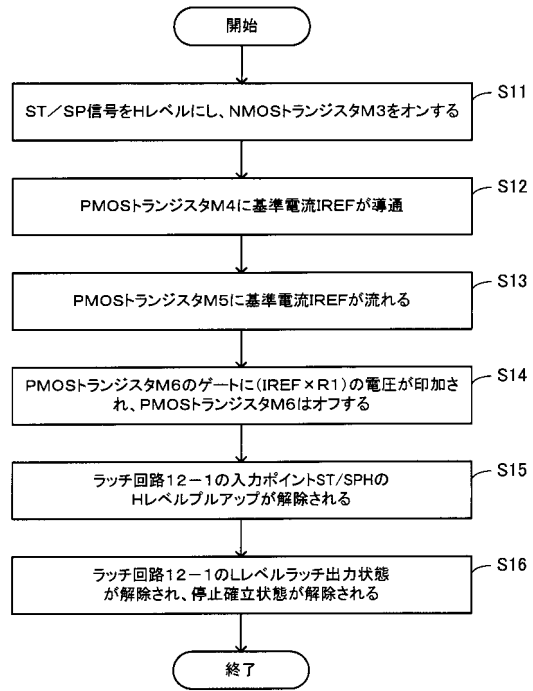
【図7】



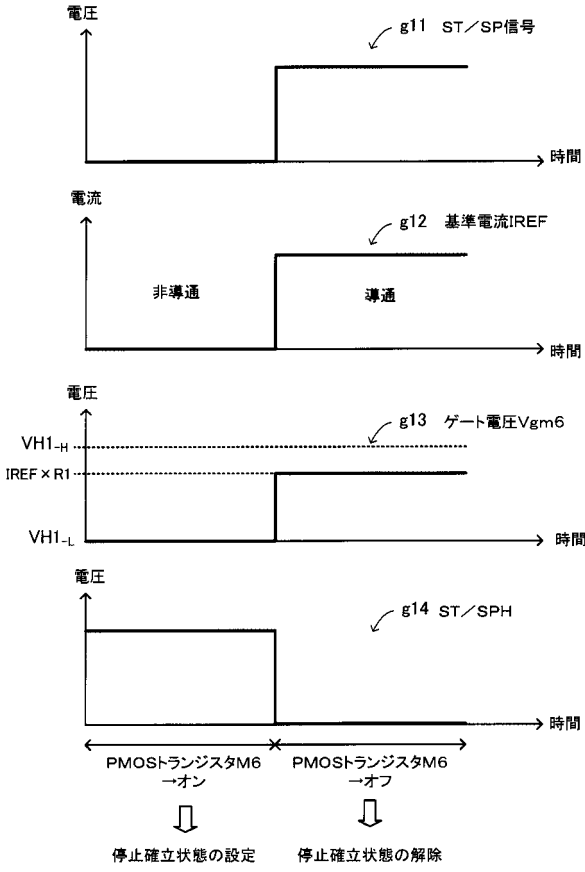
【図8】



【図9】



【 図 1 0 】



【 図 1 1 】

