



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I668818 B

(45)公告日：中華民國 108 (2019) 年 08 月 11 日

(21)申請案號：107113338 (22)申請日：中華民國 107 (2018) 年 04 月 19 日

(51)Int. Cl. : *H01L23/28 (2006.01)* *H01L23/31 (2006.01)*
H01L23/498 (2006.01) *H01L23/522 (2006.01)*

(30)優先權：2017/08/18 南韓 10-2017-0104603
 2017/11/30 南韓 10-2017-0163040

(71)申請人：南韓商三星電機股份有限公司(南韓) SAMSUNG ELECTRO-MECHANICS CO., LTD. (KR)
 南韓

(72)發明人：蘇源煜 SO, WON WOOK (KR)；白龍浩 BAEK, YONG HO (KR)；金斗一 KIM, DOO IL (KR)；許榮植 HUR, YOUNG SIK (KR)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

TW	201618196A	CN	103779319A
US	2014/0103527A1		

審查人員：修宇鋒

申請專利範圍項數：20 項 圖式數：33 共 85 頁

(54)名稱

扇外型半導體封裝

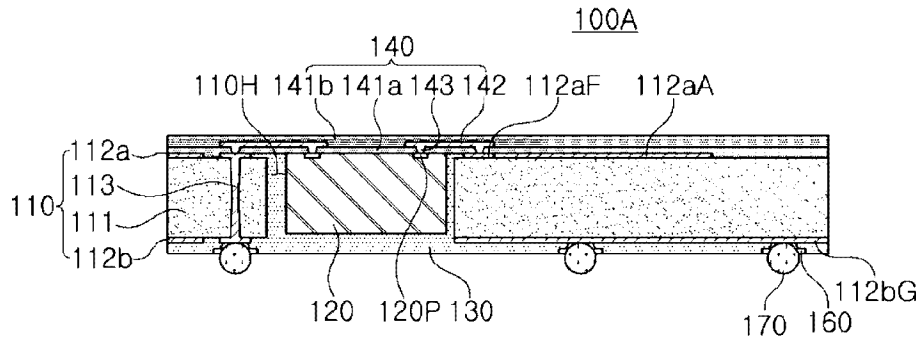
FAN-OUT SEMICONDUCTOR PACKAGE

(57)摘要

一種扇外型半導體封裝包括：核心構件，具有貫穿孔；半導體晶片，配置於貫穿孔中；包封體，包封核心構件的至少部分及半導體晶片的至少部分；以及連接構件，配置於核心構件及半導體晶片的主動面上，且包括連接至連接墊的重佈線層。核心構件包括配置於不同水平高度上的多個配線層，在核心構件的所述多個配線層之間配置有介電質，所述多個配線層中的一者包括天線圖案，所述多個配線層中的另一者包括接地圖案，且天線圖案藉由重佈線層以訊號方式連接至連接墊。

A fan-out semiconductor package includes: a core member having a through-hole; a semiconductor chip disposed in the through-hole; an encapsulant encapsulating at least portions of the core member and the semiconductor chip; and a connection member disposed on the core member and an active surface of the semiconductor chip and including a redistribution layer connected to the connection pads. The core member includes a plurality of wiring layers disposed on different levels, a dielectric is disposed between the plurality of wiring layers of the core member, one of the plurality of wiring layers includes an antenna pattern, the other of the plurality of wiring layers includes a ground pattern, and the antenna pattern is connected to the connection pads through the redistribution layer in a signal manner.

指定代表圖：



【圖9】

符號簡單說明：

100A . . . 扇外型半導體封裝

110 . . . 核心構件

110H . . . 貫穿孔

111 . . . 絕緣層

112a、112b . . . 配線層

112aA . . . 天線圖案

112aF . . . 饋線

112bG . . . 接地圖案

113、143 . . . 通孔

120 . . . 半導體晶片

120P . . . 連接墊

130 . . . 包封體

140 . . . 連接構件

141a . . . 第一絕緣層

141b . . . 第二絕緣層

142 . . . 重佈線層

160 . . . 凸塊下金屬層

170 . . . 電性連接結構



I668818

【發明摘要】

【中文發明名稱】扇外型半導體封裝

【英文發明名稱】FAN-OUT SEMICONDUCTOR PACKAGE

【中文】一種扇外型半導體封裝包括：核心構件，具有貫穿孔；半導體晶片，配置於貫穿孔中；包封體，包封核心構件的至少部分及半導體晶片的至少部分；以及連接構件，配置於核心構件及半導體晶片的主動面上，且包括連接至連接墊的重佈線層。核心構件包括配置於不同水平高度上的多個配線層，在核心構件的所述多個配線層之間配置有介電質，所述多個配線層中的一者包括天線圖案，所述多個配線層中的另一者包括接地圖案，且天線圖案藉由重佈線層以訊號方式連接至連接墊。

【英文】 A fan-out semiconductor package includes: a core member having a through-hole; a semiconductor chip disposed in the through-hole; an encapsulant encapsulating at least portions of the core member and the semiconductor chip; and a connection member disposed on the core member and an active surface of the semiconductor chip and including a redistribution layer connected to the connection pads. The core member includes a plurality of wiring layers disposed on different levels, a dielectric is disposed between the plurality of wiring layers of the core member, one of the plurality of wiring layers includes an antenna pattern, the other of the

plurality of wiring layers includes a ground pattern, and the antenna pattern is connected to the connection pads through the redistribution layer in a signal manner.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

100A：扇外型半導體封裝

110：核心構件

110H：貫穿孔

111：絕緣層

112a、112b：配線層

112aA：天線圖案

112aF：饋線

112bG：接地圖案

113、143：通孔

120：半導體晶片

120P：連接墊

130：包封體

140：連接構件

141a：第一絕緣層

141b：第二絕緣層

142：重佈線層

160：凸塊下金屬層

170：電性連接結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】扇外型半導體封裝

【英文發明名稱】FAN-OUT SEMICONDUCTOR PACKAGE

【技術領域】

【0001】 本揭露是有關於一種於其中形成天線圖案及接地圖案的扇外型半導體封裝。

【0002】 [相關申請案的交叉參考]

【0003】 本申請案主張 2017 年 8 月 18 日在韓國智慧財產局中申請的韓國專利申請案第 10-2017-0104603 號以及 2017 年 11 月 30 日在韓國智慧財產局中申請的韓國專利申請案第 10-2017-0163040 號的優先權的權益，所述申請案的揭露內容全文併入本案供參考。

【先前技術】

【0004】 使用 10 吉赫（GHz）或大於 10 吉赫的毫米波的應用已廣泛用於對運動進行偵測以增加使用者介面（user interface，I/F）便利性的運動感測器產品、對預定空間內的入侵者進行確認的用於安全的行動監測感測器產品、用於汽車的近場及遠場偵測的 24 吉赫及 77 吉赫的雷達系統等、以及第五代（fifth generation，5G）行動通訊或 60 吉赫的通訊。在使用上述毫米波的產品的情形中，當將訊號自射頻積體電路（radio frequency integrated circuit，RFIC）傳輸至天線或自天線傳輸至射頻積體電路時，訊號應被傳輸成使得產生盡可能少的訊號損耗。傳統上，為了達成此目的，

射頻積體電路與天線藉由同軸纜線彼此連接以使訊號衰減最小化，此在空間及成本方面是低效率的。

【0005】 近來，在 60 吉赫的通訊系統中，已開始使用的是使用例如低溫共燒陶瓷（low temperature co-fired ceramic，LTCC）等材料來設計 60 吉赫的天線且接著將 60 吉赫的天線附接至射頻積體電路以顯著縮短各組件之間的距離的方式。另外，在用於汽車的雷達系統中，已使用將射頻積體電路安裝於主印刷電路板（printed circuit board，PCB）上且將作為圖案的天線在主印刷電路板上形成並連接至主印刷電路板或者將單獨的天線模組安裝至主印刷電路板的方式。然而，以此種方式亦難以充分地防止在組件之間產生線間損耗（line-to-line loss）。

【0006】 近來，隨著封裝技術的發展，已開發出一種在射頻積體電路封裝中形成天線的方法，且在一些情形中已使用在射頻積體電路封裝的重佈線層（redistribution layer，RDL）上形成天線圖案的方式。然而，以此種方式亦在確保天線的輻射效能方面存在若干設計限制，或者存在將出現效能錯誤的可能性。因此，需要一種能夠在設計方面具有靈活的自由度且顯著減少設計錯誤的穩定的射頻積體電路及天線積體封裝設計技術。

【發明內容】

【0007】 本揭露的態樣可提供一種扇外型半導體封裝，其中可藉由顯著縮短半導體晶片與天線圖案之間的距離來防止訊號傳輸的損耗，在單一封裝中可確保穩定的天線效能，可減小封裝的總體

尺寸，且可簡化製程。

【0008】 根據本揭露的態樣，可提供一種扇外型半導體封裝，其中將具有貫穿孔的單一核心構件引入半導體晶片被包封的區域中，半導體晶片配置於核心構件的貫穿孔中，且天線圖案與接地圖案形成於包括介電質的核心構件的不同水平高度上。

【0009】 根據本揭露的態樣，一種扇外型半導體封裝可包括：核心構件，具有貫穿孔；半導體晶片，配置於所述貫穿孔中且具有主動面以及與所述主動面相對的非主動面，所述主動面上配置有連接墊；包封體，包封所述核心構件的至少部分及所述半導體晶片的至少部分；以及連接構件，配置於所述核心構件及所述半導體晶片的所述主動面上，且包括連接至所述連接墊的重佈線層。所述核心構件可包括配置於不同水平高度上的多個配線層，可在所述核心構件的所述多個配線層之間配置介電質，所述多個配線層中的一者可包括天線圖案，所述多個配線層中的另一者可包括接地圖案，且所述天線圖案可藉由所述重佈線層以訊號方式連接至所述連接墊。

【圖式簡單說明】

【0010】 由以下結合所附圖式的詳細闡述，將更清楚地理解本揭露的上述及其他態樣、特徵及優點，其中：

圖 1 為示出電子裝置系統的實例的方塊示意圖。

圖 2 為示出電子裝置的實例的立體示意圖。

圖 3A 及圖 3B 為示出扇入型半導體封裝在封裝前及封裝後狀

態的剖面示意圖。

圖 4 為示出扇入型半導體封裝的封裝製程的剖面示意圖。

圖 5 為示出扇入型半導體封裝安裝於球柵陣列（ball grid array，BGA）基板上且最終安裝於電子裝置的主板上之情形的剖面示意圖。

圖 6 為示出扇入型半導體封裝嵌置於球柵陣列基板中且最終安裝於電子裝置的主板上之情形的剖面示意圖。

圖 7 為示出扇外型半導體封裝的剖面示意圖。

圖 8 為示出扇外型半導體封裝安裝於電子裝置的主板上之情形的剖面示意圖。

圖 9 為示出扇外型半導體封裝的實例的剖面示意圖。

圖 10 為示出當從上方觀察時圖 9 的扇外型半導體封裝的平面示意圖。

圖 11 為示出當從下方觀察時圖 9 的扇外型半導體封裝的平面示意圖。

圖 12A 至圖 12D 為示出可用於圖 9 的扇外型半導體封裝的天線圖案的種類的示意圖。

圖 13 為示出可用於圖 9 的扇外型半導體封裝的天線圖案的經修改實例的示意圖。

圖 14A 至圖 14F 為示出製造圖 9 的扇外型半導體封裝的製程的實例的示意圖。

圖 15 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 16 為示出當從上方觀察時圖 15 的扇外型半導體封裝的平面示意圖。

圖 17 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 18 為示出當從上方觀察時圖 17 的扇外型半導體封裝的平面示意圖。

圖 19 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 20A 至圖 20D 為示出當從上方觀察時圖 19 的扇外型半導體封裝的各種實例的平面示意圖。

圖 21 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 22 為示出當從上方觀察時圖 21 的扇外型半導體封裝的平面示意圖。

圖 23 為示出當從下方觀察時圖 21 的扇外型半導體封裝的平面示意圖。

圖 24 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 25 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 26 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 27 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 28 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 29 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 30 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 31 為示出扇外型半導體封裝的另一實例的剖面示意圖。

圖 32 為示出根據相關技術的扇外型半導體封裝應用於主板

的實例的剖面示意圖。

圖 33 為示出根據本揭露的扇外型半導體封裝應用於主板的實例的剖面示意圖。

【實施方式】

【0011】 在下文中，將參照所附圖式闡述本揭露中的各例示性實施例。在所附圖式中，為清晰起見，可誇大或風格化各組件的形狀、尺寸等。

【0012】 在本文中，下側、下部分、下表面等是用來指代相對於圖式的橫截面的朝向扇外型半導體封裝之安裝表面的方向，而上側、上部分、上表面等是用來指代與所述方向相反的方向。然而，定義該些方向是為了方便闡釋，且本申請專利範圍並不受如上所述所定義的方向特別限制。

【0013】 在說明中，組件與另一組件的「連接」的意義包括經由黏合層の間接連接以及在兩個組件之間是直接連接。另外，「電性連接」在概念上包括物理連接及物理斷接（disconnection）。應理解，當以例如「第一」及「第二」等用語來指代元件時，所述元件並不因此受到限制。使用「第一」及「第二」可能僅用於將所述元件與其他元件區分開的目的，並不限制所述元件的順序或重要性。在一些情形中，在不背離本文中所提出的申請專利範圍的範圍的條件下，第一元件可被稱作第二元件。相似地，第二元件亦可被稱作第一元件。

【0014】 在本文中，以所附圖式來確認上部分、下部分、上側面、

下側面、上表面、下表面等。舉例而言，第一連接構件配置在高於重佈線層的水平高度上。然而，申請專利範圍並非僅限於此。另外，垂直方向意指上述向上方向及向下方向，且水平方向意指與上述向上方向及向下方向垂直的方向。在此種情形中，垂直橫截面意指沿垂直方向上的平面截取的情形，且垂直橫截面的實例可為圖式中所示的剖面圖。另外，水平橫截面意指沿水平方向上的平面截取的情形，且水平橫截面的實例可為圖式中所示的平面圖。

電子裝置

【0015】 圖 1 為示出電子裝置系統的實例的方塊示意圖。

【0016】 參照圖 1，電子裝置 1000 中可容置主板 1010。主板 1010 可包括物理連接或電性連接至主板 1010 的晶片相關組件 1020、網路相關組件 1030、其他組件 1040 等。該些組件可連接至以下將闡述的其他組件以形成各種訊號線 1090。

【0017】 晶片相關組件 1020 可包括：記憶體晶片，例如揮發性記憶體（例如動態隨機存取記憶體（dynamic random access memory，DRAM）、非揮發性記憶體（例如唯讀記憶體（read only memory，ROM）、快閃記憶體等；應用處理器晶片，例如中央處理器（例如：中央處理單元（central processing unit，CPU）、圖形處理器（例如：圖形處理單元（graphics processing unit，GPU）、數位訊號處理器、密碼處理器（cryptographic processor）、微處理器、微控制器等；以及邏輯晶片，例如類比至數位轉換器

(analog-to-digital converter , ADC)、應用專用積體電路 (application-specific integrated circuit , ASIC) 等。然而，晶片相關組件 1020 並非僅限於此，而是亦可包括其他類型的晶片相關組件。另外，晶片相關組件 1020 可彼此組合。

【0018】 網路相關組件 1030 可包括例如以下協定：無線保真 (wireless fidelity , Wi-Fi) (電氣及電子工程師學會 (Institute of Electrical And Electronics Engineers , IEEE) 802.11 家族等)、全球互通微波存取 (worldwide interoperability for microwave access , WiMAX)(IEEE 802.16 家族等)、IEEE 802.20、長期演進 (long term evolution , LTE)、僅支援資料的演進 (evolution data only , Ev-DO)、高速封包存取+ (high speed packet access + , HSPA+)、高速下行封包存取+ (high speed downlink packet access + , HSDPA+)、高速上行封包存取+ (high speed uplink packet access + , HSUPA+)、增強型資料 GSM 環境 (enhanced data GSM environment , EDGE)、全球行動通訊系統 (global system for mobile communications , GSM)、全球定位系統 (global positioning system , GPS)、通用封包無線電服務 (general packet radio service , GPRS)、分碼多重存取 (code division multiple access , CDMA)、分時多重存取 (time division multiple access , TDMA)、數位增強型無線電訊 (digital enhanced cordless telecommunications , DECT)、藍芽、3G 協定、4G 協定及 5G 協定以及繼上述協定之後指定的任何其他無線協定及有線協定。然而，網路相關組件 1030 並非僅限於此，而是亦可

包括多種其他無線標準或協定或者有線標準或協定。另外，網路相關組件 1030 可與上文所描述的晶片相關組件 1020 一起彼此組合。

【0019】 其他組件 1040 可包括高頻電感器、鐵氧體電感器(ferrite inductor)、功率電感器 (power inductor)、鐵氧體珠粒 (ferrite beads)、低溫共燒陶瓷 (LTCC)、電磁干擾 (electromagnetic interference, EMI) 濾波器、多層陶瓷電容器 (multilayer ceramic capacitor, MLCC) 等。然而，其他組件 1040 並非僅限於此，而是亦可包括用於各種其他目的的被動組件等。另外，其他組件 1040 可與上文所闡述的晶片相關組件 1020 或網路相關組件 1030 一起彼此組合。

【0020】 視電子裝置 1000 的類型，電子裝置 1000 可包括可物理連接至或電性連接至主板 1010 的其他組件，或可不物理連接至或不電性連接至主板 1010 的其他組件。該些其他組件可包括例如照相機 1050、天線 1060、顯示器裝置 1070、電池 1080、音訊編解碼器 (圖中未示出)、視訊編解碼器 (圖中未示出)、功率放大器 (圖中未示出)、羅盤 (圖中未示出)、加速度計 (圖中未示出)、陀螺儀 (圖中未示出)、揚聲器 (圖中未示出)、大容量儲存單元 (例如硬碟驅動機) (圖中未示出)、光碟 (compact disk, CD) 驅動機 (圖中未示出)、數位多功能光碟 (digital versatile disk, DVD) 驅動機 (圖中未示出) 等。然而，該些其他組件並非僅限於此，而是視電子裝置 1000 的類型等亦可包括各種用途的其他組件。

【0021】 電子裝置 1000 可為智慧型電話、個人數位助理(personal digital assistant, PDA)、數位攝影機、數位照相機(digital still camera)、網路系統、電腦、監視器、平板個人電腦(personal computer, PC)、筆記型個人電腦、隨身型易網機個人電腦(netbook PC)、電視、視訊遊戲機(video game machine)、智慧型手錶或汽車組件等。然而，電子裝置 1000 並非僅限於此，且可為處理資料的任何其他電子裝置。

【0022】 圖 2 為示出電子裝置的實例的立體示意圖。

【0023】 參照圖 2，半導體封裝可於上文所述的各種電子裝置 1000 中用於各種目的。舉例而言，基板 1110 可容置於智慧型電話 1100 的本體 1101 中，且各種組件 1120 可物理連接至或電性連接至基板 1110。另外，可物理連接至或電性連接至基板 1110 或可不物理連接至或不電性連接至基板 1110 的其他組件(例如照相機 1130)可容置於本體 1101 中。電子組件 1120 中的一些電子組件可為晶片相關組件，且半導體封裝 100 可例如為晶片相關組件之中的應用處理器，但並非僅限於此。所述電子裝置不必僅限於智慧型電話 1100，而是可為如上所述的其他電子裝置。

半導體封裝

【0024】 一般而言，半導體晶片中整合了諸多精密的電路。然而，半導體晶片自身不能充當已完成的半導體產品，且可能因外部物理性或化學性影響而受損。因此，半導體晶片無法單獨使用，但可封裝於電子裝置等中且在電子裝置等中以封裝狀態使用。

【0025】 此處，由於半導體晶片與電子裝置的主板之間存在電性連接方面的電路寬度差異，因而需要半導體封裝。詳言之，半導體晶片的連接墊的尺寸及半導體晶片的連接墊之間間隔極為精密，但電子裝置中所使用的主板的組件安裝墊的尺寸及主板的組件安裝墊之間間隔顯著大於半導體晶片的連接墊的尺寸及間隔。因此，可能難以將半導體晶片直接安裝於主板上，而需要用於緩衝半導體晶片與主板之間的電路寬度差異的封裝技術。

【0026】 視半導體封裝的結構及目的而定，封裝技術所製造的半導體封裝可分類為扇入型半導體封裝或扇外型半導體封裝。

【0027】 將在下文中參照圖式更詳細地闡述扇入型半導體封裝及扇外型半導體封裝。

扇入型半導體封裝

【0028】 圖 3A 及圖 3B 為示出扇入型半導體封裝在封裝前及封裝後狀態的剖面示意圖。

【0029】 圖 4 為示出扇入型半導體封裝的封裝製程的剖面示意圖。

【0030】 參照所述圖式，半導體晶片 2220 可例如是處於裸露狀態下的積體電路 (integrated circuit, IC)，半導體晶片 2220 包括：本體 2221，包括矽 (Si)、鍺 (Ge)、砷化鎵 (GaAs) 等；連接墊 2222，形成於本體 2221 的一個表面上且包括例如鋁 (Al) 等導電材料；以及鈍化層 2223，其例如是氧化物膜或氮化物膜等，且形成於本體 2221 的一個表面上且覆蓋連接墊 2222 的至少部分。在

此種情形中，由於連接墊 2222 可為顯著小的，因此可能難以將積體電路（IC）安裝於中級印刷電路板（PCB）上以及電子裝置的主板等上。

【0031】 因此，端視半導體晶片 2220 的尺寸而定，可在半導體晶片 2220 上形成連接構件 2240 以對連接墊 2222 進行重佈線。連接構件 2240 可藉由以下步驟來形成：利用例如感光成像介電（photoimagable dielectric，PID）樹脂等絕緣材料在半導體晶片 2220 上形成絕緣層 2241，形成敞開連接墊 2222 的通孔孔洞 2243h，並接著形成配線圖案 2242 及通孔 2243。接著，可形成保護連接構件 2240 的鈍化層 2250，可形成開口 2251，且可形成凸塊下金屬層 2260 等。亦即，可藉由一系列製程來製造包括例如半導體晶片 2220、連接構件 2240、鈍化層 2250 及凸塊下金屬層 2260 的扇入型半導體封裝 2200。

【0032】 如上所述，扇入型半導體封裝可具有半導體晶片的所有連接墊（例如輸入/輸出（input/output，I/O）端子）均配置於半導體晶片內的一種封裝形式，且可具有優異的電性特性並可以低成本進行生產。因此，已以扇入型半導體封裝的形式製造諸多安裝於智慧型電話中的元件。詳言之，已開發出諸多安裝於智慧型電話中的元件以進行快速的訊號傳輸並同時具有緊湊的尺寸。

【0033】 然而，由於扇入型半導體封裝中的所有輸入/輸出端子均需要配置在半導體晶片內部，因此扇入型半導體封裝具有顯著的空間限制。因此，難以將此結構應用於具有大量輸入/輸出端子的

半導體晶片或具有緊湊尺寸的半導體晶片。另外，由於上述缺點，扇入型半導體封裝可能無法在電子裝置的主板上直接安裝並使用。原因在於，即使在藉由重佈線製程增大半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔的情形中，半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔可能仍不足以使扇入型半導體封裝直接安裝於電子裝置的主板上。

【0034】 圖 5 為示出扇入型半導體封裝安裝於中介基板上且最終安裝於電子裝置的主板上之情形的剖面示意圖。

【0035】 圖 6 為示出扇入型半導體封裝嵌置於中介基板中且最終安裝於電子裝置的主板上之情形的剖面示意圖。

【0036】 參照圖 5 及圖 6，在扇入型半導體封裝 2200 中，半導體晶片 2220 的連接墊 2222（亦即，輸入/輸出端子）可經由中介基板 2301 進行重佈線，且扇入型半導體封裝 2200 可在其安裝於中介基板 2301 上的狀態下最終安裝於電子裝置的主板 2500 上。在此種情形中，可藉由底部填充樹脂 2280 等來固定焊球 2270 等，且半導體晶片 2220 的外側面可以模製材料 2290 等覆蓋。或者，扇入型半導體封裝 2200 可嵌置於單獨的中介基板 2302 中，半導體晶片 2220 的連接墊 2222（亦即，輸入/輸出端子）可在扇入型半導體封裝 2200 嵌置於中介基板 2302 中的狀態下，由中介基板 2302 進行重佈線，且扇入型半導體封裝 2200 可最終安裝於電子裝置的主板 2500 上。

【0037】 如上所述，可能難以直接在電子裝置的主板上安裝並使用扇入型半導體封裝。因此，扇入型半導體封裝可安裝於單獨的中介基板上，並接著藉由封裝製程安裝於電子裝置的主板上，或者扇入型半導體封裝可在扇入型半導體封裝嵌置於中介基板中的狀態下在電子裝置的主板上安裝並使用。

扇外型半導體封裝

【0038】 圖 7 為示出扇外型半導體封裝的剖面示意圖。

【0039】 參照圖 7，在扇外型半導體封裝 2100 中，舉例而言，半導體晶片 2120 的外側面可由包封體 2130 保護，且半導體晶片 2120 的連接墊 2122 可藉由連接構件 2140 而朝半導體晶片 2120 之外進行重佈線。在此種情形中，可在連接構件 2140 上進一步形成鈍化層 2150，且可在鈍化層 2150 的開口中進一步形成凸塊下金屬層 2160。可在凸塊下金屬層 2160 上進一步形成焊球 2170。半導體晶片 2120 可為包括本體 2121、連接墊 2122、鈍化層（圖中未示出）等的積體電路（IC）。連接構件 2140 可包括絕緣層 2141、形成於絕緣層 2141 上的重佈線層 2142 以及將連接墊 2122 與重佈線層 2142 彼此電性連接的通孔 2143。

【0040】 如上所述，扇外型半導體封裝可具有一種形式，其中半導體晶片的輸入/輸出端子藉由形成於半導體晶片上的連接構件進行重佈線並朝半導體晶片之外配置。如上所述，在扇入型半導體封裝中，半導體晶片的所有輸入/輸出端子都需要配置於半導體晶片內。因此，當半導體晶片的尺寸減小時，需減小球的尺寸及間

距，進而使得標準化球佈局（standardized ball layout）可能無法在扇入型半導體封裝中使用。另一方面，扇外型半導體封裝具有一種形式，其中半導體晶片的輸入/輸出端子藉由形成於半導體晶片上的連接構件進行重佈線並朝半導體晶片之外配置，如上所述。因此，即使在半導體晶片的尺寸減小的情形中，標準化球佈局亦可照樣用於扇外型半導體封裝中，使得扇外型半導體封裝無需使用單獨的中介基板即可安裝於電子裝置的主板上，如下所述。

【0041】 圖 8 為示出扇外型半導體封裝安裝於電子裝置的主板上的情形的剖面示意圖。

【0042】 參照圖 8，扇外型半導體封裝 2100 可經由焊球 2170 等安裝於電子裝置的主板 2500 上。亦即，如上所述，扇外型半導體封裝 2100 包括連接構件 2140，連接構件 2140 形成於半導體晶片 2120 上且能夠將連接墊 2122 重佈線至半導體晶片 2120 的尺寸之外的扇出區域，進而使得標準化球佈局照樣可在扇外型半導體封裝 2100 中使用。因此，扇外型半導體封裝 2100 無需使用單獨的中介基板等即可安裝於電子裝置的主板 2500 上。

【0043】 如上所述，由於扇外型半導體封裝無需使用單獨的中介基板即可安裝於電子裝置的主板上，因此扇外型半導體封裝可在其厚度小於使用中介基板的扇入型半導體封裝的厚度的情況下實施。因此，可使扇外型半導體封裝小型化且薄化。另外，扇外型半導體封裝具有優異的熱特性及電性特性，進而使得扇外型半導體封裝尤其適合用於行動產品。因此，扇外型半導體封裝可被實

作成較使用印刷電路板（PCB）的一般疊層封裝（package-on-package，POP）類型更緊湊的形式，且可解決因翹曲（warpage）現象出現而產生的問題。

【0044】 同時，扇外型半導體封裝意指一種封裝技術，如上所述用於將半導體晶片安裝於電子裝置的主板等上且保護半導體晶片免受外部影響，且其與例如中介基板等印刷電路板（PCB）在概念上是不同的，印刷電路板具有與扇外型半導體封裝的規格、目的等不同的規格、目的等，且有扇入型半導體封裝嵌置於其中。

【0045】 以下將參照圖式闡述於其中引入核心構件的扇外型半導體封裝，所述核心構件中形成有天線圖案及接地圖案。

扇外型半導體封裝

【0046】 圖 9 為示出扇外型半導體封裝的實例的剖面示意圖。

【0047】 圖 10 為示出當從上方觀察時圖 9 的扇外型半導體封裝的平面示意圖。

【0048】 圖 11 為示出當從下方觀察時圖 9 的扇外型半導體封裝的平面示意圖。

【0049】 參照圖 9 至圖 11，根據本揭露中的例示性實施例的扇外型半導體封裝 100A 可包括：核心構件 110，具有貫穿孔 110H；半導體晶片 120，配置於貫穿孔 110H 中且具有主動面以及與所述主動面相對的非主動面，所述主動面上配置有連接墊 120P；包封體 130，包封核心構件 110 的至少部分及半導體晶片 120 的至少部分；以及連接構件 140，配置於核心構件 110 及半導體晶片 120 的

主動面上。半導體晶片 120 可被配置成面朝上的形式，以使得主動面朝向圖式中的頂部。核心構件 110 可包括絕緣層 111、形成於絕緣層 111 的相對表面上的配線層 112a 及配線層 112b 以及將配線層 112a 及配線層 112b 彼此連接的通孔 113。核心構件 110 的第一配線層 112a 可包括天線圖案 112aA，且核心構件 110 的第二配線層 112b 可包括接地圖案 112bG。第一配線層 112a 可包括天線圖案 112aA。天線圖案 112aA 可藉由饋線 112aF 以訊號方式連接至重佈線層 142，從而以訊號方式連接至半導體晶片 120 的连接墊 120P。可在核心構件 110 之下配置凸塊下金屬層 160 及電性連接結構 170，且因此扇外型半導體封裝 100A 可安裝於主板等上。

【0050】 同時，在天線與射頻積體電路（RFIC）一起形成於一封裝中的情形中，為了確定天線的諧振頻率及頻寬，需要考慮天線、接地面、介電材料、饋線等的實施方式。舉例而言，對天線的特性具有敏感影響的天線與接地面之間的距離（即，空氣層的厚度或介電材料的厚度）需要維持恆定不變並進行管理，以確保天線的穩定輻射特性。在相關技術的情形中，如於圖 32 中以舉例方式所示，已利用在封裝 200A 的重佈線層 240 上形成天線 242A 以及在主板 300 上形成接地面 302G 的方式。在此種情形中，需要藉由封裝 200A 的焊球 270 的高度來確保天線 242A 與接地面 302G 之間的厚度或距離 d 。因此，當將封裝 200A 安裝於主板 300 上時，可視焊球塌陷的高度程度來產生厚度差異。另外，在此種情形中，使用介電材料作為空氣層的材料，且因此會增大天線 242A 的尺

寸。另外，在此種情形中，可將助焊劑或異物插入天線 242A 與接地面 302G 之間的空間中，從而顯著地影響天線 242A 的特性。另外，在此種情形中，當在射頻積體電路 220 中產生熱量時，難以確保足夠的散熱通路，且因此，在使用大量電力的產品中利用此種方式方面存在限制。

【0051】 另一方面，在根據例示性實施例的扇外型半導體封裝 100A 中，如於圖 33 中以舉例方式所示，引入核心構件 110，且分別在核心構件 110 上及核心構件 110 之下形成天線圖案 112aA 及接地圖案 112bG。因此，即使扇外型半導體封裝 100A 安裝於主板 300 上，不管於外部環境的變化如何，還是可穩定地確保天線圖案 112aA 的穩定設計結構（即，天線圖案 112aA 與接地圖案 112bG 之間的距離 $d1$ ），從而維持天線 112aG 的輻射特性。另外，可利用核心構件 110 的絕緣層 111 的介電常數（ ϵ_1 ）來減小天線圖案 112aA 的尺寸以簡化扇外型半導體封裝 100A 的總體尺寸，從而提高空間效率且降低成本。另外，亦可防止因天線圖案 112aA 與接地圖案 112bG 之間的空間中的異物的影響而使天線圖案 112aA 的效能劣化。另外，電性連接結構 170 並非僅限於焊球，且可以非常小的厚度實施。

【0052】 具體而言，在根據例示性實施例的扇外型半導體封裝 100A 中，如圖 10 及圖 11 以舉例方式所示，核心構件 110 可基於單一基板而形成，在所述單一基板的上表面及下表面上分別具有大面積且所述單一基板未被分開，天線圖案 112aA 及接地圖案

112bG 可分別形成於核心構件 110 上及核心構件 110 之下，且接著例如射頻積體電路等半導體晶片 120 可配置於核心構件 110 的貫穿孔 110H 中。亦即，核心構件 110 可為具有大面積的單一構件，且可不是由多個單元構件組成。因此，製造製程可為簡單的且可降低成本。舉例而言，可藉由第二配線層 112b 的接地圖案 112bG 來解決第一配線層 112a 的天線圖案 112aA 或各種其他訊號圖案的接地表面。另外，使如上所述基於單一基板而形成的核心構件 110 環繞半導體晶片 120 可更有效地控制扇外型半導體封裝 100A 的翹曲，且當如下所述在核心構件 110 的貫穿孔 110H 的壁上形成金屬層時，金屬層可無縫地環繞半導體晶片 120，且因此散熱效果或電磁波阻擋效果可為非常優異的。

【0053】 同時，本文中的用語「連接」是包括各組件彼此電性連接或以訊號方式進行連接的情形以及各組件彼此物理連接的概念。另外，用語「連接」是包括間接連接以及直接連接的概念。另外，「電性連接或以訊號方式進行連接」是包括物理連接及物理斷接的概念。

【0054】 以下將更詳細地闡述根據例示性實施例的扇外型半導體封裝 100A 的組件。

【0055】 核心構件 110 可包括對半導體晶片 120 的連接墊 120P 進行重佈線的配線層 112a 及配線層 112b，從而減少連接構件 140 的層的數目。若必要，則核心構件 110 可視構成核心構件 110 的絕緣層 111 的材料來提高扇外型半導體封裝 100A 的剛性，且可確

保包封體 130 的厚度均勻性。根據例示性實施例的扇外型半導體封裝 100A 可藉由核心構件 110 用作疊層封裝 (POP) 型封裝。亦即，核心構件 110 可用作連接構件。核心構件 110 可具有貫穿孔 110H。半導體晶片 120 可配置於貫穿孔 110H 中，使得半導體晶片 120 與核心構件 110 間隔開預定距離。半導體晶片 120 的側部分可被核心構件 110 環繞。

【0056】 核心構件 110 可包括：絕緣層 111；第一配線層 112a，配置於絕緣層 111 上；第二配線層 112b，配置於絕緣層 111 之下；以及通孔 113，貫穿絕緣層 111 且將第一配線層 112a 與第二配線層 112b 彼此連接。核心構件 110 的配線層 112a 及配線層 112b 的厚度可大於連接構件 140 的重佈線層 142 的厚度。由於核心構件 110 的厚度可相似於或大於半導體晶片 120 等的厚度，因此可視核心構件 110 的規格而藉由基板製程來形成具有大的尺寸的配線層 112a 及配線層 112b。另一方面，可藉由半導體製程來形成連接構件 140 的具有小的尺寸的重佈線層 142 以達成薄度。

【0057】 絕緣層 111 的材料不受特別限制。舉例而言，可使用絕緣材料作為絕緣層 111 的材料。在此種情形中，所述絕緣材料可為熱固性樹脂，例如環氧樹脂；熱塑性樹脂，例如聚醯亞胺樹脂；將熱固性樹脂或熱塑性樹脂與無機填料一起浸入例如玻璃纖維（或玻璃布，或玻璃纖維布）等核心材料中的樹脂，例如預浸體 (prepreg)、味之素構成膜 (Ajinomoto Build up Film, ABF)、FR-4、雙馬來醯亞胺三嗪 (Bismaleimide Triazine, BT) 等。

【0058】 配線層 112a 及配線層 112b 可對半導體晶片 120 的連接墊 120P 進行重佈線。另外，配線層 112a 及配線層 112b 可包括例如天線圖案 112aA 等特定圖案。配線層 112a 及配線層 112b 中的每一者的材料可為導電材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。配線層 112a 及配線層 112b 可視其對應層的設計而執行各種功能。舉例而言，配線層 112a 及配線層 112b 可包括接地 (GND) 圖案、電源 (PWR) 圖案、訊號 (S) 圖案等。此處，訊號 (S) 圖案可包括除了接地 (GND) 圖案、電源 (PWR) 圖案等之外的各種訊號，例如資料訊號、頻率訊號等。另外，配線層 112a 及配線層 112b 可包括各種接墊圖案等。

【0059】 第一配線層 112a 可包括天線圖案 112aA 及饋線 112aF，饋線 112aF 將天線圖案 112aA 連接至半導體晶片 120 的連接墊 120P 等。天線圖案 112aA 可藉由重佈線層 142 的訊號圖案 142S 以訊號方式連接至連接墊 120P 中用於訊號的連接墊 120PS。第一配線層 112a 可更包括具有板形狀的接地圖案 112aG、用於接地連接的接墊 112aPG、用於訊號連接的接墊 112aPS 等。第二配線層 112b 可包括接地圖案 112bG。接地圖案 112bG 可藉由重佈線層 142 的接地圖案 142G 連接至連接墊 120P 中用於接地的連接墊 120PG。接地圖案 112bG 可被形成為板形狀，且可佔用絕緣層 111 的大部分下表面。接地圖案 112bG 可充當天線圖案 112aA、半導體晶片 120、各種訊號圖案等的接地。除接地圖案 112bG 外，第

二配線層 112b 還可包括用於訊號連接的電性連接結構接墊 112bPS、用於接地連接的電性連接結構接墊 112bPG 等。

【0060】 如上所述，根據例示性實施例的扇外型半導體封裝 100A 可具有配置在核心構件 110 的相對表面上的天線圖案 112aA 及接地圖案 112bG。因此，可穩定地確保天線圖案 112aA 與接地圖案 112bG 之間的距離以維持天線 112aG 的輻射特性，且可利用核心構件 110 中的介電質（即，絕緣層 111）的介電常數來減小天線圖案 112aA 的尺寸，以簡化扇外型半導體封裝 100A 的總體尺寸，從而提高空間效率且降低成本。另外，亦可防止因天線圖案 112aA 與接地圖案 112bG 之間的空間中的異物的影響而使天線圖案 112aA 的效能劣化，且電性連接結構 170 並非僅限於焊球，且亦可被薄化。

【0061】 通孔 113 可將形成於不同層上的配線層 112a 及配線層 112b 彼此連接，從而在核心構件 110 中形成電性通路。通孔 113 可包括用於訊號連接的通孔 113S、用於接地連接的通孔 113G 等。通孔 113 中的每一者的材料可為導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）、或其合金。通孔 113 中的每一者可利用導電材料完全填充，或者導電材料可沿各個通孔孔洞的壁形成。另外，通孔 113 中的每一者可具有任何已知的形狀，例如沙漏形狀、圓柱形形狀等。

【0062】 半導體晶片 120 可為將數百至數百萬個或更多數量的元件整合於單一晶片中的處於裸露狀態的積體電路（IC）。積體電路

(IC) 可為例如射頻積體電路 (RFIC)。亦即，根據例示性實施例的扇外型半導體封裝 100A 可為射頻積體電路與毫米波/5G 天線彼此整合於一起的封裝。半導體晶片 120 可包括上面形成有各種電路的本體，且連接墊 120P 可形成於所述本體的主動面上。本體可以例如主動晶圓為基礎而形成。在此種情形中，可使用矽 (Si)、鍺 (Ge)、砷化鎵 (GaAs) 等作為所述本體的基礎材料 (basic material)。連接墊 120P 可將半導體晶片 120 連接至其他組件，且連接墊 120P 中的每一者的材料可為例如鋁 (Al) 等導電材料，但並非僅限於此。

【0063】 半導體晶片 120 的主動面指代半導體晶片 120 的上面配置有連接墊 120P 的表面，且半導體晶片 120 的非主動面指代半導體晶片 120 的與主動面對的表面。作為實例，半導體晶片 120 可被配置成面朝上的形式，以使得半導體晶片 120 的主動面朝向頂部。在此種情形中，連接構件 140 亦可配置於核心構件 110 上。另外，第一配線層 112a 可形成於高於第二配線層 112b 的水平高度上。因此，半導體晶片 120 的連接墊 120P 中用於訊號的連接墊 120PS 可藉由連接構件 140 的用於訊號的重佈線層 142S 及連接構件 140 的通孔 143S 連接至天線圖案 112aA 的饋線 112aF。因此，可顯著縮短自用於訊號的連接墊 120PS 至天線圖案 112aA 的饋線 112aF 的距離。因此，可達成低插入損耗。

【0064】 可配置包封體 130 以保護半導體晶片 120 且提供絕緣區域。包封體 130 的包封形式不受特別限制，且可為包封體 130 環

繞半導體晶片 120 的至少部分的形式。舉例而言，包封體 130 可覆蓋核心構件 110 的下表面，且覆蓋半導體晶片 120 的側表面及非主動面。另外，包封體 130 可填充貫穿孔 110H 的至少部分。包封體 130 的某些材料不受特別限制，而是可為例如味之素構成膜等絕緣材料。或者，可使用感光成像包封體（photoimagable encapsulant，PIE）作為包封體 130 的材料。

【0065】 連接構件 140 可用於將根據例示性實施例的扇外型半導體封裝 100A 連接至外部組件。另外，連接構件 140 可對半導體晶片 120 的連接墊 120P 進行重佈線。連接構件 140 可包括：第一絕緣層 141a；重佈線層 142，形成於第一絕緣層 141a 上；通孔 143，形成於第一絕緣層 141a 中且將重佈線層 142 連接至形成於另一層上的圖案；以及第二絕緣層 141b，配置於第一絕緣層 141a 上且覆蓋重佈線層 142。

【0066】 第一絕緣層 141a 的材料可為絕緣材料。在此種情形中，所述絕緣材料可為例如感光成像介電樹脂等感光性絕緣材料。在此種情形中，第一絕緣層 141a 可被形成為具有較小的厚度，且可更容易地達成通孔 143 的精細節距。當第一絕緣層 141a 為多層時，第一絕緣層 141a 的材料可為彼此相同，且若必要則亦可為彼此不同。當第一絕緣層 141a 為多層時，第一絕緣層 141a 可視製程而彼此整合，進而使得絕緣層之間的邊界亦可為不明顯。第二絕緣層 141b 的材料亦可為絕緣材料。在此種情形中，所述絕緣材料可為味之素構成膜等。亦即，連接構件 140 的最外層可為鈍化

層。

【0067】 重佈線層 142 可用於對半導體晶片 120 的連接墊 120P 進行重佈線，且重佈線層 142 的材料可為導電材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。重佈線層 142 可視對應層的設計而執行各種功能。舉例而言，重佈線層 142 可包括接地線 142G、訊號線 142S 等。另外，重佈線層 142 可包括用於接地的接墊 142PG、用於訊號的接墊 142PS 等。

【0068】 通孔 143 可將形成於不同層上的重佈線層 142、配線層 112a 等彼此連接，從而在連接構件 140 中形成電性通路。通孔 143 中的每一者的材料可為導電材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。通孔 143 中的每一者可利用導電材料完全填充，或者導電材料亦可沿各個通孔的壁形成。另外，通孔 143 中的每一者可具有任何已知的形狀，例如錐形形狀、圓柱形形狀等。通孔 143 亦可包括用於接地的通孔 143G、用於訊號的通孔 143S 等。

【0069】 可另外配置凸塊下金屬層 160 以提高電性連接結構 170 的連接可靠性，從而提高扇外型半導體封裝 100A 的板級可靠性。凸塊下金屬層 160 可連接至經由包封體 130 的開口被暴露出的連接構件 140 的第一配線層 112a 的用於電性連接結構的各種接墊 112aPG 及 112aPS。可藉由已知的金屬化方法，使用已知的導電材料（例如金屬）在包封體 130 的開口中形成凸塊下金屬層 160，但

並非僅限於此。

【0070】 可另外配置電性連接結構 170 以在外部物理連接或電性連接扇出型半導體封裝 100A。舉例而言，扇出型半導體封裝 100A 可經由電性連接結構 170 安裝於電子裝置的主板上。電性連接結構 170 中的每一者可由低熔點金屬（例如由錫（Sn）-鋁（Al）-銅（Cu）合金形成的焊料等）形成。然而，此僅為實例，且電性連接結構 170 中的每一者的材料並非僅限於此。電性連接結構 170 中的每一者可為接腳（land）、球、引腳等。電性連接結構 170 可形成為多層結構或單層結構。當電性連接結構 170 形成為多層結構時，電性連接結構 170 可包含銅（Cu）柱及焊料。當電性連接結構 170 形成為單層結構時，電性連接結構 170 可包括錫-銀焊料或銅（Cu）。然而，此僅為實例，且電性連接結構 170 並非僅限於此。電性連接結構 170 的數量、間隔、配置形式等不受特別限制，而是可由熟習此項技術者端視設計特定細節而進行充分地修改。舉例而言，電性連接結構 170 可根據連接墊 120P 的數目而設置為數十至數百萬的數量，或可設置為數十至數百萬或更多的數量或數十至數百萬或更少的數量。

【0071】 電性連接結構 170 中至少一者可配置在扇出區域中。所述扇出區域是指除配置有半導體晶片 120 的區域之外的區域。扇出型封裝相較於扇入型封裝而言可具有優異的可靠性，並可實施多個輸入/輸出（I/O）端子，且有利於三維（3D）內連線。另外，相較於球柵陣列（BGA）封裝、接腳柵陣列（land grid array，LGA）

封裝等而言，扇外型封裝可被製造成具有小的厚度，且可具有價格競爭力。

【0072】 圖 12A 至圖 12D 為示出可用於圖 9 的扇外型半導體封裝的天線圖案的種類的示意圖。

【0073】 參照圖 12A 至圖 12D，天線圖案 112aA 可為圖 12A 所示的偶極天線、圖 12B 所示的折疊偶極天線、圖 12C 所示的塊狀天線或圖 12D 所示的共面塊狀天線。然而，天線圖案並非僅限於此，而是可為環形天線、迴路天線等，且各天線可具有各種形狀，例如矩形形狀、正方形形狀、圓形形狀、徑向形狀等。亦即，天線圖案 112aA 可實施毫米波/5G，但天線圖案 112aA 的種類或類型不受限制。

【0074】 圖 13 為示出可用於圖 9 的扇外型半導體封裝的天線圖案的經修改實例的示意圖。

【0075】 參照圖 13，天線圖案 112aA 可包括多個塊狀天線 112aA1、112aA2、112aA3 及 112aA4。相應塊狀天線 112aA1 至 112aA4 可藉由相應饋線 112aF1、112aF2、112aF3 及 112aF4 以訊號方式連接至用於訊號的半導體晶片 120 的相應連接墊。相應塊狀天線 112aA1、112aA2、112aA3 及 112aA4 可包括數目不受特別限制的傳送 (Tx) 天線及接收 (Rx) 天線。

【0076】 圖 14A 至圖 14F 為示出製造圖 9 的扇外型半導體封裝的製程的實例的示意圖。

【0077】 參照圖 14A，可製備核心構件 110。可使用單個大面積

的基板（例如覆銅層壓板（copper clad laminate，CCL））來製備核心構件 110。亦即，可藉由以下方式來製備核心構件 110：使用覆銅層壓板分別在絕緣層 111 的相對表面上形成第一配線層 112a 及第二配線層 112b，且形成貫穿絕緣層 111 的通孔 113。作為第一配線層 112a，可形成天線圖案 112aA、饋線 112aF、各種接墊 112aPS 及 112aPG 等。作為第二配線層 112b，可形成接地圖案 112bG、各種接墊 112bPS、112bPG 等。作為通孔 113，可形成用於接地連接的通孔 113G、用於訊號連接的通孔 113S 等。另外，可形成用於電源的圖案、接墊、通孔等。可藉由已知的鍍覆製程來形成配線層 112a 及配線層 112b，且可藉由利用雷射鑽機等形成通孔孔洞且接著藉由鍍覆填充通孔孔洞來形成通孔 113。

【0078】 參照圖 14B，可在核心構件 110 中形成貫穿孔 110H。可使用機械鑽機、雷射鑽機等來形成貫穿孔 110H。在此種情形中，可執行除膠渣製程作為隨後的製程。或者，可藉由噴砂方法等來形成貫穿孔 110H。貫穿孔 110H 可貫穿在絕緣層 111 的上表面與下表面之間。貫穿孔 110H 的尺寸可視半導體晶片 120 的尺寸來適當地設計。若必要，則在形成貫穿孔 110H 之後，可在貫穿孔 110H 的壁上形成金屬層，且接著所述金屬層可連接至接地，如下所述。在此種情形中，金屬層亦可用作接地。

【0079】 參照圖 14C，可使用黏合膜 190 來配置半導體晶片 120，且可藉由包封體 130 包封半導體晶片 120。詳言之，可將形成有貫穿孔 110H 的核心構件 110 貼合至例如膠帶等黏合膜 190，以使得

第一配線層 112a 朝向黏合膜 190，可將半導體晶片 120 貼合至經由貫穿孔 110H 被暴露出的黏合膜 190，以使得半導體晶片 120 的主動面朝向黏合膜 190，且因此包封體 130 可包封半導體晶片 120。可藉由在 b 階段（b-stage）堆疊膜且接著硬化所述膜來形成包封體 130，或者藉由利用已知塗佈方法塗敷用於形成包封體 130 的液相材料且接著硬化所述液相材料來形成包封體 130。

【0080】 參照圖 14D，可移除黏合膜 190，且可在核心構件 110 的形成有第一配線層 112a 的表面以及半導體晶片 120 的主動面上形成第一絕緣層 141a。可藉由在 b 階段堆疊感光成像介電質且接著硬化所述感光成像介電質來形成第一絕緣層 141a，或者可藉由塗敷用於形成感光成像介電質的材料且接著硬化所述材料來形成第一絕緣層 141a。此製程可在包封體 130 貼合至例如可拆載體膜（detachable carrier film，DCF）等載體膜 195 的狀態下執行。

【0081】 參照圖 14E，可在第一絕緣層 141a 上及第一絕緣層 141a 中形成重佈線層 142 及通孔 143，且可在第一絕緣層 141a 及重佈線層 142 上形成第二絕緣層 141b 以形成連接構件 140。重佈線層 142 可包括訊號線 142S、接地線 142G、用於訊號的接墊 142PS、用於接地的接墊 142PG 等。通孔 143 亦可包括用於訊號的通孔 143S、用於接地的通孔 143G 等。同時，可藉由已知的鍍覆製程來形成重佈線層 142，且可藉由利用微影法形成通孔孔洞且接著藉由鍍覆填充通孔孔洞來形成通孔 143。

【0082】 參照圖 14F，可移除載體膜 195，且可形成凸塊下金屬

層 160 及電性連接結構 170。詳言之，在移除載體膜 195 之後，可藉由雷射束等來敞開包封體 130，以敞開核心構件 110 的第二配線層 112b 的各種接墊 112aPG 及 112aPS，且可依序形成凸塊下金屬層 160 及電性連接結構 170。可藉由一系列製程以單一大面積的基板形成多個扇外型半導體封裝 100A，且當所述多個扇外型半導體封裝 100A 藉由切分製程被切割並彼此分離時，可藉由一次執行各製程而製造所述多個扇外型半導體封裝 100A。

【0083】 圖 15 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0084】 圖 16 為示出當從上方觀察時圖 15 的扇外型半導體封裝的平面示意圖。

【0085】 參照圖 15 及圖 16，根據本揭露中的另一例示性實施例的扇外型半導體封裝 100B 可更包括配置於貫穿孔 110H 的壁上的金屬層 115。金屬層 115 可包含導電材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。金屬層 115 可連接至第二配線層 112b 的接地圖案 112bG 從而用作接地。當第一配線層 112a 具有接地圖案 112aG 時，金屬層 115 亦可連接至接地圖案 112aG。由於金屬層 115 使用單一大面積的基板形成於核心構件 110 的貫穿孔 110H 的壁上，因此金屬層 115 可無縫地環繞半導體晶片 120 的側部分，且因此散熱效果及電磁波阻擋效果可為優異的。

【0086】 其他組件與上述組件重複，且因此省略其詳細說明。另

外，除了金屬層 115 藉由鍍覆形成於貫穿孔 110H 的壁上以外，製造根據另一例示性實施例的扇外型半導體封裝 100B 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。

【0087】 圖 17 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0088】 圖 18 為示出當從上方觀察時圖 17 的扇外型半導體封裝的平面示意圖。

【0089】 參照圖 17 及圖 18，在根據另一例示性實施例的扇外型半導體封裝 100C 中，核心構件 110 的第一配線層 112a 可包括濾波器圖案 112aR。濾波器圖案 112aR 可為帶型、微帶型等，但並非僅限於此。濾波器圖案 112aR 的一端可連接至半導體晶片 120 的連接墊 120P 中用於訊號的連接墊 120PS，且另一端可連接至天線圖案 112aA 的饋線 112aF。用於訊號的連接墊 120PS 與饋線 112aF 可藉由濾波器圖案 112aR 以訊號方式彼此連接，從而移除各種類型的雜訊。同時，由於核心構件 110 是基於單一大面積的基板而形成，因此濾波器圖案 112aR 與饋線 112aF 可彼此共面，且因此可僅藉由圖案彼此連接而不使用單獨的通孔。第二配線層 112b 的接地圖案 112bG 可充當濾波器圖案 112aR 的接地。

【0090】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成第一配線層 112a 時形成濾波器圖案 112aR 以外，製造根據另一例示性實施例的扇外型半導體封裝 100C 的製程實

質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。同時，在根據另一例示性實施例的扇外型半導體封裝 100B 中闡述的金屬層 115 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100C。

【0091】 圖 19 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0092】 圖 20A 至圖 20D 為示出當從上方觀察時圖 19 的扇外型半導體封裝的各種實例的平面示意圖。

【0093】 參照圖 19 至圖 20D，在根據另一例示性實施例的扇外型半導體封裝 100D 中，天線圖案可包括接收(Rx)天線及傳送(Tx)天線，且接收(Rx)天線與傳送(Tx)天線可彼此分離。舉例而言，如圖 20A 所示，傳送天線 112aA-1 可配置於半導體晶片 120 的左側，接收天線 112aA-2 可配置於半導體晶片 120 的右側，且傳送天線 112aA-1 及接收天線 112aA-2 可分別藉由饋線 112aF-1 及 112aF-2 以訊號方式連接至半導體晶片 120。或者，如圖 20B 所示，接收天線 112aA-1 可配置於半導體晶片 120 的右側，傳送天線 112aA-2a 及 112aA-2b 可分別配置於半導體晶片 120 上方及下方，且接收天線 112aA-1 以及傳送天線 112aA-2a 及 112aA-2b 可分別藉由饋線 112aF-1、112aF-2a 及 112aF-2b 以訊號方式連接至半導體晶片 120。或者，如圖 20C 所示，傳送天線 112aA-1a 及 112aA-1b 可分別配置於半導體晶片 120 的左側及右側，接收天線 112aA-2a 及 112aA-2b 可分別配置於半導體晶片 120 上方及下方，

且傳送天線 112aA-1a 及 112aA-1b 以及接收天線 112aA-2a 及 112aA-2b 可分別藉由饋線 112aF-1a、112aF-1b、112aF-2a 及 112aF-2b 以訊號方式連接至半導體晶片 120。或者，如圖 20D 所示，傳送天線 112aA-1a 及 112aA-1b 可分別配置於半導體晶片 120 的左上角及右上角，接收天線 112aA-2a 及 112aA-2b 可分別配置於半導體晶片 120 的左下角及右下角，且傳送天線 112aA-1a 及 112aA-1b 以及接收天線 112aA-2a 及 112aA-2b 可分別藉由饋線 112aF-1a、112aF-1b、112aF-2a 及 112aF-2b 以訊號方式連接至半導體晶片 120。亦即，傳送 (Tx) 天線及接收 (Rx) 天線可被配置成各種形式。

【0094】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成第一配線層 112a 時以各種形式形成天線圖案以外，製造根據另一例示性實施例的扇外型半導體封裝 100D 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。同時，在根據另一例示性實施例的扇外型半導體封裝 100B 中闡述的金屬層 115 或在根據另一例示性實施例的扇外型半導體封裝 100C 中闡述的濾波器圖案 112aR 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100D。

【0095】 圖 21 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0096】 圖 22 為示出當從上方觀察時圖 21 的扇外型半導體封裝

的平面示意圖。

【0097】 圖 23 為示出當從下方觀察時圖 21 的扇外型半導體封裝的平面示意圖。

【0098】 參照圖 21 至圖 23，在根據另一例示性實施例的扇外型半導體封裝 100E 中，半導體晶片 120 可被配置成面朝下的形式。在此種情形中，連接構件 140 可配置於核心構件 110 之下，且可在連接構件 140 之下形成凸塊下金屬層 160 及電性連接結構 170 以連接至連接構件 140 的重佈線層 142。同時，核心構件 110 的第二配線層 112b 可配置於高於核心構件 110 的第一配線層 112a 的水平高度上，第一配線層 112a 可包括接地圖案 112aG，第二配線層 112b 可包括天線圖案 112bA 及饋線 112bF，且通孔 113 可包括饋線 113F。在此種配置形式中，半導體晶片 120 的用於訊號的連接墊 120PS 與天線圖案 112bA 可藉由連接構件 140 的用於訊號的重佈線層 142S 及連接構件 140 的用於訊號的通孔 143S 以及核心構件 110 的第二配線層 112b 的用於訊號的通孔接墊 112bPS 及核心構件 110 的通孔 113 的饋線 113F 以訊號方式彼此連接，因而使得通路可在某種程度上變長，但熱量可易於透過半導體晶片 120 的主動面經由連接構件 140 被傳輸至主板等，且因此散熱特性可更為優異。

【0099】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層

160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式以外，製造根據另一例示性實施例的扇外型半導體封裝 100E 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。

【0100】 圖 24 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0101】 參照圖 24，除了根據另一例示性實施例的扇外型半導體封裝 100F 更包括配置於貫穿孔 110H 的壁上的金屬層 115 以外，扇外型半導體封裝 100F 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E。金屬層 115 可包含導電材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。金屬層 115 可連接至第一配線層 112a 的接地圖案 112aG 從而用作接地。當第二配線層 112b 具有接地圖案 112bG 時，金屬層 115 亦可連接至接地圖案 112bG。由於金屬層 115 使用單一大面積的基板形成於核心構件 110 的貫穿孔 110H 的壁上，因此金屬層 115 可無縫地環繞半導體晶片 120 的側部分，且因此散熱效果或電磁波阻擋效果可為優異的。

【0102】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了金屬層 115 藉由鍍覆形成於貫穿孔 110H 的壁上且凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結

構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式以外，製造根據另一例示性實施例的扇外型半導體封裝 100F 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。

【0103】 圖 25 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0104】 參照圖 25，除了核心構件 110 的第一配線層 112a 包括濾波器圖案 112aR 以外，根據另一例示性實施例的扇外型半導體封裝 100G 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E。另外，可進一步配置金屬層 115。濾波器圖案 112aR 可為帶型、微帶型等，但並非僅限於此。濾波器圖案 112aR 的一端可連接至半導體晶片 120 的連接墊 120P 中用於訊號的連接墊 120PS，且另一端可連接至天線圖案 112bA 的饋線 112bF。用於訊號的連接墊 120PS 與饋線 112bF 可藉由濾波器圖案 112aR 以訊號方式彼此連接，從而移除各種雜訊。同樣地，通孔 113 可包括饋線 113F。第二配線層 112b 可包括用於濾波器圖案 112aR 的接地圖案 112bG。

【0105】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了金屬層 115 藉由鍍覆形成於貫穿孔 110H 的壁上，在形成第一配線層 112a 時形成濾波器圖案 112aR，且凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表

面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式以外，製造根據另一例示性實施例的扇外型半導體封裝 100G 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。

【0106】 圖 26 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0107】 參照圖 26，除了核心構件 110 的第二配線層 112b 包括濾波器圖案 112bR 以外，根據另一例示性實施例的扇外型半導體封裝 100H 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E。另外，可進一步配置金屬層 115。濾波器圖案 112bR 可為帶型、微帶型等，但並非僅限於此。濾波器圖案 112bR 的一端可連接至半導體晶片 120 的連接墊 120P 中用於訊號的連接墊 120PS，且另一端可連接至天線圖案 112bA 的饋線 112bF。用於訊號的連接墊 120PS 與饋線 112bF 可藉由濾波器圖案 112bR 以訊號方式彼此連接，從而移除各種雜訊。同樣地，通孔 113 可包括饋線 113F。同時，由於核心構件 110 是基於單一大面積的基板而形成，因此濾波器圖案 112bR 與饋線 112bF 可彼此共面，且因此可僅藉由圖案彼此連接而不使用單獨的通孔。接地圖案 112aG 亦可為濾波器圖案 112bR 提供接地。

【0108】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了金屬層 115 藉由鍍覆形成於貫穿孔 110H 的壁上，在形成第二配線層 112b 時形成濾波器圖案 112bR，且凸塊下金屬層 160

及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式以外，製造根據另一例示性實施例的扇外型半導體封裝 100H 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。

【0109】 圖 27 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0110】 參照圖 27，除了天線圖案包括接收 (Rx) 天線及傳送 (Tx) 天線且接收 (Rx) 天線與傳送 (Tx) 天線彼此分離以外，根據另一例示性實施例的扇外型半導體封裝 100I 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E。舉例而言，如上所述，傳送天線 112bA-1 可配置於半導體晶片 120 的左側，接收天線 112bA-2 可配置於半導體晶片 120 的右側，且傳送天線 112bA-1 及接收天線 112bA-2 可分別藉由饋線 112bF-1 及 112bF-2 以訊號方式連接至半導體晶片 120。另外，傳送天線及接收天線可被配置成在根據上述另一例示性實施例的扇外型半導體封裝 100D 中闡述的形式。亦即，傳送 (Tx) 天線及接收 (Rx) 天線可被配置成各種形式。

【0111】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成第二配線層 112b 時以各種形式形成天線圖案 112bA-1 及 112bA-2，且凸塊下金屬層 160 及電性連接結構 170 形

成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式以外，製造根據另一例示性實施例的扇外型半導體封裝 100I 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。同時，在根據另一例示性實施例的扇外型半導體封裝 100F 中闡述的金屬層 115 或在根據另一例示性實施例的扇外型半導體封裝 100G 或 100H 中闡述的濾波器圖案 112aR 或 112bR 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100I。

【0112】 圖 28 為示出扇外型半導體封裝的另一實施例的剖面示意圖。

【0113】 參照圖 28，根據另一例示性實施例的扇外型半導體封裝 100J 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E，除了核心構件 110 包括：第一絕緣層 111a；第一配線層 112a，嵌置於第一絕緣層 111a 中，以使得第一配線層 112a 的下表面暴露；第二配線層 112b，配置於第一絕緣層 111a 的與第一絕緣層 111a 的配置有第一配線層 112a 的一個表面相對的另一表面上；第二絕緣層 111b，配置於第一絕緣層 111a 上且覆蓋第二配線層 112b；以及第三配線層 112c，配置於第二絕緣層 111b 上。第一配線層 112a、第二配線層 112b 及第三配線層 112c 可經由分別貫穿第一絕緣層 111a 及第二絕緣層 111b 的第一通孔 113a 及第二通

孔 113b 而彼此電性連接。第一配線層 112a 的下表面相對於第一絕緣層 111a 的下表面可具有台階。在此種情形中，連接構件 140 的絕緣距離可變得更加恆定，且可在一定程度上防止包封體 130 滲漏的現象。第一配線層 112a 的厚度、第二配線層 112b 的厚度及第三配線層 112c 的厚度可大於重佈線層 142 的厚度。

【0114】 第一配線層 112a 可包括濾波器圖案 112aR，第二配線層 112b 可包括接地圖案 112bG，且第三配線層 112c 可包括天線圖案 112cA。第一通孔 113a 及第二通孔 113b 可分別提供饋線 113aF 及 113bF。接地圖案 112bG 可為用於天線圖案 112cA 及濾波器圖案 112aR 的接地。如上所述，當核心構件 110 包括更大數目的配線層 112a、112b 及 112c 時，天線圖案 112cA、接地圖案 112bG 及濾波器圖案 112aR 可被配置成各種形式。同時，具有用於減小天線尺寸的高介電常數 ($Er1$) 特性的材料與具有用於減少濾波器的損耗的低介電常數 ($Er2$) 特性的材料的適當組合可用作第一絕緣層 111a 及第二絕緣層 111b 的材料。

【0115】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了核心構件 110 是藉由無核心 (coreless) 方法來製造，凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式，且進一步形成金屬層 115、濾波器圖案 112aR 等以外，製造根據另一例示性實施例的扇外型半導體封裝 100J 的製

程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。在根據另一例示性實施例的扇外型半導體封裝 100F 中闡述的金屬層 115 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100J。

【0116】 圖 29 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0117】 參照圖 29，根據另一例示性實施例的扇外型半導體封裝 100K 可實質上相同於根據上述另一例示性實施例的扇外型半導體封裝 100E，除了核心構件 110 可包括：第一絕緣層 111a；第一配線層 112a，配置於第一絕緣層 111a 之下；第二配線層 112b，配置於第一絕緣層 111a 上；第二絕緣層 111b，配置於第一絕緣層 111a 上且覆蓋第一配線層 112a；第三配線層 112c，配置於第二絕緣層 111b 上；第三絕緣層 111c，配置於第一絕緣層 111a 上且覆蓋第二配線層 112b；以及第四配線層 112d，配置於第三絕緣層 111c 上。第一配線層 112a、第二配線層 112b、第三配線層 112c 及第四配線層 112d 可經由分別貫穿第一絕緣層 111a、第二絕緣層 111b 及第三絕緣層 111c 的第一通孔 113a、第二通孔 113b 及第三通孔 113c 而彼此電性連接。第一絕緣層 111a 的厚度可大於第二絕緣層 111b 的厚度及第三絕緣層 111c 的厚度。第一絕緣層 111a 的彈性模數可大於第二絕緣層 111b 的彈性模數及第三絕緣層 111c 的彈性模數。舉例而言，第一絕緣層 111a 可包含預浸體，且第二絕緣層 111b 及第三絕緣層 111c 可包含味之素構成膜。然而，第一絕緣層 111a

的材料以及第二絕緣層 111b 及第三絕緣層 111c 的材料並非僅限於此。第一配線層 112a 的厚度、第二配線層 112b 的厚度、第三配線層 112c 的厚度及第四配線層 112d 的厚度可大於重佈線層 142 的厚度。

【0118】 第一配線層 112a 可包括濾波器圖案 112aR，第二配線層 112b 可包括接地圖案 112bG，第三配線層 112c 可包括接地圖案 112cG，且第四配線層 112d 可包括天線圖案 112dA。第一通孔 113a 及第三通孔 113c 可分別提供饋線 113aF 及 113cF。接地圖案 112bG 可為天線圖案 112dA 及濾波器圖案 112aR 的接地。接地圖案 112cG 可為濾波器圖案 112aR 的接地。如上所述，當核心構件 110 包括更大數目的配線層 112a、112b、112c 及 112d 時，天線圖案 112dA、接地圖案 112bG 及 112cG 以及濾波器圖案 112aR 可被配置成各種形式。同時，具有用於減小天線尺寸的高介電常數 ($Er1$) 特性的材料與具有用於減少濾波器的損耗的低介電常數 ($Er2$) 特性的材料的適當組合可用作第一絕緣層 111a、第二絕緣層 111b 及第三絕緣層 111c 的材料。

【0119】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成核心構件 110 時，使用味之素構成膜等作為構成層形成更大數目的配線層 112c 及 112d，凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式，且進

一步形成金屬層 115、濾波器圖案 112aR 等以外，製造根據另一例示性實施例的扇外型半導體封裝 100K 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。在根據另一例示性實施例的扇外型半導體封裝 100F 中闡述的金屬層 115 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100K。

【0120】 圖 30 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0121】 參照圖 30，與在根據上述另一例示性實施例的扇外型半導體封裝 100K 中一樣，在根據另一例示性實施例的扇外型半導體封裝 100L 中，核心構件 110 可包括第一絕緣層 111a、第二絕緣層 111b 及第三絕緣層 111c、第一配線層 112a、第二配線層 112b、第三配線層 112c 及第四配線層 112d、以及第一通孔 113a、第二通孔 113b 及第三通孔 113c。在此種情形中，濾波器圖案 112aR 及 112cR 可形成於不同配線層 112a 及 112c 上。亦即，濾波器圖案 112aR 及 112cR 可配置於不同的水平高度上且可採用層間耦合方式彼此連接。

【0122】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成核心構件 110 時，使用味之素構成膜等作為構成層形成更大數目的配線層 112c 及 112d，凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對

的表面上，以使得半導體晶片 120 被配置成面朝下的形式，且進一步形成金屬層 115、濾波器圖案 112aR 及 112cR 等以外，製造根據另一例示性實施例的扇外型半導體封裝 100L 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。在根據另一例示性實施例的扇外型半導體封裝 100F 中闡述的金屬層 115 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100L。

【0123】 圖 31 為示出扇外型半導體封裝的另一實例的剖面示意圖。

【0124】 參照圖 31，與在根據上述另一例示性實施例的扇外型半導體封裝 100L 中一樣，在根據另一例示性實施例的扇外型半導體封裝 100M 中，核心構件 110 可包括第一絕緣層 111a、第二絕緣層 111b 及第三絕緣層 111c、第一配線層 112a、第二配線層 112b、第三配線層 112c 及第四配線層 112d、以及第一通孔 113a、第二通孔 113b 及第三通孔 113c。在此種情形中，濾波器圖案 112aR 及 112cR 可形成於不同配線層 112a 及 112c 上。亦即，濾波器圖案 112aR 及 112cR 可配置於不同的水平高度上且可採用層間耦合方式彼此連接。然而，在第三配線層 112c 的接地圖案 112cG 與第四配線層 112d 的天線圖案 112dA 之間，可僅配置絕緣層 111a、111b 及 111c 的介電質，且可不配置第一配線層 112a 及第二配線層 112b，因而使得接地圖案 112cG 可用作天線圖案 112dA 的接地。在此種情形中，利用介電質填充的接地圖案 112cG 與天線圖案

112dA 之間的距離可增大從而達成更優異的天線特性。

【0125】 其他組件與上述組件重複，且因此省略其詳細說明。另外，除了在形成核心構件 110 時，使用味之素構成膜等作為構成層形成更大數目的配線層 112c 及 112d，凸塊下金屬層 160 及電性連接結構 170 形成於與在根據例示性實施例的扇外型半導體封裝 100A 中形成有凸塊下金屬層 160 及電性連接結構 170 的表面相對的表面上，以使得半導體晶片 120 被配置成面朝下的形式，且進一步形成金屬層 115、濾波器圖案 112aR 及 112cR 等以外，製造根據另一例示性實施例的扇外型半導體封裝 100M 的製程實質上相同於製造根據上述例示性實施例的扇外型半導體封裝 100A 的製程，且因此省略其詳細說明。在根據另一例示性實施例的扇外型半導體封裝 100F 中闡述的金屬層 115 亦可應用於根據另一例示性實施例的扇外型半導體封裝 100M。

【0126】 如上所述，根據本揭露中的例示性實施例，可提供一種扇外型半導體封裝，其中可藉由顯著縮短半導體晶片與天線圖案之間的距離來防止訊號傳輸的損耗，在單一封裝中可確保穩定的天線效能，可減小封裝的總體尺寸，且可簡化製程。

【0127】 儘管以上已示出並闡述了例示性實施例，然而對於熟習此項技術者而言將顯而易見的是，在不背離由隨附申請專利範圍所界定的本發明的範圍的條件下，可作出修改及變型。

【符號說明】

【0128】

100：半導體封裝

100A、100B、100C、100D、100E、100F、100G、100H、100I、

100J、100K、100L、100M、2100：扇外型半導體封裝

110：核心構件

110H：貫穿孔

111、2141、2241、111a、111b、111c：絕緣層

112a、112b、112c、112d：配線層

112aA、112bA、112cA、112dA：天線圖案

112aA1、112aA2、112aA3、112aA4：塊狀天線

112aA-1、112aA-2a、112aA-2b：傳送天線/接收天線

112aA-2：接收天線

112aA-1a、112aA-1b：傳送天線

112aF、112aF1、112aF2、112aF3、112aF4、112aF-1、112aF-1a、

112aF-1b、112aF-2、112aF-2a、112aF-2b、112bF、112bF-1、112bF-2、

113aF、113bF、113cF、113F、242F：饋線

112aG、242A、1060：天線

112aPG、112aPS、142PG、142PS：接墊

112aR、112bR、112cR：濾波器圖案

112bA-1：傳送天線/天線圖案

112bA-2：接收天線/天線圖案

112bG、112cG、142G：接地圖案

112bPG、112bPS：電性連接結構接墊

- 113、113S、113G、143、143G、143S、2143、2243：通孔
- 113a：第一通孔
- 113b：第二通孔
- 113c：第三通孔
- 115：金屬層
- 120、2120、2220：半導體晶片
- 120P、120PG、120PS、220P、2122、2222：連接墊
- 130、230、2130：包封體
- 140、2140、2240：連接構件
- 141a：第一絕緣層
- 141b：第二絕緣層
- 142、240、2142：重佈線層
- 142G：接地線
- 142S：訊號圖案/訊號線
- 160、2160、2260：凸塊下金屬層
- 170：電性連接結構
- 190：黏合膜
- 195：載體膜
- 200A：封裝
- 220：射頻積體電路
- 270、2170、2270：焊球
- 300、1010、2500：主板

302G：接地面

1000：電子裝置

1020：晶片相關組件

1030：網路相關組件

1040：其他組件

1050、1130：照相機

1070：顯示器裝置

1080：電池

1090：訊號線

1100：智慧型電話

1101、2121、2221：本體

1110：母板

1120：組件/電子組件

2200：扇入型半導體封裝

2150、2223、2250：鈍化層

2242：配線圖案

2243h：通孔孔洞

2251：開口

2280：底部填充樹脂

2290：模製材料

2301、2302：中介基板

d：厚度或距離

d1：距離

【發明申請專利範圍】

【第1項】 一種扇外型半導體封裝，包括：

核心構件，具有貫穿孔；

半導體晶片，配置於所述貫穿孔中且具有主動面以及與所述主動面相對的非主動面，所述主動面上配置有連接墊；

包封體，包封所述核心構件的至少部分及所述半導體晶片的至少部分；以及

連接構件，配置於所述核心構件及所述半導體晶片的所述主動面上，且包括連接至所述連接墊的重佈線層，

其中所述核心構件包括配置於不同水平高度上的多個配線層，

在所述核心構件的所述多個配線層之間配置有介電質，

所述多個配線層中的一者包括天線圖案，

所述多個配線層中的另一者包括接地圖案，所述接地圖案在沿著所述多個配線層堆疊於彼此上的堆疊方向上與所述天線圖案交疊，且

所述天線圖案藉由所述重佈線層以訊號方式連接至所述連接墊，

其中所述多個配線層中的至少一者包括濾波器圖案，且

所述天線圖案藉由所述濾波器圖案及所述重佈線層以訊號方式連接至所述連接墊。

【第2項】 如申請專利範圍第 1 項所述的扇外型半導體封裝，其中

所述天線圖案與所述濾波器圖案配置於同一配線層上。

【第3項】 一種扇外型半導體封裝，包括：

核心構件，具有貫穿孔；

半導體晶片，配置於所述貫穿孔中且具有主動面以及與所述主動面相對的非主動面，所述主動面上配置有連接墊；

包封體，包封所述核心構件的至少部分及所述半導體晶片的至少部分；以及

連接構件，配置於所述核心構件及所述半導體晶片的所述主動面上，且包括連接至所述連接墊的重佈線層，

其中所述核心構件包括配置於不同水平高度上的多個配線層，

在所述核心構件的所述多個配線層之間配置有介電質，

所述多個配線層中的一者包括天線圖案，

所述多個配線層中的另一者包括接地圖案，所述接地圖案在沿著所述多個配線層堆疊於彼此上的堆疊方向上與所述天線圖案交疊，且

所述天線圖案藉由所述重佈線層以訊號方式連接至所述連接墊。

【第4項】 如申請專利範圍第3項所述的扇外型半導體封裝，其中所述核心構件包括第一絕緣層、配置於所述第一絕緣層的第一表面上的第一配線層以及配置於所述第一絕緣層的第二表面上的第二配線層，

所述第一配線層包括所述天線圖案，且

所述第二配線層包括所述接地圖案。

【第5項】如申請專利範圍第4項所述的扇外型半導體封裝，其中所述第一配線層及所述第二配線層中的至少一者包括濾波器圖案，且

所述天線圖案藉由所述濾波器圖案及所述重佈線層以訊號方式連接至所述連接墊。

【第6項】如申請專利範圍第3項所述的扇外型半導體封裝，其中所述核心構件包括第一絕緣層、第一配線層、第二配線層、第二絕緣層及第三配線層，所述第一配線層配置於所述第一絕緣層上以使得所述第一配線層的一個表面暴露，所述第二配線層配置於所述第一絕緣層的與所述第一絕緣層的配置有所述第一配線層的一個表面相對的另一表面上，所述第二絕緣層配置於所述第一絕緣層上且覆蓋所述第二配線層，所述第三配線層配置於所述第二絕緣層上，

所述第一配線層及所述第二配線層中的至少一者包括所述接地圖案，且

所述第三配線層包括所述天線圖案。

【第7項】如申請專利範圍第6項所述的扇外型半導體封裝，其中所述第一配線層至所述第三配線層中的至少一者包括濾波器圖案，且

所述天線圖案藉由所述濾波器圖案及所述重佈線層以訊號方

式連接至所述連接墊。

【第8項】如申請專利範圍第3項所述的扇外型半導體封裝，其中所述核心構件包括第一絕緣層、第一配線層、第二配線層、第二絕緣層、第三配線層、第三絕緣層及第四配線層，所述第一配線層配置於所述第一絕緣層的第一表面上，所述第二配線層配置於所述第一絕緣層的第二表面上，所述第二絕緣層配置於所述第一絕緣層的所述第一表面上且覆蓋所述第一配線層，所述第三配線層配置於所述第二絕緣層上，所述第三絕緣層配置於所述第一絕緣層的所述第二表面上且覆蓋所述第二配線層，所述第四配線層配置於所述第三絕緣層上，

所述第一配線層至所述第三配線層中的至少一者包括所述接地圖案，且

所述第四配線層包括所述天線圖案。

【第9項】如申請專利範圍第8項所述的扇外型半導體封裝，其中所述第一配線層至所述第四配線層中的至少一者包括濾波器圖案，且

所述天線圖案藉由所述濾波器圖案及所述重佈線層以訊號方式連接至所述連接墊。

【第10項】如申請專利範圍第3項所述的扇外型半導體封裝，其中所述接地圖案被形成為單板形狀。

【第11項】如申請專利範圍第3項所述的扇外型半導體封裝，更包括電性連接至所述核心構件的所述重佈線層的電性連接結構，

其中所述接地圖案與所述天線圖案配置於所述電性連接結構的同一側上。

【第12項】如申請專利範圍第 11 項所述的扇外型半導體封裝，其中所述接地圖案配置於所述電性連接結構與所述天線圖案之間。

【第13項】如申請專利範圍第 11 項所述的扇外型半導體封裝，其中所述天線圖案配置於所述核心構件的第一表面上，且

所述核心構件的與所述核心構件的所述第一表面相對的第二表面配置於所述電性連接結構與所述核心構件的所述第一表面之間。

【第14項】如申請專利範圍第 11 項所述的扇外型半導體封裝，其中所述半導體晶片配置於所述電性連接結構與所述連接構件之間，且

所述半導體晶片的所述連接墊面對所述連接構件。

【第15項】如申請專利範圍第 11 項所述的扇外型半導體封裝，其中所述連接構件配置於所述半導體晶片與所述電性連接結構之間，且

所述半導體晶片的所述連接墊面對所述連接構件。

【第16項】如申請專利範圍第 3 項所述的扇外型半導體封裝，更包括配置於所述貫穿孔的壁上的金屬層，

其中所述金屬層電性連接至所述接地圖案。

【第17項】如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述天線圖案包括傳送天線圖案及接收天線圖案。

【第18項】 如申請專利範圍第 17 項所述的扇外型半導體封裝，其中所述傳送天線圖案的數目及所述接收天線圖案的數目中的每一者為多個。

【第19項】 如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述核心構件為環繞所述半導體晶片的側部分的單一構件。

【第20項】 一種扇外型半導體封裝，包括：

核心構件，具有貫穿孔；

半導體晶片，配置於所述貫穿孔中且具有主動面以及與所述主動面相對的非主動面，所述主動面上配置有連接墊；

包封體，包封所述核心構件的至少部分及所述半導體晶片的至少部分；以及

連接構件，配置於所述核心構件及所述半導體晶片的所述主動面上，且包括連接至所述連接墊的重佈線層，

其中所述核心構件包括配置於不同水平高度上的多個配線層，

在所述核心構件的所述多個配線層之間配置有介電質，

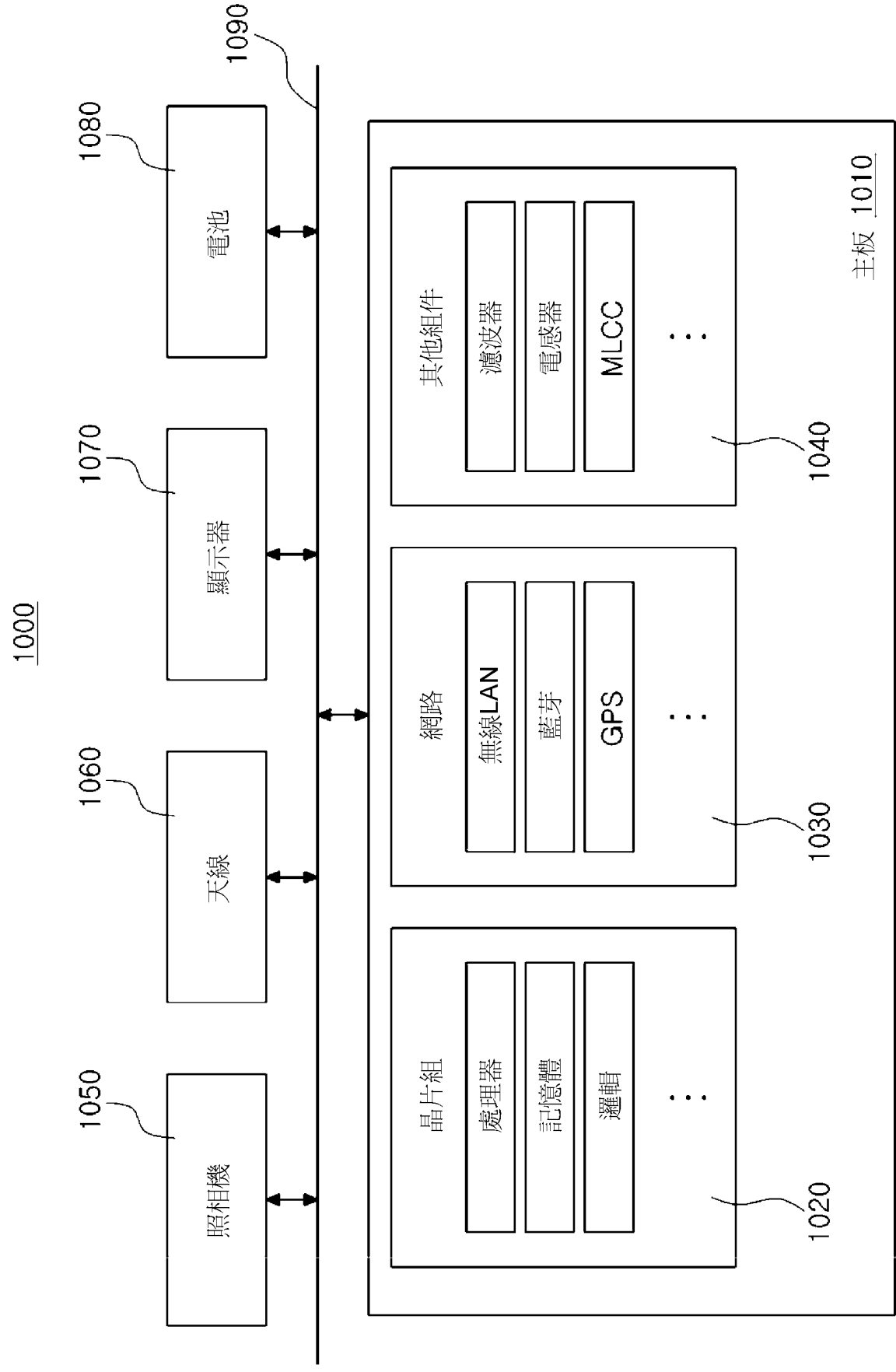
所述多個配線層中的一者包括天線圖案，

所述多個配線層中的另一者包括接地圖案，所述接地圖案在沿著所述多個配線層堆疊於彼此上的堆疊方向上與所述天線圖案交疊，且

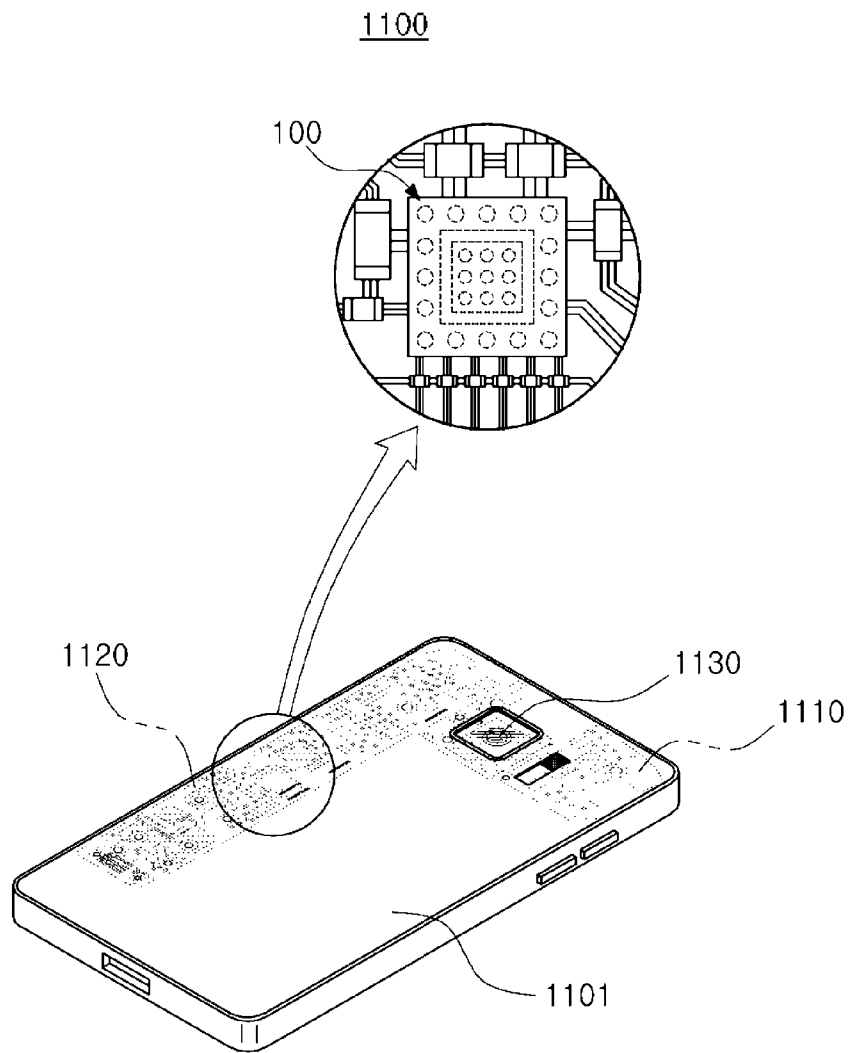
所述天線圖案藉由所述重佈線層以訊號方式連接至所述連接墊，

其中在所述天線圖案與所述接地圖案沿所述堆疊方向交疊的交疊結構中，所述天線圖案完全位於所述接地圖案內。

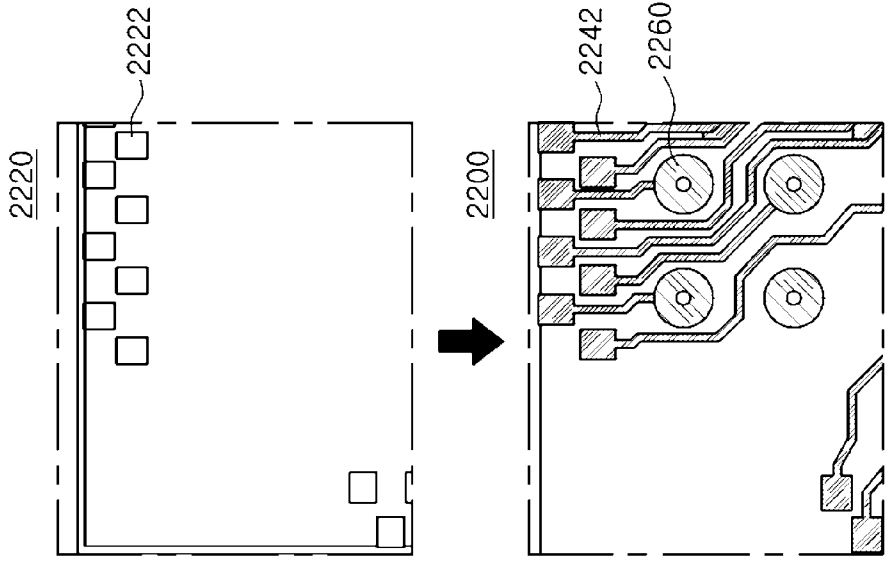
【發明圖式】



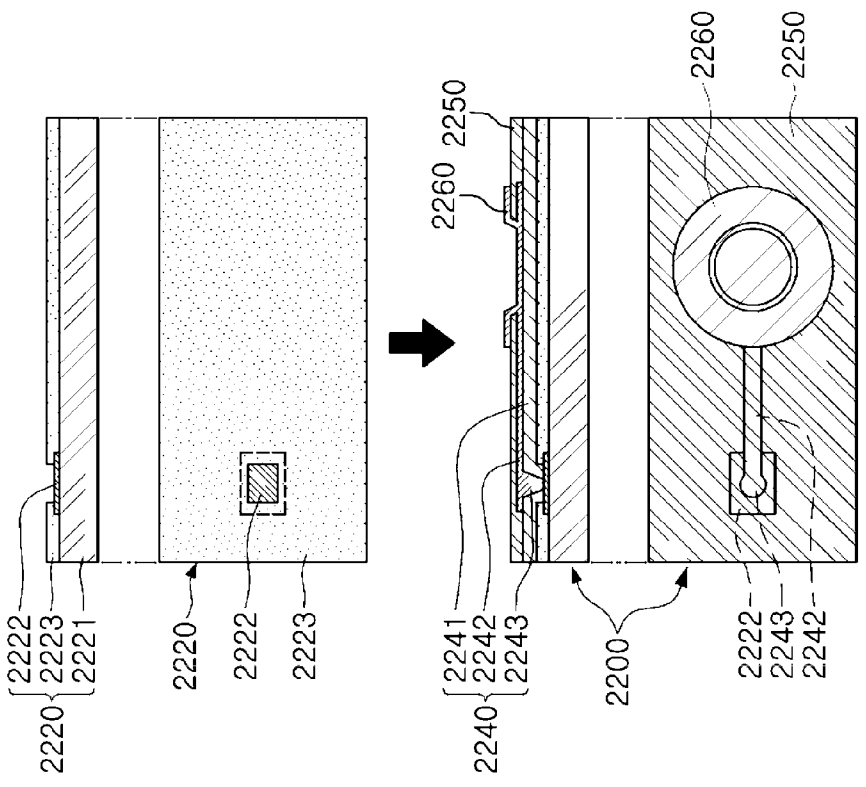
【圖1】



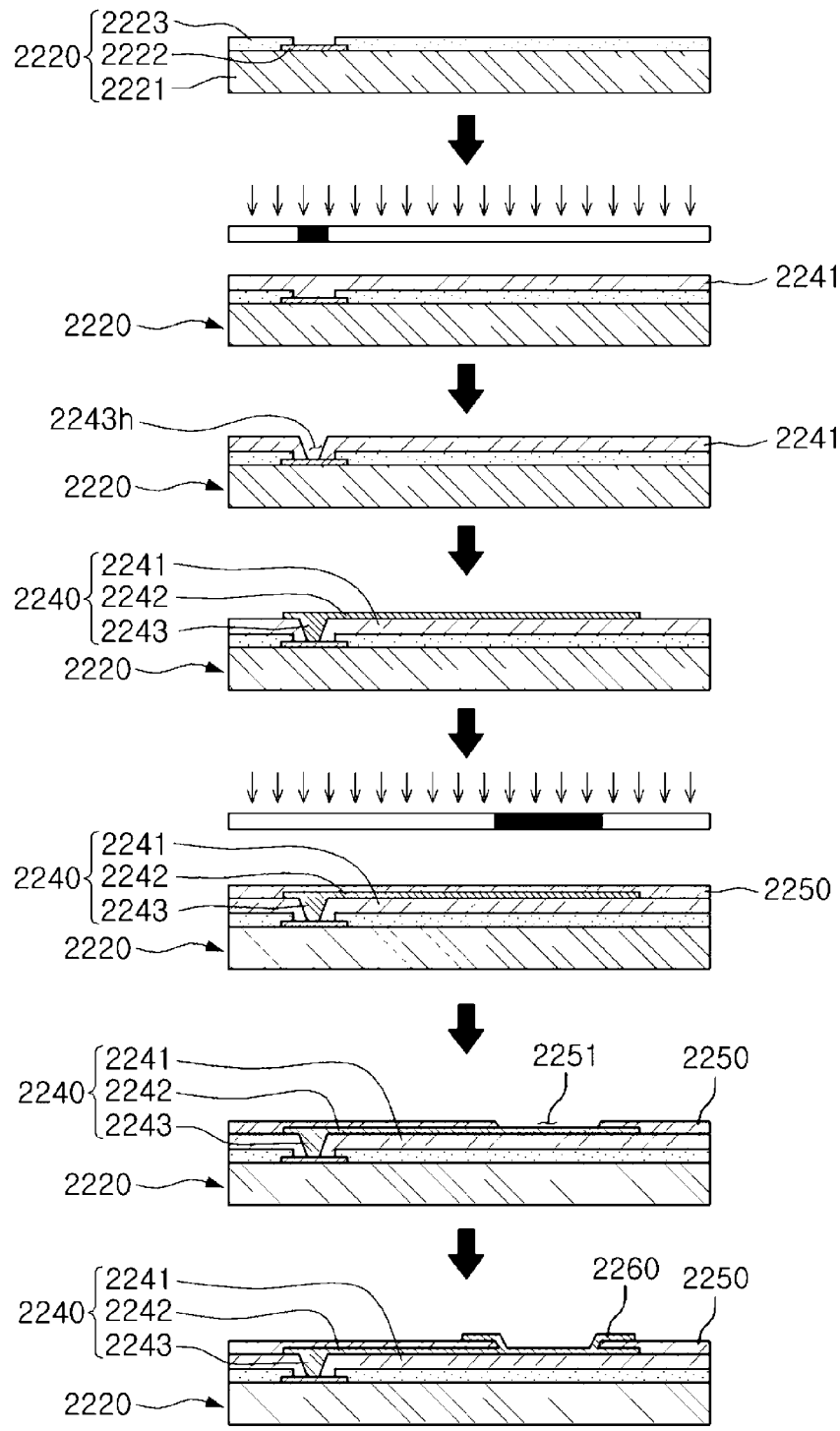
【圖2】



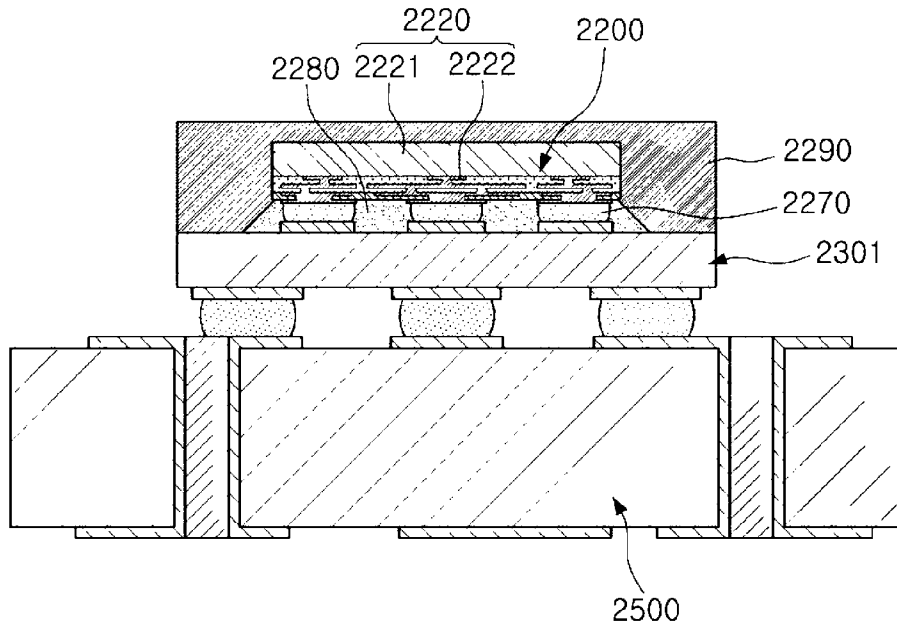
【圖3B】



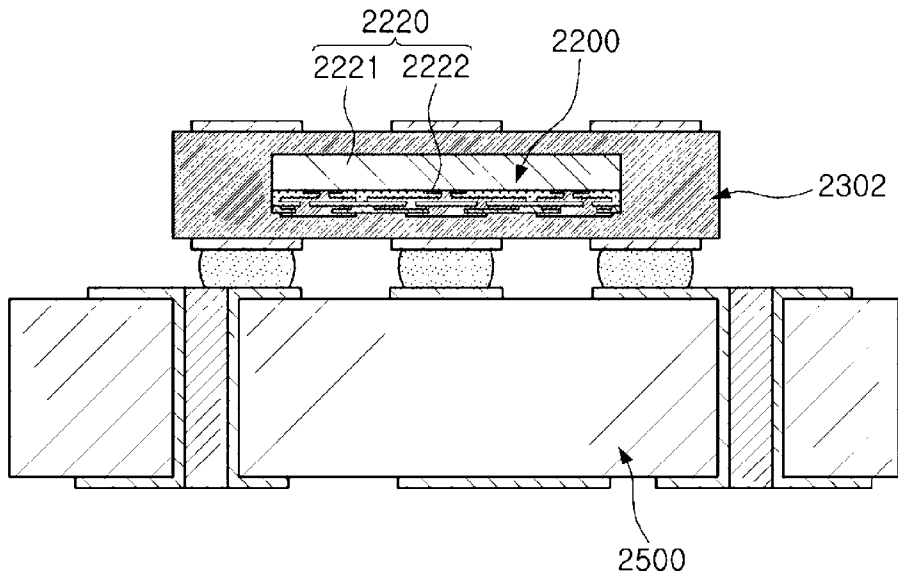
【圖3A】



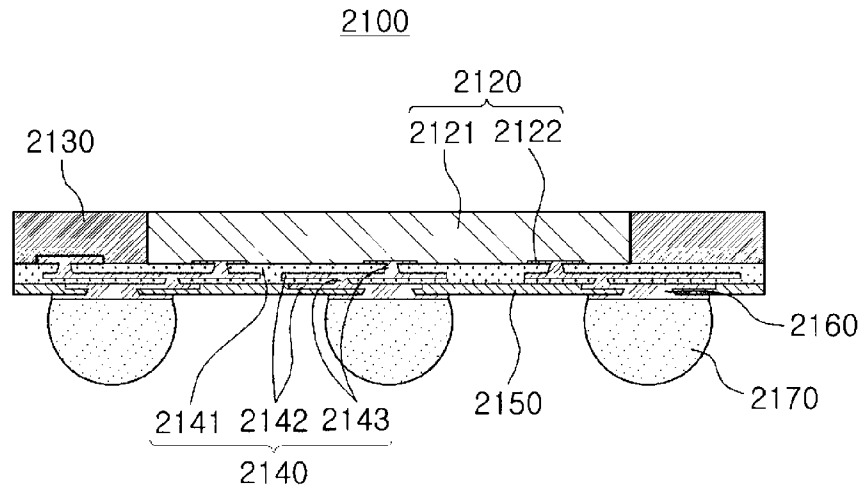
【圖4】



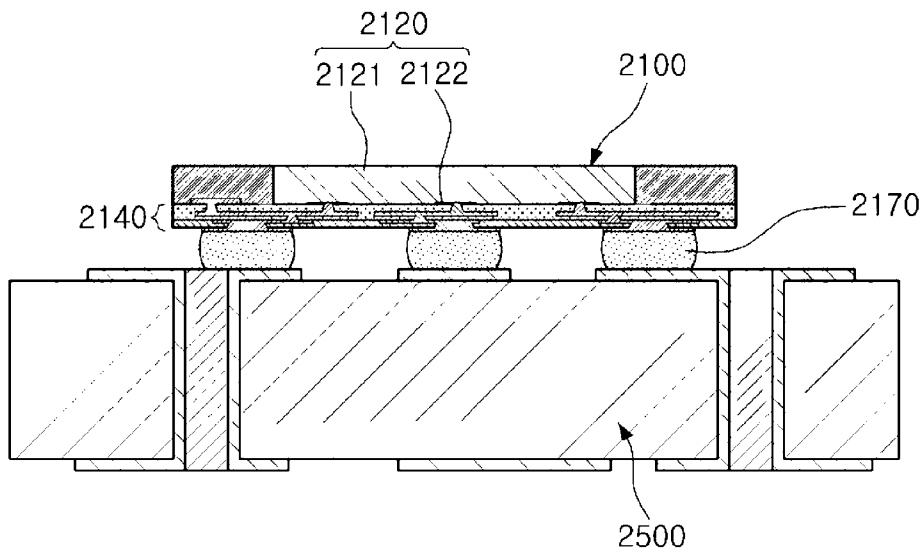
【圖5】



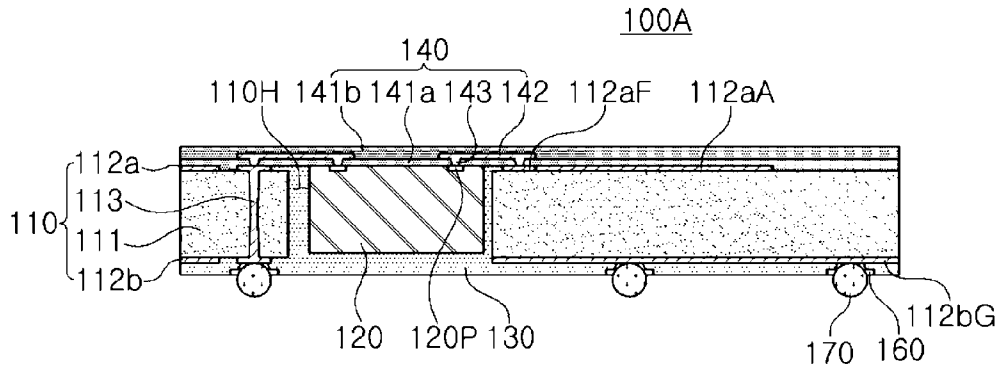
【圖6】



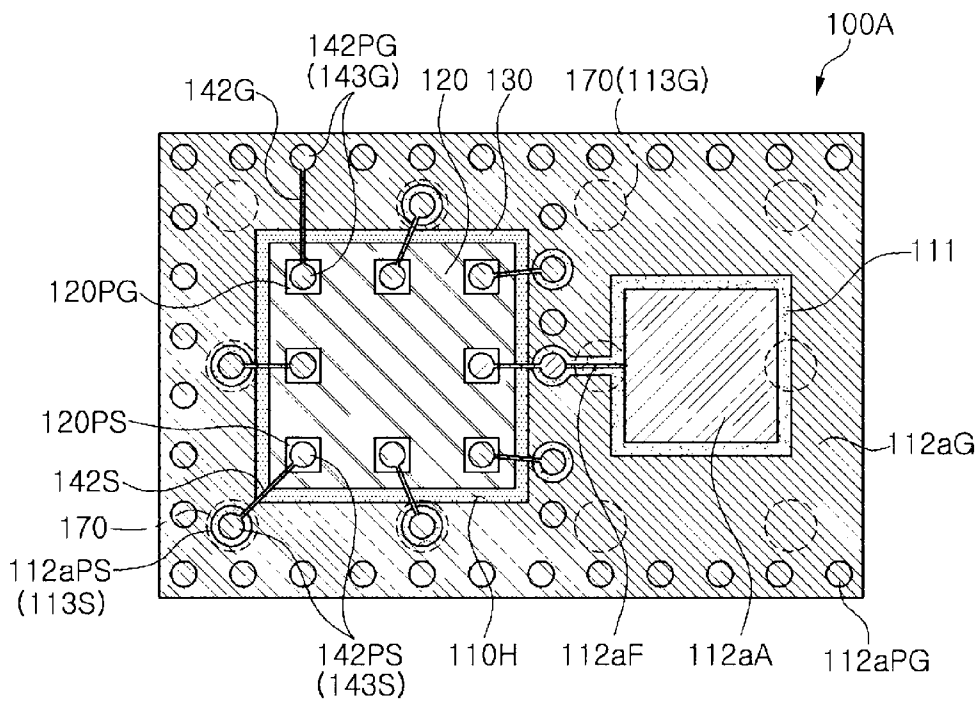
【圖7】



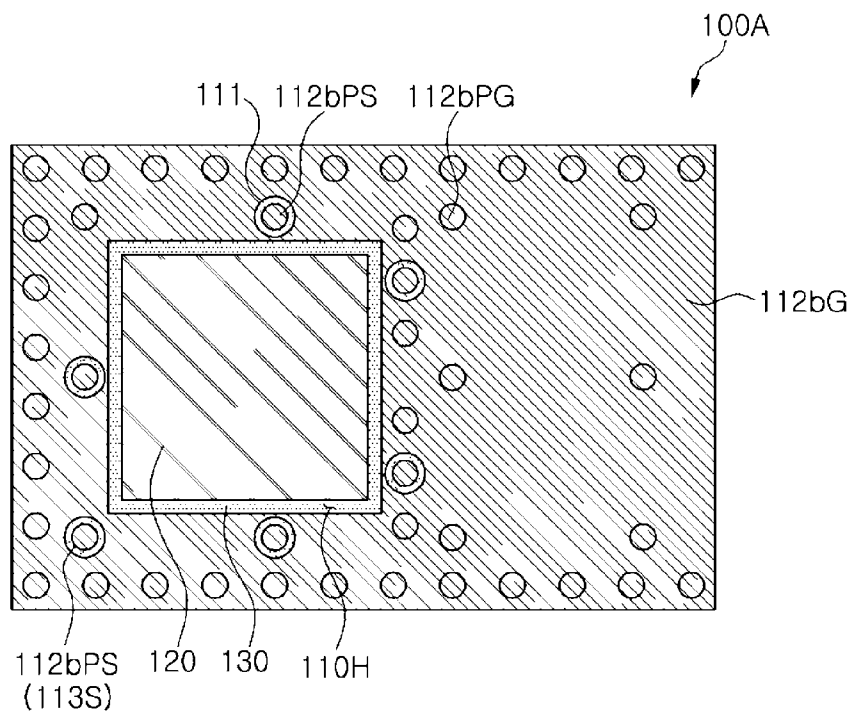
【圖8】



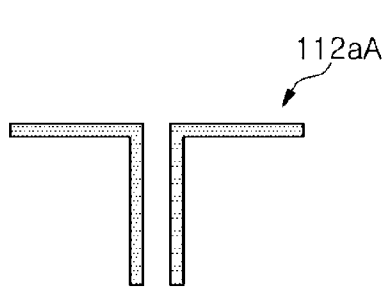
【圖9】



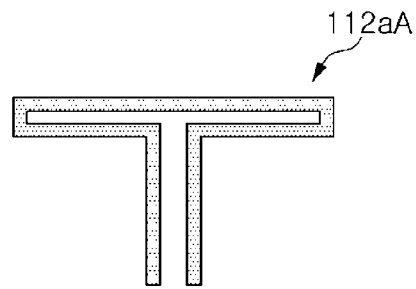
【圖10】



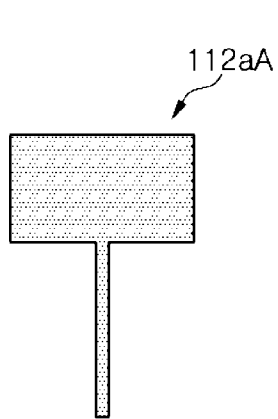
【圖11】



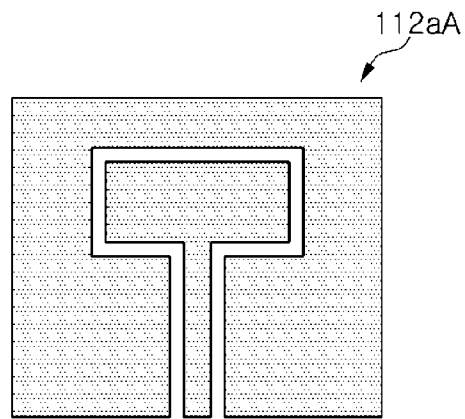
【圖12A】



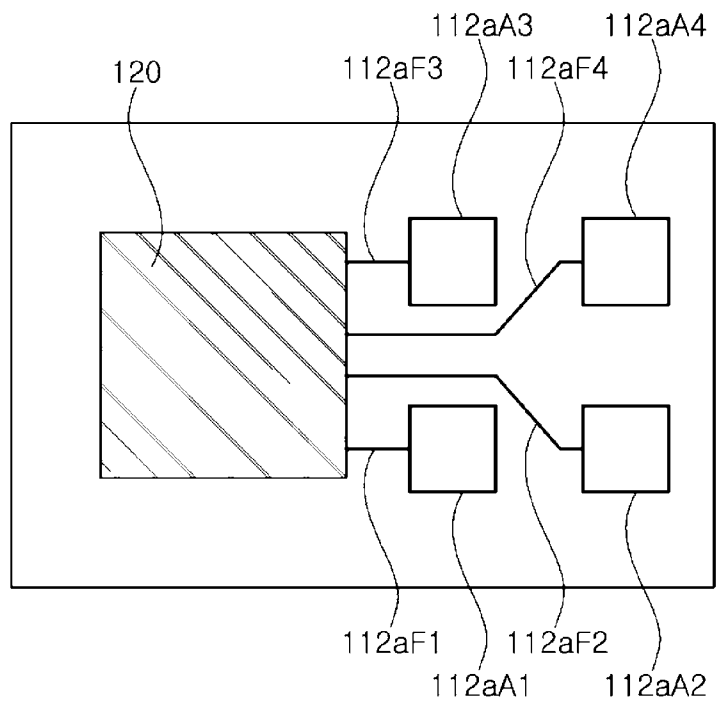
【圖12B】



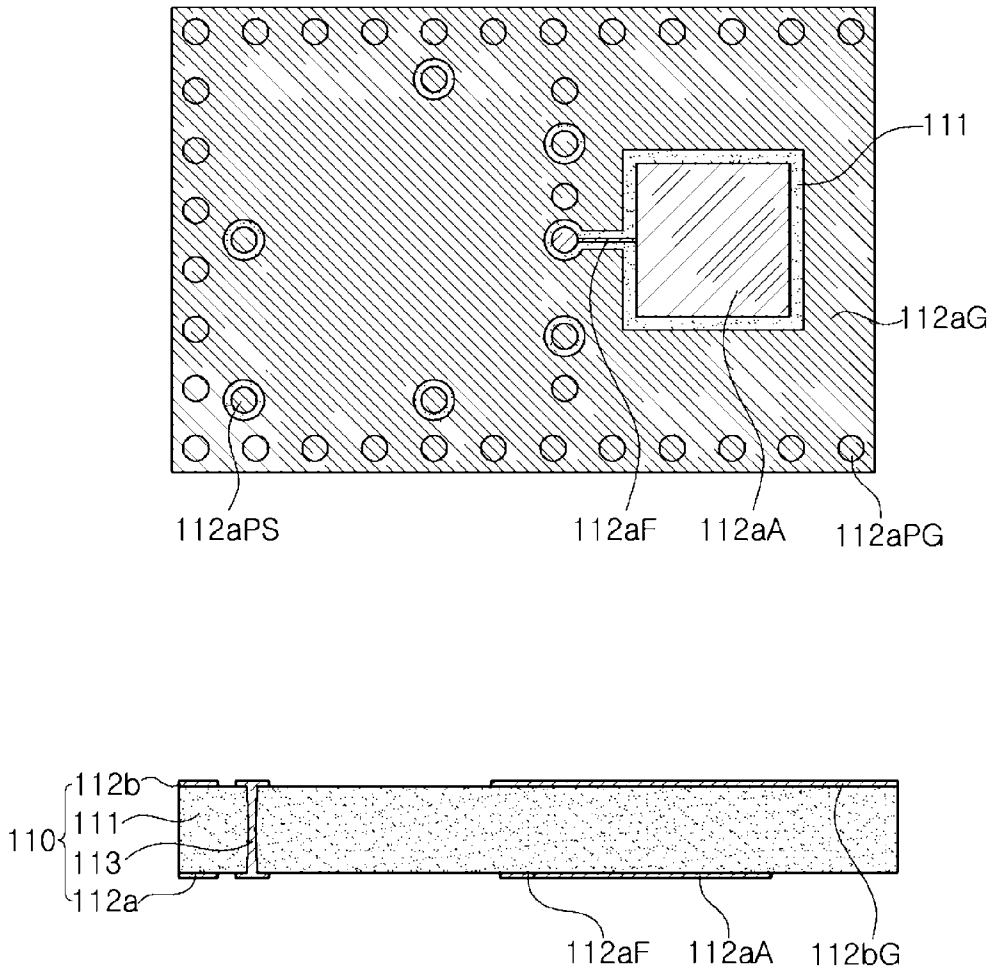
【圖12C】



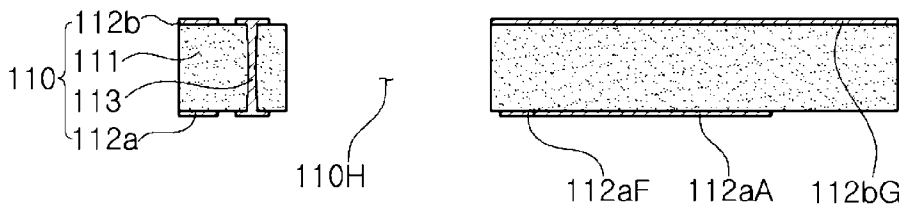
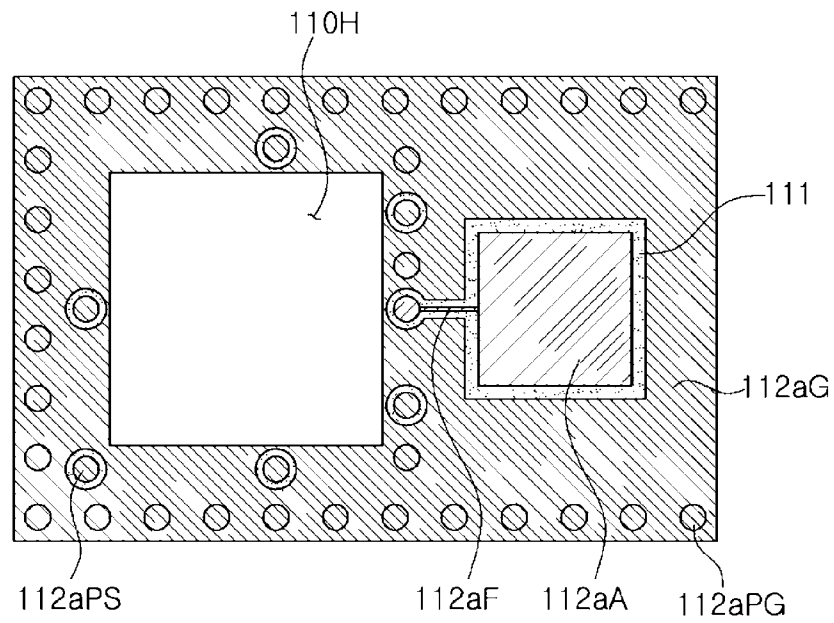
【圖12D】



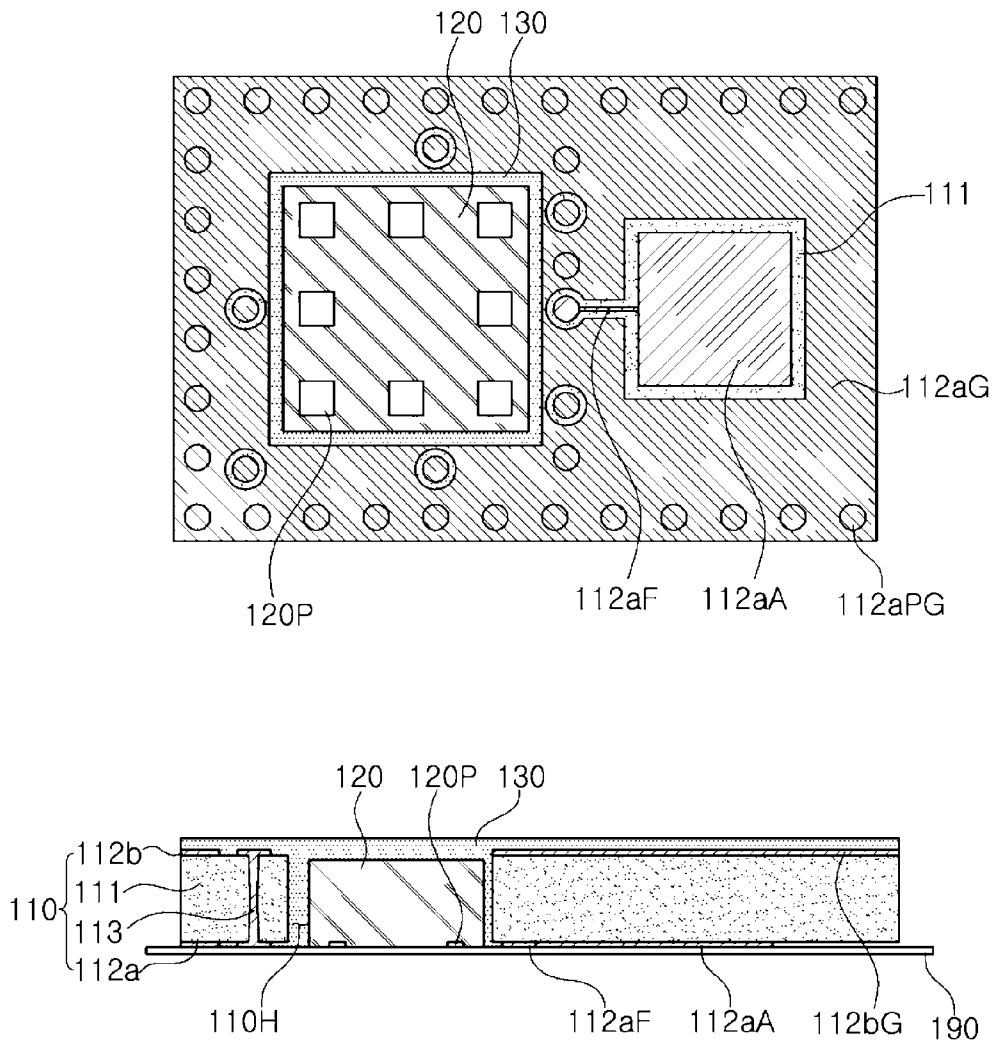
【圖13】



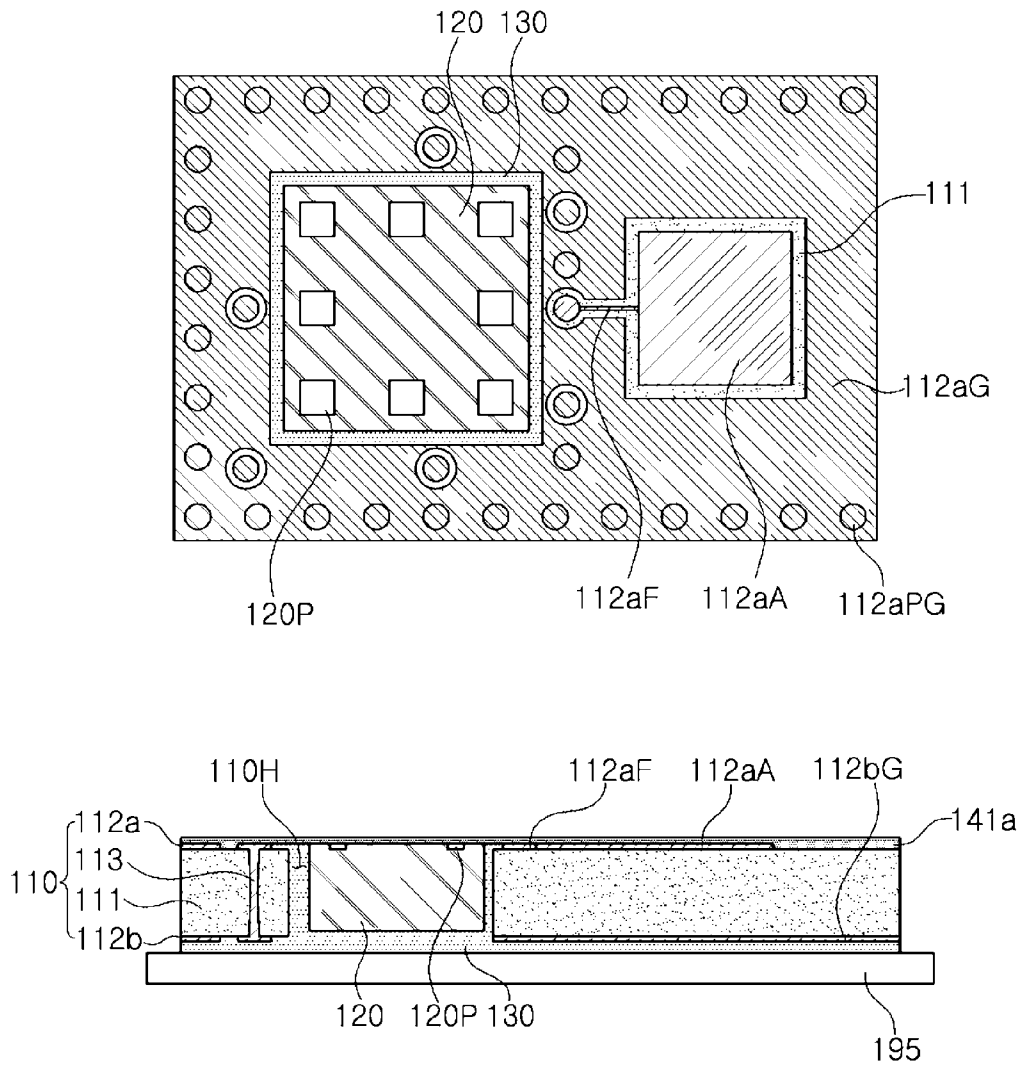
【圖14A】



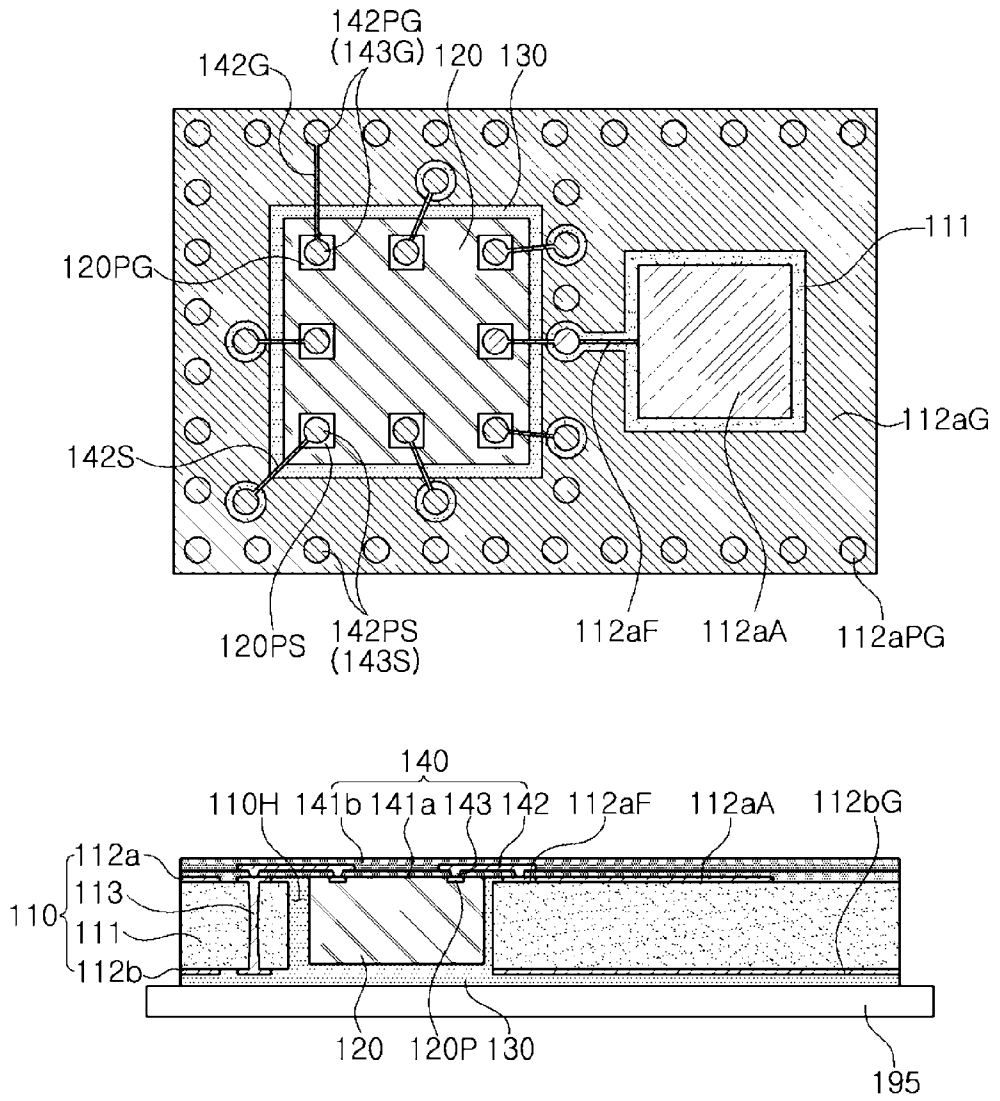
【圖14B】



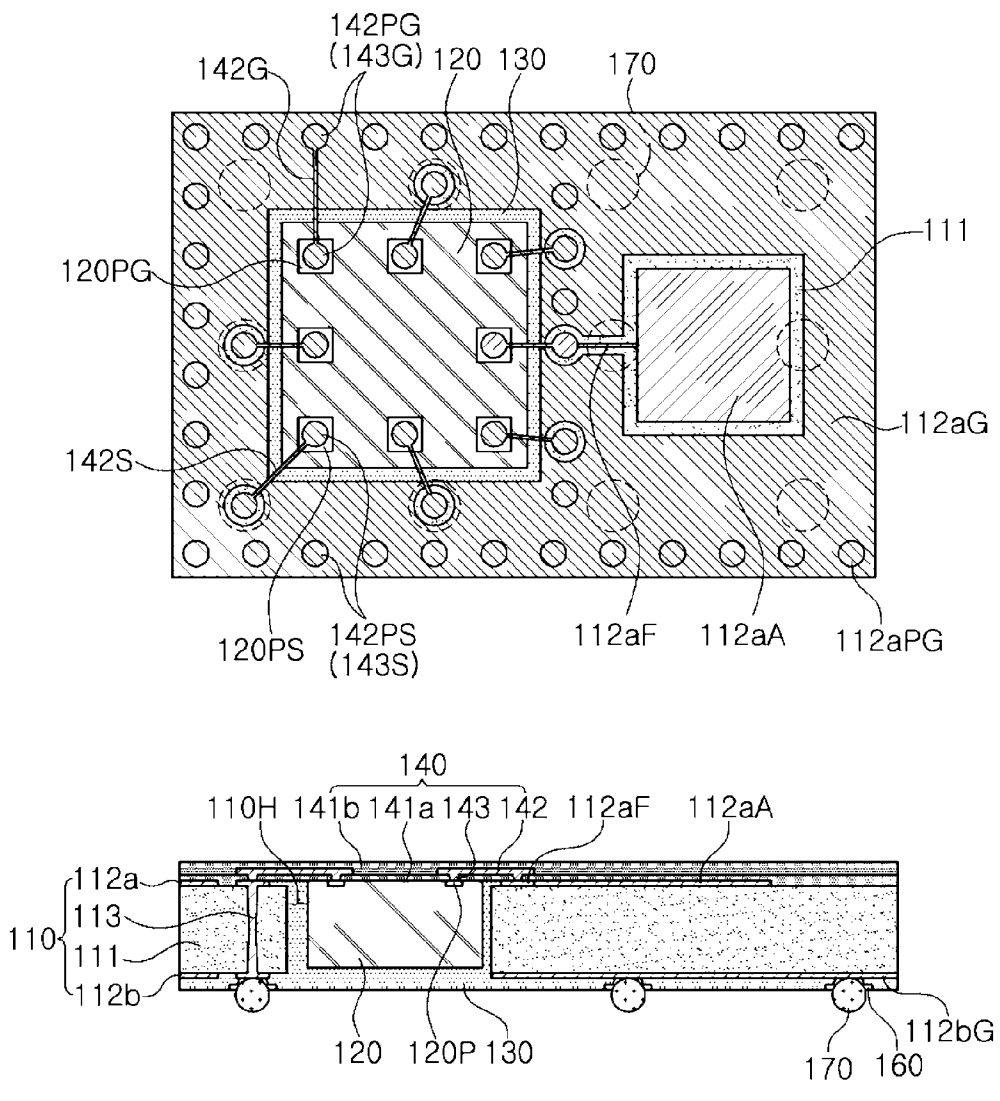
【圖14C】



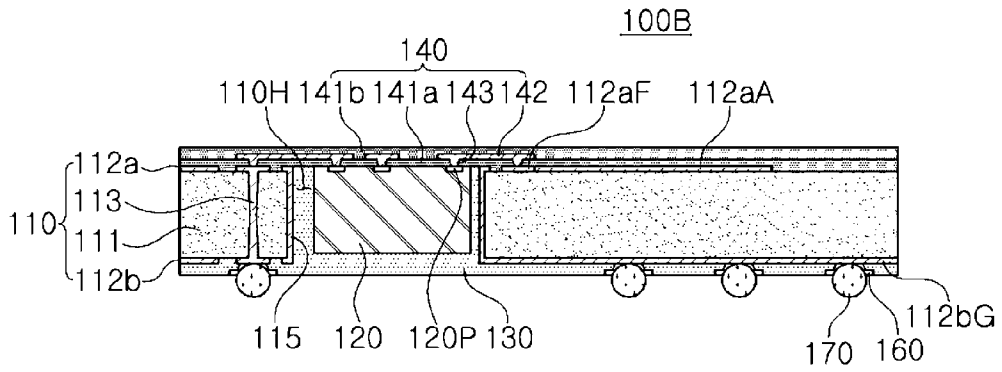
【圖14D】



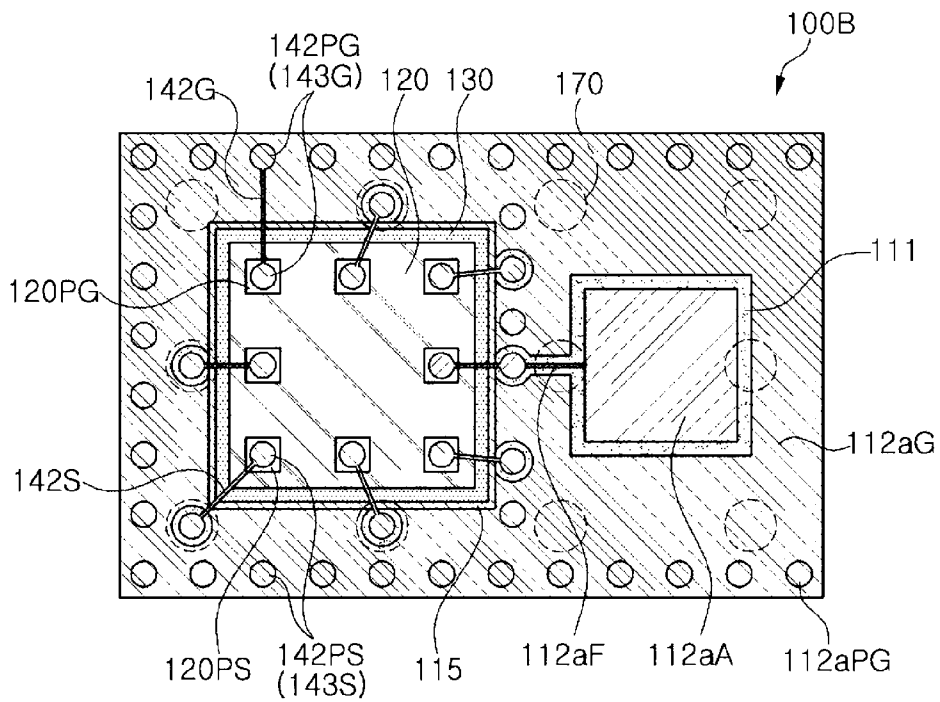
【圖14E】



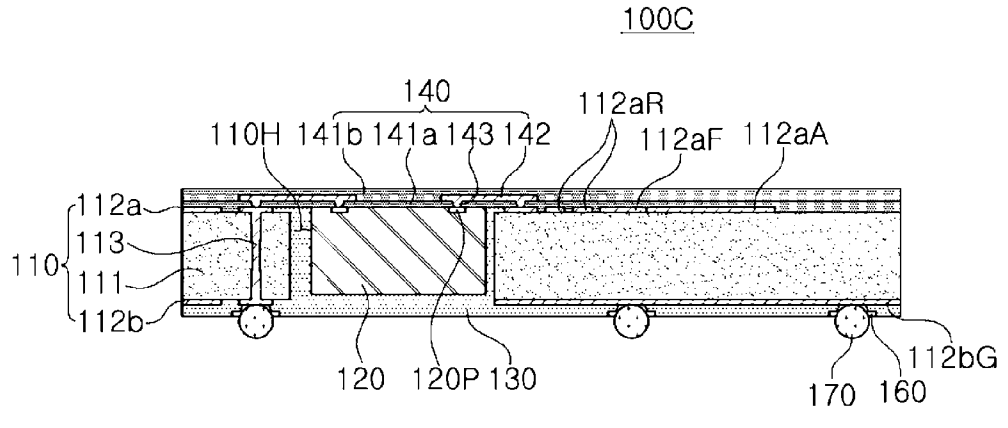
【圖14F】



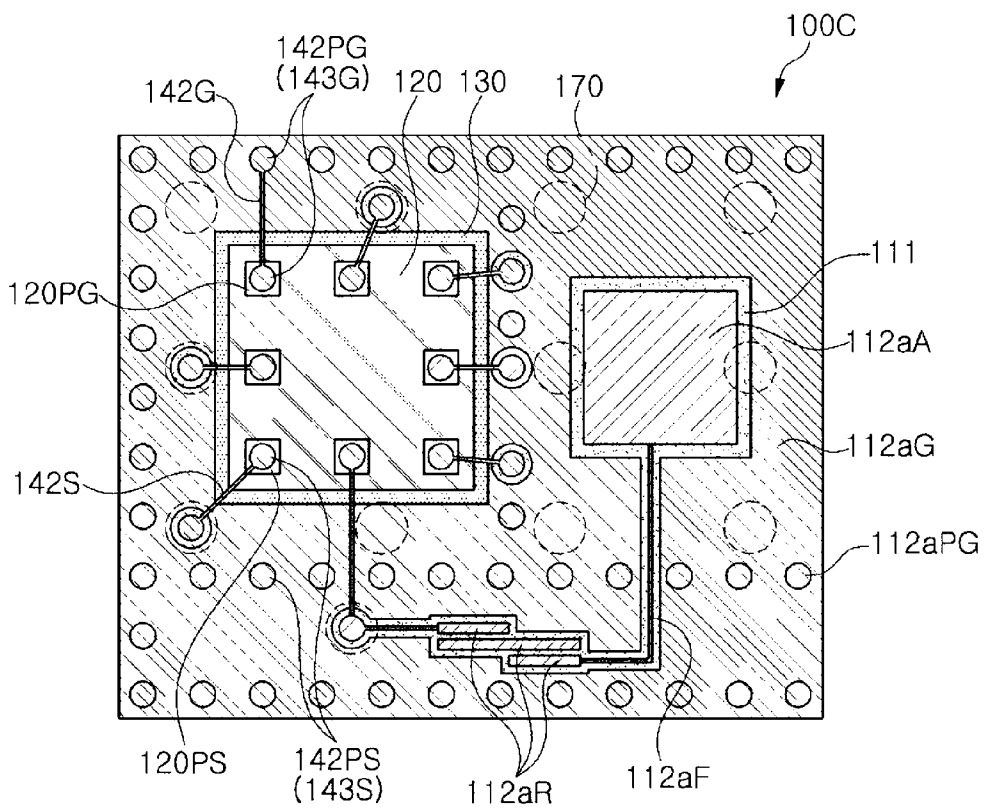
【圖15】



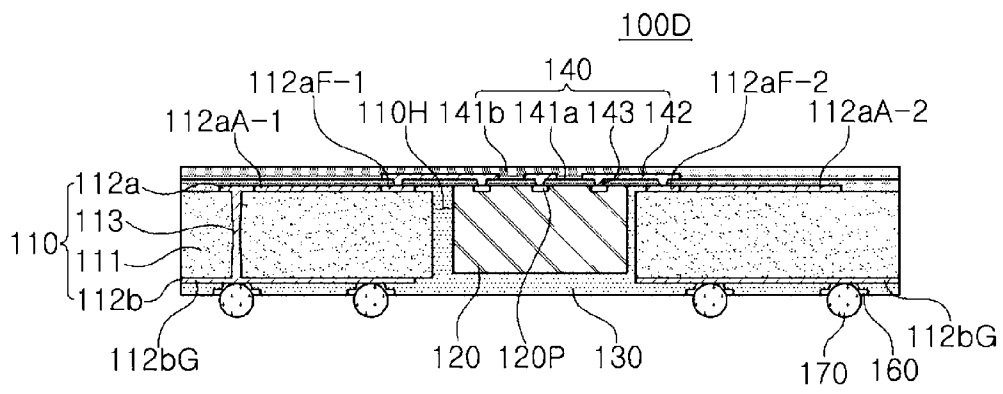
【圖16】



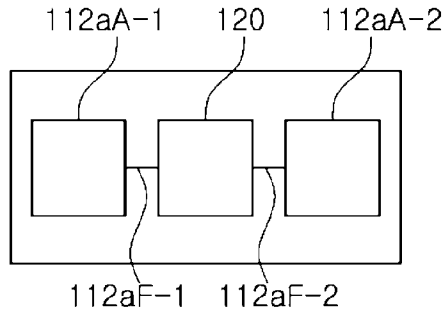
【圖17】



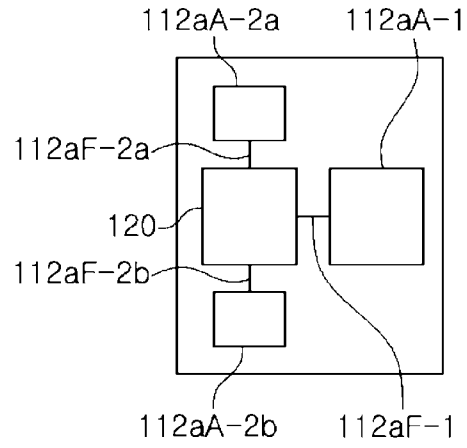
【圖18】



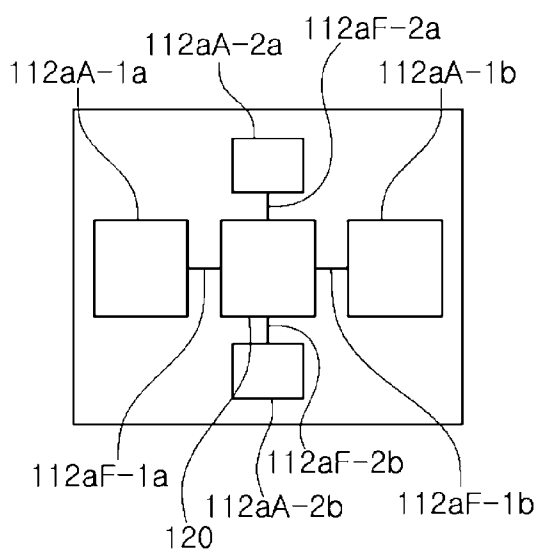
【圖19】



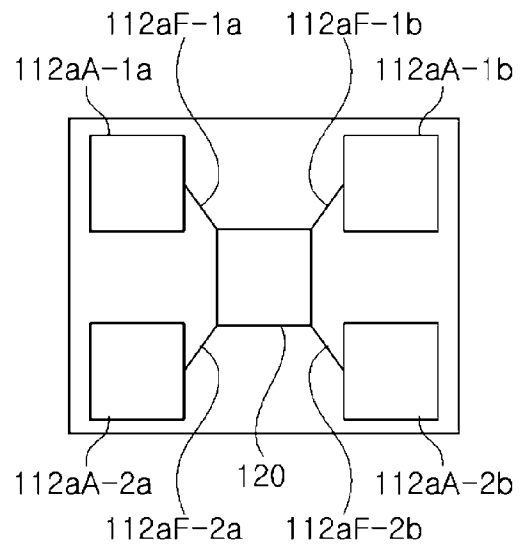
【圖20A】



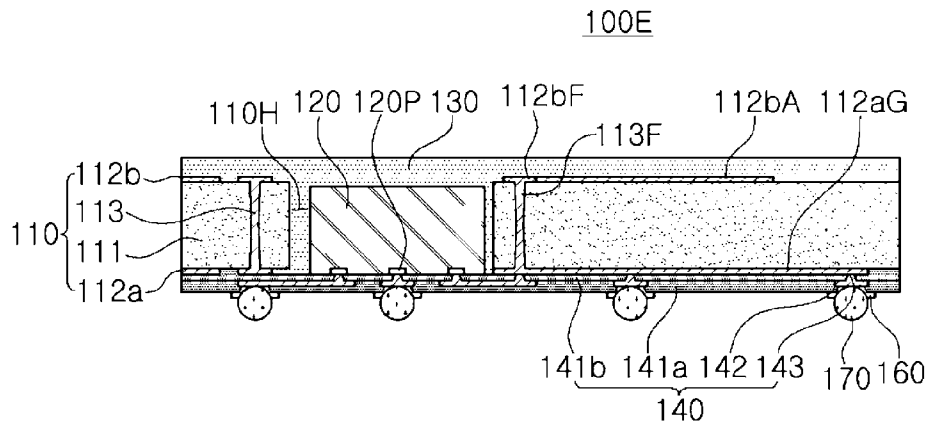
【圖20B】



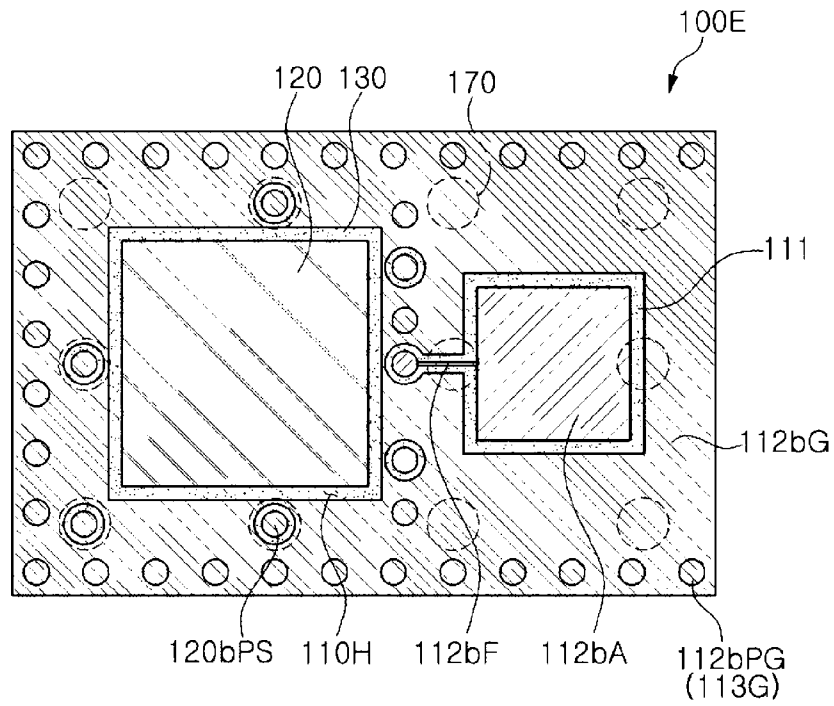
【圖20C】



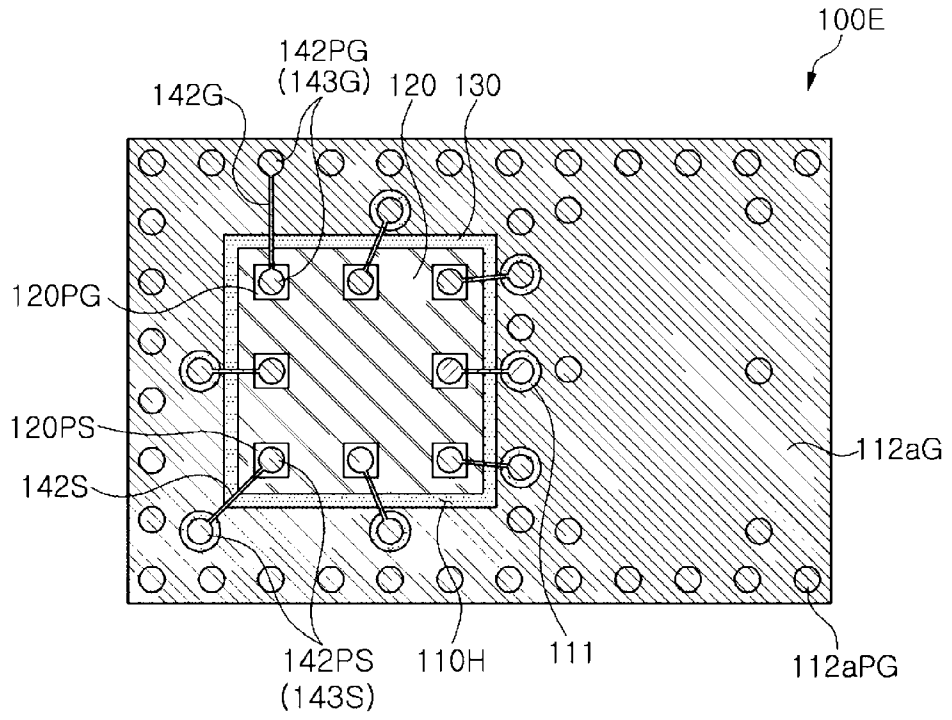
【圖20D】



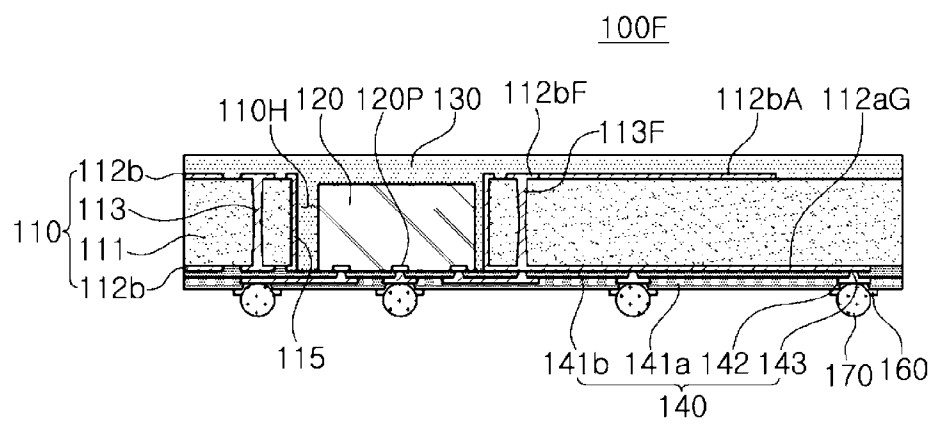
【圖21】



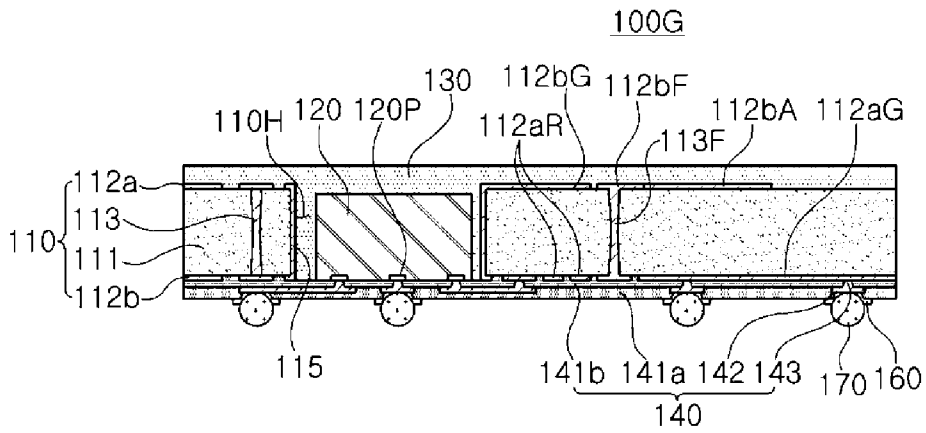
【圖22】



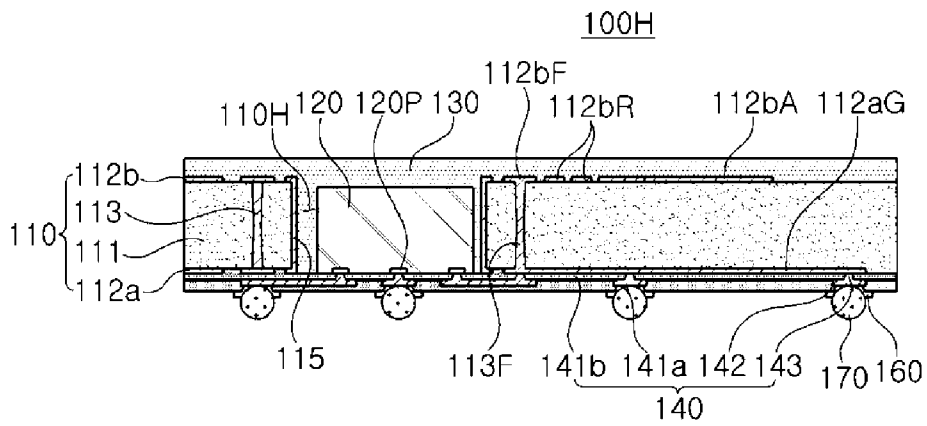
【圖23】



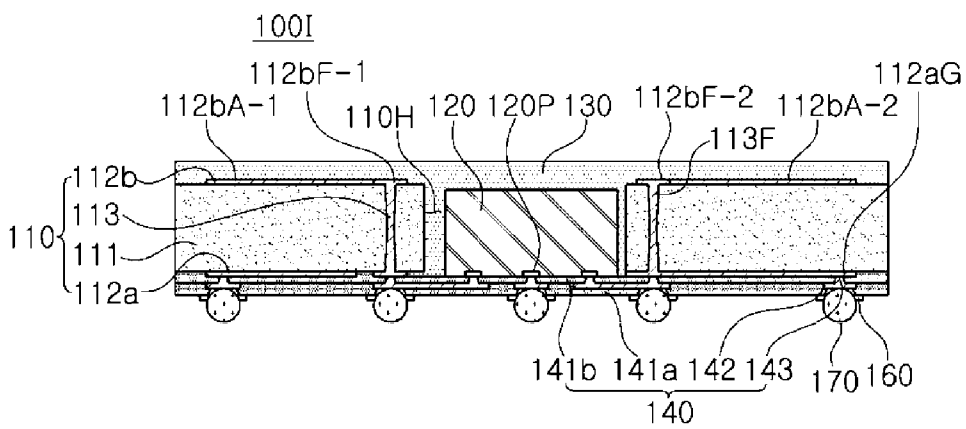
【圖24】



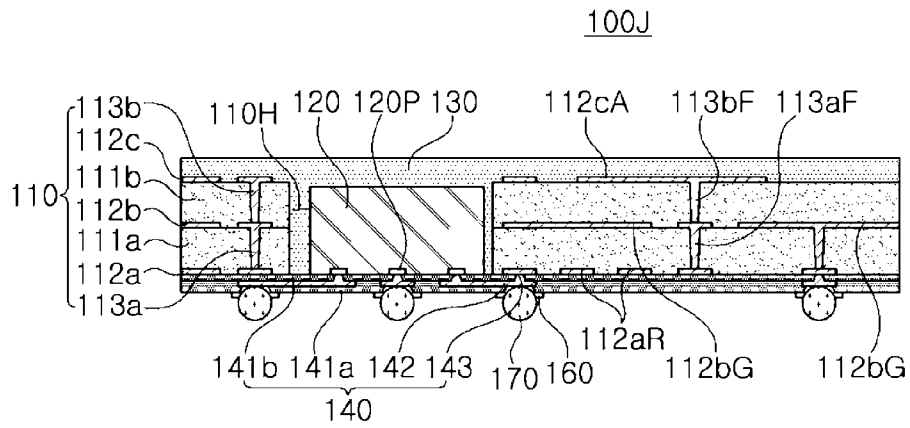
【圖25】



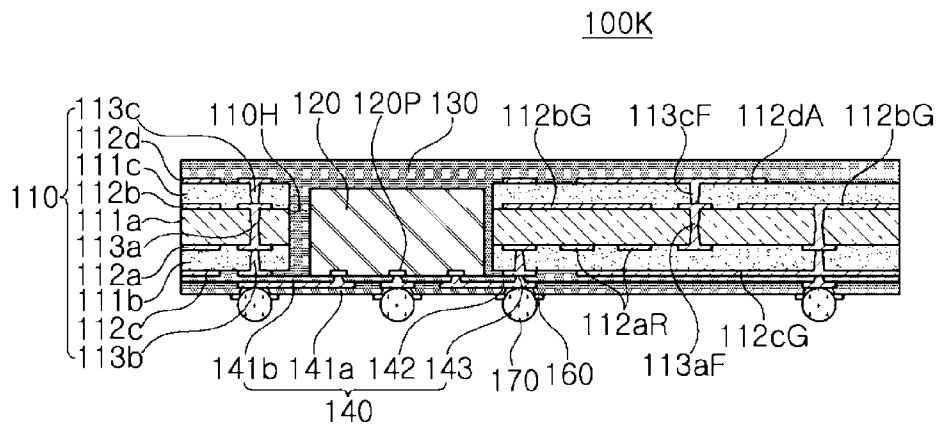
【圖26】



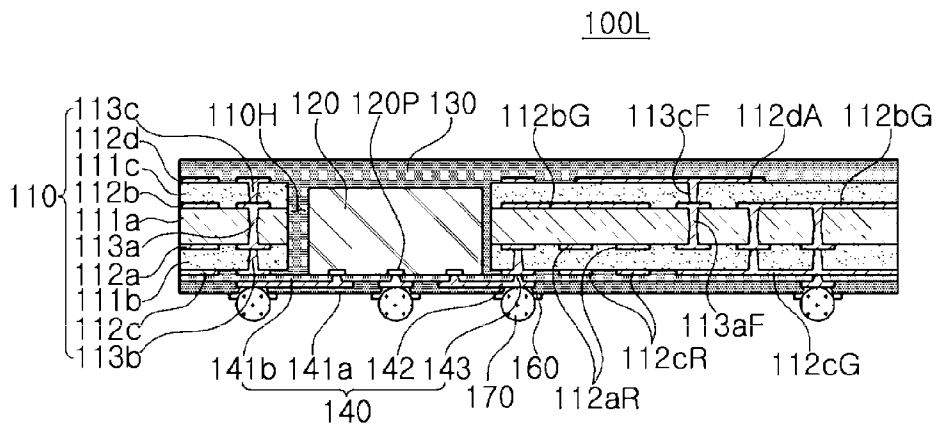
【圖27】



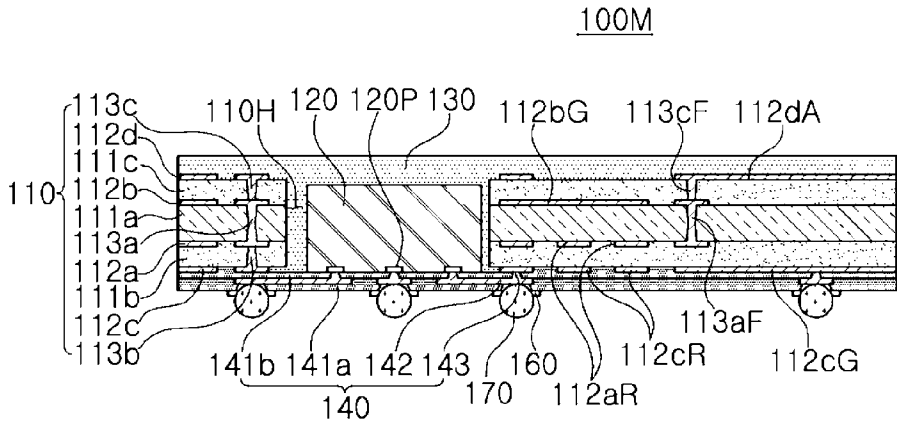
【圖28】



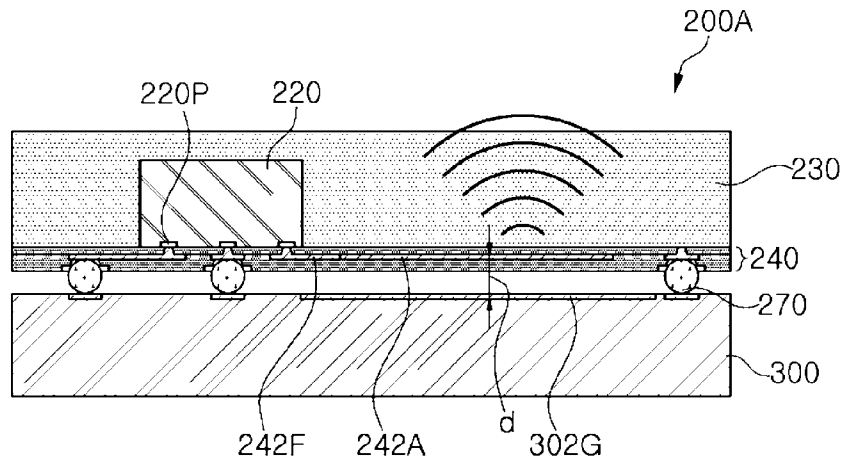
【圖29】



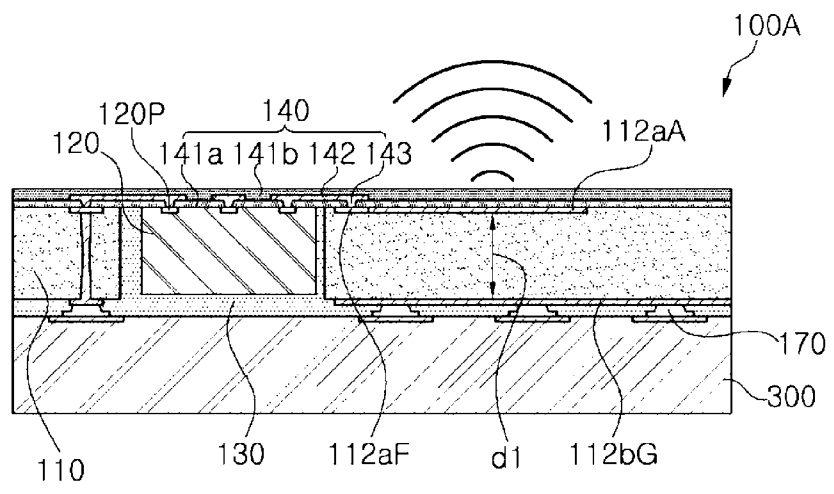
【圖30】



【圖31】



【圖32】



【圖33】