



(12) 发明专利申请

(10) 申请公布号 CN 114256169 A

(43) 申请公布日 2022. 03. 29

(21) 申请号 202111500686.7

(22) 申请日 2021.12.09

(71) 申请人 甬矽电子(宁波)股份有限公司
地址 315400 浙江省宁波市余姚市中意宁波生态园兴舜路22号

(72) 发明人 何正鸿 徐玉鹏 李利 张超
钟磊

(74) 专利代理机构 北京超凡宏宇专利代理事务所(特殊普通合伙) 11463
代理人 梁晓婷

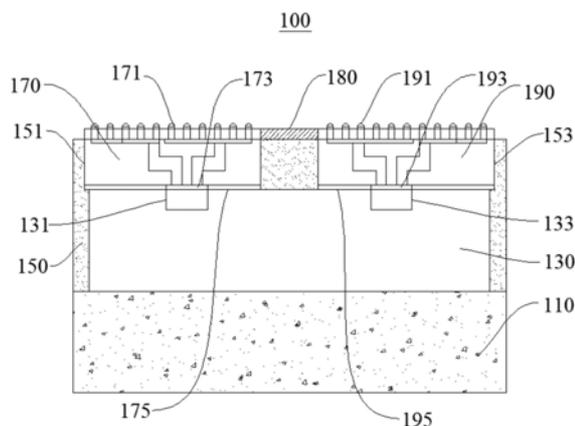
(51) Int. Cl.
H01L 23/31 (2006.01)
H01L 21/56 (2006.01)
H01L 23/488 (2006.01)
H01L 21/60 (2006.01)

权利要求书2页 说明书10页 附图7页

(54) 发明名称
半导体封装结构及其制备方法

(57) 摘要

本发明的实施例提供了一种半导体封装结构及其制备方法,涉及半导体封装技术领域,通过在基底载板上设置半导体器件,并设置包覆在半导体器件外的塑封体,然后在半导体器件上设置第一转接板和第二转接板,其中,塑封体上开设有贯通至半导体器件的第一凹槽和第二凹槽,第一转接板和第二转接板分别贴装在第一凹槽和第二凹槽内,其中第一转接板和第二转接板设置有第一焊球和第二焊球,半导体器件同时与第一转接板和第二转接板电连接,通过设置转接板实现布线结构,后期产品维修更换时只需要对转接板进行处理即可,方便可靠。同时通过转接板上的焊球实现外接电路,而转接板可以提前制备,其焊球尺寸以及占用空间可以做的更小,无疑使得整个产品的尺寸得以降低,有利于产品的小型化。



1. 一种半导体封装结构,其特征在于,包括:

基底载板;

设置在所述基底载板上的半导体器件;

设置在所述基底载板上,并包覆在所述半导体器件外的塑封体;

设置在所述半导体器件上的第一转接板和第二转接板;

其中,所述塑封体上开设有贯通至所述半导体器件的第一凹槽和第二凹槽,所述第一转接板和所述第二转接板分别贴装在所述第一凹槽和所述第二凹槽内,所述第一转接板远离所述半导体器件的一侧设置有多个第一焊球,所述第二转接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

2. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一转接板和所述第二转接板间隔设置,且至少在所述第一转接板和所述第二转接板之间设置有缓冲胶层,且所述缓冲胶层设置在所述塑封体的表面。

3. 根据权利要求2所述的半导体封装结构,其特征在于,所述第一转接板远离所述第二转接板的一端也设置有所述缓冲胶层,所述第二转接板远离所述第一转接板的一端也设置有所述缓冲胶层。

4. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一凹槽和所述第二凹槽连通,所述第一转接板和所述第二转接板连接为一体。

5. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一转接板靠近所述半导体器件的一侧设置有第一转接焊盘,所述第二转接板靠近所述半导体器件的一侧设置有第二转接焊盘,所述半导体器件远离所述基底载板的一侧设置有第一导电焊盘和第二导电焊盘,所述第一导电焊盘与所述第一转接焊盘连接,所述第二导电焊盘与所述第二转接焊盘连接。

6. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一转接板与所述半导体器件之间设置有第一粘胶层,以使所述第一转接板贴附在所述半导体器件的表面;所述第二转接板与所述半导体器件之间设置有第二粘胶层,以使所述第二转接板贴附在所述半导体器件的表面。

7. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一转接板在所述基底载板上的投影至少部分与所述半导体器件在所述基底载板上的投影相重叠;所述第二转接板在所述基底载板上的投影至少部分与所述半导体器件在所述基底载板上的投影相重叠。

8. 根据权利要求1所述的半导体封装结构,其特征在于,所述第一焊球的尺寸小于所述第二焊球的尺寸。

9. 一种半导体封装结构的制备方法,用于制备如权利要求1-8任一项所述的半导体封装结构,其特征在于,包括:

在基底载板上贴装半导体器件;

在所述基底载板上塑封形成包覆在所述半导体器件外的塑封体;

在所述塑封体上开槽形成贯通至所述半导体器件的第一凹槽和第二凹槽;

在所述第一凹槽内贴装第一转接板,并在所述第二凹槽内贴装第二转接板;

切割所述塑封体和所述基底载板;

其中,所述第一转接板远离所述半导体器件的一侧设置有多个第一焊球,所述第二转

接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

10.一种半导体封装结构的制备方法,用于制备如权利要求1-8任一项所述的半导体封装结构,其特征在于,包括:

在载具上贴装半导体器件;

在所述载具上塑封形成包覆在所述半导体器件外的塑封体;

去除所述载具,以使所述半导体器件外露于所述塑封体的一侧表面;

在所述塑封体的一侧表面塑封形成覆盖在所述半导体器件上的基底载板;

在所述塑封体的另一侧表面开槽形成贯通至所述半导体器件的第一凹槽和第二凹槽;

在所述第一凹槽内贴装第一转接板,并在所述第二凹槽内贴装第二转接板;

切割所述塑封体和所述基底载板;

其中,所述第一转接板远离所述半导体器件的一侧设置有多多个第一焊球,所述第二转接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

半导体封装结构及其制备方法

技术领域

[0001] 本发明涉及半导体封装技术领域,具体而言,涉及一种半导体封装结构及其制备方法。

背景技术

[0002] 随着半导体行业的快速发展,扇外型晶圆级封装(Fan-out wafer level package, FOWLP)封装结构广泛应用于半导体行业中。一般采用从晶圆切下单个芯片,然后到封装一个载体晶圆上,主要优势为高密度集成,封装产品尺寸小,产品性能优越,信号传输频率快等, fan out 技术主要是实现多引脚输出以及输出引脚间距较小,传统扇外型封装其引脚端采用开槽方式漏出线路后再次进行植球工艺,其尺寸较大,不利于产品的小型化,同时也无法实现维修更换。

发明内容

[0003] 本发明的目的包括,例如,提供了一种半导体封装结构及其制备方法,其能够减少植球尺寸,有利于产品的小型化,同时也方便实现产品的维修更换。

[0004] 本发明的实施例可以这样实现:

[0005] 第一方面,本发明实施例提供了一种半导体封装结构,包括:

[0006] 基底载板;

[0007] 设置在所述基底载板上的半导体器件;

[0008] 设置在所述基底载板上,并包覆在所述半导体器件外的塑封体;

[0009] 设置在所述半导体器件上的第一转接板和第二转接板;

[0010] 其中,所述塑封体上开设有贯通至所述半导体器件的第一凹槽和第二凹槽,所述第一转接板和所述第二转接板分别贴装在所述第一凹槽和所述第二凹槽内,所述第一转接板远离所述半导体器件的一侧设置有多个第一焊球,所述第二转接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

[0011] 在可选的实施方式中,所述第一转接板和所述第二转接板间隔设置,且至少在所述第一转接板和所述第二转接板之间设置有缓冲胶层,且所述缓冲胶层设置在所述塑封体的表面。

[0012] 在可选的实施方式中,所述第一转接板远离所述第二转接板的一端也设置有缓冲胶层,所述第二转接板远离所述第一转接板的一端也设置有所述缓冲胶层。

[0013] 在可选的实施方式中,所述第一凹槽和所述第二凹槽连通,所述第一转接板和所述第二转接板连接为一体。

[0014] 在可选的实施方式中,所述第一转接板靠近所述半导体器件的一侧设置有第一转接焊盘,所述第二转接板靠近所述半导体器件的一侧设置有第二转接焊盘,所述半导体器件远离所述基底载板的一侧设置有第一导电焊盘和第二导电焊盘,所述第一导电焊盘与所

述第一转接焊盘连接,所述第二导电焊盘与所述第二转接焊盘连接。

[0015] 在可选的实施方式中,所述第一转接板与所述半导体器件之间设置有第一粘胶层,以使所述第一转接板贴附在所述半导体器件的表面;所述第二转接板与所述半导体器件之间设置有第二粘胶层,以使所述第二转接板贴附在所述半导体器件的表面。

[0016] 在可选的实施方式中,所述第一转接板在所述基底载板上的投影至少部分与所述半导体器件在所述基底载板上的投影相重叠;所述第二转接板在所述基底载板上的投影至少部分与所述半导体器件在所述基底载板上的投影相重叠。

[0017] 在可选的实施方式中,所述第一焊球的尺寸小于所述第二焊球的尺寸。

[0018] 第二方面,本发明实施例提供了一种半导体封装结构的制备方法,用于制备前述的半导体封装结构,包括:

[0019] 在基底载板上贴装半导体器件;

[0020] 在所述基底载板上塑封形成包覆在所述半导体器件外的塑封体;

[0021] 在所述塑封体上开槽形成贯通至所述半导体器件的第一凹槽和第二凹槽;

[0022] 在所述第一凹槽内贴装第一转接板,并在所述第二凹槽内贴装第二转接板;

[0023] 切割所述塑封体和所述基底载板;

[0024] 其中,所述第一转接板远离所述半导体器件的一侧设置有多个第一焊球,所述第二转接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

[0025] 第三方面,本发明实施例还提供了一种半导体封装结构的制备方法,用于制备前述的半导体封装结构,包括:

[0026] 在载具上贴装半导体器件;

[0027] 在所述载具上塑封形成包覆在所述半导体器件外的塑封体;

[0028] 去除所述载具,以使所述半导体器件外露于所述塑封体的一侧表面;

[0029] 在所述塑封体的一侧表面塑封形成覆盖在所述半导体器件上的基底载板;

[0030] 在所述塑封体的另一侧表面开槽形成贯通至所述半导体器件的第一凹槽和第二凹槽;

[0031] 在所述第一凹槽内贴装第一转接板,并在所述第二凹槽内贴装第二转接板;

[0032] 切割所述塑封体和所述基底载板;

[0033] 其中,所述第一转接板远离所述半导体器件的一侧设置有多个第一焊球,所述第二转接板远离所述半导体器件的一侧设置有第二焊球,所述半导体器件同时与所述第一转接板和所述第二转接板电连接。

[0034] 本发明实施例的有益效果包括,例如:

[0035] 本发明的实施例提供了一种半导体封装结构及其制备方法,通过在基底载板上设置半导体器件,并设置包覆在半导体器件外的塑封体,然后在半导体器件上设置第一转接板和第二转接板,其中,塑封体上开设有贯通至半导体器件的第一凹槽和第二凹槽,第一转接板和第二转接板分别贴装在第一凹槽和第二凹槽内,其中第一转接板远离半导体器件的一侧设置有第一焊球,第二转接板远离半导体器件的一侧设置有第二焊球,半导体器件同时与第一转接板和第二转接板电连接,通过设置转接板实现布线结构,后期产品维修更换时只需要对转接板进行处理即可,方便可靠。同时通过转接板上的焊球实现外接电路,而转

接板可以提前制备,其焊球尺寸以及占用空间可以做的更小,无疑使得整个产品的尺寸得以降低,有利于产品的小型化。相较于现有技术,本发明提供的半导体封装结构,其能够减少植球尺寸,有利于产品的小型化,同时也方便实现产品的维修更换。

附图说明

[0036] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本发明的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0037] 图1a为本发明第一实施例提供的半导体封装结构的剖面结构示意图;

[0038] 图1b为本发明第一实施例提供的半导体封装结构的另一种剖面结构示意图;

[0039] 图2为本发明第一实施例提供的半导体封装结构的整体结构示意图;

[0040] 图3至图9为本发明第一实施例提供的半导体封装结构的制备方法的工艺流程图;

[0041] 图10为本发明第二实施例提供的半导体封装结构的示意图;

[0042] 图11为本发明第三实施例提供的半导体封装结构的示意图;

[0043] 图12为本发明第四实施例提供的半导体封装结构的示意图;

[0044] 图13为本发明第五实施例提供的半导体封装结构的示意图;

[0045] 图14为本发明第五实施例提供的半导体封装结构的贴装示意图。

[0046] 图标:100-半导体封装结构;110-基底载板;130-半导体器件;131-第一导电焊盘;133-第二导电焊盘;135-线路层;150-塑封体;151-第一凹槽;153-第二凹槽;170-第一转接板;171-第一焊球;173-第一转接焊盘;175-第一粘胶层;180-缓冲胶层;190-第二转接板;191-第二焊球;193-第二转接焊盘;195-第二粘胶层;200-载具。

具体实施方式

[0047] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本发明实施例的组件可以以各种不同的配置来布置和设计。

[0048] 因此,以下对在附图中提供的本发明的实施例的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0049] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0050] 在本发明的描述中,需要说明的是,若出现术语“上”、“下”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0051] 此外,若出现术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相

对重要性。

[0052] 正如背景技术中所公开的,传统的扇出型晶圆封装过程中,由于采用了基底刻蚀开槽露出线路后再进行植球的工艺,容易产生氧化物对边缘焊盘造成接地电阻不稳定的问题。同时采用扇出型晶圆芯片封装过程中,塑封过程中由于各种材料的热膨胀系数不匹配,容易存在塑封翘曲的问题。并且传统的扇出封装结构,其开槽后露出线路层再进行植球的工艺,导致植球尺寸较大,并且整体锡球占据面积较大,导致产品封装尺寸较大,不利于产品的小型化。在产品进行维修时,也无法对线路层进行维修,只能整体报废,无法实现维修更换。

[0053] 为了解决上述问题,本发明提供了一种新型的半导体封装结构及其制备方法,其能够避免刻蚀开槽露出线路层后再进行植球的工艺,并且植球尺寸小,有利于产品的小型化。同时在产品线路层出现问题时,仅仅需要对转接板进行维修更换即可,方便产品进行维修更换。需要说明的是,在不冲突的情况下,本发明的实施例中的特征可以相互结合。

[0054] 第一实施例

[0055] 参见图1a和图2,本实施例提供了一种半导体封装结构100,其能够避免刻蚀开槽露出线路层后再进行植球的工艺,并且植球尺寸小,有利于产品的小型化。同时在产品线路层出现问题时,仅仅需要对转接板进行维修更换即可,方便产品进行维修更换。

[0056] 本实施例提供的半导体封装结构100,包括基底载板110、半导体器件130、塑封体150、第一转接板170和第二转接板190,半导体器件130设置在基底载板110上,塑封体150设置在基底载板110上,并包覆在半导体器件130外,第一转接板170和第二转接板190设置在半导体器件130上,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,第一转接板170远离半导体器件130的一侧设置有多个第一焊球171,第二转接板190远离半导体器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接。

[0057] 在实际制备过程中,首先完成基底载板110、半导体器件130和塑封体150的制备,其中基底载板110可以是载具200或者衬底,其制备在塑封体150形成之前,即在基底载板110上贴装半导体器件130后完成塑封体150的塑封动作;基底载板110也可以是塑封结构,其制备在塑封体150形成之后,即在载具200上贴装半导体器件130,再塑封形成塑封体150,然后去除载具200并在同样的位置再次塑封形成基底载板110。关于基底载板110的具体结构,可以根据工艺条件和制程不同决定,在此不作具体限定。

[0058] 值得注意的是,本实施例中基底载板110可以是载具200或衬底,其基底载板110上还可以设置粘胶层,粘胶层的材料可以是聚酰亚胺、苯并环丁烯等,起到粘接作用,同时基底载板110起到了对半导体器件130的保护作用,也减缓了塑封形成塑封体150时产生的塑封翘曲现象。

[0059] 在本发明其他较佳的实施例中,基底载板110也可以是塑封结构,其采用与塑封体150相同的塑封料塑封形成,由于采用了相同的塑封材料,故也大大减缓了塑封翘曲现象。

[0060] 在本实施例中,通过在基底载板110上设置半导体器件130,并设置包覆在半导体器件130外的塑封体150,然后在半导体器件130上设置第一转接板170和第二转接板190,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板

170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,其中第一转接板170远离半导体器件130的一侧设置有第一焊球171,第二转接板190远离半导体器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接,通过设置转接板实现布线结构,后期产品维修更换时只需要对转接板进行处理即可,方便可靠。同时通过转接板上的焊球实现外接电路,而转接板可以提前制备,其焊球尺寸以及占用空间可以做的更小,无疑使得整个产品的尺寸得以降低,有利于产品的小型化。

[0061] 需要说明的是,本实施例中第一转接板170和第二转接板190均提前制备,其上的第一焊球171和第二焊球191也可以提前形成,第一转接板170和第二转接板190中均形成有线路层,能够直接通过第一焊球171和第二焊球191实现与外部的线路连接。此处采用提前制备的第一转接板170和第二转接板190,一方面使得焊球尺寸可以更小,且焊球占用空间可以更小,有利于产品的小型化;另一方面也方便对产品进行维修更换;再者,通过提前制备转接板,也大大缩短了产品的制备进程,降低了工艺难度,提升了产品的制备效率。

[0062] 在本实施例中,第一转接板170和第二转接板190间隔设置,且至少在第一转接板170和第二转接板190之间设置有缓冲胶层180,且缓冲胶层180设置在塑封体150的表面。具体地,第一凹槽151和第二凹槽153间隔设置在塑封体150远离基底载板110的一侧表面,且第一凹槽151的尺寸与第一转接板170相适配,第二凹槽153的尺寸与第二转接板190相适配。此外,第一转接板170和第二转接板190均凸起于塑封体150设置,使得第一转接板170和第二转接板190之间能够形成凹槽结构,该凹槽结构用于形成缓冲胶层180,从而实现了对第一转接板170和第二转接板190之间的缓冲作用。

[0063] 在本实施例中,缓冲胶层180采用了热膨胀系数和杨氏模量低于塑封体150的材料,其能够优先于塑封体150变形,从而起到缓冲作用,保护第一转接板170和第二转接板190上的锡球焊盘,避免第一焊球171和第二焊球191受应力影响而导致的焊接裂痕。同时,缓冲层也可以设计在第一转接板170和第二转接板190周围,也可以设置在半导体器件130的四个角区域,或者根据半导体器件130应力仿真数据后,设计在变形较大的区域,从而减小半导体器件130应力以及变形。

[0064] 需要说明的是,本实施例中第一转接板170和第二转接板190均为多个,多个第一转接板170和多个第二转接板190呈环状设置在半导体器件130的四周,每个第一转接板170和每个第二转接板190均与半导体器件130电连接,其中第一转接板170和第二转接板190的结构相同,二者分设在半导体器件130的两侧,从而保证了产品具有足够的信号接出点。当然,此处对于第一转接板170和第二转接板190的具体数量并不作限定。

[0065] 在本实施例中,第一转接板170靠近半导体器件130的一侧设置有第一转接焊盘173,第二转接板190靠近半导体器件130的一侧设置有第二转接焊盘193,半导体器件130远离基底载板110的一侧设置有第一导电焊盘131和第二导电焊盘133,第一导电焊盘131与第一转接焊盘173连接,第二导电焊盘133与第二转接焊盘193连接。具体地,第一转接板170内部设置有第一线路层,第一转接焊盘173通过导电路路与第一线路层连接,多个第一焊球171与第一线路层连接,从而实现信号输出。第二转接板190内部设置有第二线路层,第二转接焊盘193通过导电路路与第二线路层连接,多个第二焊球191与第二线路层连接。其中,第一转接焊盘173和第一导电焊盘131均为铜焊盘,二者通过Cu-Cu焊接实现相连;第二转接焊盘193和第二导电焊盘133也均为铜焊盘,二者也通过Cu-Cu焊接实现相连。同时,第一转接

板170和第二转接板190可以采用为聚酰亚胺、苯并环丁烯等作为介质层,并在介质层上完成布线和植球。

[0066] 需要说明的是,本实施例中半导体器件130为芯片,第一转接板170和第二转接板190直接与芯片上的焊盘连接,此处可以是实现芯片封装。在本发明其他较佳的实施例中,参见图1b,半导体器件130也可以是芯片和线路层135的组合结构,即芯片的上侧面设置有线路层135,第一转接板170和第二转接板190设置在芯片的线路层135上,从而改变了芯片的封装结构,对芯片的封装方式作出改进。

[0067] 在本实施例中,第一转接板170与半导体器件130之间设置有第一粘胶层175,以使第一转接板170贴附在半导体器件130的表面;第二转接板190与半导体器件130之间设置有第二粘胶层195,以使第二转接板190贴附在半导体器件130的表面。具体地,第一粘胶层175和第二粘胶层195可以采用熔点较低的热塑性胶膜层,方便加热后顺利拆下第一转接板170和第二转接板190,实现便捷拆装。同时通过设置第一粘胶层175和第二粘胶层195,能够提升第一转接板170和第二转接板190的粘接固定效果,提升产品的可靠性。

[0068] 在本实施例中,第一转接板170在基底载板110上的投影至少部分与半导体器件130在基底载板110上的投影相重叠;第二转接板190在基底载板110上的投影至少部分与半导体器件130在基底载板110上的投影相重叠。具体地,本实施例中第一转接板170在基底载板110上的投影边缘与半导体器件130在基底载板110上的投影边缘相重叠,第二转接板190在基底载板110上的投影边缘与半导体器件130在基底载板110上的投影边缘相重叠,即第一转接板170与半导体器件130的一侧相平齐,第二转接板190与半导体器件130的另一侧相平齐,从而方便后续切割时能够切出更小尺寸的产品结构。

[0069] 在本实施例中,第一焊球171和第二焊球191的植球尺寸相同,且均为 $10\mu\text{m}$ - $20\mu\text{m}$,由于第一转接板170和第二转接板190采用了提前制备工艺,故此处第一焊球171和第二焊球191的植球尺寸均可以更小,在同一植球区域内能够设置更多的焊球,从而使得输出端更多,大幅提升产品性能。同时在同一输出端数量的要求下,也可以使得植球区域更小,更有利于产品的小型化。

[0070] 结合参见图3至图7,本实施例还提供了一种半导体封装结构的制备方法,其用于制备如前述的半导体封装结构100,其中基底载板110为保留下来的载具200,即无需去除载具200步骤,具体地,本实施例提供的方法包括以下步骤:

[0071] S1a:在基底载板110上贴装半导体器件130。

[0072] 结合参见图3,具体而言,提供一载具200,并且在载具200上设置一层胶膜层,然后再贴装半导体器件130,其中半导体器件130上的第一导电焊盘131和第二导电焊盘133均朝上设置,使得半导体器件130的背面贴装在载具200的胶膜层上。

[0073] S2a:在基底载板110上塑封形成包覆在半导体器件130外的塑封体150。

[0074] 结合参见图4,具体而言,完成半导体器件130的贴装后,利用塑封工艺形成塑封体150,该塑封体150包覆在半导体器件130外。

[0075] S3a:在塑封体150上开槽形成贯通至半导体器件130的第一凹槽151和第二凹槽153。

[0076] 结合参见图5,具体而言,在形成塑封体150后,在塑封体150上与半导体器件130对应的位置通过激光开槽工艺形成第一凹槽151和第二凹槽153,其中第一凹槽151和第二凹

槽153间隔设置,并分别对应半导体器件130上的第一导电焊盘131和第二导电焊盘133,并将第一导电焊盘131和第二导电焊盘133露出。

[0077] S4a:在第一凹槽151内贴装第一转接板170,并且至第二凹槽153内贴装第二转接板190。

[0078] 结合参见图6,具体而言,第一转接板170和第二转接板190可以同时贴装,并且在贴装前可以在第一转接板170和第二转接板190的贴合面涂覆粘接胶,在贴合后即形成了第一粘胶层175和第二粘胶层195。在贴装时,还需要将第一转接板170上的第一转接焊盘173与第一导电焊盘131通过Cu-Cu焊接实现相连,第二转接板190上的第二转接焊盘193与第二导电焊盘133通过Cu-Cu焊接实现相连。

[0079] 需要说明的是,此处第一转接板170和第二转接板190提前制备,并完成了布线和植球。

[0080] 结合参见图7,在完成第一转接板170和第二转接板190的贴装后,还需要在第一转接板170和第二转接板190之间设置缓冲胶层180。具体地,第一转接板170和第二转接板190均凸起于塑封体150设置,使得第一转接板170和第二转接板190之间能够形成凹槽结构,然后利用点胶工艺于凹槽结构内进行填充,其胶体采用热膨胀系数和杨氏模量低于塑封体150的材料,优先于塑封体150变形,起到缓冲层作用,保护其转接板底部锡球焊盘,不受应力影响导致锡球焊接裂痕。

[0081] S5a:切割塑封体150和基底载板110。

[0082] 请继续参见图1,具体而言,沿切割道切割塑封体150和基底载板110,其中切割道可以尽可能地靠近第一转接板170和第二转接板190,优选地,切割道可以沿着第一转接板170和第二转接板190的边缘切割,从而保证切割后的产品结构的尺寸进一步减小,切割后即完成了产品的制备。

[0083] 本实施例还提供了另一种半导体封装结构的制备方法,其用于制备如前述的半导体封装结构100,其中基底载板110塑封结构,即需要采取去除载具200的步骤,具体地,本实施例提供的方法包括以下步骤:

[0084] S1b:在载具200上贴装半导体器件130。

[0085] 请继续参见图3,具体而言,提供一载具200,并且在载具200上设置一层胶膜层,然后再贴装半导体器件130,其中半导体器件130上的第一导电焊盘131和第二导电焊盘133均朝上设置,使得半导体器件130的背面贴装在载具200的胶膜层上。该胶膜层优选为UV胶层,方便后续的剥离动作。

[0086] S2b:在载具200上塑封形成包覆在半导体器件130外的塑封体150。

[0087] 请继续参见图4,具体而言,完成半导体器件130的贴装后,利用塑封工艺在载具200上形成塑封体150,该塑封体150包覆在半导体器件130外。

[0088] S3b:去除载具200,以使半导体器件130外露于塑封体150的一侧表面。

[0089] 结合参见图8,具体地,通过照射UV光线,使得UV胶层脱落,从而完成载具200的剥离动作,并使得半导体器件130外露。

[0090] S4b:在塑封体150的一侧表面塑封形成覆盖在半导体器件130上的基底载板110。

[0091] 结合参见图9,具体而言,在去除载具200后,重新进行塑封动作,在塑封体150的一侧表面塑封形成基底载板110,其中基底载板110为塑封结构,其塑封材料与塑封体150的材

料一致。

[0092] 后续步骤与上述的步骤S3a-S5a一致,在此不再详细介绍。

[0093] 综上所述,本实施例提供了一种半导体封装结构100及其制备方法,通过在基底载板110上设置半导体器件130,并设置包覆在半导体器件130外的塑封体150,然后在半导体器件130上设置第一转接板170和第二转接板190,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,其中第一转接板170远离半导体器件130的一侧设置有第一焊球171,第二转接板190远离半导体器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接,通过设置转接板实现布线结构,后期产品维修更换时只需要对转接板进行处理即可,方便可靠。同时通过转接板上的焊球实现外接电路,而转接板可以提前制备,其焊球尺寸以及占用空间可以做的更小,无疑使得整个产品的尺寸得以降低,有利于产品的小型化。

[0094] 第二实施例

[0095] 参见图10,本实施例提供了一种半导体封装结构100,其基本结构和原理及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0096] 在本实施例中,半导体封装结构100,包括基底载板110、半导体器件130、塑封体150、第一转接板170和第二转接板190,半导体器件130设置在基底载板110上,塑封体150设置在基底载板110上,并包覆在半导体器件130外,第一转接板170和第二转接板190设置在半导体器件130上,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,第一转接板170远离半导体器件130的一侧设置有多个第一焊球171,第二转接板190远离半导体器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接。

[0097] 在本实施例中,第一转接板170和第二转接板190间隔设置,且在第一转接板170和第二转接板190之间设置有缓冲胶层180,且缓冲胶层180设置在塑封体150的表面。同时,第一转接板170远离第二转接板190的一端也设置有缓冲胶层180,第二转接板190远离第一转接板170的一端也设置有缓冲胶层180。具体地,第一转接板170的两侧以及第二转接板190的两侧均设置有缓冲胶层180,能够更好地起到缓冲效果。

[0098] 第三实施例

[0099] 参见图11,本实施例提供了一种半导体封装结构100,其基本结构和原理及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0100] 在本实施例中,半导体封装结构100包括基底载板110、半导体器件130、塑封体150、第一转接板170和第二转接板190,半导体器件130设置在基底载板110上,塑封体150设置在基底载板110上,并包覆在半导体器件130外,第一转接板170和第二转接板190设置在半导体器件130上,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,第一转接板170远离半导体器件130的一侧设置有多个第一焊球171,第二转接板190远离半导体

器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接。

[0101] 在本实施例中,第一凹槽151和第二凹槽153连通,第一转接板170和第二转接板190连接为一体。具体地,第一凹槽151和第二凹槽153连通为一体,即第一转接板170和第二转接板190之间并未设置缓冲胶层180,且第一转接板170和第二转接板190也连接为一体,能够方便地形成整个转接板贴装结构,使得转接板的贴装更加方便。同时可以避免传统扇出型半导体器件130制作工艺中的,等离子蚀刻/曝光显影中等工艺中各种化学药剂对半导体器件130焊盘产生的氧化,导致半导体器件130电阻不稳定问题/焊接层脱落等问题。

[0102] 第四实施例

[0103] 参见图12,本实施例提供了一种半导体封装结构100,其基本结构和原理及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0104] 本实施例提供的半导体封装结构100包括基底载板110、半导体器件130、塑封体150、第一转接板170和第二转接板190,半导体器件130设置在基底载板110上,塑封体150设置在基底载板110上,并包覆在半导体器件130外,第一转接板170和第二转接板190设置在半导体器件130上,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,第一转接板170远离半导体器件130的一侧设置有多多个第一焊球171,第二转接板190远离半导体器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接。

[0105] 在本实施例中,第一转接板170在基底载板110上的投影至少部分与半导体器件130在基底载板110上的投影相重叠;第二转接板190在基底载板110上的投影至少部分与半导体器件130在基底载板110上的投影相重叠。具体地,第一转接板170的投影超出半导体器件130的投影,第二转接板190的投影超出半导体器件130的投影,即第一转接板170由半导体器件130的一侧边缘朝外伸出,第二转接板190由半导体器件130的另一侧边缘朝外伸出。

[0106] 本实施例提供的半导体封装结构100,采用了拓宽尺寸的第一转接板170和第二转接板190,使得第一转接板170和第二转接板190能够落在半导体器件130尺寸外,能够大幅提升第一转接板170和第二转接板190上的布线数量和布线密集程度,其输出焊球端可以更为密集,有助于产品性能的提升。

[0107] 第五实施例

[0108] 参见图13,本实施例提供了一种半导体封装结构100,其基本结构和原理及产生的技术效果和第一实施例相同,为简要描述,本实施例部分未提及之处,可参考第一实施例中相应内容。

[0109] 本实施例提供的半导体封装结构100包括基底载板110、半导体器件130、塑封体150、第一转接板170和第二转接板190,半导体器件130设置在基底载板110上,塑封体150设置在基底载板110上,并包覆在半导体器件130外,第一转接板170和第二转接板190设置在半导体器件130上,其中,塑封体150上开设有贯通至半导体器件130的第一凹槽151和第二凹槽153,第一转接板170和第二转接板190分别贴装在第一凹槽151和第二凹槽153内,第一转接板170远离半导体器件130的一侧设置有多多个第一焊球171,第二转接板190远离半导体

器件130的一侧设置有第二焊球191,半导体器件130同时与第一转接板170和第二转接板190电连接。

[0110] 在本实施例中,第一转接板170上的第一焊球171的尺寸小于第二转接板190上的第二焊球191的尺寸,从而使得第一转接板170和第二转接板190能够适用于不同的输出口,并且不同大小的焊球可以在后续上板时,贴装在不同的焊盘区域,实现不同焊盘区域,功能化分区。

[0111] 参见图14,具体而言,在实际上板时,将半导体封装结构100贴装在电路板300上,其中第一焊球171和第二焊球191贴装在电路板300的不同区域,同时能够对不同高度的区域实现分别贴装,进一步实现不同焊盘区域,功能化分区。

[0112] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

100

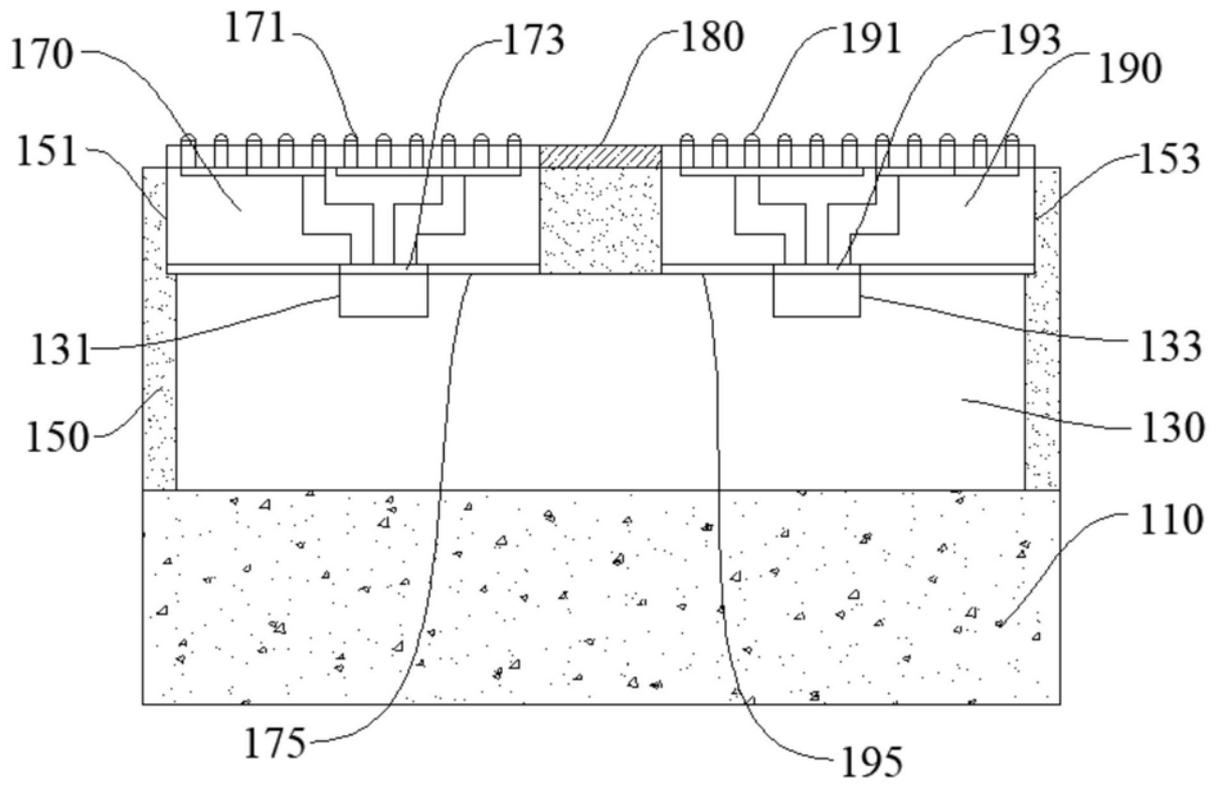


图1a

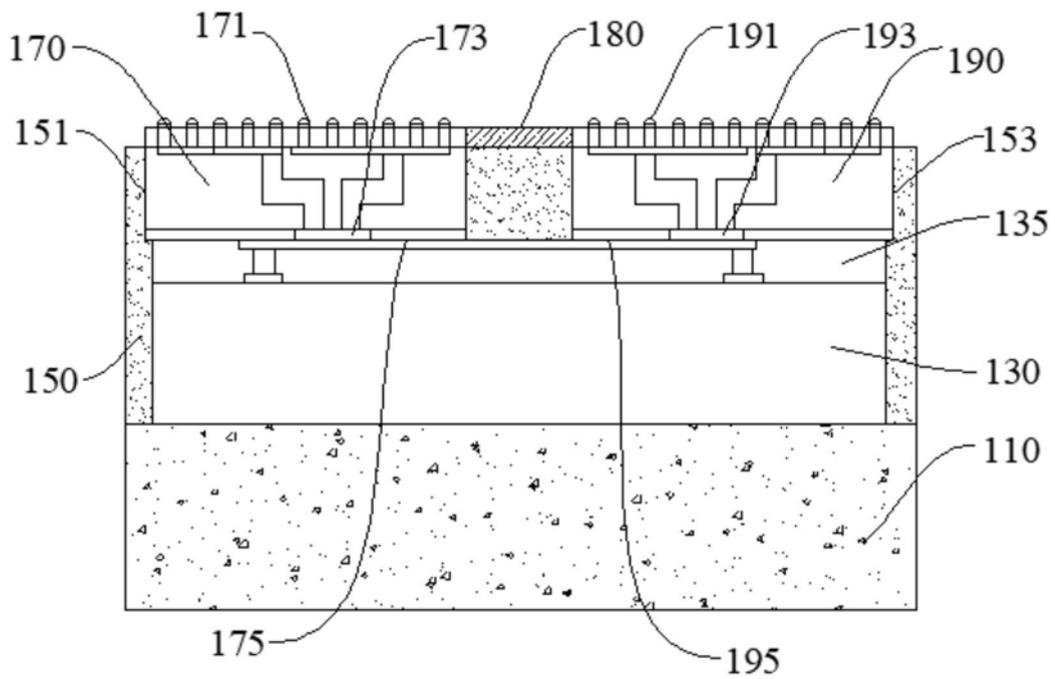


图1b

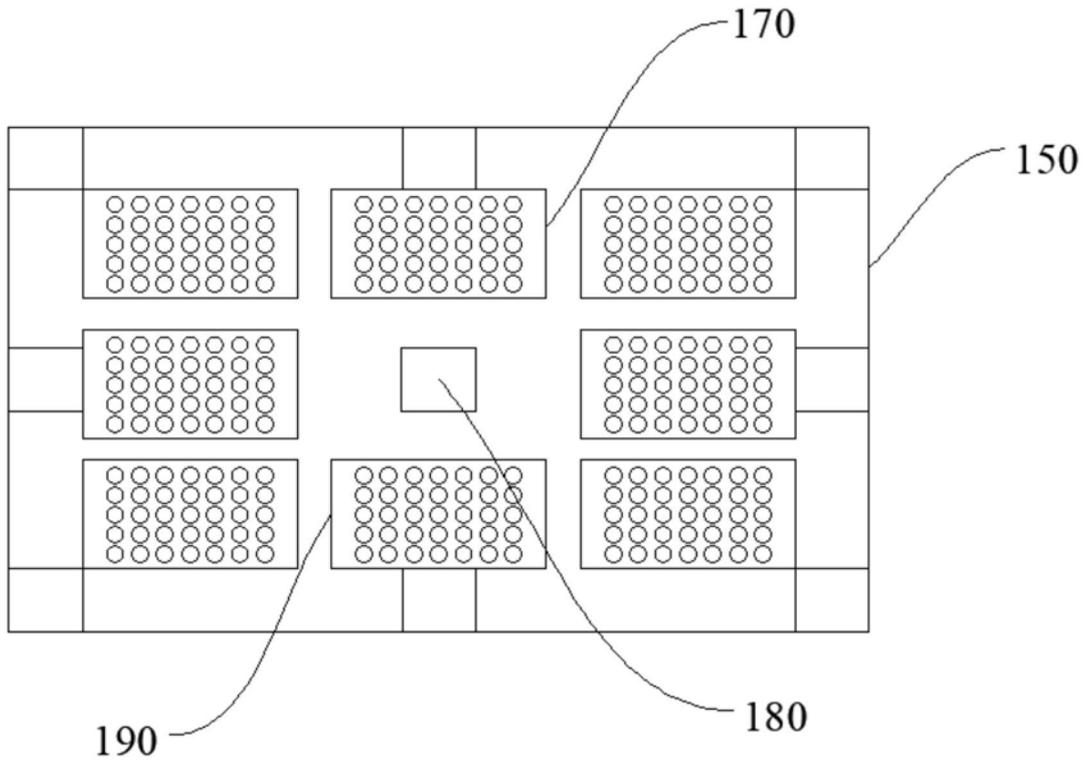


图2

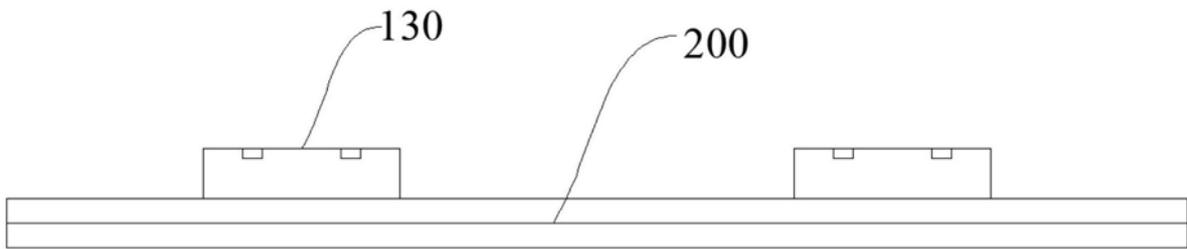


图3

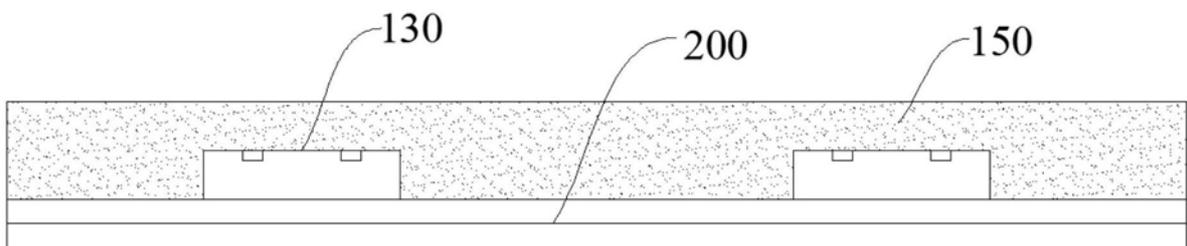


图4

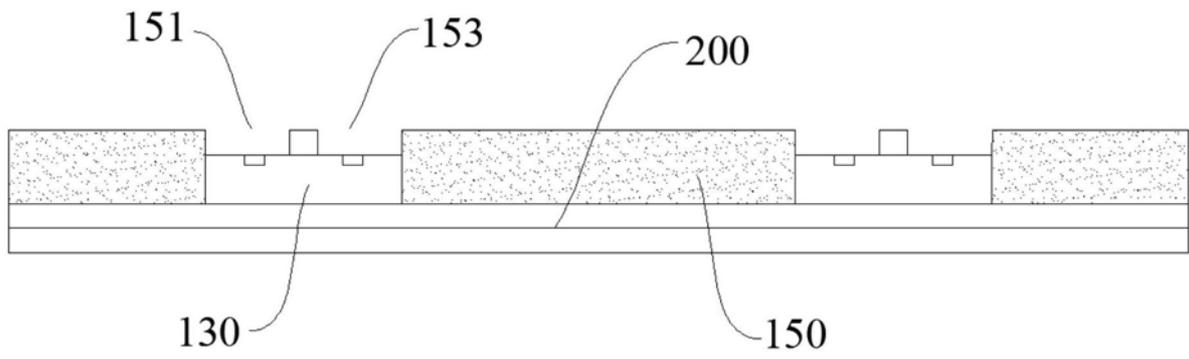


图5

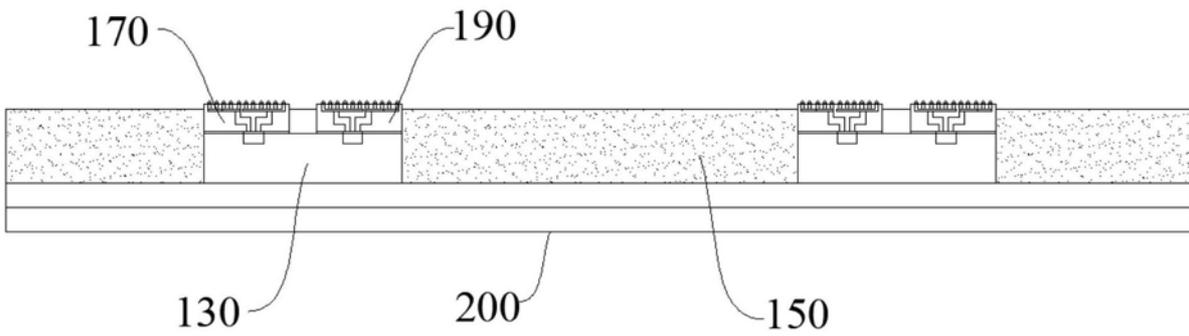


图6

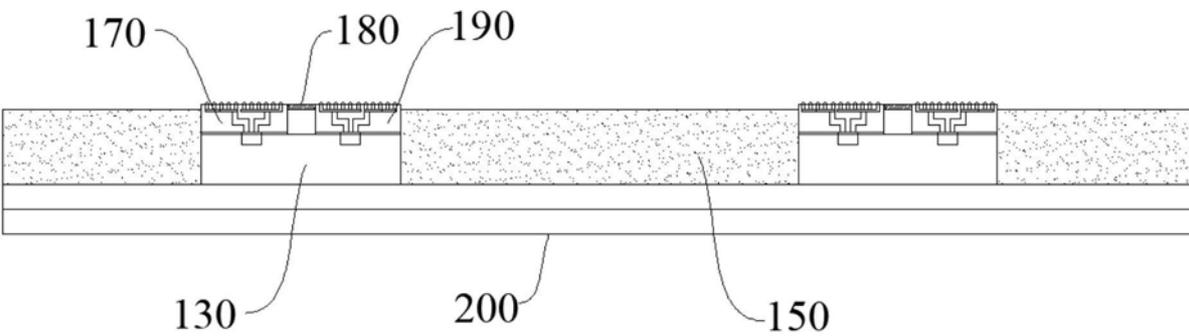


图7

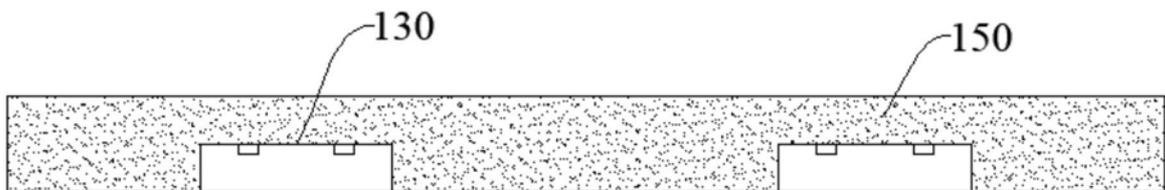


图8

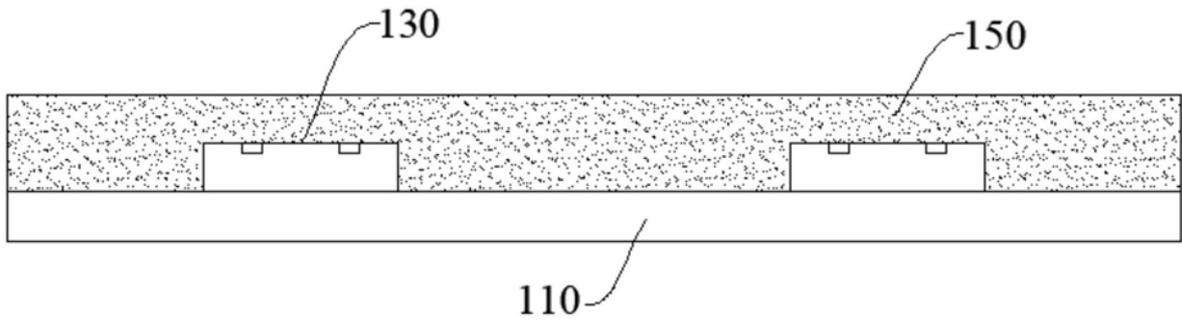


图9

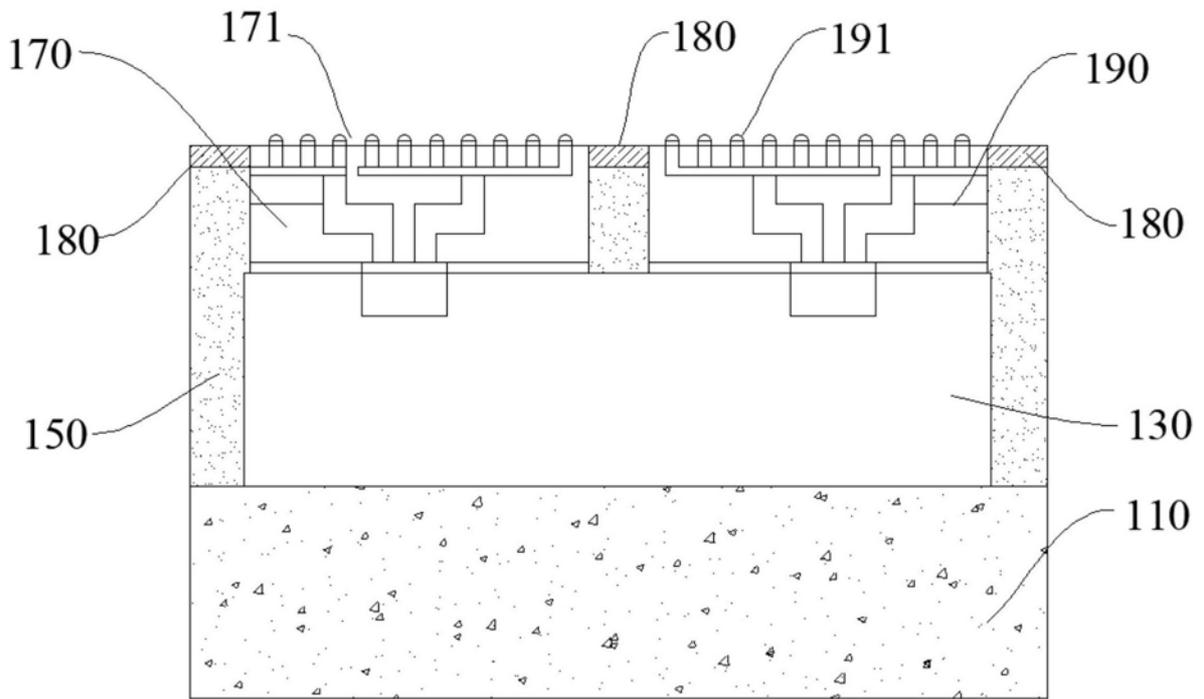


图10

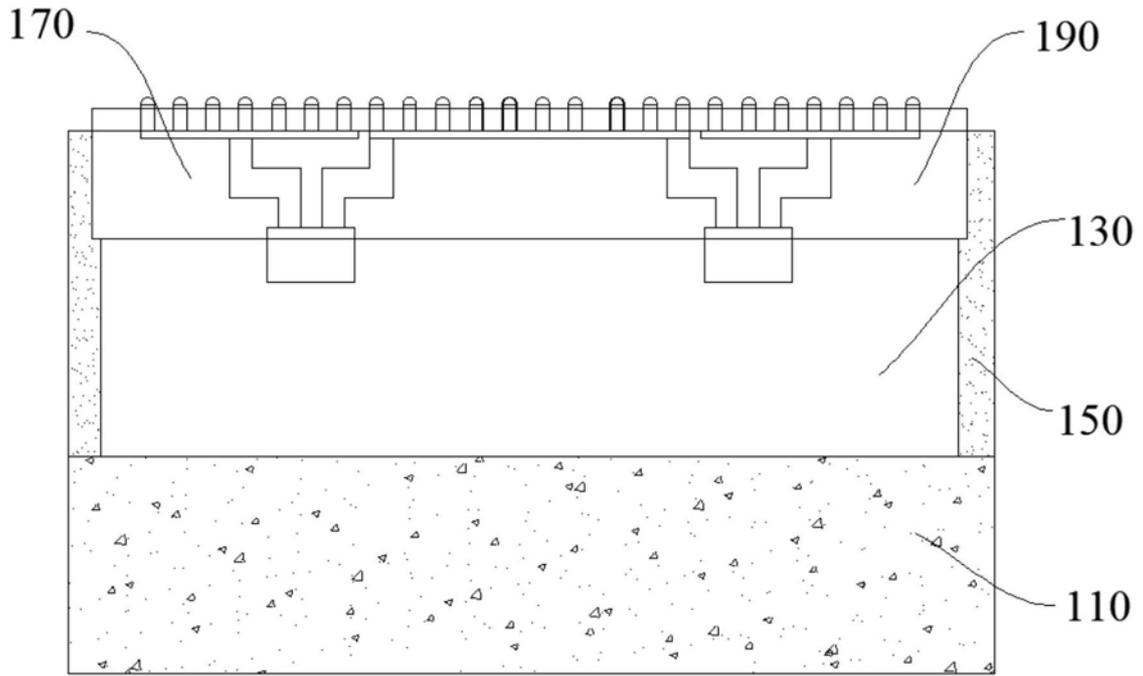


图11

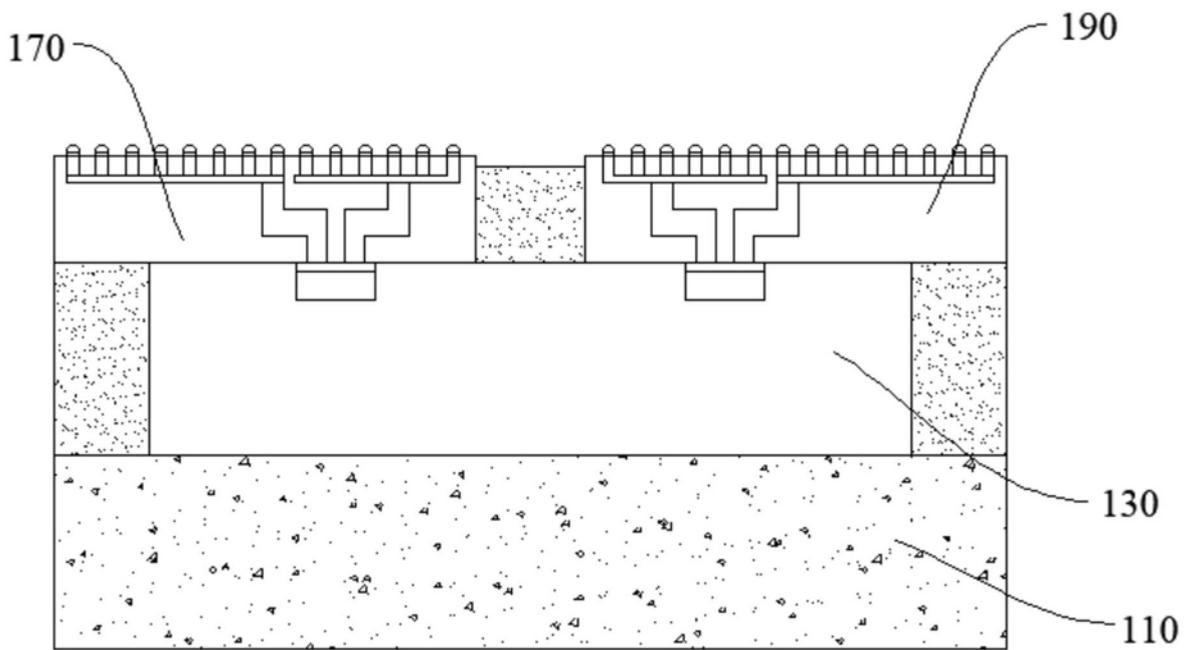


图12

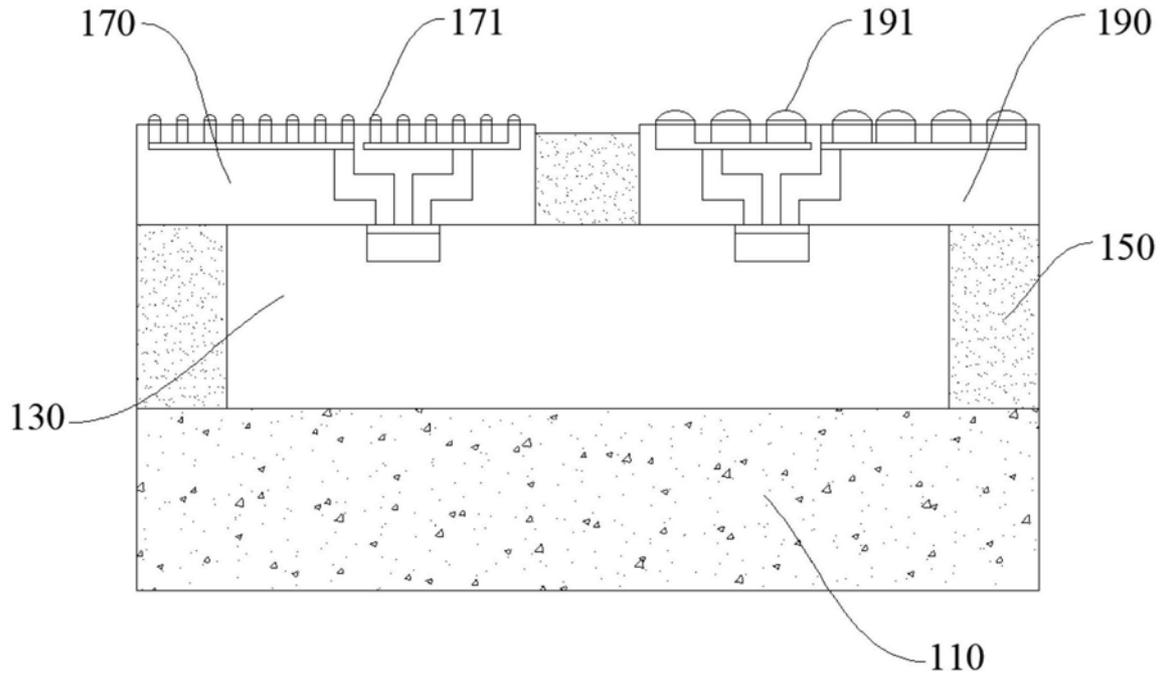


图13

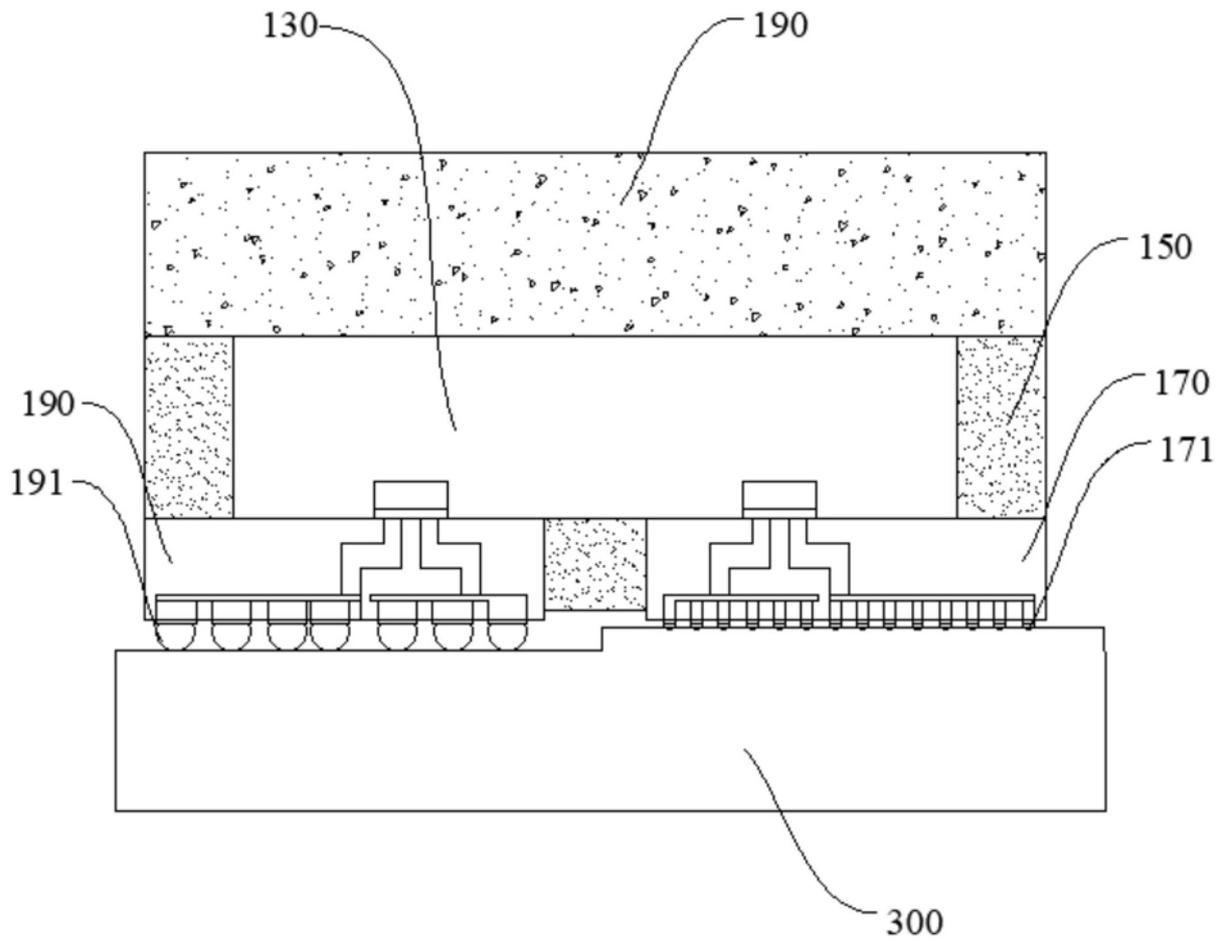


图14