

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4635173号
(P4635173)

(45) 発行日 平成23年2月16日 (2011.2.16)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int. Cl.	F I	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 0 1 T
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00	5 6 0 B
G 1 1 C 16/04 (2006.01)	G 0 6 F 12/00	5 9 7 U
	G 1 1 C 17/00	6 2 1 Z
	G 1 1 C 17/00	6 2 2 C
請求項の数 11 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2008-114863 (P2008-114863)	(73) 特許権者	504378124
(22) 出願日	平成20年4月25日 (2008.4.25)		スパンション エルエルシー
(65) 公開番号	特開2009-266305 (P2009-266305A)		アメリカ合衆国 カリフォルニア州 94
(43) 公開日	平成21年11月12日 (2009.11.12)		088-3453 サニーバイル デグウ
審査請求日	平成20年4月25日 (2008.4.25)		イン ドライブ 915
		(74) 代理人	100117385
			弁理士 田中 裕人
		(74) 代理人	100098431
			弁理士 山中 郁生
		(72) 発明者	新実 正博
			福島県会津若松市高久工業団地2番 Sp
			ansion Japan株式会社内
		(72) 発明者	永井 賢治
			福島県会津若松市高久工業団地2番 Sp
			ansion Japan株式会社内
			最終頁に続く

(54) 【発明の名称】 メモリシステムおよびその制御方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリと、

前記不揮発性メモリと外部端子との間に介在して、外部との1回の読出または/および書込み動作で転送される第1データ量の記憶容量を備えるバッファメモリと、

前記第1データ量より小さな第2データ量の記憶容量を備え、前記バッファメモリから前記不揮発性メモリへのプログラム動作の際、期待値を格納する検証メモリとを備え、

前記不揮発性メモリから前記バッファメモリへのデータのロード動作の際、前記不揮発性メモリにおける前記第2データ量またはその整数倍であって前記第1データ量より小さな所定記憶容量が消去状態の場合、前記検証メモリをリセットし、該検証メモリの内容を前記バッファメモリの前記ロード対象に該当する記憶容量場所に転送することを特徴とするメモリシステム。

10

【請求項2】

前記不揮発性メモリは、前記所定記憶容量ごとに消去状態であるか否かを記憶する情報記憶部を備え、

前記ロード動作に応じて、前記不揮発性メモリからのデータの読み出しに先立ち前記情報記憶部を読み出し、前記所定記憶容量が消去状態であるか否かを判定する消去状態判定部とを備えることを特徴とする請求項1に記載のメモリシステム。

【請求項3】

前記検証メモリは、前記バッファメモリへの転送ビット幅と同数またはその整数倍の検

20

証メモリセルをリセットすることを特徴とする請求項 1 または 2 に記載のメモリシステム。

【請求項 4】

前記検証メモリは、マルチプレクサを備え、

前記バッファメモリへの転送ビット幅より少数の検証メモリセルをリセットし、リセットされた前記検証メモリセルの内容は前記マルチプレクサを経て前記転送ビット幅に拡張されることを特徴とする請求項 1 または 2 に記載のメモリシステム。

【請求項 5】

前記検証メモリと前記バッファメモリ間にはそれらを接続する複数のインターナルバスと、前記所定記憶容量が消去状態でない場合に活性化される第 1 スイッチ素子と、前記所定記憶容量が消去状態の場合に活性化される第 2 スイッチ素子とを備え、

前記バッファメモリは、前記第 1 スイッチ素子を經由して前記不揮発性メモリからデータが転送され、前記第 2 スイッチ素子を經由して前記検証メモリからデータが転送されることを特徴とする請求項 1 または 2 に記載のメモリシステム。

【請求項 6】

前記不揮発性メモリは、前記所定記憶容量を構成するメモリセルと、前記情報記憶部を構成するメモリセルとが、同一のワード線に接続されることを特徴とする請求項 1 乃至 5 の少なくとも何れか 1 項に記載のメモリシステム。

【請求項 7】

前記第 1 データ量はページを構成するデータ量であり、前記第 2 データ量はセクタを構成するデータ量であることを特徴とする請求項 1 乃至 6 の少なくとも何れか 1 項に記載のメモリシステム。

【請求項 8】

不揮発性メモリと、前記不揮発性メモリと外部端子との間に介在するバッファメモリと、前記バッファメモリから前記不揮発性メモリへのプログラム動作の際、前記第 1 データ量より小さな第 2 データ量の期待値を格納する検証メモリとを備え、外部との 1 回の読み出しまたは / および書き込み動作として前記バッファメモリを介して第 1 データ量のアクセスを行うメモリシステムの制御方法であって、

読み出し動作の際、

前記不揮発性メモリから前記バッファメモリへのデータのロード動作に先立ち、前記不揮発性メモリにおける前記第 2 データ量またはその整数倍であって前記第 1 データ量より小さな所定記憶容量が消去状態であるか否かを記憶する情報記憶部を読み出すステップと、

前記所定記憶容量が消去状態であると判断された場合に、前記検証メモリをリセットするステップと、

リセットされた前記検証メモリの内容を前記バッファメモリに転送するステップとを有することを特徴とするメモリシステムの制御方法。

【請求項 9】

前記転送ステップは、前記所定記憶容量に対応して前記バッファメモリ内のワード線選択または / およびコラム線選択をそれぞれ同時に活性する、ことを特徴とする請求項 8 に記載のメモリシステムの制御方法。

【請求項 10】

前記転送ステップは、前記検証メモリと前記バッファメモリ間を接続する複数のインターナルバスの一部のみを使用する、ことを特徴とする請求項 8 または 9 に記載のメモリシステムの制御方法。

【請求項 11】

前記情報記憶部を読み出すステップの後、前記所定記憶容量が消去状態でないと判断された場合に前記第 1 データ量を読み出すステップと、

前記第 1 データ量を読み出すステップは、前記情報記憶部を読み出すステップで読み出された情報記憶部のメモリセルデータが流す電流を元に、前記第 1 データ量のメモリセル

10

20

30

40

50

データを判定する、ことを特徴とする請求項 8 に記載のメモリシステムの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリと外部 I/O との間にバッファメモリを備えるメモリシステムおよびその制御方法に関するものであり、特に、不揮発性メモリから読み出されたデータをバッファメモリに格納するにあたってのメモリシステムおよびその制御方法に関するものである。

10

【背景技術】

【0002】

バッファメモリは、不揮発性メモリから読み出された読み出しデータ、および外部 I/O から不揮発性メモリにプログラムするために取り込まれたプログラムデータを、一時的に格納するメモリである。ここで、読み出しデータを不揮発性メモリからバッファメモリへ格納する動作をロード動作という。読み出しデータをバッファメモリから外部 I/O へ出力する動作をリード動作という。書き込みデータを外部 I/O からバッファメモリへ格納する動作をライト動作という。書き込みデータをバッファメモリから不揮発性メモリへ格納する動作をプログラム動作という。

【0003】

20

ロード動作により不揮発性メモリから読み出されバッファメモリに格納された読み出しデータは、その後、バッファメモリから外部 I/O を介して出力される。

【0004】

一般的に、不揮発性メモリを制御するメモリコントローラは、メモリ領域の管理を不揮発性メモリの消去単位であるブロックを 1 単位として行う。メモリ領域の管理は、使用不可能になったブロックや特定ブロックへの過重アクセス防止のためであり、ブロック付加ビット情報(ブロック管理ビット)を備える。ブロック付加ビット情報は、そのブロックがバッドブロックであるか否か、使用されているか否か(即ち、既に顧客データがプログラムされたブロックであるか否か)である。ここで例えば、1 ブロックは 64 ページで構成されている。一方、メモリコントローラが管理する読み出しアクセスの単位はページ単位である。このことから、バッファメモリは読み出しのデータ単位に合わせて 1 ページで構成されていることが一般的である。

30

【0005】

ここで、以上の構成を有する不揮発性メモリからデータを読み出す場合を考える。1 ページ(2048 バイト)のデータを読み出し、バッファメモリに転送するためには多大な時間を必要とする。例えば、1/4 ページで 1 セクタ(512 バイト)を構成するとして、セクタごとに物理的なワード線が備えられ、該ワード線に接続される顧客データを記憶するための複数の不揮発性メモリセルが接続され、メモリセル情報の読み出しのためのセンスアンプ数が 256 セットで構成されている場合には、1 ページ分のデータの読み出しには、4 回の異なるセクタに対応するワード線アクセスと一回のワード線アクセスに対応する 64 回のコラムアクセスが必要となる。不揮発性メモリからバッファメモリへのロード動作に要する時間は、略 16 μ s である。

40

【0006】

このロード時間を短縮するために、1 ページ内の全てのデータが消去状態にある場合、バッファメモリ内にバッファメモリ内の全てのデータを "1" にリセットする RAM リセット機能が提供されている(特許文献 1 など)。ページ内のデータが消去状態にあることは、ページデータ領域に付随し対応するスペアデータ領域に格納されているページ付加ビット情報(ブランクビット)に記憶されている。従って、ページ分のデータの読み出しに先立ってページ付加ビット情報を読み出すことにより、バッファメモリを RAM リセット機能により "1" へリセットするか否かの判断をすることができる。

50

【 0 0 0 7 】

近年、1ページより小さな単位で読み出しアクセスを行う技術が提案されている。例えば、1/4ページであるセクタ単位で不揮発性メモリからバッファメモリに読み出しデータをロードすることが考えられる。

【 0 0 0 8 】

この場合、不揮発性メモリからセクタ単位で読み出されたデータをバッファメモリの指定されたアドレスから順次格納していく機能、あるいは不揮発性メモリの指定されたセクタから読み出されたデータを読み出しバッファメモリの指定されたアドレスに格納する機能などを有する場合もある。不揮発性メモリからバッファメモリへ読み出しデータをロードするにあたり、セクタ等の1ページより小さな単位で読み出しを実行し、該読み出されたデータをバッファメモリへ格納する場所や格納順序等も変更可能な機能など、様々な機能を実現することが考えられる。

10

【 0 0 0 9 】

下記に示す特許文献1乃至4が、関連技術として開示されている。

【特許文献1】特開2002-288987号公報

【特許文献2】特開2004-240660号公報

【特許文献3】特開2006-127611号公報

【特許文献4】特許第3321587号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 1 0 】

上記背景技術では、バッファメモリ内のRAMリセット機能を使用すれば、読み出しの単位である1ページ分の記憶容量を有するバッファメモリの全てのデータを一括してリセットすることはできる。

【 0 0 1 1 】

しかしながら、不揮発性メモリからのデータの読み出し単位を1ページより小さな単位とする場合、RAMリセット機能をそのまま使用してバッファメモリの全てのデータを一括してリセットすることはできない。不揮発性メモリにおいて、セクタ等の1ページより小さな単位ごとに消去状態が異なる場合があるからである。この場合、小さな単位を制御単位とし該制御単位ごとに消去状態にあるか否かを判断しなければならない。そして、制御単位ごとにバッファメモリの前記小さな単位に対応する小さなデータ領域をリセットしなければならない。更に、前述の格納場所や格納順序等も変更可能な機能に対応させなければならない。バッファメモリを部分的にリセットするための制御とそのバッファメモリ内の構造が複雑になってしまうおそれがあり問題である。

30

【 0 0 1 2 】

本発明は、上記の課題に鑑み提案されたものであって、メモリシステムにおける通常の読み出し単位より小さな単位で不揮発性メモリからのデータのロード動作を行う制御を有するメモリシステムにおいても、バッファメモリへのロード動作を簡易且つ迅速に実行することができるメモリシステムおよびその制御方法を提供することを目的とする。

【課題を解決するための手段】

40

【 0 0 1 3 】

本発明に係るメモリシステムは、不揮発性メモリと、不揮発性メモリと外部端子との間に介在して、外部との1回の読出または/および書込み動作で転送される第1データ量の記憶容量を備えるバッファメモリと、第1データ量より小さな第2データ量の記憶容量を備え、バッファメモリから不揮発性メモリへのプログラム動作の際、期待値を格納する検証メモリとを備え、不揮発性メモリからバッファメモリへのデータのロード動作の際、不揮発性メモリにおける第2データ量またはその整数倍であって第1データ量より小さな所定記憶容量が消去状態の場合、検証メモリをリセットし、該検証メモリの内容をバッファメモリのロード対象に該当する記憶容量場所に転送することを特徴とする。

【 0 0 1 4 】

50

上記メモリシステムでは、不揮発性メモリにおける所定記憶容量が消去状態である場合を検出して検証メモリをリセットする。バッファメモリへは、不揮発性メモリからではなく検証メモリからデータが転送される。

【0015】

これにより、レギュラー不揮発性メモリの消去データをバッファメモリの記憶容量より小さな記憶容量である所定記憶容量ごとに高速に転送することができる。また、検証メモリからバッファメモリへの消去状態のデータの転送は、第2データ量の単位で行うことができる。バッファメモリの記憶容量である第1データ量に比して小さなデータ量で消去状態のデータの転送を行うことができ、不揮発性メモリからバッファメモリへのロード動作におけるデータ単位を小さくする場合にも、消去状態のデータ転送を柔軟且つ高速に行うことができる。

10

【0016】

また、バッファメモリを部分的にリセットするための複雑な制御とそのバッファメモリ内のリセット素子等の複雑な構造が不要になるので、簡素で小さな面積のバッファメモリが実現できる。

【0017】

また、消去状態の不揮発性メモリセルデータは、電流源によるビット線の充電、微小電流の増幅、電流電圧変換、および電圧比較といった電流センシングの複雑な段階を経なければならぬ不揮発性メモリからのデータの読み出しアクセスに拠らず、リセットされた検証メモリの内容の転送により行うことができる。この場合、検証メモリおよびバッファメモリはSRAM等の揮発性メモリであることが一般的であるので、リセット動作およびデータ転送動作は高速に行うことができる。

20

【0018】

不揮発性メモリへのプログラム動作時に期待値を格納するために備えられている検証メモリを有効に活用して、高速且つ簡易にバッファメモリへのロード動作を実現することができる。

【0019】

また、本発明に係るメモリシステムの制御方法は、不揮発性メモリと、不揮発性メモリと外部端子との間に介在するバッファメモリと、バッファメモリから不揮発性メモリへのプログラム動作の際、第1データ量より小さな第2データ量の期待値を格納する検証メモリとを備え、外部との1回の読みまたは/および書き込み動作としてバッファメモリを介して第1データ量のアクセスを行うメモリシステムの制御方法であって、読み出し動作の際、不揮発性メモリからバッファメモリへのデータのロード動作に先立ち、不揮発性メモリにおける第2データ量またはその整数倍であって第1データ量より小さな所定記憶容量が消去状態であるか否かを記憶する情報記憶部を読み出すステップと、所定記憶容量が消去状態であると判断された場合に、検証メモリをリセットするステップと、リセットされた検証メモリの内容をバッファメモリに転送するステップとを有することを特徴とする。

30

【0020】

上記メモリシステムの制御方法では、読み出し動作の際、不揮発性メモリからバッファメモリへのデータのロード動作に先立って、情報記憶部から不揮発性メモリの所定記憶容量が消去状態であるか否かの情報を読み出し、消去状態であると判断された場合に、検証メモリをリセットし、リセットされた検証メモリの内容をバッファメモリに転送する。

40

【0021】

これにより、不揮発性メモリは所定記憶容量ごとに情報記憶部を備えているので、該所定記憶容量が消去状態にあるか否かを判別することができる。この判別をデータのロードに先立って行うので、微小電流の増幅、電流電圧変換、および電圧比較といった段階を経なければならぬ不揮発性メモリからのデータの読み出しアクセスを行う前に、所定記憶容量が消去状態であるか否かが判別できる。所定記憶容量ごとに消去状態であるか否かを判別することができる。

【0022】

50

また、バッファメモリの記憶容量より小さな記憶容量である所定記憶容量ごとに不揮発性メモリの消去状態を検出することができる。また、検証メモリからバッファメモリへの消去状態のデータの転送は、第2データ量の単位で行うことができる。バッファメモリの記憶容量である第1データ量に比して小さなデータ量で消去状態のデータの転送を行うことができ、不揮発性メモリからバッファメモリへのロード動作におけるデータ単位を小さくする場合にも、消去状態のデータ転送を柔軟且つ高速に行うことができる。

【0023】

また、検証メモリからバッファメモリへの消去状態のデータ転送において、第2データ量の転送時、バッファメモリ内のワード線選択またはノおよびコラム線選択をそれぞれ同時に活性する(多重選択する)ことにより、リセットされた少ない検証メモリビットから、バッファメモリ内の多くのビットセルへ同時にリセットデータを転送することができる。このため、データ転送動作は高速に行うことができる。

10

【0024】

また、消去状態のデータは、リセットされた検証メモリの内容の転送により行うことができる。検証メモリおよびバッファメモリはSRAM等の揮発性メモリであることが一般的である。このため、リセット動作およびデータ転送動作は高速に行うことができる。

【0025】

不揮発性メモリへのプログラム動作時に期待値を格納するために備えられている検証メモリを有効に活用して、高速且つ簡易にバッファメモリへのロード動作を実現することができる。

20

【発明の効果】

【0026】

本発明のメモリシステムおよびその制御方法によれば、メモリシステムにおける通常の読み出し単位より小さな所定記憶容量の単位で不揮発性メモリからデータをロードする制御を有するメモリシステムにおいても、不揮発性メモリのプログラム動作時の期待値が格納される検証メモリを利用して、所定記憶容量ごとに、消去状態のデータを検証メモリからバッファメモリへ転送することにより、不揮発性メモリからバッファメモリへのロード動作を簡易且つ迅速に実行することができる。

【発明を実施するための最良の形態】

30

【0027】

図1に実施形態のメモリシステムの回路ブロック図を示す。不揮発性メモリセルアレイ部1と外部端子2およびI/Oインターフェース部3との間に接続されるバッファメモリ部4を備えるメモリシステムである。

【0028】

不揮発性メモリセルアレイ部1は、コアバスCBを介して書込みアンプ7および読出しアンプ8に接続されている。コアバスCBは、顧客データを記憶するためのレギュラーセル(ページデータ領域)に関連する32バイトと、レギュラーセルに付随するレギュラーセルを管理するためのスペアセル(スペアデータ領域)に関連する2ビットで構成される。不揮発性メモリセルアレイ部1は、不揮発性メモリセルアレイNVA R Y、ブランク判定ビット用のメモリセル(以後、ブランクデータ用のメモリセル)をコアバスCBに接続する第2バスコネクタ1A、および通常データ用のメモリセルをコアバスCBに接続する第3バスコネクタ1Bを備えている。不揮発性メモリセルアレイNVA R Yは、ワード線ごとに2ビットのブランクデータ用メモリセルと512バイトの通常データ用メモリセルとが接続され1セクタを構成している。各々、2ビットのビット幅および512バイトのビット幅で、第2および第3バスコネクタ1A、1Bに接続されている。第2および第3バスコネクタ1A、1Bは、第3デコーダD3により活性化される。第3デコーダD3は、S1信号、S2信号のそれぞれにより活性化される。図1の不揮発性メモリセルアレイNVA R Yは4セクタ、すなわち1ページ(2048バイト)の記憶容量を例示している。

40

50

【 0 0 2 9 】

ここで、ブランクデータ用のメモリセルとは、1本のワード線で選択される1セクタがプログラムされているか否かを記憶するメモリセルである。通常データ用のメモリセルの消去に応じて消去され、プログラムに応じてプログラムされる。

【 0 0 3 0 】

不揮発性メモリセルアレイ部1、コアバスCB、書込みアンプ7、および読出しアンプ8を備えて不揮発性メモリを構成する。

【 0 0 3 1 】

バッファメモリ部4は、キャッシュメモリとしての役割を有する。高速アクセスの要請から2つのSRAM41でインターリーブ動作を行う。また、第1バスコネクタ41Aを介してインターナルバスIBに接続され、不揮発性メモリセルアレイ部1または検証メモリ部5との間でデータの入出力を行う。また、I/Oターミナルコネクタ41Bを介してI/Oインターフェース部3に接続され、更に外部端子2に接続される。いわゆるデュアルポート構成を有している。第1バスコネクタ41Aは、スクランブルテーブルSTの内容に応じて第1デコーダD1により活性化される。第1デコーダD1は、S2信号、S5信号のそれぞれにより活性化される。I/Oターミナルコネクタ41Bは、第2デコーダD2により活性化される。第2デコーダD2は、S6信号により活性化される。

【 0 0 3 2 】

また、第1デコーダD1と第2デコーダD2は、デュアルポート構成による2つのバッファメモリ41がそれぞれ第1バスコネクタ41A、I/Oターミナルコネクタ41Bを介してインターナルバスIB、I/Oインターフェース部3との間でインターリーブ通信するために、個別に制御される。具体的には、一方のバッファメモリ41が第1バスコネクタ41Aを介してインターナルバスIBと通信する場合、第1デコーダD1は、不図示のセレクターを介して一方のバッファメモリ41内の第1バスコネクタ41Aへのみデコーディング信号を出力する。他方のバッファメモリ41がI/Oターミナルコネクタ41Bを介してI/Oインターフェース部3と通信する場合、第2デコーダD2は、不図示のセレクターを介して他方のバッファメモリ41内のI/Oターミナルコネクタ41Bへのみデコーディング信号を出力する。詳細は後述する。

【 0 0 3 3 】

ここで、SRAMアレイSARYは、512バイトの記憶容量が4つ備えられている。すなわち、不揮発性メモリセルアレイNVAARYの1セクタの記憶容量を1つの単位として、4セクタ分(1ページ分)の記憶容量が備えられている。スクランブルテーブルSTは、不揮発性メモリからロードされた、不揮発性メモリセルアレイVNAARYにおける1ページの記憶容量内の何れかのセクタのデータを、2つのバッファメモリ41のうち何れのメモリであって、更にSRAMアレイSARYのうち何れの記憶容量に格納するかの対応関係を示すテーブルである。

【 0 0 3 4 】

インターナルバスIBには、更に、検証メモリ部5およびブランク判定部6が接続されている。検証メモリ部5は第4バスコネクタ51を介して、またブランク判定部6は第5バスコネクタ61を介してインターナルバスIBに接続される。第4バスコネクタ51はオアゲートG1により活性化され、プログラム時にバッファメモリ41のプログラムデータ(1ページ分)をインターナルバスIBを経由して検証メモリセルアレイ52に取り込み、プログラム動作の検証時または消去動作の検証時に検証メモリセルアレイ52の検証データ(期待値)をインターナルバスIBを経由して不図示のプログラム/消去データ検証部へ出力する。更に、ロード時、第4バスコネクタ51は、ブランク判定部6の対応セクタの消去状態判定によりリセットされたデータ("1")をインターナルバスIBを経由してバッファメモリ41へ出力する。オアゲートG1には、プログラム/消去モード信号PGM/ER、およびS5信号が入力される。また、第5バスコネクタ61は、S1信号により活性化され、インターナルバスIBのデータをブランク判定回路62に取り込む。検証メモリセルアレイ52は、512バイト(1セクタ)の記憶容量を有するレジスタ

10

20

30

40

50

またはSRAMメモリで構成されている。ブランク判定回路62は、不揮発性メモリセルアレイN V A R Yから読み出されたブランクデータを検証し、対応セクタが消去状態にあるか否かを判定して判定信号Jを出力する。

【0035】

制御部9は、I/Oインターフェース部3に接続されるコマンドデコーダ9Aと、バックエンドコントローラ9Bと、フロントエンドコントローラ9Cとを備えている。コマンドデコーダ9Aは、外部端子2からI/Oインターフェース部3を介して入力される各種コマンドをデコードする。コマンドデコーダ9Aでデコードされたコマンドに応じて、バックエンドコントローラ9Bまたは/およびフロントエンドコントローラ9Cが制御される。バックエンドコントローラ9Bは、S1、S2、S4、S5信号を出力する。フロント
10
エンドコントローラ9Cは、S6信号を出力する。ロードコマンドに対応して、バック
エンドコントローラ9Bは、S1信号を出力する。アクセスセクタが消去状態にある場合、
バックエンドコントローラ9Bは、S4、S5信号を出力する。アクセスセクタが消去
状態にない場合、バックエンドコントローラ9Bは、S2信号を出力する。

【0036】

ここで、バッファメモリ部4から外部端子2に至る部分がフロントエンドであり、インターナルバスIBから不揮発性メモリセルアレイ部1までがバックエンドである。顧客は不揮発性メモリセルアレイN V A R Yに直接アクセスすることはできず、フロント
20
エンドを介してバックエンドである不揮発性メモリセルアレイN V A R Yの情報をアクセスする。
フロントエンドコントローラ9Cは、主にバッファメモリ部4を制御し、バックエンド
コントローラ9Bは、主に不揮発性メモリセルアレイN V A R Yとフロントエンドとのイ
ンターフェースを制御する。

【0037】

次に、各部の詳細回路図について説明する。

【0038】

図2は、複数のメモリセル（レギュラーセルとスペアセル）が含まれる不揮発性メモリセルアレイN V A R Yの要部を示す回路図である。1ページ分の記憶容量について示す。メモリセルは、ワード線W L 1 ~ W L 4がゲートに接続されたデュアルビットセルである。各メモリセルは、ゲート直下に図示される印で表示するように、ソースドレイン端子のそれぞれの端子近傍に局在してデータを記憶することができる。丸印のうち、右上がり
30
の斜線がデータ“1”（消去データ）を示し、左上がりの斜線がデータ“0”（プログラムデータ）を示す。1メモリセルに2値のデータが記憶される。メモリセルのソースドレイン端子の一方を読み出し用のバイアス電圧に接続し他方を接地電圧に接続するバーチャルグラウンド方式によってメモリセルがアクセスされる。これにより、接地電圧に接続した端子近傍に記憶されているビットデータを読み出すことができる。ここで、一方の端子は、第2または第3バスコネクタ1A, 1Bを介してコアバスC Bに接続される。バイアス電圧は、不図示のバイアス回路よりコアバスC Bから供給される。

【0039】

1本のワード線は、2048セットの通常データ用メモリセルと2セットのブランクデータ用メモリセルに接続される。通常データ用メモリセルは2値メモリセルなので、データ
40
としては512バイト（4096ビット）となる。ブランクデータ用メモリセルは、消去動作時に通常データ用メモリセルとともに消去される。また、通常データ用メモリセルのプログラムによって、ブランクデータ用メモリセルの各々について、2値データのどちらか一方側がプログラムされる。2個のブランクデータ用メモリセルは、各々から読み出される電流に基づいて、通常データ用メモリセルを読み出す際の基準判定電流を生成するダイナミックリファレンス機能を兼用する。

【0040】

以下の説明では、ワード線W L 1（セクタ1）が活性化される場合を例示する。S1信号により、通常データ用メモリセルに関しては、紙面左側に配置されるメモリセルC11
50
については、ソースドレイン端子のうち右側がコアバスC B（x32Byte）に接続さ

れ、紙面右側に配置されるメモリセルC12については、ソースドレイン端子のうち右側がコアバスCB($\times 32$ Byte)に接続される。各々、各メモリセルのソースドレイン端子の左側に記憶されているデータ(C11="1"、C12="0")が読み出される。また、ブランクデータ用メモリセルについては、メモリセルのソースドレイン端子のうち右側がコアバスCB(2 Bit)に接続され、左側に記憶されているデータが読み出される。セクタ1のブランク用メモリセルB11、B12から読み出されるブランクデータは、各々、"0"、"1"である。尚、選択されたメモリセルのコアバスCBに接続されないソースドレイン端子は、不図示のグラウンドへ接続される。

【0041】

図3は、ブランク判定部6の回路図である。S1信号により、インターナルバスIB(2 Bit)に読み出されている2ビットのブランクデータが、第5バスコネクタ61を介してブランク判定回路62内のアンドゲートG2に入力される。両信号が共に"1"であれば判定信号J("1")がアンドゲートG2から出力される。また、S1信号は、ブランク判定回路62内のインバータゲートG3に入力される。インバータゲートG3の出力は、PMOSトランジスタP1およびNMOSトランジスタN1のゲート端子に入力される。ここで、PMOSトランジスタP1は電源電圧とアンドゲートG2の電源端子との間に、NMOSトランジスタN1は出力端子と接地電圧との間に、各々接続されている。従って、S1信号が"0"であり判定動作の非活性の場合には、アンドゲートG2も非活性となり、出力端子は"0"に固定される。S1信号が"1"となることにより判定動作を活性化して、アンドゲートG2に入力される2ビットのブランクデータの情報による判定が行われる。

【0042】

図4は、検証メモリ部5の具体例(1)を示す回路図である。インターナルバスIBのバス幅(例えば、32バイト)に対応した32バイトのレジスタを16セット備えて検証メモリセルアレイ52Aが構成される。総データ量は512バイト(1セクタ)である。この内、1つのレジスタについてリセット機能が備えられている。不揮発性メモリセルアレイ部1に対してプログラム動作が行われる場合、16セットのレジスタに対してバッファメモリ部4からプログラムデータがそれぞれ入力され期待値情報として記憶される。

【0043】

不揮発性メモリセルアレイ部1からバッファメモリ部4へデータがロードされる場合、検証メモリセルアレイ52Aに備えられるレジスタのうち1つのレジスタが、判定信号Jに対応して生成されたS4信号によりリセットされる。その後、S5信号が入力され第4バスコネクタ51が活性化され、リセットされたデータ"1"が、32バイト単位でインターナルバスIBを介して、バッファメモリ部4内の何れかのSRAM41へ出力される。このとき、第4バスコネクタ51に入力されるアドレスは、図示されない制御により全選択へ制御される。この動作が、検証メモリセルアレイ52Aのレジスタを固定した上で、SRAM41のアドレスを切り替えながら行われる。リセット機能は1セットの32バイトのレジスタに対してのみ備えればよく回路構成を簡略化することができる。尚、16セットの32バイトのレジスタにすべてリセット機能を付加すれば、前記全選択制御素子を省略できる。

【0044】

図5は、検証メモリ部5の具体例(2)を示す回路図である。検証メモリセルアレイ52Bは、16セットのレジスタのうち1ビットのみにリセット機能が備えられている。S4信号により、リセットされたデータ"1"がマルチプレクサ53を介して32バイトのバス幅に並列接続される。リセット機能は1ビットに対してのみ備えればよく回路構成を簡略化することができる。

【0045】

また、検証メモリ部5の具体例(1)と具体例(2)は、生成されたりセットデータ("1")を特定のインターナルバスIBへ出力する構成とすることも有効である。後述するように、例えばインターナルバスIB(+2ビット)へ出力し、第1バスコネクタ41

10

20

30

40

50

Aの第2スイッチ系統Sw.2を經由してリセットデータをバッファメモリ部4のSRAMアレイへ転送できる。これにより、インターナルバスIB(x32バイト)を介してリセットデータを転送するよりも、少ない消費電力が実現できる。

【0046】

図8は、バッファメモリ部4の要部(SRAM41)とその周辺制御回路を示す回路図である。

【0047】

SRAM41は、WL(16本)とBL(256対)でX/Y方向に展開された512ByteのSRAMアレイSARYを4つ備える。4つのSRAMアレイSARYは、WLとBLを共有する。

【0048】

SRAMアレイSARY(4096ビット)は、ワード線WLとビット線BLに接続されたSRAMセル(CMOS形式)を備える。ワード線は、S2信号、S5信号、スクランブルテーブルST、フロントエンドアドレスとバックエンドアドレスにより制御される第1デコーダD1(X-Decoder101)に接続され、任意のWLに接続される複数のSRAMセルを選択する。フロントエンドアドレスは、バッファメモリ部4をアクセスするアドレスである。バックエンドアドレスは、不揮発性メモリセルアレイNVAR Yをアクセスするアドレスと同等である。ビット線は、2つのポート(第1バスコネクタ41A、I/Oターミナルコネクタ41B)に接続される。更に、ビット線には、リセット信号が入力されたりセット部を備える。I/Oターミナルコネクタ41Bは、フロントエンドアドレスとS6信号により制御される第2デコーダD2(Y-Decoder102)に接続され、任意のBLを選択的にI/Oインターフェース部3へ接続する。第1バスコネクタ41Aは、S2信号、S5信号、スクランブルテーブルSTとバックエンドアドレスとにより制御される第1デコーダD1(Y-Decoder101)に接続され、任意のBLを選択的にインターナルバスIBへ接続する。ここで、第1バスコネクタ41A内のスイッチは2系統あり、第1スイッチ系統Sw.1は、S2信号、スクランブルテーブルSTとバックエンドアドレスとにより制御され、それぞれのビット線をインターナルバスIB(x32バイト)へ接続する。第2スイッチ系統Sw.2は、S5信号、スクランブルテーブルSTとバックエンドアドレスとにより制御され、それぞれのビット線をインターナルバスIB(+2ビット)へ接続する。リセット部は、電源起動時にすべてのSRAMセルをリセット("1")にする。

【0049】

尚、デュアルポート構成による2つのバッファメモリ41がそれぞれ第1バスコネクタ41A、I/Oターミナルコネクタ41Bを介してインターナルバスIB、I/Oインターフェース部3との間でインターリーブ通信するために、X-Decoder101は、2つ備えられる。

【0050】

図8の動作について説明する。

2つのSRAM41は、排他的に動作する。例えば、一方のSRAM41がインターナルバスIBを介してバックエンドである不揮発性メモリセルアレイNVAR Yまたは検証メモリ部5と通信中に、他方のSRAM41がフロントエンドであるI/Oインターフェース部3(外部端子2)と通信する。具体的には、一方のSRAM41がインターナルバスIBと通信する場合、X-Decoder101とY-Decoder101は、S2信号またはS5信号に対応してバックエンドアドレスをスクランブルテーブルSTのスクランブル情報をスクランブルしたデコーディング信号によって複数のSRAMセルを選択する。他方のSRAM41がI/Oインターフェース部3と通信する場合、X-Decoder101とY-Decoder102は、S6信号に対応してフロントエンドアドレスのデコーディング信号によって複数のSRAMセルを選択する。ここで、Y-Decoder101と第1バスコネクタ41A間には、不図示のセレクターが配置され、一方のバッファメモリ41が第1バスコネクタ41Aを介してインターナルバスIBと通信する

10

20

30

40

50

場合、Y - D e c o d e r 1 0 1 の出力が一方のバッファメモリ 4 1 内の第 1 バスコネクタ 4 1 A へのみ入力される。また、Y - D e c o d e r 1 0 2 と I / O ターミナルコネクタ 4 1 B 間には、不図示のセレクターが配置され、他方のバッファメモリ 4 1 が I / O ターミナルコネクタ 4 1 B を介して I / O インターフェース部 3 と通信する場合、Y - D e c o d e r 1 0 2 の出力が他方のバッファメモリ 4 1 内の I / O ターミナルコネクタ 4 1 B へのみ入力される。前記インターリーブ通信の場合、一方の第 1 デコーダ D 1 (X - D e c o d e r 1 0 1) は、S 2 信号または S 5 信号に対応してバックエンドアドレスをスクランブルテーブル S T のスクランブル情報をスクランブルしたデコーディング信号によって一方の S R A M 4 1 内のワード線 W L を制御する。他方の第 1 デコーダ D 1 (X - D e c o d e r 1 0 1) は、S 6 信号に対応してフロントエンドアドレスのデコーディング信号によって一方の S R A M 4 1 内のワード線 W L を制御する。

10

【 0 0 5 1 】

S R A M アレイ S A R Y 1 がインターナルバス I B を介して不揮発性メモリセルアレイ部 1 または検証メモリ部 5 との間でデータを入出力する場合、W L 1 が活性化され、B L 1 ~ B L 2 5 6 に対応する第 1 バスコネクタ 4 1 A の第 1 スイッチ系統 S w . 1 または第 2 スイッチ系統 S w . 2 が活性化されて、2 5 6 ビット (3 2 バイト) のデータが 2 5 6 個の S R A M セルへ転送される。インターナルバス I B のデータ変化 (読み出しアンプ 8 による次のデータセンシング) に対応して次に W L 2 が活性化され、次の 2 5 6 ビット (3 2 バイト) のデータが次の 2 5 6 個の S R A M セルへ転送される。こうして W L 1 6 まで活性化されると 5 1 2 バイトのデータが転送完了する。第 1 スイッチ系統 S w . 1 を活性化して B L 1 ~ B L 2 5 6 をインターナルバス I B (x 3 2 バイト) へ接続するか、第 2 スイッチ系統 S w . 2 を活性化して B L 1 ~ B L 2 5 6 をインターナルバス I B (+ 2 ビット) へ接続するかは、対応セクタが消去状態にあるか否かを判定した判定信号 J によって活性化される S 2 信号 (= 非ブランク判定時に出力される)、S 5 信号 (ブランク判定時に出力される) によって、制御される。尚、検証メモリ部 5 からバッファメモリ部 4 へのリセットデータ (“ 1 ”) の転送は、インターナルバス I B (x 3 2 バイト) を経由することもできる。この場合、判定信号 J によって活性化される S 5 信号 (ブランク判定時に出力される) によって、第 1 スイッチ系統 S w . 1 が制御される。

20

【 0 0 5 2 】

尚、本願のベストモードとしては、ブランク判定の時には、W L 1 ~ W L 1 6 を同時に活性するのが高速転送の面でベストである。第 1 デコーダ D 1 (X - D e c o d e r 1 0 1) は、S 5 信号に対応して W L 1 ~ W L 1 6 を同時に活性する制御が付加される。

30

S R A M アレイ S A R Y 2 では、W L 1 7 ~ W L 3 2 / B L 1 ~ B L 2 5 6 が活性化される。S R A M アレイ S A R Y 3 では、W L 1 ~ W L 1 6 / B L 2 5 7 ~ B L 5 1 2 が活性化される。S R A M アレイ S A R Y 4 では、W L 1 7 ~ W L 3 2 / B L 2 5 7 ~ B L 5 1 2 が活性化される。

【 0 0 5 3 】

S R A M 4 1 が I / O インターフェース部 3 との間でデータを入出力する場合、W L 1 と B L 1 に接続される I / O ターミナルコネクタ 4 1 B のスイッチが活性化して、1 ビットのデータが I / O インターフェース部 3 へ転送される。メモリシステムの外部 I / O 数 = 1 6 (2 B y t e) の場合、B L 1 ~ B L 1 6 に対応する I / O ターミナルコネクタ 4 1 B のスイッチが活性化して、2 B y t e のデータが I / O インターフェース部 3 へ転送される。その後、B L 1 7 ~ B L 3 2 に対応する I / O ターミナルコネクタ 4 1 B のスイッチが活性化して、次の 2 B y t e のデータが I / O インターフェース部 3 へ転送される。これを B L 2 5 6 まで 1 6 回繰り返す、更に W L 2 ~ W L 1 6 まで繰り返す (すなわち、総回数 = 2 5 6 回) ことによりされ、5 1 2 B y t e (1 セクタに相当する第 2 データ量) が I / O インターフェース部 3 へ転送される。

40

【 0 0 5 4 】

S R A M 4 1 内でブランク処理する場合、リセット部とそのリセット制御信号等は S R A M アレイ数だけ必要となる。これに対して、この実施例では、S R A M 4 1 内でブラン

50

ク処理せず、また不揮発性メモリセルアレイ部 1 をアクセスしてブランクデータを S R A M 4 1 へ転送することなく、検証メモリ部 5 からインターナルバス I B (+ 2 ビット) またはインターナルバス I B (× 3 2 バイト) を介してブランクデータを転送するので、S R A M 4 1 の面積増大抑止と高速転送が実現できる。不揮発性メモリからのデータの読み出し単位を、より小さな単位とすることができる。

【 0 0 5 5 】

次に、図 1 の回路図、および図 6、7 のフローチャートに基づき、動作について説明する。

【 0 0 5 6 】

入力されたコマンドがコマンドデコーダ 9 A によりロードコマンド L O A D であると認識されると (F 1 : Y)、バックエンドコントローラ 9 B が S 1 信号を発行する (F 2)。S 1 信号に基づいて第 3 デコーダ D 3 および第 5 バスコネクタ 6 1 が活性化される (F 3)。

【 0 0 5 7 】

第 3 デコーダ D 3 は、不揮発性メモリセルアレイ部 1 の第 2 バスコネクタ 1 A を活性化し、コアバス C B にブランクデータを読み出す (F 4)。ブランクデータは、読出しアンプ 8 で増幅されインターナルバス I B に出力される。インターナルバス I B に読み出されたブランクデータは、第 5 バスコネクタ 6 1 を介してブランク判定回路 6 2 で判定される (F 4)。

【 0 0 5 8 】

対象となるワード線で活性化されるセクタの全てのデータが消去状態である場合、ブランクデータは “ 1 ” である。この場合、判定信号 J は “ 1 ” となる。判定信号 J は、バックエンドコントローラ 9 B に取り込まれ判定結果が認識される (F 5)。

【 0 0 5 9 】

バックエンドコントローラ 9 B において、判定信号 J が “ 0 ” と判定されプログラムが行われたことを示す状態 (非ブランク状態) であると判定される場合、(A) に分岐する。分岐 (A) によるフローは図 7 に後述する。

【 0 0 6 0 】

バックエンドコントローラ 9 B は、判定信号 J が “ 1 ” (即ち、ロード対象のワード線に接続されるレギュラーメモリセルにプログラムが行われていない消去状態であることを示す状態 (不揮発性メモリセルがブランク状態) であると判定された) の場合、S 4、S 5 信号を発行する (F 6)。検証メモリセルアレイ 5 2 は、S 4 信号に基づき、レジスタを構成するラッチのうちリセット機能を有するラッチを “ 1 ” にリセットする (F 7)。また、S 5 信号に基づいて第 1 デコーダ D 1 および第 4 バスコネクタ 5 1 が活性化される (F 8)。スクランブルテーブル S T に応じたアドレスに変換されて、何れかの S R A M 4 1 が選択され、更にその中の何れかの 5 1 2 バイトの記憶容量 (4 つの S R A M アレイ S A R Y の一つ) が選択され、“ 1 ” にリセットされた検証メモリ部 5 のデータが転送される (F 9)。その後、後述する (F 1 6) に移行する。

【 0 0 6 1 】

図 7 は、分岐 (A) 以降のフロー図である。判定信号 J が “ 0 ” と判定されロード対象のワード線に接続されるレギュラーメモリセルにプログラムが行われたことを示す状態 (不揮発性メモリセルが非ブランク状態) であると判定される場合のフロー図である。

【 0 0 6 2 】

バックエンドコントローラ 9 B が S 2 信号を発行する (F 1 0)。発行された S 2 信号に基づいて第 1 および第 3 デコーダ D 1、D 3 が活性化される (F 1 1)。第 3 デコーダ D 3 が活性化されることにより、第 3 バスコネクタ 1 B が活性化され、不揮発性メモリセルアレイ N V A R Y の通常データ用メモリセルからコアバス C B にデータが読み出される (F 1 2)。コアバス C B に読み出されたデータは、読出しアンプ 8 で増幅 (“ 1 ” / “ 0 ” 判定を含む) されインターナルバス I B に読み出される。インターナルバス I B に読み出されたデータは、S 2 信号により活性化された第 1 バスコネクタ 4 1 A を介して S R

10

20

30

40

50

AMアレイSARYに書き込まれ、ロード動作が行われる(F13)。

【0063】

尚、F12工程での読出しアンプ8の動作には、F4工程で読み出された2個のブランクデータ用メモリセルの基準判定電流情報を利用する。2個のブランクデータ用メモリセルは、各々から読み出される電流に基づいて、通常データ用メモリセルを読み出す際の基準判定電流を生成するダイナミックリファレンス機能を兼用するので、再度、F12工程に於いて基準判定電流を読み出す必要はない。具体的には、通常データ用メモリセルのプログラムによって、ブランクデータ用メモリセルの各々について、2値データのどちらか一方側がプログラムされる。故に、その2個のブランクデータ用メモリセルの各々から読み出される“0”、“1”に対応するブランクデータ用メモリセルの電流を合成し、通常データ用メモリセルを読み出す際の基準判定電流を生成する。読出しアンプ8の消費電力(カレントミラー動作の消費電流と電流源によるビット線の充電電流を含む)の低減が実現できる。

10

【0064】

この場合、スクランブルテーブルSTに従い、不揮発性メモリセルアレイNVMARY内の記憶容量に対して、2つのSRAM41のうち的一方が選択され、更に、4つのSRAMアレイSARYの1つが選択されて、データが格納される。不揮発性メモリセルアレイNVMARY内の記憶容量と、バッファメモリ部4内の記憶容量とが、スクランブルテーブルSTにより対応付けられる。

【0065】

その後、ロード動作が対象となるセクタについて完了したか否かの判断をし(F14)、完了していなければ(F14:N)、不揮発性メモリセルアレイNVMARYのコラムアドレスをインクリメントし(F15)、(F12)のフローに戻って読み出し動作を継続する。

20

【0066】

完了したと判断されれば(F14:Y)、全ての対象セクタのデータがロードされたか否かの確認をする(F16)。未だロードされていないセクタが存在すれば(F16:N)、(F2)のフローに戻って処理が繰り返される。

【0067】

全てのセクタについてロードが完了すれば(F16:Y)、コマンドデコーダ9AのリードコマンドREADの認識を待って(F17:N)、リードコマンドREADが認識されることに応じて(F17:Y)、フロントエンドコントローラ9CがS6信号を発行する(F18)。S6信号に基づいて第2デコーダD2が活性化され(F19)、バッファメモリ部4にロードされたデータがI/Oインターフェース部3を介して外部端子2に出力される(F20)。

30

【0068】

ここで、1ページ(2048バイト、4セクタ)は、第1データ量の一例である。1セクタ(512バイト)は、第2データ量の一例であり、所定記憶容量の一例である。また、不揮発性メモリセルアレイ部1、コアバスCB、書込みアンプ7、および読出しアンプ8を備えて不揮発性メモリの一列を構成する。検証メモリ部5は、検証メモリの一列である。ブランク用メモリセルは、情報記憶部の一例である。ブランク判定部6は、消去状態判定部の一例である。第1スイッチ系統Sw.1は、第1スイッチ素子の一例である。第2スイッチ系統Sw.2は、第2スイッチ素子の一例である。

40

【0069】

また、図5の(F1)~(F4)は、情報記憶部を読み出すステップの一例である。図5の(F4)~(F7)は、検証メモリをリセットするステップの一例である。また、図5の(F8)~(F9)は、リセットされた検証メモリの内容をバッファメモリに転送するステップの一例である。

【0070】

以上、詳細に説明したように、本発明の実施形態によれば、不揮発性メモリセルアレイ

50

N V A R Y内の2ビット構成のブランク用メモリセルにより、1ページ(4セクタ)分の記憶容量を有するバッファメモリ部4の記憶容量より小さな記憶容量であるセクタ単位ごとに、不揮発性メモリセルアレイN V A R Yの消去状態を検出することができる。また、検証メモリ部5からバッファメモリ部4への消去状態のデータの転送は、セクタ単位で行うことができる。バッファメモリ部4内のS R A M 4 1の記憶容量である1ページ(4セクタ)分のデータ量に比して小さなデータ量で消去状態のデータの転送を行うことができ、不揮発性メモリ部1からバッファメモリ部4へのロード動作におけるデータ単位を小さくする場合にも、消去状態のデータ転送を柔軟且つ高速に行うことができる。

【0071】

また、検証メモリからバッファメモリへの消去状態のデータ転送において、第2データ量の転送時、バッファメモリ内のワード線選択またはノおよびコラム線選択をそれぞれ同時に活性する(多重選択する)ことにより、ブランクデータのデータ転送動作を高速に行うことができる。

10

【0072】

また、検証メモリセルアレイ52およびS R A MアレイS A R Yは、レジスタまたはS R A M構成のメモリセルまたはノおよびその組み合わせである。このため、リセット動作およびデータ転送動作は高速に行うことができる。微小電流の増幅、電流電圧変換等の処理を伴う不揮発性メモリセルアレイN V A R Yからのデータ読み出しに比して高速なロード動作を行うことができる。

【0073】

20

また、不揮発性メモリセルアレイ部1へのプログラム動作時に期待値を格納するために備えられている検証メモリ部5を有効に活用して、高速且つ簡易にバッファメモリ部4へのロード動作を実現することができる。

【0074】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内の種々の改良、変更が可能であることは言うまでもない。

例えば、本実施形態では、不揮発性メモリセルアレイN V A R Yの1ページのデータを1/4分割し、セクタごとにロードする場合を例示したが、本発明はこれに限定されるものではない。さらに大きな記憶容量に対するロード動作、逆に更に分割された小さな記憶容量をよとのロード動作に対しても同様に適用することができる。この場合、検証メモリ部5の記憶容量をロードされる単位に合わせればよい。

30

また、検証メモリ部5においてリセットされる記憶容量は、例示された場合に限定されることはない。適宜にマルチプレクスしてやれば、ロードされる記憶容量に合わせることができる。

また、検証メモリ部5は、書込みアンプ7または読出しアンプ8と兼用することができる。

また、検証メモリセルアレイ52は、S R A M構成のメモリセルであってもよい。

また、検証メモリ部5からバッファメモリ部4へのリセットデータ("1")の転送は、インターナルバスI B(x32バイト)を経由することもできる。この場合、バッファメモリ部4内のビット線とインターナルバスI Bを選択的に接続する第1バスコネクタ41Aは、S2信号、S5信号、スクランブルテーブルS Tとバックエンドアドレスとにより制御される第1スイッチ系統S w . 1のみで構成される。

40

【図面の簡単な説明】

【0075】

【図1】本発明の実施形態のメモリシステムを示す回路ブロック図である。

【図2】不揮発性メモリセルアレイの一例を示す回路図である。

【図3】ブランク判定部の一例を示す回路図である。

【図4】検証メモリ部の第1の例を示す回路図である。

【図5】検証メモリ部の第2の例を示す回路図である。

【図6】実施形態におけるデータの読み出し動作を示すフローチャート(前半部)である

50

。【図7】実施形態におけるデータの読み出し動作を示すフローチャート（後半部）である。

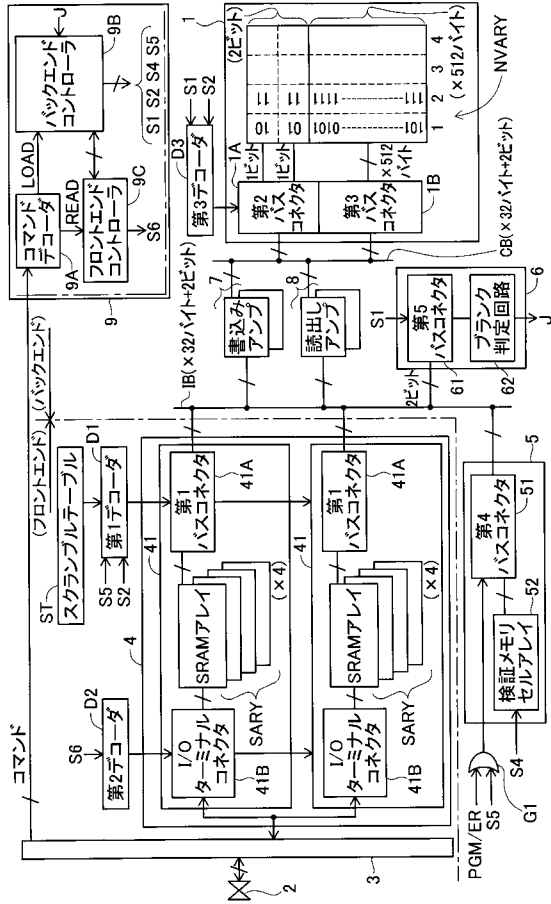
。【図8】バッファメモリ部とその周辺制御回路の一例を示す回路図である。

【符号の説明】

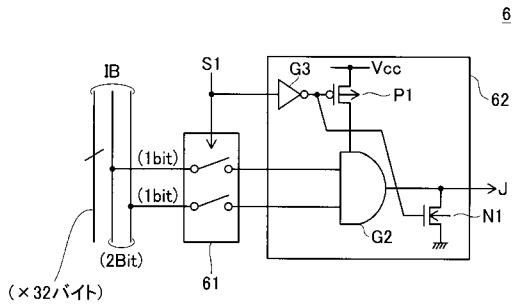
【0076】

1	不揮発性メモリセルアレイ部	
1 A	第2バスコネクタ	
1 B	第3バスコネクタ	
2	外部端子	10
3	I/Oインターフェース部	
4	バッファメモリ部	
5	検証メモリ部	
6	ブランク判定部	
7	書込みアンプ	
8	読出しアンプ	
9	制御部	
9 A	コマンドデコーダ	
9 B	バックエンドコントローラ	
9 C	フロントエンドコントローラ	20
4 1	S R A M	
4 1 A	第1バスコネクタ	
4 1 B	I/Oターミナルコネクタ	
5 1	第4バスコネクタ	
5 2、5 2 A、5 2 B	検証メモリセルアレイ	
5 3	マルチプレクサ	
6 1	第5バスコネクタ	
6 2	ブランク判定回路	
C B	コアバス	
D 1	第1デコーダ	30
D 2	第2デコーダ	
D 3	第3デコーダ	
I B	インターナルバス	
N V A R Y	不揮発性メモリセルアレイ	
S A R Y	S R A Mアレイ	
S T	スクランブルテーブル	

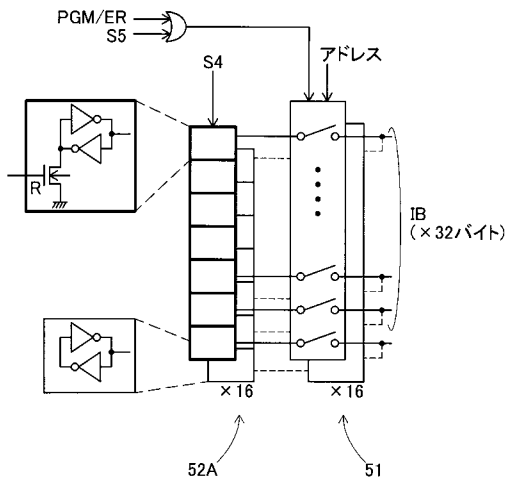
【図1】



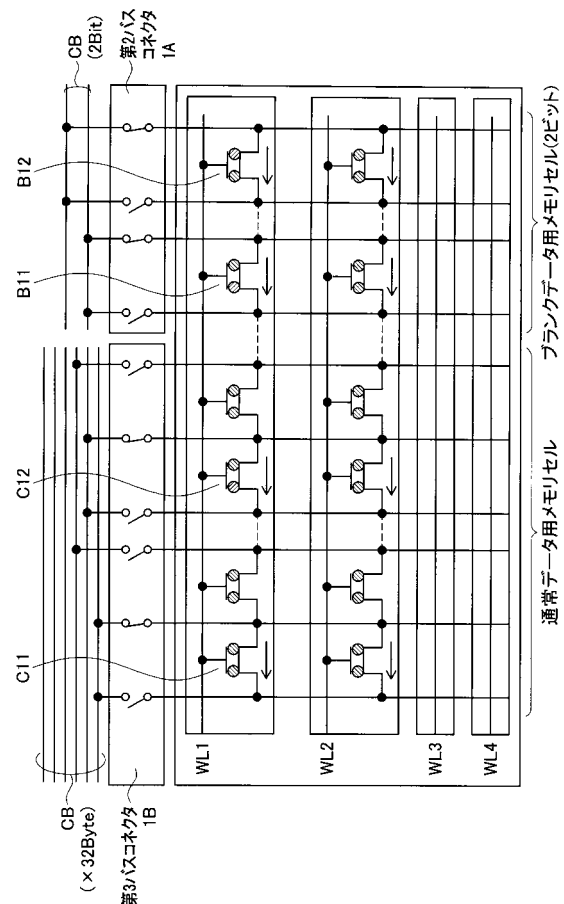
【図3】



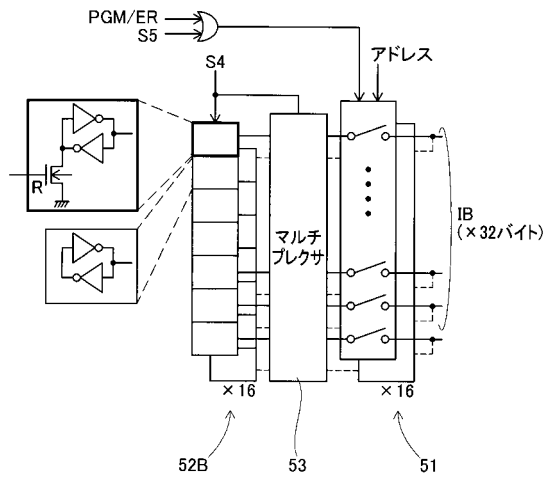
【図4】



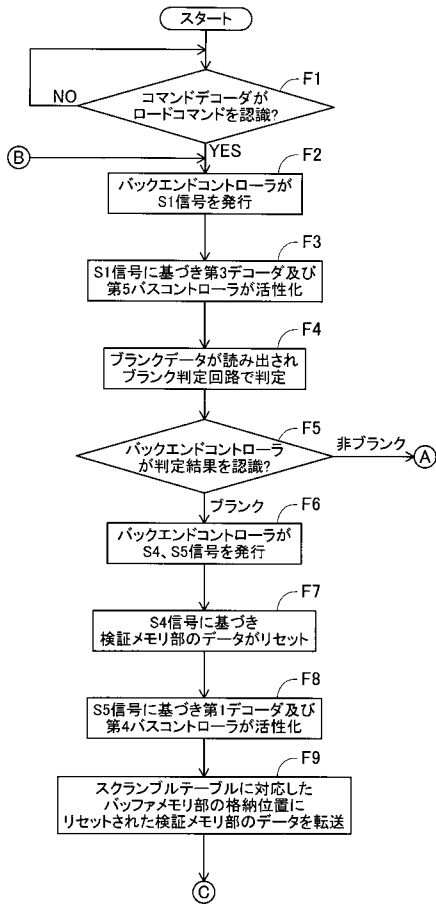
【図2】



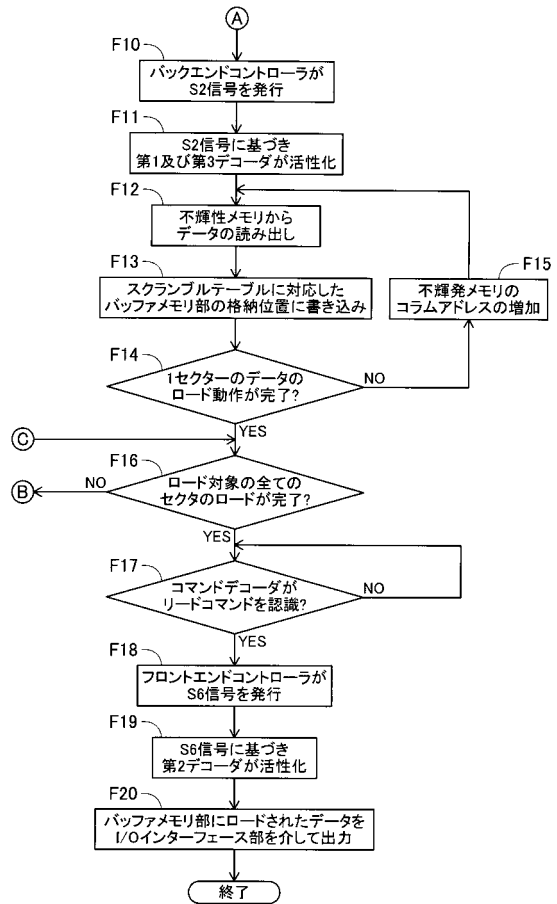
【図5】



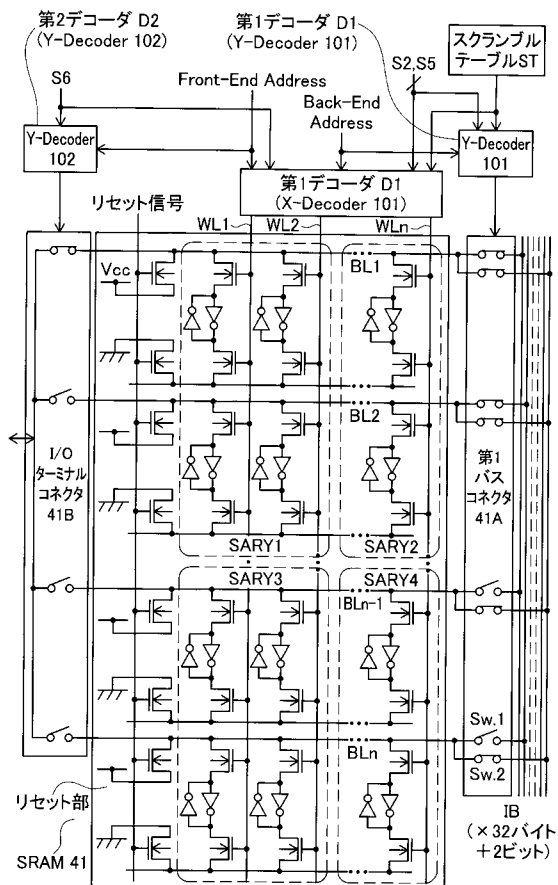
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 17/00 6 0 1 E

審査官 加藤 俊哉

(56)参考文献 特開2008-097736(JP,A)
特開2001-357684(JP,A)
特開平05-342891(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 6 / 0 2
G 0 6 F 1 2 / 0 0
G 1 1 C 1 6 / 0 4