

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H02M 3/00 (2006.01)

G05F 1/56 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200880006585.0

[43] 公开日 2010年1月6日

[11] 公开号 CN 101622775A

[22] 申请日 2008.2.19

[21] 申请号 200880006585.0

[30] 优先权

[32] 2007.2.28 [33] US [31] 11/680,524

[86] 国际申请 PCT/US2008/002319 2008.2.19

[87] 国际公布 WO2008/106049 英 2008.9.4

[85] 进入国家阶段日期 2009.8.28

[71] 申请人 惠普开发有限公司

地址 美国德克萨斯州

[72] 发明人 C·N·沙弗 H·莱韦伦茨

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 张雪梅 王忠忠

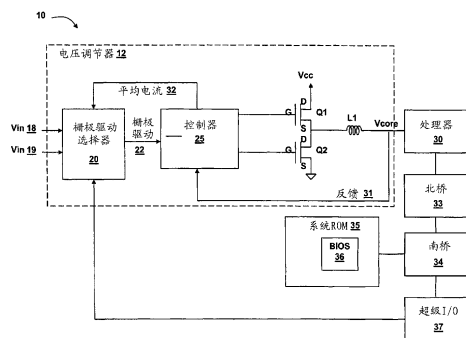
权利要求书 1 页 说明书 8 页 附图 3 页

## [54] 发明名称

用于电压调节器的栅极驱动电压选择

## [57] 摘要

一种系统(10)包含负载(30)以及电压调节器(12)。该电压调节器被配置为从多个输入电压(18、19)中选择栅极驱动信号(50)。该电压调节器被配置为使用所选的栅极驱动信号来导通功率晶体管(Q1、Q2)从而产生用于该负载的经调节的电压。



- 1、一种系统 (10)，包含：  
负载 (30)；以及  
电压调节器 (12)，其被配置为从多个输入电压 (18、19) 中选择栅极驱动信号 (50)，并且使用所选的栅极驱动信号来导通功率晶体管 (Q1、Q2) 从而产生用于所述负载的经调节的电压。
- 2、根据权利要求 1 的系统，其中该电压调节器基于所述负载的电流汲取来选择栅极驱动信号。
- 3、根据权利要求 1 的系统，其中控制器 (25) 产生指示所述负载的平均电流汲取的输出信号 (32)。
- 4、根据权利要求 1 的系统，还包含基本输入/输出系统(BIOS) (36)，其使得产生到所述电压调节器的 BIOS 信号，并且其中所述电压调节器基于所述 BIOS 信号来选择栅极驱动信号。
- 5、根据权利要求 1 的系统，其中所述多个输入电压包含 5V 和 12V。
- 6、根据权利要求 1 的系统，其中所述多个输入电压包含 5V 和 12V，并且所述经调节的电压小于或等于 1.5V。
- 7、根据权利要求 1 的系统，其中该电压调节器在所述系统的运行时间期间改变所述栅极驱动电压。
- 8、一种方法 (100)，包含：  
确定 (102) 负载的电流汲取；以及  
基于所述确定的电流汲取为电压调节器选择 (104) 栅极驱动信号。
- 9、根据权利要求 8 的方法，其中确定负载的电流汲取包含从控制器接收指示该负载的电流汲取的信号。
- 10、根据权利要求 8 的方法，还包含在所述负载的运行时间期间改变所述选择的栅极驱动信号。

## 用于电压调节器的栅极驱动电压选择

### 背景技术

电子系统消耗电功率。电功率带来财务费用。出于这个以及其它原因，期望系统消耗更少的功率。

### 附图说明

为了详细描述本发明的示例性实施例，现在将参考附图，在附图中：图 1 示出了根据各种实施例的系统；

图 2 示出了可用在根据各种实施例的图 1 的系统中的栅极驱动选择器；

图 3 示出了根据各种实施例的图 1 的系统的效率与电流之间的关系；以及

图 4 示出了根据各种实施例的方法。

### 符号和术语

在整个下列描述和权利要求书中使用某些术语来指代特定的系统部件。如本领域技术人员将明白的，计算机公司可能用不同名称来指代部件。本文献不意图区分名称不同但是功能相同的部件。在下面的讨论中以及在权利要求书中，术语“包括”和“包含”以开放的方式使用，并且因此应该被解释为意味着“包括但不限于……”。此外，术语“耦合”意图指间接的、直接的、光学的或者无线的电连接。因此，如果第一设备耦合到第二设备，则该连接可以是直接的电连接、通过经由其它设备和连接的间接电连接、通过光学的电连接或者通过无线的电连接。

### 具体实施方式

图 1 示出了根据各种实施例的系统 10。在至少一些实施例中，系统 10 包含计算机。在图 1 的实例中，系统 10 包含耦合到处理器 30 的电压调节器 12。电压调节器 12 接收输入电压 ( $V_{cc}$ ) 并且产生用于处理器 30 的经调节的电压  $V_{core}$ 。根据至少一些实施例，经调节的电压  $V_{core}$  为处理器提供主工作电压。电压  $V_{core}$  是专用的。在一些实施例中， $V_{core}$

小于或等于 1.5V (例如, 825 毫伏、850 毫伏、900 毫伏等等)。

系统 10 还包含耦合到处理器 30 的“北桥”33 以及耦合到北桥 33 的“南桥”34。还提供超级 (super) 输入/输出 (I/O) 37 和系统只读存储器 (ROM) 35 并且该超级输入/输出 (I/O) 37 和系统只读存储器 (ROM) 35 耦合到南桥 34。系统 ROM 35 包含可由处理器 30 执行的系统固件。在至少一些实施例中, 该系统固件包含基本输入/输出系统 (BIOS)。在一些实施例中, 超级 I/O 37 产生提供给栅极驱动选择器 20 的 BIOS 栅极驱动选择信号 39。

电压调节器 12 包含耦合到控制器 25 的栅极驱动选择器 20。控制器 25 耦合到一个或多个功率晶体管。在图 1 的实例中, 示出了一对功率晶体管 Q1 和 Q2, 但是功率晶体管的数目在其它实施例中可以不同。在至少一些实施例中, 每一个功率晶体管 Q1、Q2 包含场效应晶体管 (FET)。晶体管 Q1 的漏极 (D) 耦合到 Vcc (例如, 12V)。晶体管 Q1 的源极 (S) 耦合到晶体管 Q2 的漏极并且晶体管 Q2 的源极耦合到地。分别包含晶体管 Q1 的源极和晶体管 Q2 的漏极的在 Q1 和 Q2 之间的公共节点 26 提供输出电压。节点 26 耦合到指示器 (indicator) L1 的一个端子, 该 L1 的另一个端子提供电压 Vcore, 该电压 Vcore 被提供给处理器 30。来自 Vcore 电压线的反馈线 31 被作为反馈信号提供回控制器 25, 控制器 25 使用该反馈信号控制晶体管 Q1 和 Q2 的占空比, 以由此调节电压调节器 12 的输出电压。

栅极驱动选择器 20 将栅极驱动信号 22 (例如, 电压) 提供给控制器 25。控制器 25 使用栅极驱动信号 22 以交替的方式来导通功率晶体管 Q1 和 Q2 的每一个。也就是说, 在至少一些实施例中, 功率晶体管 Q1 和 Q2 并不同时“导通”(即, 传导)。控制器 25 动态地调整占空比, 以该占空比将晶体管 Q1 和 Q2 选择性地导通和关断。提供给晶体管 Q1 和 Q2 的栅极 (G) 以导通晶体管的电压基本上等于栅极驱动信号 22 或者由栅极驱动信号 22 得到。

根据各种实施例, 栅极驱动选择器 20 在多个输入电压中选择电压以作为栅极驱动信号 22 提供给控制器 25。在图 1 的实例中, 示出了两个输入电压 18 和 19, 栅极驱动选择器 20 可以从这两个输入电压中进行选择以用于栅极驱动信号 22。在该实例中, 电压 18 包含 5V 并且电压 19 包含 12V。在其它实施例中, 附加的或者不同的电压是可能的。一些系

统（例如计算机）已经具有在其中为了其它目的而产生的 5V 和 12V。在这样的实施例中，与如果产生新电压可能需要的部件相比，将已经存在的电压用于栅极驱动信号的选择减少了系统所需要的部件的数目。

在至少一些实施例中，栅极驱动选择器 20 根据负载（例如，处理器 30）的电流汲取（current draw）而从电压 18 和 19 中选择电压来用作栅极驱动信号 22。控制器 25 产生指示处理器 30 的平均电流汲取的“平均电流”输出信号 32。在一些实施例中，平均电流输出信号 32 包含与一段时期（例如，1 毫秒）内处理器的平均电流汲取成比例的电压电平。将来自控制器 25 的平均电流输出信号 32 提供给电压调节器 12 的栅极驱动选择器 20。栅极驱动选择器 20 根据来自控制器 25 的平均电流输出信号的电压电平来选择输入电压 18 和 19 中的一个用于栅极驱动信号 22。栅极驱动选择器 20 对栅极驱动信号 22 的选择可以发生在系统初始化期间和/或在运行时间（run-time）期间。栅极驱动选择器 20 还可以在运行时间期间一次或多次改变栅极驱动信号 22。因此，随着处理器 30 的电流汲取发生改变，栅极驱动选择器 20 可以通过选择不同的栅极驱动信号来响应。

在一些实施例中，在系统初始化期间 BIOS 36 读取来自处理器 30 的一个或多个特别模块寄存器（MSR）。从这样的寄存器读取的信息通知 BIOS 36 关于与其它类型处理器相比该处理器是否能够进行大电流操作。在这样的实施例中，BIOS 36 使得由超级 I/O 37 根据安装在系统 10 中的处理器 30 的所检测类型将 BIOS 栅极驱动选择信号 39 设为有效（assert）。在一些实施例中，如果处理器是大电流类型的处理器，则 BIOS 36 使得 BIOS 栅极驱动选择信号 39 为高。如果处理器是小电流类型的处理器，则 BIOS 36 使得 BIOS 栅极驱动选择信号 39 为低。

在一些实施例中，BIOS 36 使 BIOS 栅极驱动选择信号 39 被设为有效以使栅极驱动选择器 20 选择特定的输入电压作为栅极驱动信号 22。在其它实施例中，BIOS 36 不使 BIOS 栅极驱动选择信号 39 被设为有效并且，作为替代，栅极驱动选择器 20 从控制器 25 接收平均电流信号 32，栅极驱动选择器 20 通过该平均电流信号来选择输入电压 18、19 作为栅极驱动信号 22。在另外其它实施例中，BIOS 36 在系统初始化期间激活（activate）BIOS 栅极驱动选择信号 39 以初始将特定的输入电压选为栅极驱动信号并且在初始化之后，栅极驱动选择器 20 使用平均电流信

号 32(不是 BIOS 栅极驱动选择信号 39)来选择适当的栅极驱动信号 22。

图 2 示出了栅极驱动选择器 20 的实施例。如所示出的,栅极驱动选择器 20 包含运算放大器 (“op amp”) 40 和 42、电容器 C1、C2 和 C3、电压基准  $V_{ref}$ 、晶体管 Q3-Q6 以及电阻器 R1-R10、R13 和 R14。运算放大器 40 被配置为非倒相放大器,其增益由电阻器 R3 和 R2 的相对值(例如,  $1 + R3/R2$ ) 决定。将运算放大器 42 配置为比较器来对来自运算放大器 40 的放大的输出信号和电压基准  $V_{ref}$  产生的基准电压 45 进行比较。包含运算放大器 42 的比较器电路还实现滞后 (hysteresis) 以防止来自运算放大器 42 的输出信号 47 在来自运算放大器 40 的输出信号处于或者接近  $V_{ref}$  45 产生的电压时振荡或者以其他方式快速地改变状态。

如果来自运算放大器 40 的输出信号加上通过电阻器 R6 施加的滞后电压大于  $V_{ref}$  的基准电压 45,则迫使运算放大器 42 的输出为逻辑高状态;否则迫使运算放大器 42 的输出为逻辑低状态。在图 2 中将来自运算放大器 42 的输出信号标记为栅极驱动选择信号 50。来自超级 I/O 37 的 BIOS 栅极驱动选择信号 39 还耦合到栅极驱动选择信号线 50。根据至少一些实施例,栅极驱动选择信号 50 的逻辑状态(高或低)决定是将由栅极驱动选择器 20 提供给控制器 25 的栅极驱动信号 22(图 1)选为输入电压 18 和 19 中的一个还是另一个。在图 2 的实例中,如果栅极驱动选择信号 50 为高,则将输入电压 19 选为栅极驱动信号 22,而如果栅极驱动选择信号 50 为低,则将输入电压 18 选为栅极驱动信号 22。

仍然参考图 2,晶体管 Q5 包含 P 沟道 FET 并且晶体管 Q6 包含 N 沟道 FET。作为 P 沟道 FET,晶体管 Q5 在 Q5 的栅极到源极电压 ( $V_{gs}$ ) 小于负的阈值(即,比该负的阈值更负)时导通。例如,如果阈值为  $-1V$ ,那么 Q5 的栅极到源极电压必须小于  $-1V$ (例如,  $-4V$ )。具体的阈值根据晶体管不同而不同并且因此是专用的。作为 N 沟道 FET,晶体管 Q6 在栅极到源极电压 ( $V_{gs}$ ) 大于正的阈值时导通。也就是说,为了导通晶体管 Q6, Q6 的栅极电压必须比源极上的电压高出大于阈值的量。

当栅极驱动选择信号 50 为高时,晶体管 Q3 和 Q4 都导通。电阻器 R8 和 R9 从  $12V$ (或者其它适当的电压)串联地连接到 Q3 的漏极。电阻器 R8 和 R9 组成分压器。在一些实施例中,电阻器 R9 的电阻为电阻器 R8 的两倍并且因此在电阻器 R8 和 R9 之间的连接节点 52 处的电压为  $12V$

(连接到电阻器 R8 的电压) 的三分之二, 或者 8V。Q5 的源极连接到输入电压 19, 在该实例中其为 12V。因此, 在 Q3 导通的情况下, Q5 的栅极在 8V 处而源极在 12V 处。因此, 栅极到源极电压为 -4V (8V-12V), 其小于 P 沟道晶体管 Q5 的阈值电压并且因此足以导通 Q5。在 Q5 导通的情况下, 通过电阻器 R10 提供输入电压 19 (12V) 作为栅极驱动信号 22。

晶体管 Q4 的源极连接到地。由于晶体管 Q4 也由栅极驱动选择信号 50 的高状态来导通, 因此 N 沟道晶体管 Q6 的栅极为低, 从而 Q6 关断并且阻止 5V 输入电压 18 被提供为栅极驱动信号 22。因此, 当栅极驱动选择信号 50 为高时, 在图 2 的示例性实施例中栅极驱动信号 22 成为输入电压 19 (12V)。

当栅极驱动选择信号 50 为低时, 晶体管 Q3 和 Q4 都关断。在 Q4 关断的情况下, Q6 的栅极具有通过电阻器 R14 的 12V 的电压电平 (或者其它适当的电压)。Q6 的源极连接到输入电压 18 (5V)。因此, Q6 的栅极到源极电压在 Q4 关断时 (即, 在栅极驱动选择信号 50 为低时) 为 7V (12V-5V), 其大于 Q6 的适用的阈值电压并且因此足以导通 Q6。在 Q6 导通的情况下, 通过 Q6 提供输入电压 18 (5V) 作为栅极驱动信号 22。

在 Q3 关断的情况下 (其是栅极驱动选择信号 50 为低时的情形), Q5 的栅极电压为 12V。Q5 的源极电压也为 12V。因此, Q5 的栅极到源极电压为 0V (12V-12V), 其大于 Q5 的负的阈值电压并且因此 Q5 关断, 由此防止 12V 被提供为栅极驱动信号 22。因此, 当栅极驱动选择信号 50 为低时, 在图 2 的示例性实施例中栅极驱动信号 22 变成 5V。

表 I 提供了图 2 所示出的各种部件的一组示例性的值以及其它部件的组件号。在其它实施例中其它部件值也是可能的。

栅极驱动选择器 20 至少部分地工作以改进控制器 25 的效率。如在此使用的, 控制器的“效率”被定义为  $P_{out}/P_{in}$ 。Pout 是到处理器 30 的 Vcore 电压乘以到该处理器的电流。Pin 包含栅极驱动功率 (在栅极驱动信号 22 上的电压乘以栅极驱动电流) 加上流到 Q1 漏极中的功率 (Vcc 乘以流到 Q1 漏极中的电流)。

表 I. 部件值

部件	值/组件号
C1	10 nF
C2	100 pf
C3	1 $\mu$ F
R1	8.2 k $\Omega$
R2	7.5 k $\Omega$
R3	80.6 k $\Omega$
R4	2.49 k $\Omega$
R5	5.1 k $\Omega$
R6	40.2 k $\Omega$
R7	0 $\Omega$
R8	10 k $\Omega$
R9	20 k $\Omega$
R10	4.7 $\Omega$
R13	2.2 $\Omega$
R14	10 k $\Omega$
Q3	2N7002-NL
Q4	2N7002-NL
Q5	APM9932
Q6	APM9932
Vref	TL431

控制器 25 的效率随着提供到负载（例如，处理器 30）的电流而变化。控制器 25 的效率还基于栅极驱动信号 22 的电压电平。在相对低的电流电平处，与栅极驱动信号 22 为例如 12V 时相对比，在栅极驱动信号 22 为例如 5V 时控制器 25 的效率更大。在相对高的电流电平处，与栅极驱动信号 22 为 5V 时相对比，在栅极驱动信号 22 为 12V 时控制器 25 的效率更大。根据各种实施例，电压调节器 12 的栅极驱动选择器 20 根据处理器 30 的电流汲取而将栅极驱动信号 22 选择为来自多个输入电压（例如，输入电压 18 和 19）中的特定电压。如果处理器的电流汲取



相对较低,则栅极驱动选择器 20 选择栅极驱动信号 22 为 5V。如果处理器的电流汲取相对较高,则栅极驱动选择器 20 选择栅极驱动信号 22 为 12V。通过这种方式,在负载电流的宽动态范围内增大电压调节器 12 的效率。

在一些实施例中, BIOS 36 将 BIOS 栅极驱动选择信号 39 设为有效以迫使栅极驱动选择器 20 选择输入电压 18、19 中的一个或另一个。在其它实施例中或者与 BIOS 36 的上述操作结合,图 2 的栅极驱动选择器 20 从控制器 25 接收平均电流信号 32。平均电流信号 32 指示处理器 30 的电流汲取。将平均电流信号 32 提供为运算放大器 40 的输入。根据如运算放大器 40 放大的平均电流信号 32,包含运算放大器 42 的比较器选择这两个可能的输入电压 18 或 19 中的一个。如果从运算放大器 40 作为电压输出的处理器的平均电流加上通过 R6 的滞后电压小于  $V_{ref}$  的基准电压,则栅极驱动选择信号 50 被迫使为低并且栅极驱动信号 22 被选择为 5V (输入电压 18)。如果从运算放大器 40 作为电压输出的处理器的平均电流加上通过 R6 的滞后电压大于  $V_{ref}$  的基准电压,则栅极驱动选择信号 50 被迫使为高并且栅极驱动选择信号 50 为高由此使得栅极驱动信号为 12V (输入电压 19)。

图 3 是示出了电压调节器 12 的效率与处理器 30 的电流汲取之间关系的曲线图。该曲线图被分成三个区段 70、72 和 74。在区段 70 中,处理器电流相对较低并且栅极驱动选择器 20 选择栅极驱动信号 22 为 5V。在区段 74 中,处理器电流相对较高并且栅极驱动选择器 20 选择栅极驱动信号 22 为 12V。区段 72 定义比较器 (运算放大器 42) 的滞后部分。如果处理器的电流汲取从区段 70 中的点增大,则在处理器电流到达点 82 时比较器将把栅极驱动信号 22 从 5V 变到 12V。在图 2 和 3 的实施例中,点 82 大约为 12A。如果处理器 30 的电流汲取从区段 74 中的点减少,则在处理器电流到达点 80 时比较器将把栅极驱动信号 22 从 12V 变到 5V。在图 2 和 3 的实施例中,点 80 大约为 9A。因此,在滞后区段 72 中,根据处理器电流汲取改变的方向 (向下或者向上),输入电压 18 和 19 中的任一个可以用作栅极驱动信号 22。曲线段 85 表示在 5V 输入电压 18 被选为栅极驱动信号 22 时电压调节器的效率。曲线段 87 表示在 12V 输入电压 19 被选为栅极驱动信号 22 时电压调节器的效率。

图 4 示出了用于选择栅极驱动信号 22 的方法 100。在 102 处,该方

法包含确定处理器 30 的电流汲取。在 104 处，该方法包含基于所确定的电流汲取为电压调节器 12 选择栅极驱动电压。在一些实施例中，确定处理器 30 的电流汲取包含从控制器 25 接收指示处理器的电流汲取的信号（例如，平均电流信号 32）。

在一些实施例中，栅极驱动选择器 22 在处理器的运行时间期间改变所选的栅极驱动信号。在这样的实施例中，栅极驱动选择器 20 检测处理器 30 的电流汲取的变化并且基于改变的处理器的电流汲取而选择新的栅极驱动电压。因此，如果处理器 30 从大电流模式转变为小电流模式（例如，睡眠状态或者处于空闲状态的操作系统），则栅极驱动选择器 20 将检测改变的电流汲取并且调整栅极驱动信号 22 以增大效率。

上述讨论意为说明本发明的原理和各种实施例。只要完全明白上述公开，对于本领域技术人员而言许多变化和修改将变得显而易见。所附权利要求书意图被解释为包括所有这样的变化和修改。

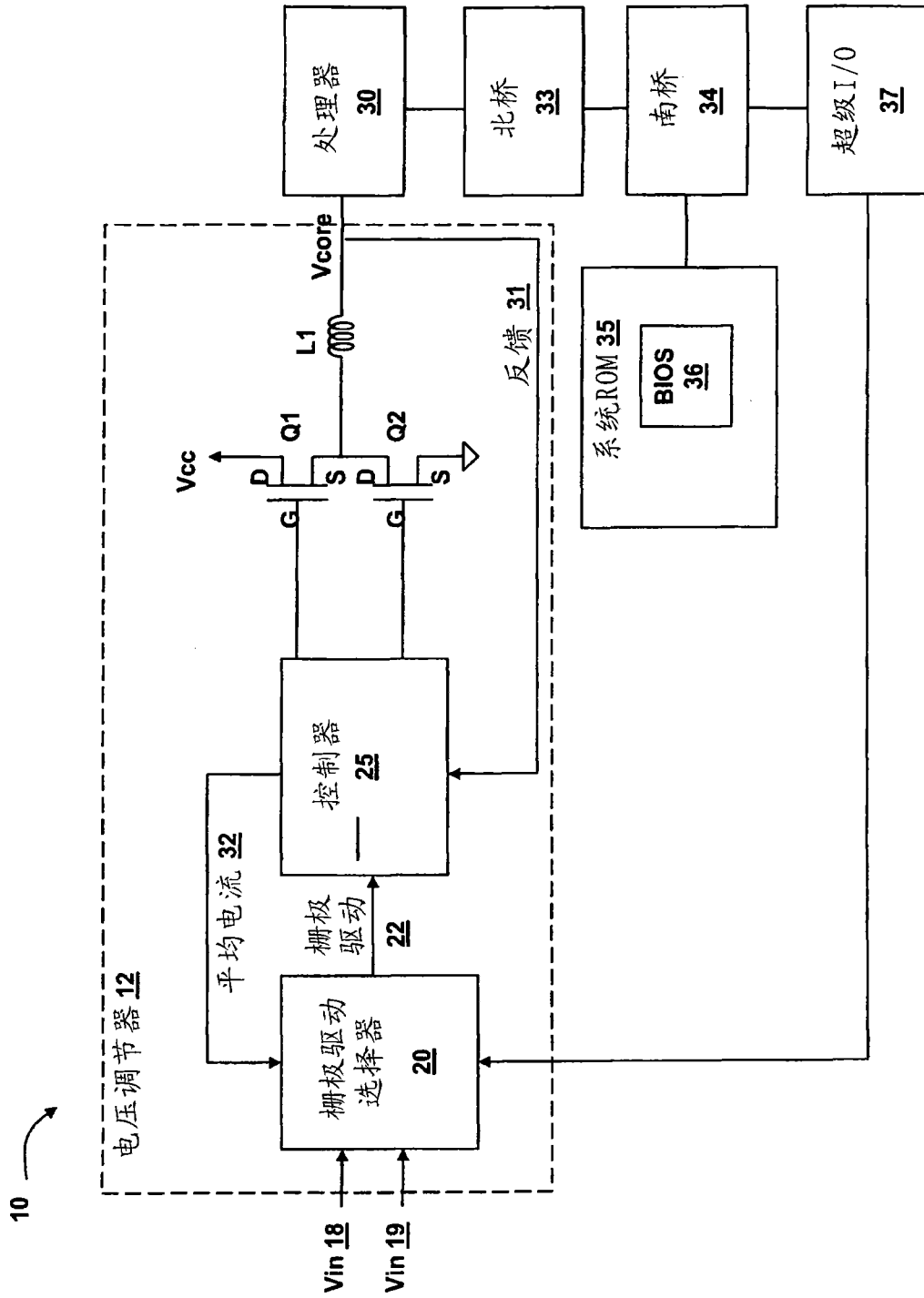


图 1

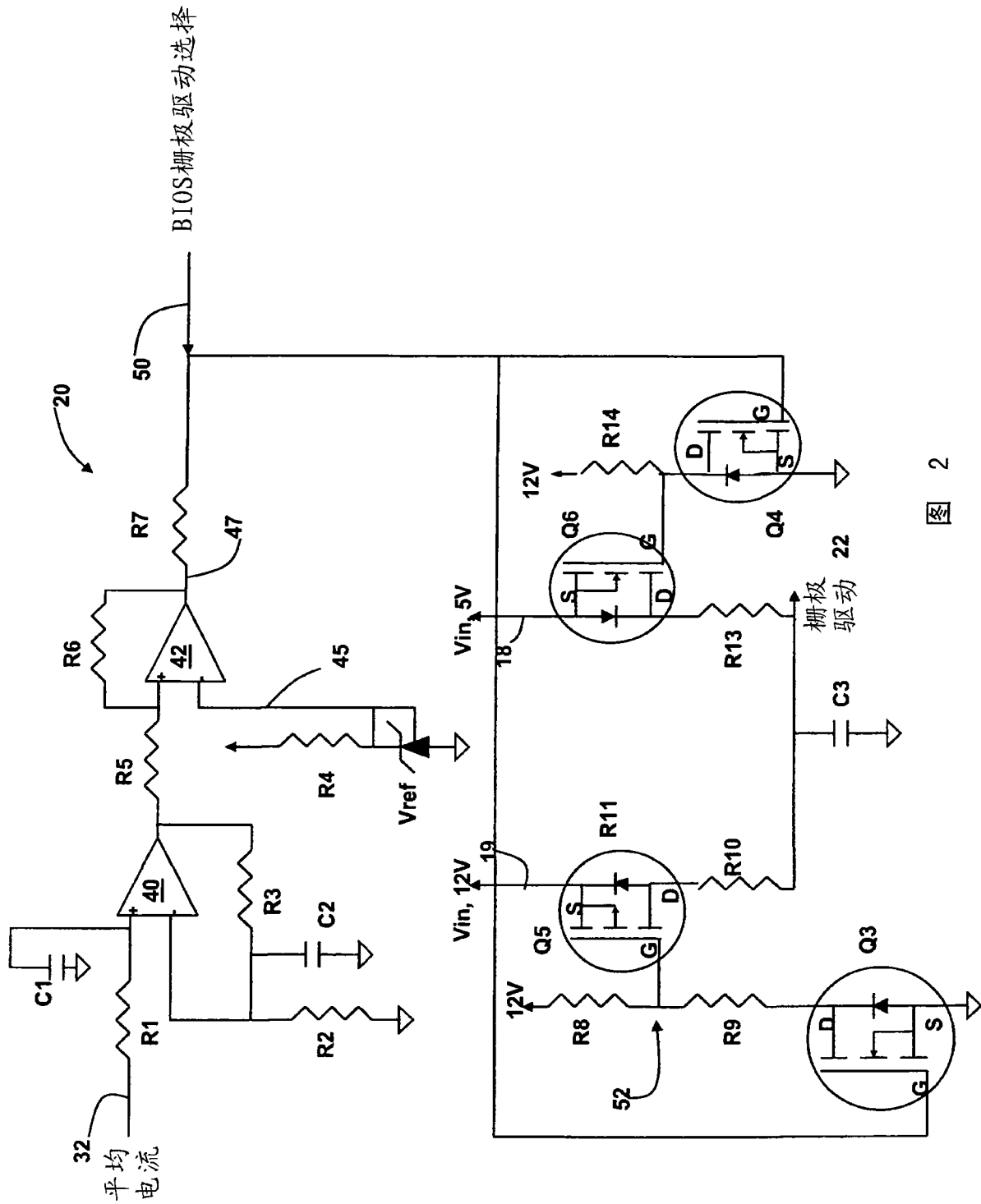


图 2

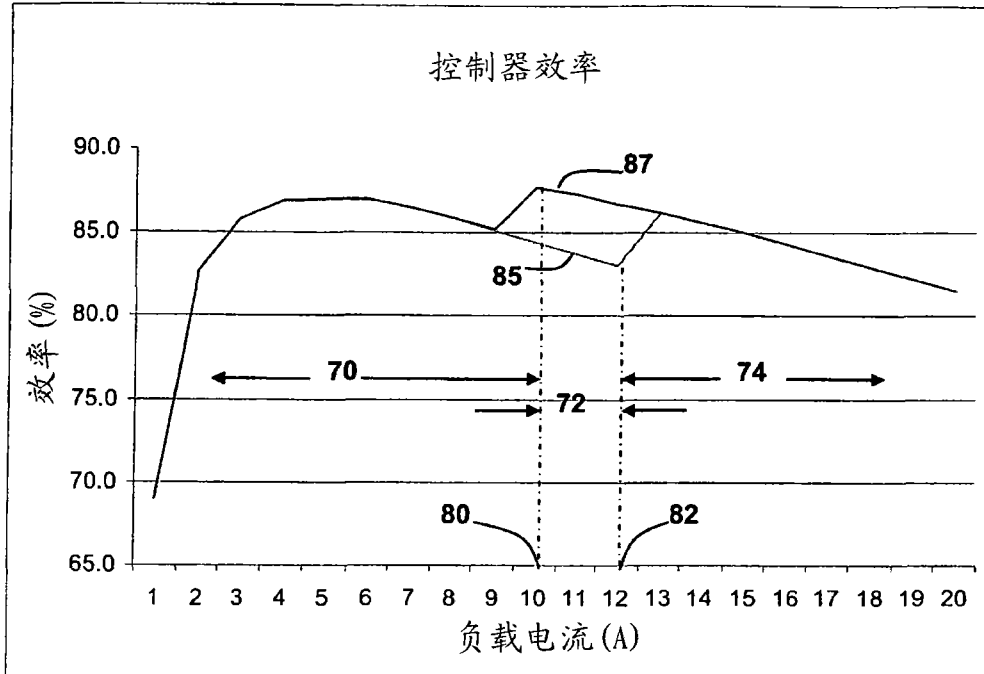


图 3

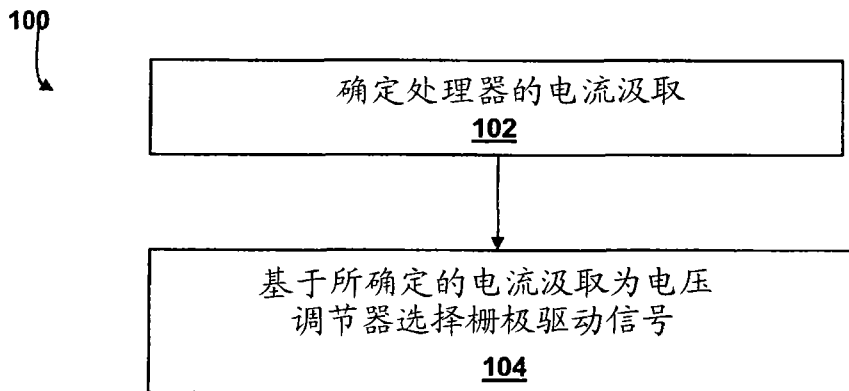


图 4