

(12) 发明专利

(10) 授权公告号 CN 102194684 B

(45) 授权公告日 2013. 02. 27

(21) 申请号 201010123629. 7

审查员 赵伟

(22) 申请日 2010. 03. 12

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市张江路 18 号

(72) 发明人 孙鹏 刘丽丽 仇峰

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈蘅 李时云

(51) Int. Cl.

H01L 21/283(2006. 01)

H01L 21/762(2006. 01)

(56) 对比文件

US 20090206441 A1, 2009. 08. 20, 全文.

TW 200505020 A, 2005. 02. 01, 全文.

US 20080258134 A1, 2008. 10. 23, 全文.

CN 1873929 A, 2006. 12. 06, 说明书第 7 页,

附图 8-10.

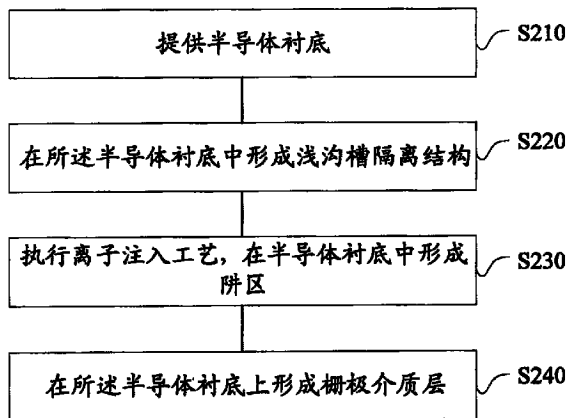
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 发明名称

栅极介质层制造方法

(57) 摘要

本发明公开了一种栅极介质层制造方法,该方法包括:提供半导体衬底;在所述半导体衬底中形成浅沟槽隔离结构;执行离子注入工艺,在半导体衬底中形成阱区;在所述半导体衬底上形成栅极介质层。本发明在形成浅沟槽隔离结构之后未形成牺牲氧化层,因此无需进行长时间的热处理过程,并且本发明省略了去除牺牲氧化层的步骤,可避免在浅沟槽隔离结构的边缘区域出现边沟,提高了半导体器件的性能。



1. 一种栅极介质层制造方法,包括:
提供半导体衬底;
在所述半导体衬底中形成浅沟槽隔离结构;
执行离子注入工艺,在所述浅沟槽隔离结构周围的半导体衬底中形成阱区;
在所述半导体衬底上形成栅极介质层;
其中,在所述半导体衬底中形成浅沟槽隔离结构之后,执行离子注入工艺之前,不形成牺牲氧化层。
2. 如权利要求 1 所述的栅极介质层制造方法,其特征在于,所述半导体衬底是外延硅片。
3. 如权利要求 1 所述的栅极介质层制造方法,其特征在于,所述半导体衬底是氢化工艺处理过的硅片。
4. 如权利要求 1 所述的栅极介质层制造方法,其特征在于,所述离子注入工艺注入的杂质为硼离子,所述离子注入工艺的注入能量为 200 ~ 400KeV,所述离子注入工艺的注入剂量为 $1 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$ 。
5. 如权利要求 1 所述的栅极介质层制造方法,其特征在于,所述离子注入工艺注入的杂质为磷离子,所述离子注入工艺的注入能量为 400 ~ 600KeV,所述离子注入工艺的注入剂量为 $0.5 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$ 。
6. 如权利要求 1 所述的栅极介质层制造方法,其特征在于,所述栅极介质层的材质是二氧化硅。
7. 如权利要求 6 所述的栅极介质层制造方法,其特征在于,所述栅极介质层的厚度为 100~150Å。

栅极介质层制造方法

技术领域

[0001] 本发明涉及集成电路制造领域,特别是涉及一种栅极介质层制造方法。

背景技术

[0002] 在集成电路制造领域,金属氧化物半导体场效应管(MOSFET)普遍使用在超大规模集成电路(ULSI)的制造过程中。随着半导体制造技术的不断进步,金属氧化物半导体场效应管的栅极的尺寸也越来越小,对于栅极介质层的制造工艺的要求也越来越高。

[0003] 具体请参考图1A~1E,其为现有的栅极介质层制造方法的各步骤相应结构的剖面示意图。

[0004] 参考图1A,首先提供半导体衬底10,接着在所述半导体衬底10中形成浅沟槽隔离结构11,以将各个半导体器件隔离绝缘。相比于传统的局部氧化隔离工艺(LOCOS),浅沟槽隔离工艺更加适用于 $0.18\mu\text{m}$ 以下的半导体器件的有源区的隔离,其可有效地解决由局部氧化隔离工艺造成的“鸟嘴”问题。

[0005] 参考图1B,采用炉管热氧化(thermal oxidation)的方式,在所述半导体衬底10上形成牺牲氧化层(sacrifice oxide layer)30,所述牺牲氧化层30用于避免可能由后续的离子注入引起的通道效应。一般的,该炉管热氧化工艺的温度高于 800°C ,该炉管热氧化的时间一般在 $0.5\sim 1.5$ 小时之间。

[0006] 参考图1C,通过离子注入的方式,在所述浅沟槽隔离结构11周围的半导体衬底10中形成阱区12,所述阱区12可用于形成金属氧化物半导体场效应管的导电沟道。对于NMOS而言,所述阱区12可以为P阱;而对于PMOS而言,所述阱区12可以为N阱。

[0007] 参考图1D,在所述半导体衬底10中形成阱区12之后,为了获得高质量的栅极介质层,需要去除所述牺牲氧化层30。目前,业界通常是采用湿法刻蚀的方式来去除所述牺牲氧化层30,例如,采用氢氟酸溶液来去除牺牲氧化层30,并且该湿法刻蚀过程需要持续较长的时间,才能确保彻底去除半导体衬底10表面的牺牲氧化层30。然而,在实际生产中发现,由于经过了较长时间的氢氟酸处理过程,所述浅沟槽隔离结构11边缘区域的形貌受到了影响,形成了如图1E中虚线所示的边沟(divot)。

[0008] 参考图1E,最后,利用化学气相沉积的方式,在所述半导体衬底10上形成栅极介质层20,所述栅极介质层20的材质优选为二氧化硅。

[0009] 然而,由于所述边沟的存在,极易导致所述栅极介质层20的厚度不均匀,并且在后续进行的多晶硅蚀刻的过程中,很难将边沟内的多晶硅蚀刻干净,使得所述浅沟槽隔离结构11的边缘漏电;此外,在形成所述牺牲氧化层30时需要进行炉管热氧化工艺,该长时间的热处理过程极易导致在所述半导体衬底中产生应力,从而导致产生硅片静态漏电流,进而影响半导体器件的性能。

发明内容

[0010] 本发明提供一种栅极介质层制造方法,以解决现有的栅极介质层制造方法中,在

浅沟槽隔离结构边缘易出现边沟的问题,且本发明无需进行长时间的热处理过程,提高了半导体器件的性能。

[0011] 为解决上述技术问题,本发明提供一种栅极介质层制造方法,包括:提供半导体衬底;在所述半导体衬底中形成浅沟槽隔离结构;执行离子注入工艺,在半导体衬底中形成阱区;在所述半导体衬底上形成栅极介质层。

[0012] 可选的,在所述栅极介质层制造方法中,所述半导体衬底是外延硅片。

[0013] 可选的,在所述栅极介质层制造方法中,所述半导体衬底是氢化工艺处理过的硅片。

[0014] 可选的,在所述栅极介质层制造方法中,所述离子注入工艺注入的杂质为硼离子,所述离子注入工艺的注入能量为 200 ~ 400KeV,所述离子注入工艺的注入剂量为 $1 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$ 。

[0015] 可选的,在所述栅极介质层制造方法中,所述离子注入工艺注入的杂质为磷离子,所述离子注入工艺的注入能量为 400 ~ 600KeV,所述离子注入工艺的注入剂量为 $0.5 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$ 。

[0016] 可选的,在所述栅极介质层制造方法中,所述栅极介质层的材质是二氧化硅,所述栅极介质层的厚度为 100~150Å。

[0017] 由于采用了上述技术方案,与现有技术相比,本发明具有以下优点:

[0018] 本发明在形成浅沟槽隔离结构之后不形成牺牲氧化层,因此无需进行长时间的热处理过程,可避免在半导体衬底中产生应力,减小了硅片静态漏电流;并且,由于本发明未形成牺牲氧化层,因此在形成阱区之后省略了去除牺牲氧化层的步骤,其可确保浅沟槽隔离结构的边缘区域不会受到腐蚀,从而避免在浅沟槽隔离结构的边缘区域出现边沟,可确保形成厚度均匀的栅极介质层,防止所述浅沟槽隔离结构的边缘漏电,提高了半导体器件的性能。

附图说明

[0019] 图 1A ~ 1E 为现有的栅极介质层制造方法的各步骤相应结构的剖面示意图;

[0020] 图 2 为本发明实施例所提供的栅极介质层制造方法的流程图;

[0021] 图 3A ~ 3C 为本发明实施例所提供的栅极介质层制造方法的各步骤相应结构的剖面示意图。

具体实施方式

[0022] 本发明的核心思想在于,提供一种栅极介质层制造方法,该方法在形成浅沟槽隔离结构之后不形成牺牲氧化层,因此无需进行长时间的热处理过程,可避免在半导体衬底中产生应力,减小了硅片静态漏电流;并且,由于本发明未形成牺牲氧化层,因此在形成阱区之后省略了去除牺牲氧化层的步骤,可确保浅沟槽隔离结构的边缘区域不会受到腐蚀,从而避免在浅沟槽隔离结构的边缘区域出现边沟,可确保形成厚度均匀的栅极介质层,提高了半导体器件的性能。

[0023] 请参考图 2,其为本发明实施例所提供的栅极介质层制造方法的流程图,结合该图,该方法包括以下步骤:

[0024] 步骤 S210, 提供半导体衬底;

[0025] 步骤 S220, 在所述半导体衬底中形成浅沟槽隔离结构;

[0026] 步骤 S230, 执行离子注入工艺, 在半导体衬底中形成阱区;

[0027] 步骤 S240, 在所述半导体衬底上形成栅极介质层。

[0028] 下面将结合剖面示意图对本发明的栅极介质层制造方法进行更详细的描述, 其中表示了本发明的优选实施例, 应该理解本领域技术人员可以修改在此描述的本发明, 而仍然实现本发明的有利效果。因此, 下列描述应当被理解为对于本领域技术人员的广泛知道, 而并不作为对本发明的限制。

[0029] 为了清楚, 不描述实际实施例的全部特征。在下列描述中, 不详细描述公知的功能和结构, 因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开发中, 必须做出大量实施细节以实现开发者的特定目标, 例如按照有关系统或有关商业的限制, 由一个实施例改变为另一个实施例。另外, 应当认为这种开发工作可能是复杂和耗时间的, 但是对于本领域技术人员来说仅仅是常规工作。

[0030] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下面说明和权利要求书, 本发明的优点和特征将更清楚。需说明的是, 附图均采用非常简化的形式且均使用非精准的比例, 仅用以方便、明晰地辅助说明本发明实施例的目的。

[0031] 具体请参考图 3A ~ 3C, 其为本发明实施例所提供的栅极介质层制造方法的各步骤相应结构的剖面示意图。

[0032] 参考图 3A, 首先, 提供半导体衬底 100, 接着在所述半导体衬底 100 中形成浅沟槽隔离结构 110, 以将各个半导体器件隔离绝缘。

[0033] 优选的, 所述半导体衬底 100 是外延硅片 (EPI wafer), 所述外延硅片的晶体原生颗粒 (crystal original particles, COP) 密度较少, 有利于减少半导体器件的漏电流, 提高半导体器件的击穿电压。当然, 所述半导体衬底 100 也可以是其它缺陷密度较低的硅片, 例如, 其可以是氢化工艺处理过的硅片 (S2wafer)。

[0034] 进一步的, 所述浅沟槽隔离结构 110 可通过以下步骤形成: 首先, 在所述半导体衬底 100 上形成垫氧化层 (未图示) 和刻蚀阻挡层 (未图示), 并在所述刻蚀阻挡层上形成图案化的光阻层, 并以所述图案化的光阻层为掩膜, 刻蚀所述垫氧化层和刻蚀阻挡层至半导体衬底 100; 接着, 以刻蚀后的刻蚀阻挡层为掩膜, 刻蚀所述半导体衬底 100 至一定深度, 以形成浅沟槽; 接下来, 形成覆盖所述浅沟槽以及刻蚀阻挡层的绝缘层 (未图示); 然后, 对填入到所述浅沟槽内的绝缘层进行平坦化处理; 最后, 去除所述垫氧化层和刻蚀阻挡层, 以形成浅沟槽隔离结构 110。

[0035] 参考图 3B, 执行离子注入工艺, 以在浅沟槽隔离结构 110 周围的半导体衬底 100 中形成阱区 120, 所述阱区 120 可用于形成金属氧化物半导体场效应管的导电沟道。

[0036] 优选的, 对于 NMOS 而言, 所述阱区 120 是 P 阱, 所述离子注入工艺注入的杂质为硼离子, 所述离子注入工艺的注入能量为 200 ~ 400KeV, 所述离子注入工艺的注入剂量为 $1 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$; 而对于 PMOS 而言, 所述阱区 120 是 N 阱, 所述离子注入工艺注入的杂质为磷离子, 所述离子注入工艺的注入能量为 400 ~ 600KeV, 所述离子注入工艺的注入剂量为 $0.5 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$ 。

[0037] 发明人经多次实验发现, 在形成浅沟槽隔离结构 110 之后, 执行离子注入工艺之

前,尽管未形成牺牲氧化层,但是离子注入工艺并未对半导体衬底 100 造成明显的损伤,并且由于不形成牺牲氧化层,因此无需进行长时间的热处理过程,减小了硅片静态漏电流;此外,由于本发明未形成牺牲氧化层,因此在形成阱区 120 之后省略了去除牺牲氧化层的步骤,可确保浅沟槽隔离结构 110 的边缘区域不会受到腐蚀,从而避免在浅沟槽隔离结构 110 的边缘区域出现边沟,可确保形成厚度均匀的栅极介质层,并防止所述浅沟槽隔离结构 110 的边缘漏电,提高了半导体器件的性能。

[0038] 参考图 3C,可利用化学气相沉积的方式,在所述半导体衬底 100 上形成栅极介质层 300。其中,所述栅极介质层 210 的材质优选为二氧化硅,所述栅极介质层 210 的厚度可以为 $100\sim 150\text{\AA}$ 。

[0039] 综上所述,本发明由于在形成浅沟槽隔离结构之后不形成牺牲氧化层,因此无需进行长时间的热处理过程,避免在半导体衬底中产生应力,减小了硅片静态漏电流;并且,由于本发明未形成牺牲氧化层,因此在形成阱区之后省略了去除牺牲氧化层的步骤,可确保浅沟槽隔离结构的边缘区域不会受到腐蚀,从而避免在浅沟槽隔离结构的边缘区域出现边沟,可确保形成厚度均匀的栅极介质层,防止所述浅沟槽隔离结构的边缘漏电,提高了半导体器件的性能。

[0040] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

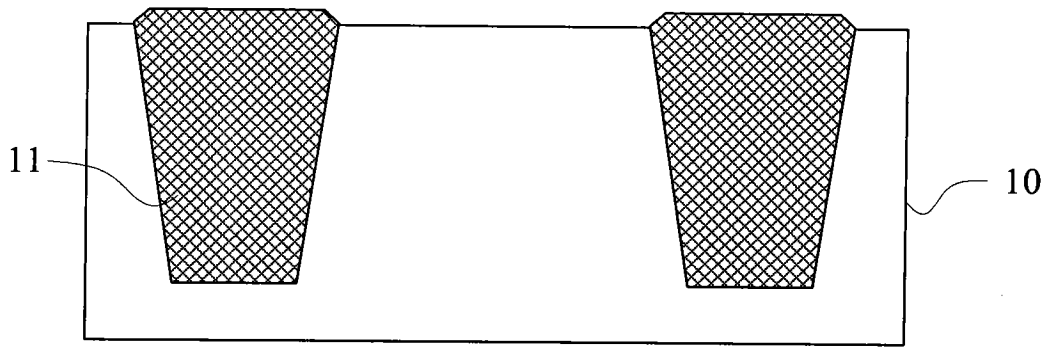


图 1A

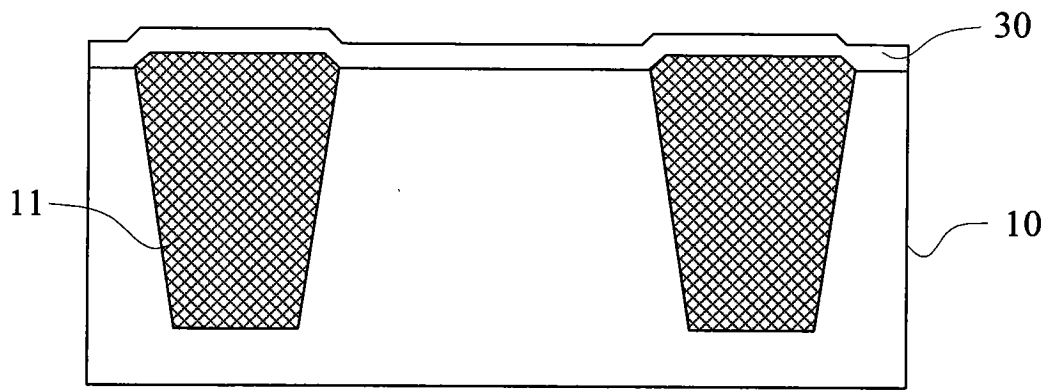


图 1B

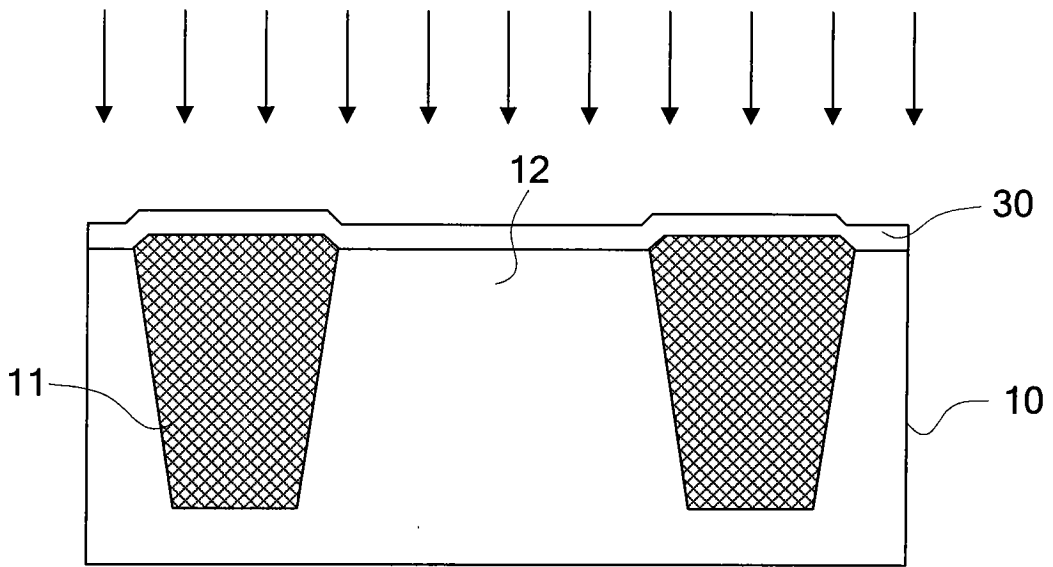


图 1C

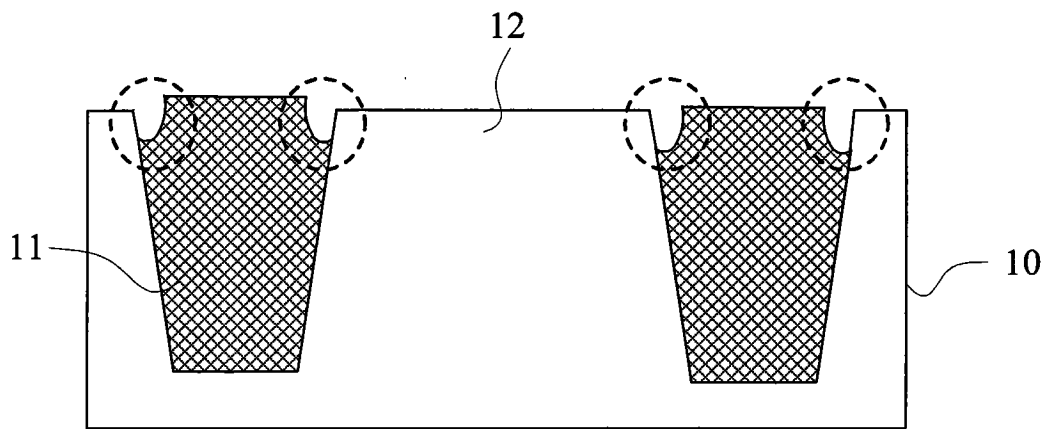


图 1D

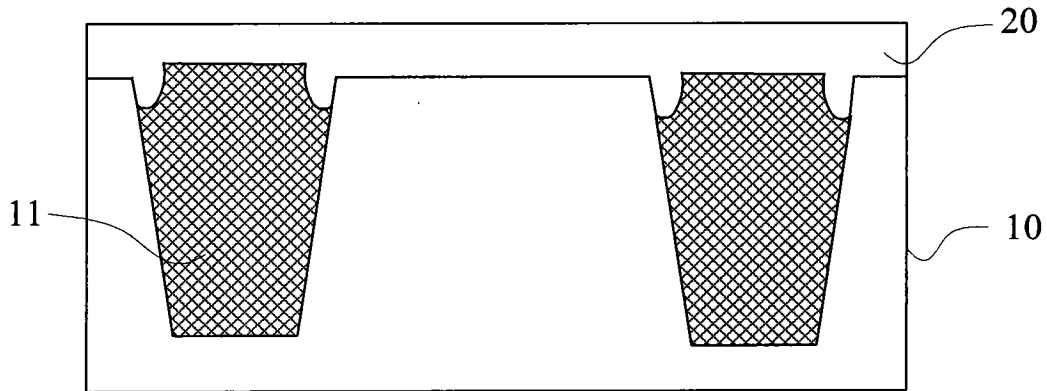


图 1E

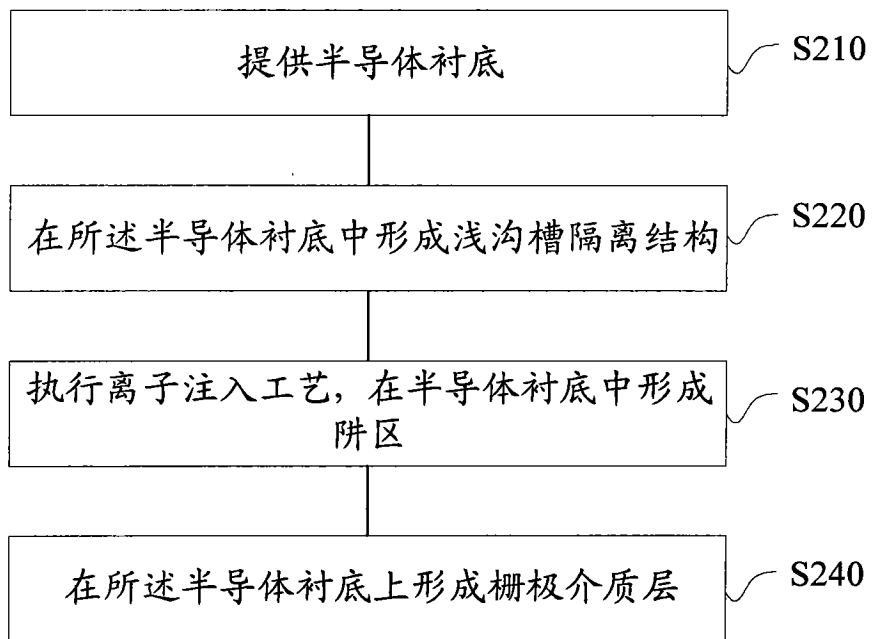


图 2

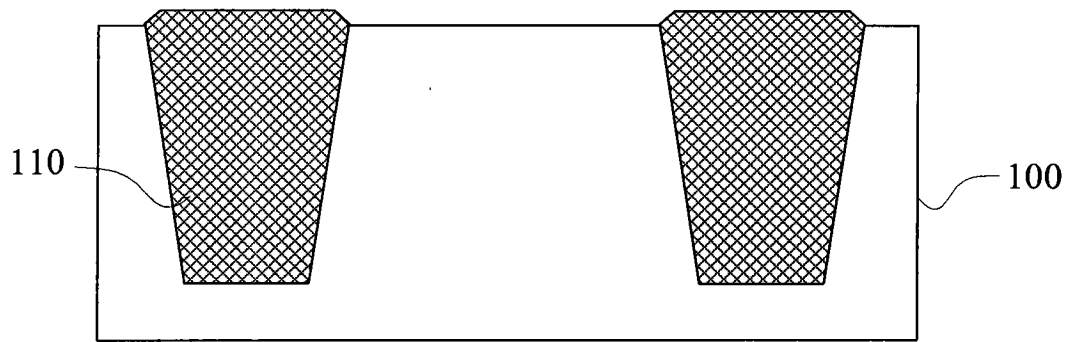


图 3A

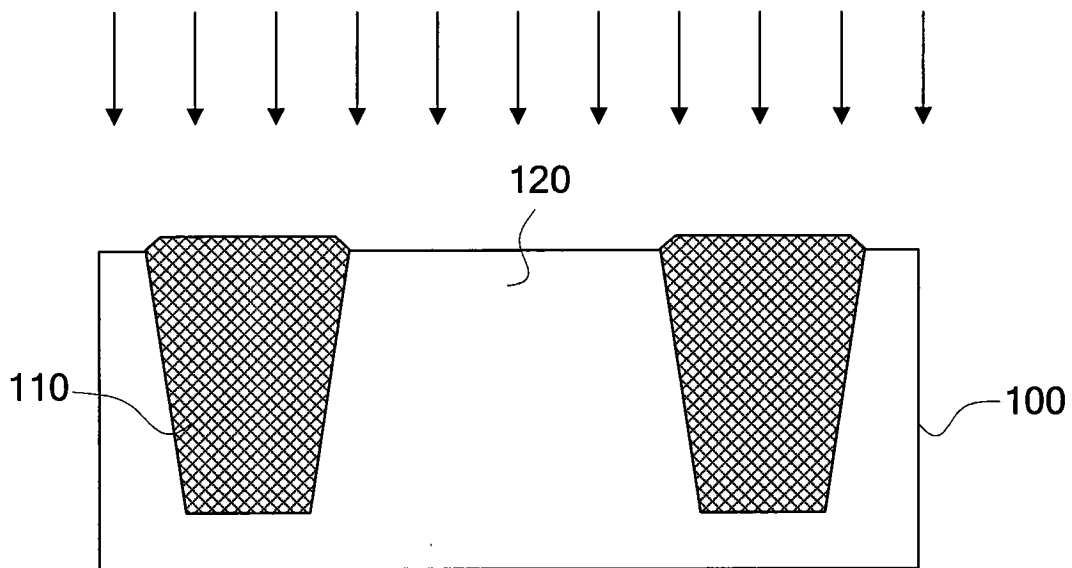


图 3B

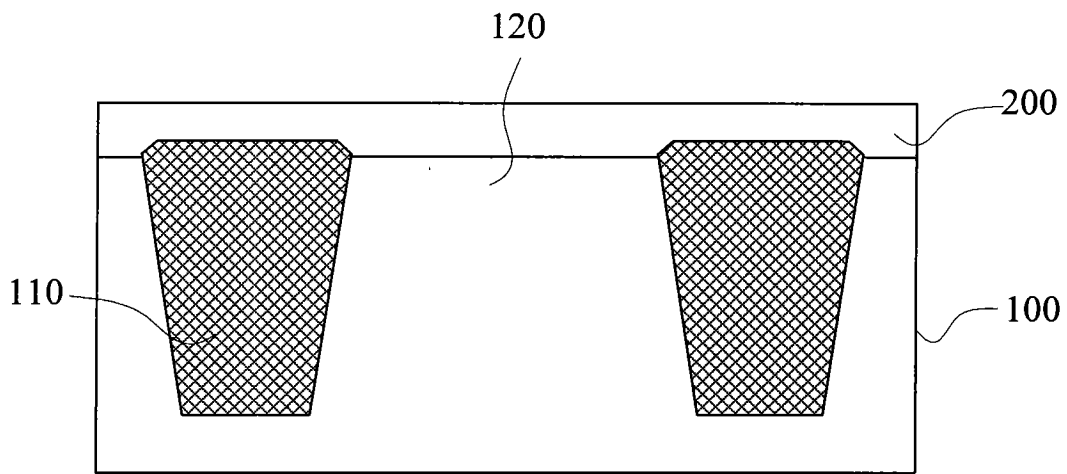


图 3C