



(10) **DE 11 2019 000 291 T5** 2020.10.01

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2019/163343**  
in der deutschen Übersetzung (Art. III § 8 Abs. 2  
IntPatÜG)  
(21) Deutsches Aktenzeichen: **11 2019 000 291.0**  
(86) PCT-Aktenzeichen: **PCT/JP2019/001359**  
(86) PCT-Anmeldetag: **17.01.2019**  
(87) PCT-Veröffentlichungstag: **29.08.2019**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **01.10.2020**

(51) Int Cl.: **H02M 1/08** (2006.01)  
**H01L 25/07** (2006.01)  
**H01L 25/18** (2006.01)  
**H02M 7/48** (2007.01)

(30) Unionspriorität:  
**2018-031148**      **23.02.2018**    **JP**

(74) Vertreter:  
**WITTE, WELLER & PARTNER** Patentanwälte mbB,  
**70173 Stuttgart, DE**

(71) Anmelder:  
**ROHM CO., LTD., Kyoto, JP**

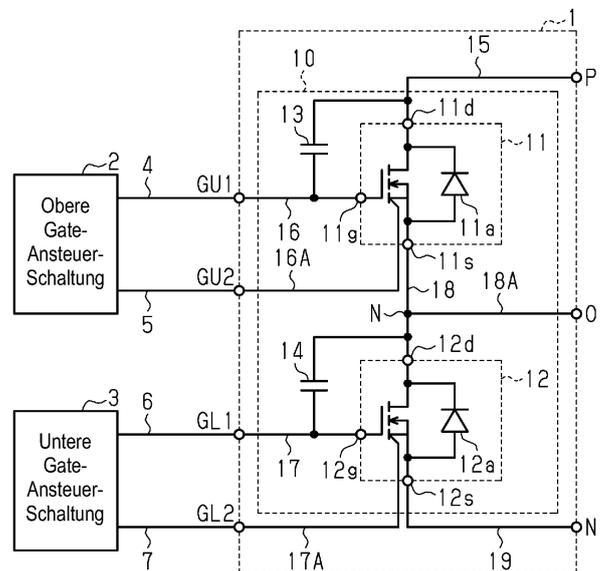
(72) Erfinder:  
**Otake, Hiroataka, Kyoto, JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **Halbleiterbauteil und Leistungsmodul**

(57) Zusammenfassung: Ein Halbleiterbauteil beinhaltet ein oberes Schaltelement, ein unteres Schaltelement, einen oberen Kondensator und einen unteren Kondensator. Das obere Schaltelement ist gebildet durch einen Halbleiter mit breiter Bandlücke und beinhaltet ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal. Das untere Schaltelement ist gebildet durch einen Halbleiter mit breiter Bandlücke und beinhaltet ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal. Der obere Kondensator ist vorgesehen zwischen dem ersten oberen Terminal und dem oberen Steuer-Terminal, und zwar getrennt von dem oberen Schaltelement. Der untere Kondensator ist vorgesehen zwischen dem ersten unteren Terminal und dem unteren Steuer-Terminal, und zwar getrennt von dem unteren Schaltelement. Das zweite obere Terminal und das erste untere Terminal sind elektrisch verbunden.



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Erfindung betrifft ein Halbleiterbauteil und ein Leistungsmodul.

## STAND DER TECHNIK

**[0002]** In einer Halbbrückenschaltung, die gebildet ist aus Schaltelementen, kann beispielsweise beim Einschalten des unteren Schaltelementes aus einem Totzeitzustand eine Drain-Source-Spannung  $V_{ds}$  des oberen Schaltelementes, die aus einer Drain-Source-Spannung  $V_{ds}$  des unteren Schaltelementes resultiert, fluktuierend einwirken auf eine Gate-Source-Spannung  $V_{gs}$  des oberen Schaltelementes und fehlerhafterweise ein Gate einschalten (siehe z.B. Patentdokument 1).

## DOKUMENTE ZUM STAND DER TECHNIK

## PATENTDOKUMENTE

**[0003]** Patentdokument 1: Japanische offengelegte Patentveröffentlichung Nr. 2013-99133

## ÜBERBLICK ÜBER DIE ERFINDUNG

## PROBLEME, DIE DURCH DIE ERFINDUNG ZU LÖSEN SIND

**[0004]** Halbleiter mit breiter Bandlücke, die Siliziumkarbid (SiC: Siliziumkarbid) oder dergleichen verwenden und die eine höhere Stehspannung, einen niedrigeren Durchgangs- bzw. Einschalt-Widerstand, eine höhere Schaltgeschwindigkeit und eine höhere Betriebstemperatur haben als ein Halbleiter, der Silizium (Si) verwendet, werden derzeit erforscht, hergestellt und verkauft. In einem solchen Breitbandlückenhalbleiter ist die Plateau-Spannung (Gate-Source-Spannung in einer Miller-Effektregion) in einer Schwach- bzw. Niedrigstromregion niedrig und das Verhältnis  $C_{gs}/C_{gd}$  der Gate-Source-Kapazität  $C_{gs}$  zur Gate-Drain-Kapazität  $C_{gd}$  ist klein. Dementsprechend hat eine zeitliche Änderung  $dV_{ds}/dt$  der Drain-Source-Spannung  $V_{ds}$  einen großen Einfluss auf die Gate-Source-Spannung  $V_{gs}$ , und zwar über die Gate-Drain-Kapazität  $C_{gd}$ . Dadurch schwankt die Gate-Source-Spannung  $V_{gs}$  stark. Wenn also eine Spannungsspitze bzw. ein Spannungsstoß in der positiven Richtung angelegt wird, so wird ein sogenanntes Selbsteinschalten des Schaltelementes, d.h. eine Aktivierung des Schaltelementes, auch wenn das Schaltelement deaktiviert ist, wahrscheinlich, und es fließt ein Durchgangsstrom zwischen der Oberseite und der Unterseite der Halbbrücke. Auch wenn der Spannungsstoß in negativer Richtung angelegt wird, besteht die Möglichkeit, dass die Spannung das negative Gatespannungs-Rating überschreitet. In ei-

nem SiC-MOSFET (Metalloxid-Halbleiter-Feldeffekttransistor) wird das negative Gatespannungs-Rating oft aus Sicht einer Gate-Schwellenwertverschiebung („gate threshold shift“) niedrig eingestellt. Dieser Effekt ist wahrscheinlich besonders problematisch.

**[0005]** Ein Ziel der vorliegenden Erfindung ist es, ein Halbleiterbauteil und ein Leistungsmodul bereitzustellen, die in der Lage sind, Fluktuationen der Gate-Source-Spannung zu reduzieren.

## MITTEL FÜR DIE LÖSUNG DER PROBLEME

**[0006]** Ein Halbleiterbauteil, das das obige Problem löst, beinhaltet ein oberes Schaltelement, das aus einem Halbleiter mit breiter Bandlücke gebildet ist und ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal beinhaltet; ein unteres Schaltelement, das aus einem Halbleiter mit breiter Bandlücke gebildet ist und ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal beinhaltet; einen oberen Kondensator, der zwischen dem ersten oberen Terminal und dem oberen Steuer-Terminal getrennt vom oberen Schaltelement vorgesehen ist, und einen unteren Kondensator, der zwischen dem ersten unteren Terminal und dem unteren Steuer-Terminal getrennt vom unteren Schaltelement vorgesehen ist. Das zweite obere Terminal und das erste untere Terminal sind elektrisch verbunden.

**[0007]** Gemäß dieser Konfiguration, z.B. wenn das untere Schaltelement von einem Ein- in einen Aus-Zustand wechselt, verringert der untere Kondensator die Änderungsrate der Drain-Source-Spannung des unteren Schaltelementes. Dies verringert die Änderungsrate der Drain-Source-Spannung des oberen Schaltelementes. Folglich nimmt die Änderungsrate der Gate-Source-Spannung des oberen Schaltelementes ab. Folglich, da Zunahmen der Stoßspannung („surge voltage“) der Gate-Source-Spannung des oberen Schaltelementes begrenzt sind, kann eine Fluktuation der Gate-Source-Spannung des oberen Schaltelementes reduziert werden. Z.B. in einem Fall, bei dem das obere Schaltelement von einem Ein- in einen Aus-Zustand wechselt, sind ferner Zunahmen in der Stoßspannung der Gate-Source-Spannung des unteren Schaltelementes auf die gleiche Art und Weise begrenzt. Dadurch kann eine Fluktuation der Gate-Source-Spannung des unteren Schaltelementes reduziert werden.

**[0008]** Ferner beinhaltet ein Leistungsmodul, das das obige Problem löst, ein Substrat; ein oberes Schaltelement, das auf dem Substrat montiert ist, das von einem Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist; ein unteres Schaltelement, das auf dem Substrat montiert ist, das durch einen Halbleiter mit brei-

ter Bandlücke gebildet ist und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist; einen oberen Kondensator, der zwischen der ersten oberen Terminal und dem oberen Steuer-Terminal vorgesehen ist, und zwar getrennt von dem oberen Schaltelement; einen unteren Kondensator, der zwischen dem ersten unteren Terminal und dem unteren Steuer-Terminal vorgesehen ist, und zwar getrennt von dem unteren Schaltelement; und ein Verkapselungsharz, das das obere Schaltelement, das untere Schaltelement, den oberen Kondensator und den unteren Kondensator verkapselt bzw. vergießt. Das zweite obere Terminal und das erste untere Terminal sind elektrisch verbunden.

**[0009]** Gemäß dieser Konfiguration, wenn beispielsweise das untere Schaltelement von einem Ein-Zustand in einen Aus-Zustand wechselt, verringert der untere Kondensator die Änderungsrate der Drain-Source-Spannung des unteren Schaltelementes. Dies verringert die Änderungsrate der Drain-Source-Spannung des oberen Schaltelementes. Folglich nimmt die Änderungsrate der Gate-Source-Spannung des oberen Schaltelementes ab. Da Zunahmen bzw. Erhöhungen in der Stoßspannung der Gate-Source-Spannung des oberen Schaltelementes begrenzt sind, kann daher eine Fluktuation der Gate-Source-Spannung des oberen Schaltelementes reduziert werden. Beispielsweise in einem Fall, bei dem das obere Schaltelement von einem Ein-Zustand in einen Aus-Zustand wechselt, werden Zunahmen in der Stoßspannung („search voltage“) der Gate-Source-Spannung des unteren Schaltelementes auf die gleiche Art und Weise beschränkt. Daher kann eine Fluktuation der Gate-Source-Spannung des unteren Schaltelementes reduziert werden.

**[0010]** Zusätzlich hierzu beinhaltet ein Leistungsmodul, das das obige Problem löst, Folgendes: ein Substrat; ein Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes Terminal, ein zweites Terminal und ein Steuer-Terminal aufweist, das ein Schalten zwischen dem ersten Terminal und dem zweiten Terminal steuert; einen Kondensator, der zwischen dem ersten Terminal und dem Steuer-Terminal vorgesehen ist, und zwar getrennt von dem Schaltelement; und ein Verkapselungsharz, das das Schaltelement und den Kondensator verkapselt.

**[0011]** Ein Leistungsmodul, das das obige Problem löst, beinhaltet ein oberes Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist; ein unteres Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist; eine obere

Diode, die durch einen Halbleiter mit breiter Bandlücke gebildet ist und die eine Anode, die mit dem zweiten oberen Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten oberen Terminal verbunden ist; eine untere Diode, die durch einen Halbleiter mit breiter Bandlücke gebildet ist und die eine Anode, die mit dem zweiten unteren Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten unteren Terminal verbunden ist; und ein Substrat, auf dem das obere Schaltelement, das untere Schaltelement, die obere Diode und die untere Diode montiert sind. Eine Vorwärtsschwellenspannung der oberen Diode ist kleiner als eine Vorwärtsschwellenspannung einer Körperdiode des oberen Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom („tolerable DC rated current“) der oberen Diode ist kleiner als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des oberen Schaltelementes. Eine Vorwärtsschwellenspannung der unteren Diode ist kleiner als eine Vorwärtsschwellenspannung einer Körperdiode des unteren Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom der unteren Diode ist kleiner als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des unteren Schaltelementes.

**[0012]** Ein Leistungsmodul, das das obige Problem löst, beinhaltet ein Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes Terminal, ein zweites Terminal und ein Steuer-Terminal aufweist; eine Diode, die durch einen Halbleiter mit breiter Bandlücke gebildet ist und die eine Anode, die mit dem zweiten Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten Terminal verbunden ist; und ein Substrat, auf dem das Schaltelement und die Diode montiert sind. Eine Vorwärtsschwellenspannung der Diode ist kleiner bzw. niedriger als eine Vorwärtsschwellenspannung einer Körperdiode des Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom der Diode ist kleiner als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des Schaltelementes.

**[0013]** Gemäß dieser Konfiguration, wenn beispielsweise das untere Schaltelemente von einem Ein-Zustand in einen Aus-Zustand wechselt, ist selbst dann, wenn die Drain-Source-Spannung des oberen Schaltelementes zu der negativen Seite abnimmt, eine Abnahme in der Drain-Source-Spannung des oberen Schaltelementes auf die Vorwärts-Schwellenspannung der oberen Diode geklemmt („clamped“). Dies verringert die Fluktuationsperiode der Drain-Source-Spannung. Folglich wird eine Fluktuationszeitspanne bzw. -periode der Gate-Source-Spannung verkürzt. Folglich kann eine Fluktuation der Gate-Source-Spannung reduziert werden.

## WIRKUNG DER ERFINDUNG

**[0014]** Gemäß dem obigen Halbleiterbauteil und dem obigen Leistungsmodul kann eine Fluktuation der Gate-Source-Spannung reduziert werden.

## Figurenliste

**Fig. 1** ist ein schematisches Schaltungsdiagramm, welches ein ein Halbleiterbauteil beinhaltendes Leistungsmodul und eine Ansteuerung für das Leistungsmodul darstellt, und zwar gemäß einer ersten Ausführungsform.

**Fig. 2** ist eine perspektivische Ansicht des Leistungsmoduls.

**Fig. 3** ist eine Draufsicht, die eine interne Konfiguration des Leistungsmoduls darstellt.

**Fig. 4** ist eine Unter- bzw. Bodenansicht des Leistungsmoduls.

**Fig. 5A** ist eine Draufsicht auf ein Schaltelement, und **Fig. 5B** ist eine teilweise vergrößerte Ansicht des Inneren von **Fig. 5A**.

**Fig. 6** ist eine Querschnittsansicht des Schaltelementes.

**Fig. 7** ist ein schematisches Schaltungsdiagramm, das eine Anwendung eines Leistungsmoduls eines Vergleichsbeispiels darstellt.

**Fig. 8** ist ein schematisches Diagramm, das eine parasitäre Kapazität und einen parasitären Widerstand eines oberen Schaltelementes und eines unteren Schaltelementes darstellt.

**Fig. 9** ist ein schematisches Schaltungsdiagramm, das eine Änderung der Drain-Source-Spannung des unteren Schaltelementes und Änderungen der Drain-Source-Spannung, der Drain-Gate-Spannung und der Gate-Source-Spannung des oberen Schaltelementes darstellt, und zwar dann, wenn das untere Schaltelement von einem Aus-Zustand in einen Ein-Zustand gewechselt wird.

**Fig. 10** ist ein schematisches Schaltungsdiagramm, das eine Änderung der Drain-Source-Spannung des unteren Schaltelementes darstellt, und zwar wenn das untere Schaltelement von dem Ein-Zustand in den Aus-Zustand gewechselt wird, und das Änderungen der Drain-Source-Spannung, der Drain-Gate-Spannung und der Gate-Source-Spannung des oberen Schaltelementes darstellt.

**Fig. 11** ist ein Diagramm, das Übergänge („transitions“) der Drain-Source-Spannung des unteren Schaltelementes und der Drain-Source-Spannung und der Gate-Source-Spannung des oberen Schaltelementes darstellt, und zwar

wenn das untere Schaltelement von dem Ein-Zustand in den Aus-Zustand gewechselt wird.

**Fig. 12** ist ein Diagramm, das die Beziehung zwischen der Drain-Source-Spannung und der Kapazität in Bezug auf die Gate-Source-Kapazität und die Gate-Drain-Kapazität des oberen Schaltelementes und des unteren Schaltelementes darstellt.

**Fig. 13** ist ein Diagramm, das die Beziehung zwischen der Zwischenterminalspeisung und der Kapazität eines Kondensators in einem oberen Kondensator und einem unteren Kondensator darstellt.

**Fig. 14** ist ein Diagramm, das die Gate-Source-Kapazität und die Gate-Drain-Kapazität des oberen Schaltelementes und des unteren Schaltelementes darstellt, sowie eine Kondensatorkapazität, einschließlich des oberen Kondensators und des unteren Kondensators, und zwar in dem Leistungsmodul.

**Fig. 15** ist ein Schaltungsdiagramm zum Simulieren des Leistungsmoduls gemäß der ersten Ausführungsform.

**Fig. 16** ist ein Diagramm, das Simulationsergebnisse des Leistungsmoduls von dem Vergleichsbeispiel von **Fig. 7** und des Leistungsmoduls von **Fig. 15** darstellt und das die Beziehung zwischen einer negativen Stoßspannung und einem Schaltverlust darstellt.

**Fig. 17** ist ein schematisches Schaltungsdiagramm eines Leistungsmoduls gemäß einer zweiten Ausführungsform.

**Fig. 18** ist eine perspektivische Ansicht des Leistungsmoduls.

**Fig. 19** ist eine perspektivische Explosionsansicht, die die interne Konfiguration des Leistungsmoduls darstellt.

**Fig. 20** ist eine Draufsicht, die eine interne Konfiguration des Leistungsmoduls darstellt.

**Fig. 21** ist eine Draufsicht, die eine innere Konfiguration des Leistungsmoduls darstellt.

**Fig. 22** ist eine Querschnittsansicht eines Teils eines zweiten Substrats des Leistungsmoduls der **Fig. 20**, und zwar entlang einer Ebene entlang einer zweiten Richtung und einer dritten Richtung.

**Fig. 23** ist eine Querschnittsansicht eines Teils eines ersten Substrats des Leistungsmoduls der **Fig. 20**, und zwar entlang einer Ebene entlang einer ersten Richtung und der dritten Richtung.

**Fig. 24** ist eine Querschnittsansicht eines Teils des Leistungsmoduls der **Fig. 20**, und zwar entlang der Ebene entlang der ersten Richtung und der dritten Richtung.

**Fig. 25** ist eine Draufsicht einer Diode.

**Fig. 26** ist eine Querschnittsansicht eines Teils der Diode.

**Fig. 27** ist ein Diagramm, das Übergänge der Drain-Source-Spannungen des oberen Schaltelementes und des unteren Schaltelementes darstellt, und zwar dann, wenn das untere Schaltelemente von dem Ein-Zustand in den Aus-Zustand gewechselt wird, und zwar in dem Leistungsmodul des Vergleichsbeispiels.

**Fig. 28** ist ein Diagramm, das Übergänge der Drain-Source-Spannungen des oberen Schaltelementes und des unteren Schaltelementes darstellt, und zwar dann, wenn das untere Schaltelement von dem Ein-Zustand in den Aus-Zustand gewechselt wird, und zwar in dem Leistungsmodul gemäß der zweiten Ausführungsform .

**Fig. 29** ist ein Schaltungsdiagramm zum Simulieren des Leistungsmoduls der zweiten Ausführungsform.

**Fig. 30** ist ein Diagramm, das Simulationsergebnisse des Leistungsmoduls des Vergleichsbeispiels von **Fig. 7** und des Leistungsmoduls von **Fig. 29** darstellt, und das die Beziehung zwischen der negativen Stoßspannung und dem Schaltverlust darstellt.

**Fig. 31A** ist eine Draufsicht auf einen MIS-Transistor, und **Fig. 31B** ist eine teilweise vergrößerte Ansicht der **Fig. 31A**, und zwar in Bezug auf ein Leistungsmodul gemäß einer dritten Ausführungsform.

**Fig. 32** stellt Querschnittsansichten entlang der Linie A-A, der Linie B-B und der Linie C-C in **Fig. 31** dar.

**Fig. 33** ist eine Draufsicht, die die interne Konfiguration des Leistungsmoduls darstellt.

**Fig. 34** ist ein Schaltungsdiagramm zum Simulieren des Leistungsmoduls gemäß der dritten Ausführungsform.

**Fig. 35** ist ein Diagramm, das Simulationsergebnisse des Leistungsmoduls des Vergleichsbeispiels der **Fig. 7** und des Leistungsmoduls der **Fig. 34** darstellt, und das die Beziehung zwischen der negativen Stoßspannung und dem Schaltverlust darstellt.

**Fig. 36** ist ein schematisches Schaltungsdiagramm eines Leistungsmoduls gemäß einer vierten Ausführungsform.

**Fig. 37** ist eine Draufsicht, die die interne Konfiguration des Leistungsmoduls darstellt.

**Fig. 38** ist ein Schaltungsdiagramm zum Simulieren des Leistungsmoduls gemäß der vierten Ausführungsform.

**Fig. 39** ist ein Diagramm, das Simulationsergebnisse des Leistungsmoduls des Vergleichsbeispiels der **Fig. 7** und des Leistungsmoduls der **Fig. 38** darstellt, und das die Beziehung zwischen der negativen Stoßspannung und dem Schaltverlust darstellt.

**Fig. 40** ist eine Draufsicht auf einen unteren Inselabschnitt eines Leistungsmoduls und einer Umgebung hiervon, und zwar gemäß einem modifizierten Beispiel.

**Fig. 41** ist eine Draufsicht auf einen unteren Inselabschnitt eines Leistungsmoduls und einer Umgebung hiervon, und zwar gemäß einem modifizierten Beispiel.

**Fig. 42** ist eine Draufsicht, die die interne Konfiguration eines Leistungsmoduls gemäß einem modifizierten Beispiel darstellt.

**Fig. 43A** und **Fig. 43B** sind Querschnittsansichten eines Schaltelementes gemäß einem modifizierten Beispiel.

**Fig. 44** ist ein schematisches Schaltungsdiagramm eines Inverters vom Vollbrückentyp, auf den das Leistungsmodul angewendet ist.

**Fig. 45** ist ein schematisches Schaltungsdiagramm eines dreiphasigen Wechselstrominverters, auf den das Leistungsmodul angewandt ist.

## AUSFÜHRUNGSFORMEN DER ERFINDUNG

**[0015]** Nachstehend werden Ausführungsformen eines Halbleiterbauteilbauteils und eines Leistungsmoduls unter Bezugnahme auf die Zeichnungen beschrieben. Jede der nachstehend beschriebenen Ausführungsformen stellt ein Beispiel der Konfiguration und des Verfahrens zum Ausführen von technischen Ideen dar, und Material, Form, Struktur, Anordnung, Größe und dergleichen von jeder Komponente ist nicht auf die nachstehend beschriebenen Werte beschränkt. Verschiedene Modifikationen können zu den folgenden Ausführungen hinzugefügt werden.

**[0016]** In der vorliegenden Beschreibung beinhaltet „ein Zustand, bei dem ein Element A mit einem Element B verbunden ist“, einen Fall, bei dem das Element A und das Element B physisch und direkt verbunden sind, als auch einen Fall, bei dem das Element A und das Element B indirekt über ein anderes Element verbunden sind, das den elektrischen Verbindungszustand nicht beeinflusst bzw. beeinträchtigt.

**[0017]** In ähnlicher Weise beinhaltet „ein Zustand, bei dem ein Element C zwischen einem Element A und einem Element B vorgesehen ist“, einen Fall, bei dem das Element A und das Element C oder das Element B und das Element C direkt verbunden sind, als auch einen Fall, bei dem das Element A und das Ele-

ment C oder das Element B und das Element C indirekt über ein anderes Element verbunden sind, welches den elektrischen Verbindungszustand nicht beeinträchtigt.

#### Erste Ausführungsform

**[0018]** Wie in **Fig. 1** dargestellt, hat in einem Leistungsmodul **1** und dessen Ansteuerschaltungen das Leistungsmodul **1** eine Vielzahl von Terminals bzw. Anschlüssen. Wie als eine Vielzahl von Terminals in **Fig. 1** dargestellt, weist das Leistungsmodul **1** ein erstes Eingangsterminal **P**, das als eine positive Seite dient, ein zweites Eingangsterminal **N**, das als eine negative Seite dient, ein Ausgangsterminal **O**, ein erstes oberes Steuer-Terminal **GU1**, ein zweites oberes Steuer-Terminal **GU2**, ein erstes unteres Steuer-Terminal **GL1** und ein zweites unteres Steuer-Terminal **GL2** auf. Das erste Eingangsterminal **P** kann elektrisch mit einer Leistungsversorgung (nicht dargestellt) verbunden werden, die dazu dient, eine Leistungsversorgungsspannung **VDD** zu erzeugen. Das zweite Eingangsterminal **N** kann elektrisch mit Masse bzw. Erde verbunden sein.

**[0019]** Ein Halbleiterbauteil **10** beinhaltet eine Halbbrückenschaltung, bei der ein oberes Schaltelement **11** und ein unteres Schaltelement **12** in Reihe miteinander verbunden sind. Sowohl das obere Schaltelement **11** als auch das untere Schaltelement **12** ist ein 4H-SiC (Halbleiter mit breiter Bandlücke mit einem elektrischen Durchbruch- bzw. Durchschlagfeld von etwa 2,8 MV/cm und einer Bandlückenbreite von etwa 3,26 eV). Der Halbleiter mit breiter Bandlücke, der für das obere Schaltelement **11** und das untere Schaltelement **12** verwendet wird, ist nicht auf Siliziumkarbid (SiC) beschränkt, und kann Galliumnitrid (GaN), Galliumoxid (Ga<sub>2</sub>O<sub>3</sub>), Diamant oder dergleichen sein. Galliumnitrid (GaN) hat ein elektrisches Durchbruchfeld von ca. 3 MV/cm und eine Bandlückenbreite von etwa 3,42 eV. Galliumoxid (Ga<sub>2</sub>O<sub>3</sub>) hat ein elektrisches Durchbruchfeld von etwa 8 MV/cm und eine Bandlückenbreite von etwa 4,8 eV. Diamant hat ein elektrisches Durchbruchfeld von etwa 8 MV/cm und eine Bandlückenbreite von etwa 5,47 eV. Ein Beispiel des oberen Schaltelementes **11** und des unteren Schaltelementes **12** ist ein SiC-MOSFET (Feldeffekttransistor auf Metalloxid-Halbleiter-Basis).

**[0020]** Das obere Schaltelement **11** weist ein Drain-Terminal **11d** auf, bei dem es sich um ein Beispiel eines ersten oberen Terminals handelt, ein Source-Terminal **11s**, bei dem es sich um ein Beispiel eines zweiten oberen Terminals handelt, und ein Gate-Terminal **11g**, bei dem es sich um ein Beispiel eines oberen Steuer-Terminals handelt. Das untere Schaltelement **12** weist ein Drain-Terminal **12d** auf, bei dem es sich um ein Beispiel eines ersten unteren Terminals handelt, ein Source-Terminal **12s**, bei dem es sich um ein Beispiel eines zweiten unteren Terminals

handelt, und ein Gate-Terminal **12g**, bei dem es sich um ein Beispiel eines unteren Steuer-Terminals handelt.

**[0021]** Die Anzahl von jedem der oberen Schaltelemente **11** und der unteren Schaltelemente **12** ist kann frei geändert werden. Beispielsweise ist die Anzahl von jedem der oberen Schaltelemente **11** und der unteren Schaltelemente **12** so eingestellt, dass ein Einschalt-Widerstand hiervon zu einem vorab eingestellten Einschalt-Widerstand („on-resistance“) wird. Für den Fall, dass eine Vielzahl von oberen Schaltelementen **11** vorgesehen ist, ist die Vielzahl von oberen Schaltelementen **11** parallel miteinander verbunden. Das heißt, die Drain-Terminals **11d** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden, die Source-Terminals **11s** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden, und die Gate-Terminals **11g** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden. Zusätzlich hierzu ist für den Fall, dass eine Vielzahl von unteren Schaltelementen **12** bereitgestellt ist, die Vielzahl der unteren Schaltelemente **12** parallel miteinander verbunden. Das heißt, die Drain-Terminals **12d** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, die Source-Terminals **12s** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, und die Gate-Terminals **12g** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden. Bei der vorliegenden Ausführungsform sind zwei obere Schaltelemente **11** vorgesehen, und es sind zwei untere Schaltelemente **12** vorgesehen.

**[0022]** Das Drain-Terminal **11d** des oberen Schaltelementes **11** ist über eine erste Verdrahtung **15** elektrisch mit dem ersten Eingangs-Terminal **P** verbunden. Im Ergebnis wird die Leistungsversorgungsspannung **VDD** dem Drain-Terminal **11d** des oberen Schaltelementes **11** zugeführt. Das Source-Terminal **11s** des oberen Schaltelementes **11** ist mit dem Drain-Terminal **12d** des unteren Schaltelementes **12** über eine vierte Verdrahtung **18** verbunden. Ein Knoten **N** zwischen dem Source-Terminal **11s** des oberen Schaltelementes **11** und dem Drain-Terminal **12d** des unteren Schaltelementes **12d** in der vierten Verdrahtung **18** ist elektrisch mit dem Ausgangs-Terminal **O** über eine Ausgangsverdrahtung **18A** verbunden. Das Gate-Terminal **11g** des oberen Schaltelementes **11g** ist elektrisch mit dem ersten oberen Steuer-Terminal **GU1** über eine zweite Verdrahtung **16** verbunden. Das erste obere Steuer-Terminal **GU1** ist elektrisch mit einer oberen Gate-Ansteuerschaltung **2** über eine erste obere Verdrahtung **4** verbunden. Die obere Gate-Ansteuerschaltung **2** gibt ein Gate-Ansteuersignal zum Betreiben des oberen Schaltelementes **11** an das Gate-Terminal **11g** aus, und zwar gemäß einem Befehl von einer Ansteuerschaltung, die nicht dargestellt ist. Die Source des oberen Schaltelementes **11** ist elektrisch mit dem zweiten

oberen Steuer-Terminal **GU2** über eine obere Erfassungsverdrahtung **16A** verbunden. Das zweite obere Steuer-Terminal **GU2** ist mit der oberen Gate-Ansteuerschaltung **2** über eine zweite obere Verdrahtung **5** verbunden.

**[0023]** Das Source-Terminal **12s** des unteren Schaltelementes **12** ist elektrisch mit dem zweiten Eingangsterminal **N** über eine fünfte Verdrahtung **19** verbunden. Im Ergebnis ist das Source-Terminal **12s** des unteren Schaltelementes **12s** elektrisch mit Masse verbunden. Das Gate-Terminal **12g** des unteren Schaltelementes **12** ist elektrisch mit dem ersten unteren Steuer-Terminal **GL1** über eine dritte Verdrahtung **1** verbunden. Das erste untere Steuer-Terminal **GL1** ist elektrisch mit einer unteren Gate-Ansteuerschaltung **3** über eine erste untere Verdrahtung **6** verbunden. Die untere Gate-Ansteuerschaltung **3** gibt ein Gate-Ansteuersignal zum Betreiben des unteren Schaltelementes **12** an das Gate-Terminal **12g** aus, und zwar gemäß einem Befehl von einer Ansteuerschaltung, die nicht dargestellt ist. Die obere Gate-Ansteuerschaltung **2** und die untere Gate-Ansteuerschaltung **3** steuern das obere Schaltelement **11** und das untere Schaltelement **12** auf komplementäre Art und Weise, um das obere Schaltelement **11** und das untere Schaltelement **12** ein- und auszuschalten. Die Source des unteren Schaltelementes **12** ist elektrisch mit dem zweiten unteren Steuer-Terminal **GL2** über eine untere Erfassungs-Verdrahtung (sense wiring) **17A** verbunden. Das zweite untere Steuer-Terminal **GL2** ist mit der unteren Gate-Ansteuerschaltung **3** über eine zweite untere Verdrahtung **7** verbunden.

**[0024]** Wie es in **Fig. 1** dargestellt ist, sind die obere Gate-Ansteuerschaltung **2**, die untere Gate-Ansteuerschaltung **3**, die erste obere Verdrahtung **4**, die zweite obere Verdrahtung **5**, die erste untere Verdrahtung **6** und die zweite untere Verdrahtung **7** außerhalb des Leistungsmoduls **1** vorgesehen. Wenigstens eine von der oberen Gate-Ansteuerschaltung **2** und der unteren Gate-Ansteuerschaltung **3** kann innerhalb des Leistungsmoduls **1** vorgesehen sein. Zusätzlich hierzu kann das Leistungsmodul **1** dazu konfiguriert sein, zwei obere und untere Leistungsmodule zu kombinieren.

**[0025]** Das Halbleiterbauteil **10** weist einen oberen Kondensator **13** und einen unteren Kondensator **14** auf. Wie es in **Fig. 1** und **Fig. 3** dargestellt ist, ist der obere Kondensator **13** separat von dem oberen Schaltelement **11** vorgesehen. Der untere Kondensator **14** ist separat vom unteren Schaltelement **12** vorgesehen. Ein Beispiel des oberen Kondensators **13** und des unteren Kondensators **14** ist ein Keramik Kondensator, ein Filmkondensator, ein anti-ferroelektrischer Kondensator oder dergleichen, er kann jedoch auch durch eine Streukapazität in dem Leistungsmodul **1** gebildet sein. Die Kapazität von sowohl dem oberen Kondensator **13** als auch dem unteren

Kondensator **14** beträgt etwa einige 10 pF. Der obere Kondensator **13** ist vorzugsweise dazu konfiguriert, dass dessen Kapazität für einen Fall zunimmt, dass eine Drain-Source-Spannung  $V_{dsu}$ , bei der es sich um eine Spannung zwischen dem Drain-Terminal **11d** und dem Source-Terminal **11s** des oberen Schaltelementes **11** handelt, ein positiver Wert ist. Der untere Kondensator **14** ist vorzugsweise so konfiguriert, dass dessen Kapazität zunimmt, und zwar für den Fall, dass eine Drain-Source-Spannung  $V_{dsl}$ , bei der es sich um eine Spannung zwischen dem Drain-Terminal **12d** und dem Source-Terminal **12s** des unteren Schaltelementes **12** handelt, ein positiver Wert ist. Aus diesem Gesichtspunkt heraus wird für den oberen Kondensator **13** und den unteren Kondensator **14** der vorliegenden Ausführungsform ein anti-ferroelektrischer Kondensator verwendet. Ein anti-ferroelektrischer Kondensator hat eine solche Charakteristik, dass dessen Kapazität zunimmt, wenn eine positive Spannung angelegt wird.

**[0026]** Der obere Kondensator **13** ist zwischen dem Drain-Terminal **11d** und dem Gate-Terminal **11g** des oberen Schaltelementes **11** vorgesehen. Genauer gesagt ist ein erster Anschluss des oberen Kondensators **13** mit der ersten Verdrahtung **15** verbunden, die das Drain-Terminal **11d** und das erste Eingangsterminal **P** verbindet. Ein zweites Terminal des oberen Kondensators **13** ist mit der zweiten Verdrahtung **16** verbunden, die das Gate-Terminal **11g** und das erste obere Steuer-Terminal **GU1** verbindet.

**[0027]** Der untere Kondensator **14** ist zwischen dem Drain-Terminal **12d** und dem Gate Terminal **12g** des unteren Schaltelementes **12** vorgesehen. Genauer gesagt ist ein erstes Terminal des unteren Kondensators **14** zwischen dem Drain-Terminal **11d** und dem Source-Terminal **11s** des oberen Schaltelementes **11** verbunden bzw. angeschlossen. Genauer gesagt ist das erste Terminal des unteren Kondensators **14** mit dem Abschnitt in der vierten Verdrahtung **18** zwischen dem Knoten **N** und dem Drain-Terminal **12d** des unteren Schaltelementes **12** verbunden. Das zweite Terminal des unteren Kondensators **14** ist mit der dritten Verdrahtung **17** verbunden, die das Gate Terminal **12g** und das erste untere Steuer-Terminal **GL1** verbindet.

**[0028]** Die **Fig. 2** bis **Fig. 4** stellen ein Beispiel für die Konfiguration des Leistungsmoduls **1** dar. Die Konfiguration des Leistungsmoduls **1** ist nicht auf die in den **Fig. 2** bis **Fig. 4** dargestellte Konfiguration beschränkt, und es sind verschiedene Modifikationen hiervon möglich.

**[0029]** Wie es in den **Fig. 2** bis **Fig. 4** dargestellt ist, beinhaltet das Leistungsmodul **1** ein Substrat **20**, auf dem das obere Schaltelement **11**, das untere Schaltelement **12**, der obere Kondensator **13** und der untere Kondensator **14** montiert sind; und das Verkap-

selungsharz **40**, das das obere Schaltelement **11**, das untere Schaltelement **12**, den oberen Kondensator **13**, den unteren Kondensator **14** und einen Teil des Substrats **20** verkapselt bzw. vergießt. Zusätzlich hierzu beinhaltet das Leistungsmodul **1**, als ein Beispiel von Terminalelementen, ein erstes Eingangs-Terminalelement **30**, das das erste Eingangs-Terminal **P** konfiguriert, ein zweites Eingangs-Terminalelement **31**, das das zweite Eingangs-Terminal **N** konfiguriert, ein Ausgangs-Terminalelement **32**, das das Ausgangs-Terminal **O** konfiguriert, ein erstes oberes Steuer-Terminalelement **33**, das das erste obere Steuer-Terminal **GU1** konfiguriert, ein zweites oberes Steuer-Terminalelement **34**, das die zweite obere Steuer-Terminal **GU2** konfiguriert, ein erstes unteres Steuer-Terminalelement **35**, das das erste untere Steuer-Terminal **GL1** konfiguriert, und ein zweites unteres Steuer-Terminalelement **36**, das die zweite untere Steuer-Terminal **GL2** konfiguriert.

**[0030]** Das Substrat **20** weist ein planares Keramiksubstrat **21** auf, bei dem es sich um ein Beispiel eines Trägersubstrates handelt. Auf der Vorderflächenseite des Keramiksubstrates **21** sind ein Ausgangsverdrahtungsabschnitt **22**, ein erster Eingangsverdrahtungsabschnitt **23**, der als eine positive Seite dient, ein zweiter Eingangsverdrahtungsabschnitt **24**, der als eine negative Seite dient, ein erster oberer Steuerungsverdrahtungsabschnitt **25**, ein zweiter oberer Steuerungsverdrahtungsabschnitt **26**, ein erster unterer Steuerungsverdrahtungsabschnitt **27** und ein zweiter unterer Steuerungsverdrahtungsabschnitt **28** vorgesehen. Jeder der Verdrahtungsabschnitte **22** bis **28** ist aus Kupfer (Cu) hergestellt. In der folgenden Beschreibung wird die Längsrichtung bzw. Longitudinalrichtung des Substrats **20** als „erste Richtung X“ definiert, und die Querrichtung bzw. Lateralrichtung des Substrats **20** wird als „zweite Richtung Y“ definiert. Die zweite Richtung Y ist eine Richtung orthogonal zu der ersten Richtung X, und zwar in einer Draufsicht des Leistungsmoduls **1**.

**[0031]** Der Ausgangsverdrahtungsabschnitt **22** ist in der zweiten Richtung Y an der Mitte des Keramiksubstrates **21** vorgesehen. Der Ausgangsverdrahtungsabschnitt **22** ist in einer Draufsicht in einer im Wesentlichen L-förmigen Form ausgebildet. Der Ausgangsverdrahtungsabschnitt **22** weist einen ersten Abschnitt **22a** auf, der sich in der ersten Richtung X erstreckt, und einen zweiten Abschnitt **22b**, der sich in der zweiten Richtung Y erstreckt. Der zweite Abschnitt **22b** ist an einem Endabschnitt des ersten Abschnittes **22a** in der ersten Richtung X vorgesehen. Die Breitenabmessung des ersten Abschnittes **22a** (Länge des ersten Abschnittes **22a** in der zweiten Richtung Y) ist größer als die Breitenabmessung des zweiten Abschnittes **22b** (Länge des zweiten Abschnittes **22b** in der ersten Richtung X). Der erste Abschnitt **22a** ist bei der Mitte des Keramiksubstrates **21** in der zweiten Richtung Y angeordnet. Der zwei-

te Abschnitt **22b** ist an einem Endabschnitt des Keramiksubstrates **21** in der ersten Richtung X angeordnet und erstreckt sich von dem ersten Abschnitt **22a** in der zweiten Richtung Y in Richtung hin zu der Seite, bei der die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind. Ein Ausgangs-Terminalelement **32** ist mit dem zweiten Abschnitt **22b** verbunden. Das Ausgangs-Terminalelement **32** ist an der Mitte des Keramiksubstrates **21** in der zweiten Richtung Y angeordnet.

**[0032]** Der erste Eingangsverdrahtungsabschnitt **23** ist so vorgesehen, dass er benachbart ist zu dem Ausgangsverdrahtungsabschnitt **22**. Der erste Eingangsverdrahtungsabschnitt **23** ist so ausgebildet, dass er in einer Draufsicht im Wesentlichen L-förmig ist. Der erste Eingangsverdrahtungsabschnitt **23** weist einen ersten Abschnitt **23a** auf, der sich in der ersten Richtung X erstreckt, und einen zweiten Abschnitt **23b**, der sich in der zweiten Richtung Y erstreckt. Der erste Abschnitt **23a** ist auf der Seite des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** angeordnet, und zwar dort, wo die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind, so dass er benachbart ist zu dem ersten Abschnitt **22a**, und zwar mit einem Spalt dazwischen in der zweiten Richtung Y. Der Endabschnitt des ersten Abschnittes **23a** auf einer Seite des Ausgangs-Terminalelementes **32** ist so angeordnet, dass er benachbart ist zu dem zweiten Abschnitt **22b** des Ausgangsverdrahtungsabschnittes **22**, und zwar in der ersten Richtung X mit einem Spalt dazwischen. Der zweite Abschnitt **23b** ist an einem Endabschnitt des ersten Abschnittes **23a** in der ersten Richtung X vorgesehen. Der zweite Abschnitt **23b** bedeckt von der ersten Richtung X einen Teil eines Endabschnittes an dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** auf der Seite gegenüberliegend der Seite, auf der das Ausgangs-Terminalelement **32** angeordnet ist. Das erste Eingangs-Terminalelement **30** ist mit dem zweiten Abschnitt **23b** verbunden. Die Breitenabmessung des ersten Abschnittes **23a** (Länge des ersten Abschnittes **23a** in der zweiten Richtung Y) ist größer als die Breitenabmessung des zweiten Abschnittes **23b** (Länge des zweiten Abschnittes **23b** in der ersten Richtung X). Die Breitenabmessung des ersten Abschnittes **23a** ist kleiner als die Breitenabmessung des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22**.

**[0033]** Der zweite Eingangsverdrahtungsabschnitt **24** ist so vorgesehen, dass er benachbart ist zu dem Ausgangsverdrahtungsabschnitt **22**. Der zweite Eingangsverdrahtungsabschnitt **24** ist so ausgebildet, dass er in einer Draufsicht im Wesentlichen T-förmig ist. Der zweite Eingangsverdrahtungsabschnitt **24** weist einen ersten Abschnitt **24a** auf, der sich in der ersten Richtung X erstreckt, und einen zweiten Abschnitt **24b**, der sich in der zweiten Richtung Y erstreckt. Der erste Abschnitt **24a** ist auf der Seite des

ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** angeordnet, auf der die unteren Steuer-Terminalelemente **35**, **36** angeordnet sind, und zwar benachbart zu dem ersten Abschnitt **22a** über einen Spalt dazwischen in der zweiten Richtung Y. Wie es in **Fig. 3** dargestellt ist, ist der erste Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** so angeordnet, dass er sandwichartig zwischen dem ersten Abschnitt **23a** des ersten Eingangsverdrahtungsabschnittes **23** und dem ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** aufgenommen ist. Der zweite Abschnitt **24b** ist an einem Endabschnitt des ersten Abschnittes **24a** in der ersten Richtung X vorgesehen. Der zweite Abschnitt **24b** steht gegenüber beiden Seiten des ersten Abschnittes **24a** in der zweiten Richtung Y vor. Die Breitenabmessung des ersten Abschnittes **24a** (Länge des ersten Abschnittes **24a** in der zweiten Richtung Y) ist größer als die Breitenabmessung des zweiten Abschnittes **24b** (Länge des zweiten Abschnittes **24b** in der ersten Richtung X). Die Breitenabmessung des ersten Abschnittes **24a** ist kleiner als sowohl die Breitenabmessung des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** als auch die Breitenabmessung des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23**. Die Länge des ersten Abschnittes **24a** in der ersten Richtung X ist länger als sowohl die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X als auch die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X. Die Position des zweiten Abschnittes **24b** in der ersten Richtung X ist dieselbe wie die Position des zweiten Abschnittes **23b** des ersten Eingangsverdrahtungsabschnittes **23**, und zwar in der ersten Richtung X. Ein Abschnitt des zweiten Abschnittes **24b**, der in Richtung hin zu einer Seite des ersten Eingangsverdrahtungsabschnittes **23** mehr vorsteht als der erste Abschnitt **24a**, deckt von der ersten Richtung X einen Teil des Endabschnittes des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22a** auf der Seite ab, die der Seite gegenüberliegt, an der das Ausgangs-Terminalelement **32** angeordnet ist.

**[0034]** Der erste obere Steuerverdrahtungsabschnitt **25** ist an einem Endabschnitt des Keramiksubstrates **21** vorgesehen, und zwar auf der Seite, bei der die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind. Der erste obere Steuerverdrahtungsabschnitt **25** ist so vorgesehen, dass er benachbart ist zu dem ersten Abschnitt **23a** in der zweiten Richtung Y, und zwar auf der Seite des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23**, dort, wo die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind. Der erste obere Steuerverdrahtungsabschnitt **25** weist einen ersten Abschnitt **25a** auf, der sich in der ersten Richtung X erstreckt, und einen zweiten Abschnitt **25b**, der sich in der zweiten Richtung Y erstreckt, sowie einen gebogenen Ab-

schnitt **25c**, der den ersten Abschnitt **25a** und den zweiten Abschnitt **25b** verbindet. Ein ausgesparter Abschnitt **25d**, der in Richtung hin zu dem ersten Eingangsverdrahtungsabschnitt **23** in der zweiten Richtung Y ausgespart ist, ist an einem Endabschnitt des ersten Abschnittes **25a** auf einer Seite des gebogenen Abschnittes **25c** gebildet. Das heißt, die Breitenabmessung des Abschnittes des ersten Abschnittes **25a**, bei dem der ausgesparte Abschnitt **25d** ausgebildet ist (Länge des ersten Abschnittes **25a** in der zweiten Richtung Y), ist kleiner als die Breitenabmessung des anderen Abschnittes des ersten Abschnittes **25a** (Länge des ersten Abschnittes **25a** in der zweiten Richtung Y). Die Länge des ersten Abschnittes **25a** in der ersten Richtung X ist kürzer als die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X. Das erste obere Steuer-Terminalelement **33** ist mit einem vorderen Endabschnitt des zweiten Abschnittes **25b** verbunden. Das erste obere Steuer-Terminalelement **33** erstreckt sich in der zweiten Richtung Y.

**[0035]** Der zweite obere Steuerverdrahtungsabschnitt **26** ist an einem Endabschnitt des Keramiksubstrates **21** auf der Seite vorgesehen, wo die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind. Der zweite obere Steuerverdrahtungsabschnitt **26** ist benachbart zu dem ersten oberen Steuerverdrahtungsabschnitt **25** in der zweiten Richtung Y angeordnet, und zwar auf der Seite, auf der die oberen Steuer-Terminalelemente **33**, **34** angeordnet sind, und zwar in Bezug auf den ersten oberen Steuerverdrahtungsabschnitt **25**. In einem Abschnitt des zweiten oberen Steuerverdrahtungsabschnittes **26** gegenüber dem ausgesparten Abschnitt **25d** des ersten oberen Steuerverdrahtungsabschnittes **25** in der zweiten Richtung Y ist ein Verbindungsabschnitt **26a** vorgesehen, der sich in Richtung hin zu dem ausgesparten Abschnitt **25d** erstreckt. Der Verbindungsabschnitt **26a** ist vom zweiten Abschnitt **25b** des ersten oberen Steuerverdrahtungsabschnittes **25** in der ersten Richtung X abgedeckt („covered“). Ein zweites oberes Steuer-Terminalelement **34** ist mit dem Verbindungsabschnitt **26a** verbunden. Das zweite obere Steuer-Terminalelement **34** erstreckt sich in der zweiten Richtung Y.

**[0036]** Der erste untere Steuerverdrahtungsabschnitt **27** ist an einem Endabschnitt des Keramiksubstrates **21** auf der Seite vorgesehen, wo die unteren Steuer-Terminalelemente **35**, **36** angeordnet sind. Der erste untere Steuerverdrahtungsabschnitt **27** ist so vorgesehen, dass er benachbart ist zu dem ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** in der zweiten Richtung Y, und zwar auf der Seite des ersten Abschnittes **24a**, wo die unteren Steuer-Terminalelemente **35**, **36** angeordnet sind. Der erste untere Steuerverdrahtungsabschnitt **27** beinhaltet einen ersten Abschnitt **27a**, der sich in der ersten Richtung X erstreckt, einen

zweiten Abschnitt **27b**, der sich in der zweiten Richtung Y erstreckt, und einen gebogenen Abschnitt **27c**, der den ersten Abschnitt **27a** und den zweiten Abschnitt **27b** miteinander verbindet. Ein ausgesparter Abschnitt **27d**, der in Richtung hin zu dem zweiten Eingangsverdrahtungsabschnitt **24** in der zweiten Richtung Y ausgespart ist, ist an einem Endabschnitt in dem ersten Abschnitt **27a** auf einer Seite des gebogenen Abschnittes **27c** ausgebildet. Das heißt, die Breitenabmessung des Abschnittes, wo der ausgesparte Abschnitt **27d** in dem ersten Abschnitt **27a** gebildet ist (Länge des ersten Abschnittes **27a** in der zweiten Richtung Y), ist kleiner als die Breitenabmessung des anderen Abschnittes des ersten Abschnittes **27a** (Länge des ersten Abschnittes **27a** in der zweiten Richtung Y). Die Länge des ersten Abschnittes **27a** in der ersten Richtung X ist kürzer als sowohl die Länge des ersten Abschnittes **24a** des zweiten Eingangsverdrahtungsabschnittes **24** in der ersten Richtung X als auch als die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X. Das erste untere Steuer-Terminelement **35** ist mit dem vorderen Endabschnitt des zweiten Abschnittes **27b** verbunden. Das erste untere Steuer-Terminelement **35** erstreckt sich in der zweiten Richtung Y.

**[0037]** Der zweite untere Steuerverdrahtungsabschnitt **28** ist an einem Endabschnitt des Keramiksubstrates **21** auf der Seite vorgesehen, wo die unteren Steuer-Terminelemente **35**, **36** angeordnet sind. Der zweite untere Steuerverdrahtungsabschnitt **28** ist benachbart zu dem ersten unteren Steuerverdrahtungsabschnitt **27** in der zweiten Richtung Y angeordnet, und zwar auf der Seite des ersten unteren Steuerverdrahtungsabschnittes **27**, wo die unteren Steuer-Terminelemente **35**, **36** angeordnet sind. In einem Abschnitt des zweiten unteren Steuerverdrahtungsabschnittes **28**, gegenüberliegend dem ausgesparten Abschnitt **27d** des ersten unteren Steuerverdrahtungsabschnittes **27** in der zweiten Richtung Y, ist ein Verbindungsabschnitt **28a** vorgesehen, der sich in Richtung hin zu dem ausgesparten Abschnitt **27d** erstreckt. Der Verbindungsabschnitt **28a** ist von dem zweiten Abschnitt **27b** des ersten unteren Steuerverdrahtungsabschnittes **27** in der ersten Richtung X abgedeckt. Das zweite untere Steuer-Terminelement **36** ist mit dem Verbindungsabschnitt **28a** verbunden. Das zweite untere Steuer-Terminelement **36** erstreckt sich in der zweiten Richtung Y.

**[0038]** Auf der Vorderflächenseite des Keramiksubstrates **21** sind ein oberer Inselabschnitt **37** und ein unterer Inselabschnitt **38** Keramiksubstrates vorgesehen. Die Form von sowohl dem oberen Inselabschnitt **37** als auch dem unteren Inselabschnitt **38** ist ein Rechteck, bei dem die erste Richtung X die Longitudinalrichtung ist. Der obere Inselabschnitt **37** und der untere Inselabschnitt **38** sind beispielsweise aus Kupfer (Cu) hergestellt.

**[0039]** Der obere Inselabschnitt **37** ist an dem Endabschnitt des Keramiksubstrates **21** auf der Seite vorgesehen, wo die oberen Steuer-Terminelemente **33**, **34** angeordnet sind. Der obere Inselabschnitt **37** ist auf einer Seite des ersten Eingangs-Terminelementes **30** der oberen Steuerverdrahtungsabschnittes **25**, **26** in der ersten Richtung X vorgesehen. Genauer gesagt ist der obere Inselabschnitt **37** so vorgesehen, dass er benachbart ist zu dem zweiten Abschnitt **25b** und dem gebogenen Abschnitt **25c** des ersten oberen Steuerverdrahtungsabschnittes **25** in der ersten Richtung X, und zwar mit einem Spalt dazwischen, und benachbart zu dem ersten Abschnitt **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der zweiten Richtung Y, und zwar mit einem Spalt dazwischen. Der obere Inselabschnitt **37** und der erste Eingangsverdrahtungsabschnitt **23** sind elektrisch durch einen oder mehrere obere Verbindungsdrähte **39U** verbunden. In der vorliegenden Ausführungsform sind der obere Inselabschnitt **37** und der erste Eingangsverdrahtungsabschnitt **23** elektrisch durch die zwei oberen Verbindungsdrähte **39U** verbunden. Der obere Verbindungsdraht **39U** ist z.B. aus Aluminium (Al) hergestellt. Der Drahtdurchmesser des oberen Verbindungsdrahtes **39U** ist vorzugsweise größer als der Drahtdurchmesser eines oberen Steuerdrahtes **45** (unteren Steuerdrahtes **47**), und ist beispielsweise gleich dem Drahtdurchmesser eines oberen Leistungsdrahtes (unteren Leistungsdrahtes **46**).

**[0040]** Der untere Inselabschnitt **38** ist an einem Endabschnitt des Keramiksubstrates **21** auf der Seite vorgesehen, wo die unteren Steuer-Terminelemente **35**, **36** angeordnet sind. Der untere Inselabschnitt **38** ist auf einer Seite des Ausgangs-Terminelementes **32** der unteren Steuerverdrahtungsabschnitte **27**, **28** in der ersten Richtung X vorgesehen. Genauer gesagt ist der untere Inselabschnitt **38** so vorgesehen, dass er benachbart ist zu zweiten Abschnitt **27b** und dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27** in der ersten Richtung X, und zwar mit einem Spalt dazwischen, und benachbart zu dem ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** in der zweiten Richtung Y, und zwar mit einem Spalt dazwischen. Der untere Inselabschnitt **38** und der Ausgangsverdrahtungsabschnitt **22** sind elektrisch durch einen oder mehrere untere Verbindungsdrähte **39L** verbunden. In der vorliegenden Ausführungsform sind der untere Inselabschnitt **38** und der Ausgangsverdrahtungsabschnitt **22** elektrisch durch die zwei unteren Verbindungsdrähte **39L** verbunden. Der untere Verbindungsdraht **39L** erstreckt sich über den ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** in der zweiten Richtung Y. Der untere Verbindungsdraht **39L** ist beispielsweise aus Aluminium (**A1**) hergestellt. Der Drahtdurchmesser des unteren Verbindungsdrahtes **39L** ist vorzugsweise größer als der Drahtdurchmesser des oberen Steuerdrahtes **45** (unteren Steuerdrahtes **47**), und ist

beispielsweise gleich groß wie der Drahtdurchmesser eines oberen Leistungsdrahtes **44** (unteren Leistungsdrahtes **46**).

**[0041]** Jedes der zwei oberen Schaltelemente **11** ist chipförmig ausgebildet und ist auf dem ersten Abschnitt **23a** des ersten Eingangsverdrahtungsabschnittes **23** montiert. Die zwei oberen Schaltelemente **11** sind so positioniert, dass ein Spalt dazwischen in der ersten Richtung X vorgesehen ist. Das heißt, die zwei oberen Schaltelemente **11** sind auf dem ersten Eingangsverdrahtungsabschnitt **23** und beabstandet voneinander in der ersten Richtung X montiert. Jedes obere Schaltelement **11** ist bei der Mitte in der zweiten Richtung Y des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** angeordnet. Zusätzlich hierzu ist jedes obere Schaltelement **11** auf einer Seite eines Ausgangs-Terminelementes **32** der oberen Steuer-Terminelemente **33**, **34** in der ersten Richtung X positioniert. Genauer gesagt ist jedes obere Schaltelement **11** auf einer Seite eines Ausgangs-Terminelementes **32** des ausgesparten Abschnittes **25d** des ersten oberen Steuerungsverdrahtungsabschnittes **25d** in der ersten Richtung X angeordnet.

**[0042]** Jedes obere Schaltelement **11** hat eine Drain-Elektrode (nicht dargestellt), die das erste obere Terminal (Drain-Terminal) konfiguriert, eine Source-Elektrode **41**, die das zweite obere Terminal (Source-Terminal) konfiguriert, und eine Gate-Elektrode **42**, die das obere Steuer-Terminal (Gate-Terminal) konfiguriert (siehe **Fig. 5A**). Die Drain-Elektrode ist auf der Rückfläche des oberen Schaltelementes **11** vorgesehen, das auf dem ersten Eingangsverdrahtungsabschnitt **23** montiert ist. Die Source-Elektrode **41** und die Gate-Elektrode **42** sind auf der der Vorderfläche gegenüberliegend der Rückfläche des oberen Schaltelementes **11** vorgesehen. Wie es in **Fig. 5A** dargestellt ist, ist auf dem äußeren Umfangsabschnitt der Vorderfläche des oberen Schaltelementes **11** ein Schutzring **43** vorgesehen. Die Source-Elektrode **41** und die Gate-Elektrode **42** sind innerhalb des Schutzringes **43** vorgesehen. Die Source-Elektrode **41** nimmt den größten Teil der Regionen innerhalb des Schutzringes **43** ein. Die Source-Elektrode **41** ist in zwei Elektroden unterteilt. Die Source-Elektrode **41** weist einen ausgesparten Abschnitt **41a** auf, der so ausgespart ist, dass er vom Schutzring **43** getrennt ist. In der Region, die von dem ausgesparten Abschnitt **41a** und dem Schutzring **43** umgeben ist, ist die Gate-Elektrode **42** vorgesehen.

**[0043]** Wie es in **Fig. 3** dargestellt ist, ist die Source-Elektrode **41** (siehe **Fig. 5A**) von jedem oberen Schaltelement **11** elektrisch mit dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** verbunden, und zwar durch die Vielzahl von oberen Leistungsdrähten **44**, die als Beispiele von oberen Leistungsverbindungselementen dienen. In der vor-

liegenden Ausführungsform sind die Source-Elektrode **41** des oberen Schaltelementes **11** und der Ausgangsverdrahtungsabschnitt **22** elektrisch durch die vier oberen Leistungsdrähte **44** verbunden. Der obere Leistungsdraht **44** ist beispielsweise aus Aluminium (Al) hergestellt. Zusätzlich hierzu ist die Source-Elektrode **41** von jedem oberen Schaltelement **11** elektrisch mit dem zweiten oberen Steuerungsverdrahtungsabschnitt **26** verbunden, und zwar durch einen oder mehrere obere Steuerdrähte **45**, die als Beispiele von oberen Steuerungsverbindungselementen dienen. Der obere Steuerdraht **45** erstreckt sich über den ersten Abschnitt **25a** des ersten oberen Steuerungsverdrahtungsabschnittes **25** in der zweiten Richtung Y. Der obere Steuerdraht **45** ist beispielsweise aus Aluminium (Al) hergestellt. Der Drahtdurchmesser des oberen Leistungsdrahtes **44** ist größer als der Drahtdurchmesser des oberen Steuerdrahtes **45**. Ein Beispiel des Drahtdurchmessers des oberen Leistungsdrahtes **44** ist  $\varnothing 400 \mu\text{m}$ , und ein Beispiel des Drahtdurchmessers des oberen Steuerdrahtes **45** ist  $\varnothing 150 \mu\text{m}$ . Die Gate-Elektrode **42** von jedem oberen Schaltelement **11** ist elektrisch mit dem ersten Abschnitt **25a** des ersten oberen Steuerungsverdrahtungsabschnittes **25** verbunden, und zwar durch einen oder mehrere obere Steuerdrähte **45**. Auf diese Weise sind die Drains der zwei oberen Schaltelemente **11** elektrisch mit demselben ersten Eingangsverdrahtungsabschnitt **23** verbunden, und die Source-Elektroden **41** der zwei oberen Schaltelemente **11** sind elektrisch mit demselben Ausgangsverdrahtungsabschnitt **22** verbunden. Folglich sind die zwei oberen Schaltelemente **11** parallel zueinander verbunden. Das obere Leistungsverbindungselement kann ein Anschlussrahmen („Leadframe“) sein, beispielsweise aus CIC (Cu/Invar/Cu).

**[0044]** Jedes der zwei unteren Schaltelemente **12** ist chipförmig ausgebildet und ist auf dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** montiert. Die zwei unteren Schaltelemente **12** sind entlang der ersten Richtung X mit einem Spalt dazwischen positioniert. Das heißt, die zwei unteren Schaltelemente **12** sind auf dem Ausgangsverdrahtungsabschnitt **22** und beabstandet voneinander in der ersten Richtung X montiert. Die zwei unteren Schaltelemente **12** sind so montiert, dass sie in der ersten Richtung X bei denselben Positionen angeordnet sind, wie die zwei oberen Schaltelemente **11**. Jedes untere Schaltelement **12** ist auf einer dem zweiten Eingangsverdrahtungsabschnitt **24** zugewandten Seite des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der zweiten Richtung Y positioniert. Somit ist es in dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** möglich, eine Region zu sichern, mit der die Vielzahl von oberen Leistungsdrähten **44** verbunden ist.

**[0045]** Die zwei unteren Schaltelemente **12** haben Strukturen, die jenen der oberen Schaltelemente **11**

ähnlich sind. Das heißt, jedes untere Schaltelement **12** weist eine Drain-Elektrode (nicht dargestellt), eine Source-Elektrode **41**, eine Gate-Elektrode **42** und einen Schutzring **43** auf.

**[0046]** Wie es in **Fig. 3** dargestellt ist, ist die Source-Elektrode **41** von jedem unteren Schaltelement **12** elektrisch mit dem ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** verbunden, und zwar durch die Vielzahl von unteren Leistungsdrähten **46**, die als Beispiele von unteren Leistungsverbindungselementen dienen. In der vorliegenden Ausführungsform sind die Source-Elektrode **41** des unteren Schaltelementes **12** und der zweite Eingangsverdrahtungsabschnitt **24** elektrisch durch die vier unteren Leistungsdrähte **46** verbunden. Der untere Leistungsdraht **46** ist beispielsweise aus Aluminium (Al) hergestellt. Der Drahtdurchmesser des unteren Leistungsdrahtes **46** ist gleich dem Drahtdurchmesser des oberen Leistungsdrahtes **44**. Zusätzlich hierzu ist die Source-Elektrode **41** von jedem unteren Schaltelement **12** elektrisch mit dem zweiten unteren Steuerverdrahtungsabschnitt **28** verbunden, und zwar durch einen oder mehrere untere Steuerdrähte **47**, die als Beispiele von unteren Steuerverbindungselementen dienen. Der untere Steuerdraht **47** ist beispielsweise aus Aluminium (Al) hergestellt. Der Drahtdurchmesser des unteren Steuerdrahtes **47** ist gleich dem Drahtdurchmesser des oberen Steuerdrahtes **45**. Der untere Steuerdraht **47**, der mit der Source-Elektrode **41** von jedem unteren Schaltelement **12** verbunden ist, erstreckt sich über den ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24** und den ersten Abschnitt **27a** des ersten unteren Steuerverdrahtungsabschnittes **27**, und zwar in der zweiten Richtung Y. Die Gate-Elektrode **42** von jedem unteren Schaltelement **12** ist elektrisch mit dem ersten Abschnitt **27a** des ersten unteren Steuerverdrahtungsabschnittes **27** verbunden, und zwar durch einen oder mehrere untere Steuerdrähte **47**. Der untere Steuerdraht **47**, der mit der Gate-Elektrode **42** verbunden ist, erstreckt sich über den ersten Abschnitt **24a** des zweiten Eingangsverdrahtungsabschnittes **24**. Auf diese Art und Weise sind die Drains der zwei unteren Schaltelemente **12** elektrisch mit demselben Ausgangsverdrahtungsabschnitt **22** verbunden, und die Source-Elektroden **41** der zwei unteren Schaltelemente **12** sind elektrisch mit demselben gleichen zweiten Eingangsverdrahtungsabschnitt **24** verbunden. Somit sind die zwei unteren Schaltelemente **12** parallel miteinander verbunden. Das untere Leistungsverbindungselement kann ein Anschlussrahmen sein, beispielsweise aus CIC (Cu/Invar/Cu).

**[0047]** Der obere Kondensator **13** ist auf dem gebogenen Abschnitt **25c** des ersten oberen Steuerverdrahtungsabschnittes **25** und dem oberen Inselabschnitt **37** montiert. Genauer gesagt, ist das erste Terminal des oberen Kondensators **13** auf dem

gebogenen Abschnitt **25c** des ersten oberen Steuerverdrahtungsabschnittes **25** montiert, und das zweite Terminal des oberen Kondensators **13** ist auf dem oberen Inselabschnitt **37** montiert. Wie es in **Fig. 3** dargestellt ist, ist das zweite Terminal des oberen Kondensators **13** an dem Endabschnitt des oberen Inselabschnittes **37** auf der Seite des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** angeordnet. Auf diese Art und diese Weise verbindet der obere Kondensator **13** elektrisch das Drain-Terminal **11d** (Drain), das sich die oberen Schaltelemente **11** teilen und das Gate-Terminal **11g** (Gate), das sich die oberen Schaltelemente teilen.

**[0048]** Der untere Kondensator **14** ist auf dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27** und dem unteren Inselabschnitt **38** montiert. Genauer gesagt, ist das erste Terminal des unteren Kondensators **14** auf dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27** montiert, und das zweite Terminal des unteren Kondensators **14** ist auf dem unteren Inselabschnitt **38** montiert. Wie es in **Fig. 3** dargestellt ist, ist das zweite Terminal des unteren Kondensators **14** an dem Endabschnitt des unteren Inselabschnittes **38** auf der Seite des ersten Abschnittes **24a** des zweiten Eingangsverdrahtungsabschnittes **24** angeordnet. Auf diese Art und Weise verbindet der untere Kondensator **14** elektrisch das Drain-Terminal **12d** (Drain), das sich die unteren Schaltelemente teilen, und die Gate-Terminals **12g** (Gates), die sich die unteren Schaltelemente teilen.

**[0049]** Wie es in **Fig. 4** dargestellt ist, ist eine Wärmestrahlungsplatte **29**, die gegenüber dem Verkapselungsharz **40** freiliegt, auf der Rückflächenseite des Keramiksubstrates **21** vorgesehen. Die Wärmestrahlungsplatte **29** ist aus Kupfer (Cu) hergestellt. Die Plattendicke der Wärmestrahlungsplatte **29** ist dicker als die Plattendicke des Keramiksubstrates **21**. Die Wärmestrahlungsplatte **29** ist so geformt, dass sie eine Form ähnlich der Form des Keramiksubstrates **21** hat. Der äußere Umfangsrand der Wärmestrahlungsplatte **29** ist innerhalb des äußeren Umfangsrandes des Keramiksubstrates **21** angeordnet. Als Ergebnis hiervon erstreckt sich das Verkapselungsharz **40** um die Rückflächenseite des Keramiksubstrates **21** herum, so dass eine Adhäsion zwischen dem Keramiksubstrat **21** und dem Verkapselungsharz **40** verbessert ist. Die Fläche der Wärmestrahlungsplatte **29** kann mit Nickel (Ni) oder Silber (Ag) plattiert sein, und zwar unter der Annahme, dass die Wärmestrahlungsplatte **29** mit einer Kühleinrichtung oder dergleichen verbunden ist.

**[0050]** Struktur des oberen Schaltelementes und des unteren Schaltelementes

**[0051]** Als Nächstes werden die Strukturen des oberen Schaltelementes **11** und des unteren Schaltele-

menten **12** beschrieben. Die **Fig. 5** und **Fig. 6** stellen ein Beispiel der Struktur des oberen Schaltelementes **11** dar. Das obere Schaltelement **11** und das untere Schaltelement **12** haben identische Strukturen. Daher stellen die **Fig. 5** und **Fig. 6** auch ein Beispiel der Struktur des unteren Schaltelementes **12** dar. Zusätzlich hierzu wird nachstehend die Struktur des oberen Schaltelementes **11** beschrieben werden und eine Beschreibung der Struktur des unteren Schaltelementes **12** wird daher weggelassen. Die Struktur von sowohl dem oberen Schaltelement **11** als auch von dem unteren Schaltelement **12** ist nicht auf die in den **Fig. 5** und **Fig. 6** dargestellte Struktur beschränkt, und es sind verschiedene Modifikationen hiervon möglich.

**[0052]** Das obere Schaltelement **11** ist ein VDMOSFET (Vertikaler, doppelt implantierter MOSFET) vom Planar-Gate-Typ, wobei der VDMOSFET Siliziumkarbid (SiC) verwendet und die Form eines quadratischen Chips in einer Draufsicht hat, wie es in **Abb. 5A** dargestellt ist.

**[0053]** Wie es in **Fig. 6** dargestellt ist, weist das obere Schaltelement **11** ein SiC-Substrat **50** vom n<sup>+</sup>-Typ auf. In der vorliegenden Ausführungsform dient das SiC-Substrat **50** als das Drain des oberen Schaltelementes **11**, als eine Vorderfläche **50A** (obere Fläche), die eine Siliziumfläche (Si-Fläche) ist, und eine Rückfläche **50B** (untere Fläche), die eine Kohlenstofffläche (C-Fläche) ist.

**[0054]** Auf dem SiC-Substrat **50** ist eine Epitaxieschicht **51** laminiert, die aus SiC vom n-Typ hergestellt ist, das eine Konzentration hat, die niedriger ist als jene des SiC-Substrats **50**. Die Epitaxieschicht **51** ist als eine Halbleiterschicht aufgewachsen, und zwar mit der Si-Fläche als eine Hauptwachstumsfläche. Daher ist eine Vorderfläche **51A** der Epitaxieschicht **51**, die durch epitaxiales Wachstum gebildet ist, eine Si-Fläche, und zwar auf die gleiche Art und Weise wie die Vorderfläche **50A** des SiC-Substrats **50**.

**[0055]** Wie es in **Fig. 5A** dargestellt ist, ist in dem oberen Schaltelement **11** eine aktive Region **52** ausgebildet, die in dem mittleren Abschnitt der Epitaxieschicht **51** angeordnet ist (siehe **Fig. 6**), und zwar in einer Draufsicht, und als ein Feldeffekttransistor funktioniert. In der Epitaxieschicht **51** sind Schutzringe **43** (kreuzschraffiert in **Fig. 5B**) ausgebildet, um die aktive Region **52** mit einer Distanz von der aktiven Region **52** zu umgeben. In der vorliegenden Ausführungsform sind zwei Schutzringe **43** gebildet.

**[0056]** Wie es in **Fig. 6** dargestellt ist, ist das Intervall bzw. der Abstand zwischen der aktiven Region **52** und dem Schutzring **43** über den gesamten Umfang im Wesentlichen konstant. Der Schutzring **43** ist eine Region vom p-Typ mit niedriger Konzentration, die

gebildet ist durch Implantieren einer Verunreinigung vom p-Typ in die Epitaxieschicht **51**.

**[0057]** In der aktiven Region **52** sind auf einer Seite der Vorderfläche **51A** (Si-Oberseite) der Epitaxieschicht **51** eine große Anzahl von Körperregionen **53** vom p-Typ in einer Matrix (Matrixform) angeordnet, und zwar mit einer konstanten Teilung bzw. konstantem Abstand in der Reihenrichtung und in der Spaltenrichtung. Die Form von jeder Körperregion **53** ist beispielsweise in einer Draufsicht ein Quadrat. Die Verunreinigung vom p-Typ kann beispielsweise Aluminium (Al) sein. Im Gegensatz hierzu ist die Region der Epitaxieschicht **51** auf einer Seite des SiC-Substrats **50** (C-Flächenseite) der Körperregion **53** eine Driftregion **54** vom n-Typ, bei der der Zustand nach epitaxialem Wachstum aufrechterhalten ist.

**[0058]** Eine Körperkontaktregion **55** vom p<sup>+</sup>-Typ ist in einem mittleren Abschnitt eines Vorderflächenabschnittes von jeder Körperregion **53** ausgebildet, und eine Source-Region **56** vom n<sup>+</sup>-Typ ist so ausgebildet, dass sie die Körperkontaktregion **55** umgibt. Die Form der Körperkontaktregion **55** ist beispielsweise ein Quadrat in einer Draufsicht. Die Source-Region **56** hat beispielsweise eine Quadratrahmenform in einer Draufsicht. Ein Beispiel der Verunreinigungskonzentration vom n-Typ ist Phosphor (P).

**[0059]** Zusätzlich hierzu ist in der aktiven Region **52** die Region zwischen den Körperregionen **53**, die in einer Matrix mit einer konstanten Teilung angeordnet sind (Zwischenkörperregion **57**, die sandwichartig zwischen den Seitenflächen der benachbarten Körperregionen **53** angeordnet ist), in der Form eines Gitters mit einer konstanten Breite.

**[0060]** Ein gitterförmiger Gate-Isolierfilm **58** (in **Fig. 5B** nicht dargestellt) ist auf der Zwischenkörperregion **57** entlang der Zwischenkörperregion **57** ausgebildet. Der Gate-Isolierfilm **58** erstreckt sich über den Raum zwischen den benachbarten Körperregionen **53** und bedeckt einen Abschnitt (Umfangsabschnitt der Körperregion **53**), der die Source-Region **56** in der Körperregion **53** und einen äußeren Umfangsrand der Source-Region **56** umgibt. In der vorliegenden Ausführungsform ist der Gate-Isolierfilm **58** aus einem Oxidfilm mit Stickstoff (N) hergestellt, beispielsweise ein Siliziumnitridoxidfilm, der gebildet wird durch thermische Oxidation unter Verwendung von Gasen, die Stickstoff und Sauerstoff beinhalten.

**[0061]** Der Gate-Isolierfilm **58** beinhaltet einen ersten Abschnitt **58a** in Kontakt mit der Epitaxieschicht **51** außerhalb der Körperregion **53**, einen zweiten Abschnitt **58b** in Kontakt mit der Körperregion **53** und einen dritten Abschnitt **58c** in Kontakt mit der Source-Region **56**. Wie es in **Fig. 6** dargestellt ist, ist eine Filmdicke **T3** des dritten Abschnittes **58c** größer als eine Filmdicke **T1** des ersten Abschnittes **58a** und

als eine Filmdicke **T2** des zweiten Abschnittes **58b**. Genauer gesagt, ist eine untere Schnittstelle bzw. Trennfläche (Schnittstelle zu der Source-Region **56**) des dritten Abschnittes **58c** unterhalb von einer unteren Schnittstelle (Schnittstelle mit der Epitaxieschicht **51**) des ersten Abschnittes **58a** und von einer unteren Schnittstelle (Schnittstelle mit der Körperregion **53**) des zweiten Abschnittes **58b** angeordnet, d.h. auf einer Seite des SiC-Substrats **50** und tiefer als die Vorderfläche **51A** der Epitaxieschicht **51**. Zusätzlich hierzu ist eine obere Schnittstelle bzw. Trennfläche (Schnittstelle mit der Gate-Elektrode **42**) des dritten Abschnittes **58c** oberhalb von einer oberen Schnittstelle (Schnittstelle mit der Gate-Elektrode **42**) des ersten Abschnittes **58a** und von einer oberen Schnittstelle (Schnittstelle mit der Gate-Elektrode **42**) des zweiten Abschnittes **58b** angeordnet, d.h. auf einer Seite der Gate-Elektrode **42** und weiter von der Vorderfläche **51A** der Epitaxieschicht **51** entfernt.

**[0062]** Auf dem Gate-Isolierfilm **58** ist die Gate-Elektrode **42** gebildet. Die Gate-Elektrode **42** ist in einer Gitterform entlang des gitterförmigen Gate-Isolierfilms **58** ausgebildet und liegt dem Umfangsabschnitt von jeder Körperregion **53** gegenüber, wobei der Gate-Isolierfilm **58** dazwischen angeordnet ist. Genauer gesagt liegt die Gate-Elektrode **42** einer Region gegenüber, die sich quer erstreckt über die Epitaxieschicht **51** außerhalb der Körperregion **53**, über die Körperregion **53** und über die Source-Region **56**, wobei sich der Gate-Isolierfilm **58** dazwischen ist. Daher überlappt die Gate-Elektrode **42** die Source-Region **56** in einer Draufsicht. Beispielsweise steht die Gate-Elektrode **42** leicht gegenüber der Grenzlinie zwischen der Körperregion **53** und der Source-Region **56** in einer Draufsicht vor, und zwar in Richtung hin zu der Source-Region **56**. Im Ergebnis ist es möglich, dass die Gate-Elektrode **42** verlässlich der Körperregion **53** zwischen der Source-Region **56** und der Epitaxieschicht **51** gegenüberliegt. Es ist daher möglich, verlässlich die Bildung eines Kanals in der Körperregion **53** zu steuern. Die Gate-Elektrode **42** ist beispielsweise aus Polysilizium hergestellt. In der Gate-Elektrode **42** ist beispielsweise eine Verunreinigung vom p-Typ eingeführt, und zwar mit einer hohen Konzentration, um den Widerstand zu reduzieren.

**[0063]** In dem oberen Schaltelement **11** ist eine Grenze zwischen Einheitszellen eingestellt auf die Mitte in der Breitenrichtung der Zwischenkörperregion **57**. In jeder Einheitszelle ist ein ringförmiger Kanal an dem Umfangsabschnitt der Körperregion **53** von jeder Einheitszelle ausgebildet, und zwar durch Steuern der Spannung, die an die Gate-Elektrode **42** anzulegen ist (z.B. durch Anlegen einer Spannung von 6V oder höher). Ein Drain-Strom, der zu der Seite der Vorderfläche **51A** der Epitaxieschicht **51** fließt, und zwar entlang der vier Seitenflächen von jeder Körperregion **53** in der Driftregion **54**, kann durch den ringförmigen Kanal zu der Source-Region **56** fließen. Die

Kanallänge **L** ist definiert durch die Breite der Körperregion **53** direkt unterhalb der Gate-Elektrode **42**.

**[0064]** Auf der Epitaxieschicht **51** ist ein Zwischenschichtisolierfilm **59**, der beispielsweise aus Siliziumoxid ( $\text{SiO}_2$ ) hergestellt ist, laminiert, um die Gate-Elektrode **42** zu bedecken. In dem Zwischenschichtisolierfilm **59** ist ein Kontaktloch **60** ausgebildet. In dem Kontaktloch **60** liegen der mittlere Abschnitt der Source-Region **56** und die gesamte Körperkontaktregion **55** frei.

**[0065]** Auf der Epitaxieschicht **51** ist eine Source-Elektrode **41** gebildet. Die Source-Elektrode **41** wird kollektiv in Kontakt gebracht durch die jeweiligen Kontaktlöcher **60**. Das heißt, sämtliche Einheitszellen teilen sich die Source-Elektrode **41** hinsichtlich der Verdrahtung. Ein Zwischenschicht-Isolierfilm (nicht dargestellt) ist auf der Source-Elektrode **41** gebildet. Durch Bilden einer Region, aus der der Zwischenschicht-Isolierfilm entfernt ist, d.h. durch Bilden der Region, wo die Source-Elektrode **41** freiliegt, konfiguriert die Source-Elektrode **41** ein Source-Elektroden-Pad.

**[0066]** Die Source-Elektrode **41** hat eine Struktur, bei der eine Ti/TiN-Schicht **61** und eine Al-Schicht **62** in dieser Reihenfolge von einer Seite in Kontakt mit der Epitaxieschicht **51** laminiert sind. Die Ti/TiN-Schicht **61** ist ein laminiertes Film, bei dem eine Ti-Schicht als eine Adhäsionsschicht auf einer Seite der Epitaxieschicht **51** vorgesehen ist, und bei der eine TiN-Schicht als eine Barrierschicht auf die Ti-Schicht laminiert ist. Die Barrierschicht begrenzt eine Diffusion von den Atomen (Al-Atome) der Al-Schicht **62** in Richtung zu der Seite der Epitaxieschicht **51**.

**[0067]** Auf der Rückfläche **50B** des SiC-Substrats **50** ist die Drain-Elektrode **48** ausgebildet, so, dass sie die Rückfläche **50B** insgesamt bedeckt. Die Drain-Elektrode **48** wird von allen Einheitszellen geteilt. Als die Drain-Elektrode **48** kann beispielsweise eine laminierte Struktur (Ti/Ni/Au/Ag), bei der Titan (Ti), Nickel (Ni), Gold (Au) und Silber (Ag) in dieser Reihenfolge ausgehend von der Seite des SiC-Substrats **50** laminiert sind, aufgebracht werden.

#### Vergleichsbeispiel

**[0068]** Fig. 7 stellt die Schaltungskonfiguration eines Leistungsmoduls eines Vergleichsbeispiels dar. In einer Schaltung des Leistungsmoduls des Vergleichsbeispiels ist ein Fall dargestellt, bei dem ein oberes Schaltelement **11** ausgeschaltet ist und bei ein unteres Schaltelement **12** eingeschaltet und ausgeschaltet wird.

**[0069]** Bei dem Leistungsmodul des Vergleichsbeispiels sind der obere Kondensator **13** und der un-

tere Kondensator **14** aus der Schaltungskonfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform, wie sie in **Fig. 1** dargestellt ist, weggelassen und eine Darstellung von Körperdioden **11a**, **12a** ist weggelassen. Zusätzlich hierzu ist bei dem Leistungsmodul des Vergleichsbeispiels ein positives Terminal einer Leistungsversorgung **ES** mit einem Drain-Terminal **11d** des oberen Schaltelementes **11** verbunden, und ein negatives Terminal der Leistungsversorgung **ES** ist mit einem Source-Terminal **12s** des unteren Schaltelementes **12** verbunden. Zusätzlich hierzu ist eine Verdrahtung **9** vorgesehen, die das Drain-Terminal **11d** und ein Source-Terminal **11s** des oberen Schaltelementes **11** verbindet. Die Verdrahtung **9** weist eine Induktionslast **9a** auf. In der Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels werden das Gate-Terminal **11g** und das Source-Terminal **11s** des oberen Schaltelementes **11** kurzgeschlossen, und zwar über eine erste Verbindungsverdrahtung **CP1**, die eine parasitäre Induktivität  $L_{gp}$  besitzt, basierend auf einem ersten oberen Steuerverdrahtungsabschnitt **25**, und über eine zweite obere Verbindungsverdrahtung **CP2**, die eine parasitäre Induktivität  $L_{gs}$  aufweist, und zwar basierend auf einem zweiten oberen Steuerverdrahtungsabschnitt **26**. Das Gate-Terminal **12g** des unteren Schaltelementes **12** ist mit einer unteren Gate-Ansteuerschaltung **3** verbunden. Ein Gate-Widerstand **8** ist zwischen dem Gate-Terminal **12g** und der unteren Gate-Ansteuerschaltung **3** vorgesehen.

**[0070]** Da sowohl für das obere Schaltelement **11** als auch das untere Schaltelement **12** mit einer derartigen Konfiguration ein SiC-MOSFET verwendet wird, weist sowohl das obere Schaltelement **11** als auch das untere Schaltelement **12** ein hohes elektrisches Durchbruchfeld bzw. Durchschlagfeld („electric break down field“) auf. Daher kann durch Reduzieren der Dicke und durch Erhöhen der Konzentration einer Driftregion **54** von jedem der Schaltelemente **11**, **12** ein niedriger Einschalt-Widerstand realisiert werden. Im Gegensatz hierzu ist die Erstreckungsbreite einer Verarmungsschicht beschränkt, da die Konzentration der Driftregion **54** von jedem Schaltelement **11**, **12** erhöht ist. Demzufolge nimmt die Gate-Drain-Kapazität  $C_{gd}$  kaum ab. Im Ergebnis, wie es in **Abb. 8** dargestellt ist, tendiert in einem Fall, bei dem die Gate-Source-Kapazität  $C_{gs}$  ist, der Wert von  $C_{gs}/C_{gd}$  dazu, klein zu sein.

**[0071]** Die **Fig. 9** und **Fig. 10** sind Schaltungsdiagramme basierend auf den **Fig. 7** und **Fig. 8** und stellen schematische Schaltungsdiagramme dar, die eine Änderung in der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** und Änderungen in der Drain-Source-Spannung  $V_{dsu}$ , der Drain-Gate-Spannung  $V_{dgu}$  und der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** darstellen, wenn sich der Zustand des unteren Schaltelementes **12** ändert.

**[0072]** In dem Leistungsmodul des Vergleichsbeispiels, und zwar in einem Fall, bei dem das untere Schaltelement **12** von dem Aus-Zustand in den Ein-Zustand gewechselt wird, wie es in **Fig. 8** dargestellt wird, nimmt die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** ab und die Drain-Source-Spannung  $V_{dsu}$  und die Drain-Gate-Spannung  $V_{dgu}$  des oberen Schaltelementes **11** nehmen zu. In einer solchen Übergangsantwort („transient response“), da das Gate und die Source des oberen Schaltelementes **11** durch die Verbindungsverdrahtungen **CP1** und **CP2** kurzgeschlossen sind, würde sich die Gate-Source-Spannung  $V_{gsu}$  nicht ändern. Da jedoch die obigen Induktivitätskomponenten ( $L_{gp} + L_{gs}$ ) und der parasitäre Gate-Widerstand  $R_{gp}$  zwischen dem Gate und der Source des oberen Schaltelementes **11** existieren, wird in der Gate-Source-Kapazität  $C_{gs}$  sofort eine Teilspannung („divided voltage“) erzeugt. Mit anderen Worten wird zwischen dem Gate und der Source sofort eine positive Stoßspannung erzeugt. Im Ergebnis nimmt die Gate-Source-Spannung  $V_{gsu}$  um eine Änderung  $dV_{ds}/dt$  der Drain-Source-Spannung  $V_{ds}$  scharf zu, wodurch eine Schwellenspannung überschritten wird, so dass ein selbsttätiges Einschalten auftreten kann.

**[0073]** Um das Auftreten eines derartigen selbsttätigen Einschaltens zu begrenzen, ist es bekannt, als Gegenmaßnahme eine negative Vorspannung an das Gate des oberen Schaltelementes **11** anzulegen. Das heißt, durch Aufrechterhalten der Gate-Source-Spannung  $V_{gsu}$  auf der negativen Seite, und zwar bereits von vorneherein, ist die Differenz zwischen der Gate-Source-Spannung  $V_{gsu}$  und der Gate-Schwellenspannung erhöht. Im Ergebnis wird, wenn eine positive Stoßspannung an das Gate angelegt wird, die Spannung kaum die Gate-Schwellenspannung überschreiten.

**[0074]** In jedem Schaltelement **11**, **12** ist der negative absolute Maximalnennwert der Gate-Source-Spannung  $V_{gs}$  kleiner als der positive absolute Maximalnennwert der Gate-Source-Spannung  $V_{gs}$ , und zwar hervorgerufen durch die Charakteristiken des SiC-MOSFET. In einem Beispiel beträgt der negative absolute Maximalnennwert der Gate-Source-Spannung  $V_{gs}$  von jedem Schaltelement **11**, **12**  $-10$  V und der positive absolute Maximalnennwert der Gate-Source-Spannung  $V_{gs}$  beträgt  $26$  V. Wenn daher die negative Gate-Vorspannung angelegt wird, wird die Differenz von dem negativen absoluten Maximalnennwert der Gate-Source-Spannung  $V_{gs}$  klein, und der Bereich auf der negativen Seite der tolerierbaren Gate-Source-Spannung  $V_{gs}$  wird schmaler.

**[0075]** Hierbei ist es in einem Fall, bei dem das untere Schaltelement **12** von dem Ein-Zustand in den Aus-Zustand gewechselt wird, wie es in **Fig. 10** dargestellt ist, so, dass die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** zunimmt und die Drain-

Source-Spannung  $V_{dsu}$  und die Drain-Gate-Spannung  $V_{dgu}$  des oberen Schaltelementes **11** abnehmen. In ähnlicher Weise wird in einer solchen Übergangsantwort, und zwar hervorgerufen durch die Induktivitätskomponenten ( $L_{gp} + L_{gs}$ ) und den parasitären Gate-Widerstand  $R_{gp}$ , eine Teilspannung momentan bzw. sofort in der Gate-Quelle-Kapazität  $C_{gs}$  erzeugt. Das heißt, zwischen dem Gate und der Source wird sofort bzw. momentan eine negative Stoßspannung erzeugt. Im Ergebnis besteht eine Möglichkeit, dass die Gate-Source-Spannung  $V_{gsu}$ , hervorgerufen durch die Änderung  $dV_{ds}/dt$  der Drain-Source-Spannung  $V_{ds}$ , scharf abnimmt, und daher kann die Gate-Source-Spannung  $V_{gsu}$  geringer sein als ein negativer absoluter Maximalnennwert („negative side absolute maximum rated value“). Insbesondere wird für den Fall eines Anlegens einer negativen Vorspannung an das Gate des oberen Schaltelementes **11** die Differenz zwischen der Gate-Source-Spannung  $V_{gsu}$  und dem negativen absoluten Maximalnennwert klein. Folglich führt die negative Stoßspannung dazu, dass die Gate-Source-Spannung  $V_{gsu}$  leicht unter den negativen absoluten Maximalnennwert fällt.

**[0076]** Fig. 11 stellt Übergänge der Drain-Source-Spannung  $V_{dsu}$ , der Gate-Source-Spannung  $V_{dsu}$ , der Gate-Source-Spannung  $V_{gsu}$  und des Drain-Stromes  $I_{du}$  des oberen Schaltelementes **11** sowie der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** dar, und zwar für einem Fall, bei dem das untere Schaltelement **12** in dem Leistungsmodul des Vergleichsbeispiels von dem Ein-Zustand in den Aus-Zustand gewechselt wird bzw. umschweift.

**[0077]** Wie es aus Fig. 11 zu erkennen ist, wird die Gate-Source-Spannung  $V_{gsu}$ , bei der es sich um eine Teilspannung der Gate-Source-Kapazität  $C_{gs}$  handelt, am größten auf der negativen Seite zum Zeitpunkt  $t_1$ , wenn die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** am stärksten abnimmt. Mit anderen Worten wird die Gate-Source-Spannung  $V_{gsu}$  auf der negativen Seite am größten, wenn die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** am höchsten wird. Auf diese Art und Weise wird dann, wenn das untere Schaltelement **12** angesteuert wird und das obere Schaltelement **11** nicht angesteuert wird, die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** bestimmt durch die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12**.

**[0078]** Zusätzlich hierzu wird der geteilte Druck („divided pressure“) der Gate-Source-Kapazität  $C_{gs}$  bestimmt durch das inverse Verhältnis von  $C_{gs}/C_{gd}$ . Das heißt, der unterteilte Druck der Gate-Source-Kapazität  $C_{gs}$  nimmt zu, wenn  $C_{gs}/C_{gd}$  abnimmt. Mit anderen Worten, nimmt der unterteilte Druck der Gate-Source-Kapazität  $C_{gs}$  ab, wenn  $C_{gs}/C_{gd}$  zu-

nimmt. In jedem der Schaltelemente **11**, **12** ist die Beziehung zwischen jeder von Gate-Source-Kapazität  $C_{gs}$  und der Gate-Drain-Kapazität  $C_{gd}$  und der Drain-Source-Spannung  $V_{dsu}$  so, wie es in dem Diagramm der Fig. 12 dargestellt ist, und zwar hervorgerufen durch die Charakteristika des SiC-MOSFET. Genauer gesagt, ändert sich die Gate-Source-Kapazität  $C_{gs}$  nicht substantiell, selbst wenn sich die Drain-Source-Spannung  $V_{dsu}$  ändert. Im Gegensatz dazu neigt die Gate-Drain-Kapazität  $C_{gd}$  dazu, mit zunehmender Drain-Source-Spannung  $V_{dsu}$  zu sinken. Daher nimmt  $C_{gs}/C_{gd}$  in einer Region ab, in der die Drain-Source-Spannung  $V_{dsu}$  relativ niedrig ist, und  $C_{gs}/C_{gd}$  nimmt in einer Region zu, bei der die Drain-Source-Spannung  $V_{dsu}$  relativ hoch ist.  $C_{gs}/C_{gd}$  nimmt zu, wenn die Drain-Source-Spannung  $V_{dsu}$  zunimmt.

**[0079]** Da die Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** sich sofort ändert, wenn sich die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** ändert, ist es notwendig, die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  zu reduzieren. Da die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** sich zusammen mit der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** ändert, ist es zum Reduzieren der Stoßspannung der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** zusätzlich hinreichend, die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **11** zu reduzieren. Die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** wird grob bestimmt durch die Gate-Drain-Kapazität  $C_{gd}$ . Genauer gesagt nimmt die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  ab, wenn die Gate-Drain-Kapazität zunimmt.

**[0080]** Demzufolge weist das Leistungsmodul **1** der vorliegenden Ausführungsform den oberen Kondensator **13** auf, der elektrisch verbunden ist mit dem Gate-Terminal **11g** und dem Drain-Terminal **11d** des oberen Schaltelementes **11g**, und weist den unteren Kondensator **14** auf, der elektrisch verbunden ist mit dem Gate-Terminal **12g** und dem Drain-Terminal **12d** des unteren Schaltelementes **12**.

**[0081]** Gemäß dieser Konfiguration ist es beispielsweise in einem Fall, bei dem das untere Schaltelement **12** von dem Aus-Zustand in den Ein-Zustand wechselt, so, dass die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  durch einen Gate-Strom abnimmt, der den unteren Kondensator **14** lädt. Demzufolge nimmt die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** ab. Da die Änderungen in der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** beschränkt sind, wird daher das Auftreten des selbsttätigen Einschaltens begrenzt. Beispielsweise in einem Fall, bei dem das untere Schaltelement **12** von dem Ein-Zu-

stand in den Aus-Zustand gewechselt wird, ist es zusätzlich so, dass die Änderungsrate der Drain-Source-Spannung  $V_{ds1}$  des unteren Schaltelementes **12** dadurch abnimmt, dass der untere Kondensator **14** Elektrizität hin zu dem Gate-Terminal **12g** entlädt. Demzufolge wird die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** verringert, wodurch Änderungen in der Gate-Source-Spannung  $V_{gsu}$  beschränkt werden. Daher wird verhindert, dass die Gate-Source-Spannung  $V_{gsu}$  unter den negativen absoluten Maximalnennwert fällt. Der obere Kondensator **13** ist auch mit dem oberen Schaltelement **11** verbunden, und zwar unter der Annahme, dass das obere Schaltelement **11** zwischen dem Ein-Zustand und dem Aus-Zustand geschaltet wird. Da jedoch der obere Kondensator **13** außerhalb des parasitären Gate-Widerstandes  $R_{gp}$  des oberen Schaltelementes **11** angeschlossen ist, ist die Wirkung des Verringern von  $C_{gs}/C_{gd}$  in Bezug auf ein Momentanverhalten zum Zeitpunkt des Schaltens des unteren Schaltelementes **12** klein, und Zunahmen in dem unterteilten Druck („divided pressure“) auf die Gate-Source-Kapazität  $C_{gs}$  sind begrenzt. Demzufolge kann die Stoßspannung der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** effektiv beschränkt werden.

**[0082]** Zusätzlich hierzu ist es bevorzugt, dass der obere Kondensator **13** und der untere Kondensator **14** die Beziehung von Zwischenterminalspeisung und -kapazität haben, wie es in **Fig. 13** dargestellt ist. Genauer gesagt, wenn die Zwischenterminalspeisung von sowohl dem oberen Kondensator **13** als auch dem unteren Kondensator **14** zunimmt, nimmt auch die Kapazität von sowohl dem oberen Kondensator **13** als auch dem unteren Kondensator **14** zu. In der vorliegenden Ausführungsform ist die Kapazität in der Region, bei der die Zwischenterminalspeisung des oberen Kondensators **13** und des unteren Kondensators **14** hoch ist, von einem Niveau, das das gleiche ist, wie die Gate-Drain-Kapazität  $C_{gd}$  in der Region, bei der die Drain-Source-Spannung  $V_{dsu}$  hoch ist.

**[0083]** Beispielsweise in einem Fall, bei dem das untere Schaltelement **12** von dem Ein-Zustand in den Aus-Zustand wechselt, wird gemäß dieser Konfiguration die Drain-Source-Spannung  $V_{ds1}$  des unteren Schaltelementes **12** höher, so dass die Zwischenterminalspeisung des unteren Kondensators **14** höher wird. In diesem Fall nimmt die Kapazität des unteren Kondensators **14** zu, so dass der für die Spannungsänderung des unteren Kondensators **14** notwendige Ladungsbetrag bzw. die notwendige Ladungsmenge abnimmt. Daher nimmt die Änderungsrate der Drain-Source-Spannung  $V_{ds1}$  des unteren Schaltelementes **12** ab. Demgemäß nimmt die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** ab, so dass Änderungen in der Gate-Source-Spannung  $V_{gsu}$  weiter beschränkt sind.

**[0084]** In einem Fall, bei dem das untere Schaltelement **12** von dem Ein-Zustand in den Aus-Zustand gewechselt wird, ist es beispielsweise zusätzlich so, dass die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** höher wird, so dass die Zwischenterminalspeisung des oberen Kondensators **13** kleiner wird und die Kapazität des oberen Kondensators **13** kleiner wird. Da der obere Kondensator **13** außerhalb des parasitären Gate-Widerstandes  $R_{gp}$  des oberen Schaltelementes **11** angeschlossen ist, ist hier, wie oben beschrieben, die Wirkung der Verringerung von  $C_{gs}/C_{gd}$  in Bezug auf das momentane Verhalten zum Zeitpunkt des Schaltens des unteren Schaltelementes **12** klein. Es kann jedoch nicht gesagt werden, dass in einem Fall, bei dem der parasitäre Gate-Widerstand  $R_{gp}$  extrem klein ist, oder dergleichen, überhaupt keine Wirkung vorhanden ist. Wenn daher die Kapazität des oberen Kondensators **13** zu dem Zeitpunkt der Anwendung einer niedrigen Spannung groß ist, nimmt die geteilte Spannung der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** in Bezug auf die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** zu, und eine Änderung in der Gate-Source-Spannung  $V_{gsu}$  nimmt zu. In einem Fall, bei dem die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** niedrig ist, ist jedoch, wie in **Fig. 14** dargestellt, die Kapazität des oberen Kondensators **13** klein. Daher kann die Wirkung des Reduzierens von  $C_{gs}/C_{gd}$  beschränkt werden.

#### Simulationsergebnis

**[0085]** Auf der Grundlage der schematischen Schaltungskonfigurationen, die in den **Fig. 7** und **Fig. 15** dargestellt sind, wurden Simulationen hinsichtlich der Beziehung zwischen der Erzeugung der negativen Stoßspannung und dem Schaltverlust für einen Fall durchgeführt, bei dem das obere Schaltelement **11** abgeschaltet ist und das untere Schaltelement **12** ein- und ausgeschaltet wird, und zwar in den Leistungsmodulen **1** des Vergleichsbeispiels und der vorliegenden Ausführungsform. **Fig. 7** stellt eine schematische Schaltungskonfiguration eines Leistungsmoduls eines Vergleichsbeispiels dar, und **Fig. 15** stellt eine schematische Schaltungskonfiguration für den Fall des Durchführens einer externen Verbindung ähnlich jener der von **Fig. 7** in dem Leistungsmodul **1** der vorliegenden Ausführungsform dar.

**[0086]** Bei der Schaltungskonfiguration von **Fig. 15** sind die Source und das Gate des oberen Schaltelementes **11** kurzgeschlossen, und die untere Gate-Ansteuerschaltung **3** ist elektrisch mit dem Gate des unteren Schaltelementes **12** verbunden. Der Gate-Widerstand **8** ist zwischen dem Gate und der unteren Gate-Ansteuerschaltung **3** vorgesehen. Das erste Terminal des Gate-Widerstandes **8** ist mit dem Gate des unteren Schaltelementes **12** verbunden, und das zweite Terminal des Gate-Widerstandes **8**

ist mit der unteren Gate-Ansteuerschaltung **3** verbunden. Das erste Terminal des unteren Kondensators **14** ist mit der Drain des unteren Schaltelementes **12** verbunden, und das zweite Terminal des unteren Kondensators **14** ist mit dem zweiten Terminal des Gate-Widerstandes **8** verbunden. Das positive Terminal der Leistungsversorgung **ES** ist elektrisch mit dem Drain des oberen Schaltelementes **11** verbunden, und das negative Terminal der Leistungsversorgung **ES** ist elektrisch mit der Source des unteren Schaltelementes **12** verbunden. Die Schaltungskonfiguration von **Fig. 15** weist die Verdrahtung **9** auf, die den Abschnitt zwischen dem positiven Terminal der Leistungsversorgung **ES** und dem Drain des oberen Schaltelementes **11** und den Abschnitt zwischen der Source des oberen Schaltelementes **11** und dem Drain des unteren Schaltelementes **12** verbindet. Die Verdrahtung **9** weist eine Induktionslast **9a** auf.

**[0087]** In dem Leistungsmodul des Vergleichsbeispiels wurden Simulationen in Fällen ausgeführt, bei denen der Wert des Gate-Widerstandes **8** geändert wurde auf  $2\ \Omega$ ,  $3\ \Omega$ ,  $4\ \Omega$  und  $5\ \Omega$ . Hier wurde ein Fall, bei dem der Wert des Gate-Widerstandes  $8\ 2\ \Omega$  in der Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels und der vorliegenden Ausführungsform betrug, als ein Referenzzustand definiert.

**[0088]** Wie es in **Fig. 16** dargestellt ist, führt bei dem Leistungsmodul des Vergleichsbeispiels eine Zunahme in dem Wert des Gate-Widerstandes **8** zu einer Abnahme der Schaltgeschwindigkeit des unteren Schaltelementes **12** (Änderungsrate der Drain-Source-Spannung  $V_{dsl}$ ), und folglich nimmt der absolute Wert der negativen Stoßspannung ab. Im Kontrast dazu führt eine Zunahme in dem Wert des Gate-Widerstandes **8** schnell zu einer Zunahme des Schaltverlustes.

**[0089]** Simulationen wurden in Fällen durchgeführt, bei denen die Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** geändert wurde auf  $50\ \text{pF}$ ,  $100\ \text{pF}$  und  $150\ \text{pF}$ , und zwar bei dem Leistungsmodul **1** der vorliegenden Ausführungsform.

**[0090]** Wie es in **Fig. 16** dargestellt ist, führen bei dem Leistungsmodul **1** der vorliegenden Ausführungsform der obere Kondensator **13** und der untere Kondensator **14** dazu, dass der absolute Wert der negativen Stoßspannung kleiner ist als der Referenzzustand. Wenn die Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** zunimmt, nimmt der absolute Wert der negativen Stoßspannung ab. Im Gegensatz hierzu, obgleich der Schaltverlust zunimmt, wenn die Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** zunimmt, wird der Schaltverlust kleiner verglichen mit dem Fall einer Zunahme in dem Wert des Gate-Widerstandes **8**, wie bei dem Leistungsmodul des Vergleichsbeispiels.

**[0091]** Gemäß der vorliegenden Ausführungsform können die folgenden Vorteile erhalten werden.

**[0092]** (1-1) Das Leistungsmodul **1** hat den oberen Kondensator **13**, der elektrisch mit dem Drain-Terminal **11d** und dem Gate-Terminal **11g** des oberen Schaltelementes **11** verbunden ist, und den unteren Kondensator **14**, der elektrisch mit dem Drain-Terminal **12d** und dem Gate-Terminal **12g** des unteren Schaltelementes **12** verbunden ist. Wenn beispielsweise das untere Schaltelement **12** vom Ein-Zustand in den Aus-Zustand wechselt, verringert gemäß dieser Konfiguration der untere Kondensator **14** die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12**. Im Ergebnis, da die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** abnimmt, nimmt die Änderungsrate der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** ab. Dies beschränkt Zunahmen in der Stoßspannung der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11**. Folglich kann eine Fluktuation der Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11** reduziert werden. Zusätzlich hier, wenn beispielsweise das obere Schaltelement **11** von dem Ein-Zustand in den Aus-Zustand wechselt, verringert der obere Kondensator **13** die Änderungsrate der Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11**. Im Ergebnis, da die Änderungsrate der Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** abnimmt, nimmt die Änderungsrate der Gate-Source-Spannung  $V_{gsl}$  des unteren Schaltelementes **12** ab. Dies beschränkt Zunahmen in der Stoßspannung der Gate-Source-Spannung  $V_{gsl}$  des unteren Schaltelementes **12**. Folglich kann eine Fluktuation der Gate-Source-Spannung  $V_{gsl}$  des unteren Schaltelementes **12** reduziert werden.

**[0093]** (1-2) Der obere Kondensator **13** ist so konfiguriert, dass die Kapazität zunimmt, wenn die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** einen positiven Wert einnimmt. Der untere Kondensator **14** ist so konfiguriert, dass die Kapazität zunimmt, und zwar für einen Fall, wenn die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** einen positiven Wert einnimmt. Gemäß dieser Konfiguration ist es möglich, die Gate-Drain-Kapazität  $C_{gd}$  in einer Region weiter zu erhöhen, wo die Drain-Source-Spannung  $V_{ds}$  hoch ist, und es ist möglich, eine Fluktuation der Gate-Source-Spannung  $V_{gs}$  auf eine bevorzugte Art und Weise zu reduzieren.

**[0094]** (1-3) In dem Leistungsmodul **1** ist die Vielzahl von (zwei) oberen Schaltelementen **11** parallel miteinander verbunden, und die Vielzahl (zwei) der unteren Schaltelemente **12** ist parallel miteinander verbunden. Demzufolge wird der Einschalt-Widerstand („on resistance“) der Vielzahl von oberen Schaltelementen **11** und der Einschalt-Widerstand der Vielzahl von unteren Schaltelementen **12** klein. Demzufolge

kann ein Leitungsverlust des Leistungsmoduls **1** reduziert werden.

**[0095]** (1-4) Da eine hohe Spannung als die Drain-Gate-Spannung  $V_{dgu}$  des oberen Schaltelementes **11** und die Drain-Gate-Spannung  $V_{dgl}$  des unteren Schaltelementes **12** angelegt wird, wird die hohe Spannung an den oberen Kondensator **13** und den unteren Kondensator **14** angelegt. Demzufolge sind für den oberen Kondensator **13** und den unteren Kondensator **14** eine hinreichende Stehspannung („withstand voltage“) und eine hinreichende Isolationsdistanz („insulation distance“) erforderlich. In Antwort auf derartige Umstände weist das Leistungsmodul **1** der vorliegenden Ausführungsform das Verkapselungsharz **40** zum Verkapseln des oberen Schaltelementes **11**, des unteren Schaltelementes **12**, des oberen Kondensators **13** und des unteren Kondensators **14** auf, die auf dem Substrat **20** montiert sind. Da eine Kriechentladung durch das Verkapselungsharz **40** reduziert werden kann, ist es möglich, die Stehspannung und die Isolationsdistanz des oberen Kondensators **13** und des unteren Kondensators **14** zu gewährleisten.

**[0096]** (1-5) In der zweiten Richtung Y ist der erste Eingangsverdrahtungsabschnitt **23** auf einer Seite des Ausgangsverdrahtungsabschnittes **22** angeordnet, und der zweite Eingangsverdrahtungsabschnitt **24** ist auf der anderen Seite des Ausgangsverdrahtungsabschnittes **22** angeordnet. Das obere Schaltelement **11** ist auf dem ersten Eingangsverdrahtungsabschnitt **23** montiert, und das untere Schaltelement **12** ist auf dem Ausgangsverdrahtungsabschnitt **22** montiert. Gemäß dieser Konfiguration ist es möglich, die Länge des oberen Leistungsdrahtes **44**, der die Source-Elektrode **41** des oberen Schaltelementes **11** und den Ausgangsverdrahtungsabschnitt **22** verbindet, zu verkürzen, so dass die Länge des unteren Leistungsdrahtes **46**, der die Source-Elektrode **41** des unteren Schaltelementes **12** und den zweiten Eingangsverdrahtungsabschnitt **24** verbindet, verkürzt werden kann.

**[0097]** (1-6) Der obere Kondensator **13** ist elektrisch mit dem oberen Inselabschnitt **37** verbunden, und der obere Inselabschnitt **37** ist elektrisch mit dem ersten Eingangsverdrahtungsabschnitt **23** verbunden und zwar durch den oberen Verbindungsdraht **39U**. Im Ergebnis kann der obere Kondensator **13** mit dem gebogenen Abschnitt **25c** des ersten oberen Steuerverdrahtungsabschnittes **25** in einem Zustand verbunden werden, bei dem die Anordnungsrichtung des ersten Terminals und des zweiten Terminals des oberen Kondensators **13** in der ersten Richtung X liegt. Demzufolge kann in dem ersten oberen Steuerverdrahtungsabschnitt **25**, und zwar in dem Bereich von dem Abschnitt, mit dem der obere Steuerdraht **45** verbunden ist, der mit der Gate-Elektrode **42** des oberen Schaltelementes **11** verbunden ist, bis zu dem Ab-

schnitt, mit dem das erste obere Steuer-Terminelement **33** verbunden ist, der obere Kondensator **13** an einem anderen Abschnitt verbunden werden als dem ausgesparten Abschnitt **25d** des ersten oberen Steuerverdrahtungsabschnittes **25**.

**[0098]** Zusätzlich hierzu ist der untere Kondensator **14** elektrisch mit dem unteren Inselabschnitt **38** verbunden, und der untere Inselabschnitt **38** ist elektrisch mit dem Ausgangsverdrahtungsabschnitt **22** verbunden, und zwar über den unteren Verbindungsdraht **39L**. Im Ergebnis kann der untere Kondensator **14** mit dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27** verbunden werden, und zwar in einem Zustand, bei dem die Anordnungsrichtung des ersten Terminals und des zweiten Terminals des unteren Kondensators **14** in der ersten Richtung X liegt. Folglich kann in dem ersten unteren Steuerverdrahtungsabschnitt **27**, und zwar in dem Bereich von dem Abschnitt, mit dem der untere Steuerdraht **47** verbunden ist, der mit der Gate-Elektrode **42** des unteren Schaltelementes **12** verbunden ist, bis zu dem Abschnitt, mit dem das erste untere Steuer-Terminelement **35** verbunden ist, der untere Kondensator **14** an einem anderen Abschnitt als dem ausgesparten Abschnitt **27d** des ersten unteren Steuerverdrahtungsabschnittes **27** verbunden werden. Zusätzlich hierzu, da der untere Inselabschnitt **38** elektrisch mit dem Ausgangsverdrahtungsabschnitt **22** verbunden ist, und zwar durch den unteren Verbindungsdraht **39L**, ist es selbst dann, wenn ein anderes Element (z.B. der zweite Eingangsverdrahtungsabschnitt **24**) zwischen dem unteren Inselabschnitt **38** und dem Ausgangsverdrahtungsabschnitt **22** existiert, möglich, diese über das andere Element hinweg elektrisch zu verbinden.

**[0099]** (1-7) Das untere Schaltelement **12** ist in der zweiten Richtung Y näher an dem zweiten Eingangsverdrahtungsabschnitt **24**, und zwar in dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22**, angeordnet. Daher kann in dem ersten Abschnitt **22a** des Ausgangsverdrahtungsabschnittes **22** ein Raum bzw. Spalt zum Verbinden des oberen Leistungsdrahtes **44**, der mit dem oberen Schaltelement **11** verbunden ist, mit dem Ausgangsverdrahtungsabschnitt **22** gewährleistet werden. Daher ist es möglich, den oberen Leistungsdraht **44** auf einfache Art und Weise mit dem Ausgangsverdrahtungsabschnitt **22** zu verbinden.

**[0100]** (1-8) Die Länge des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X ist auf eine solche Länge eingestellt, die es ermöglicht, dass ein bis fünf untere Schaltelemente **12** angeordnet werden. Die Länge des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X ist auf eine solche Länge eingestellt, die es ermöglicht, dass 1 bis 5 obere Schaltelemente **11** angeordnet werden. Gemäß dieser Konfiguration ist es möglich, verschiede-

ne Leistungsmodule **1** der gleichen Größe mit unterschiedlichem Einschalt-Widerstand bereitzustellen.

**[0101]** (1-9) Das obere Schaltelement **11** und der obere Kondensator **13** sind als separate Chips vorgesehen, und das untere Schaltelement **12** und der untere Kondensator **14** sind als separate Chips vorgesehen. Da die Anzahl und die Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** frei eingestellt werden können, ist es gemäß dieser Konfiguration möglich, einen geeigneten oberen Kondensator **13** und unteren Kondensator **14** zu verwenden, um die Stoßspannung zu reduzieren.

#### Zweite Ausführungsform

**[0102]** In Bezug auf die **Fig. 17** bis **Fig. 30** wird ein Leistungsmodul **1** einer zweiten Ausführungsform nachfolgend beschrieben. Das Leistungsmodul **1** der vorliegenden Ausführungsform unterscheidet sich von dem Leistungsmodul **1** der ersten Ausführungsform darin, dass der obere Kondensator **13** und der untere Kondensator **14** weggelassen sind und eine obere Diode **71** und eine untere Diode **72** hinzugefügt sind. In der folgenden Beschreibung sind Komponenten, die die gleichen sind, wie entsprechende Komponenten des Leistungsmoduls **1** der ersten Ausführungsform, mit den gleichen Bezugszeichen versehen. Derartige Komponenten werden nicht beschrieben. Zusätzlich hierzu stellen die **Fig. 18** bis **Fig. 24** ein Beispiel der Konfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform dar. Die Konfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform ist nicht auf die Konfigurationen der **Fig. 18** bis **Fig. 24** beschränkt, und es sind verschiedene Modifikationen hieran möglich.

**[0103]** Wie es in den **Fig. 17** und **Fig. 19** dargestellt ist, ist die obere Diode **71** getrennt von einem oberen Schaltelement **11** vorgesehen, und die untere Diode **72** ist getrennt von einem unteren Schaltelement **12** vorgesehen. Wie es in **Fig. 17** dargestellt ist, ist die Kathode der oberen Diode **71** elektrisch mit einer ersten Verdrahtung **15** verbunden, die ein Drain-Terminal **11d** des oberen Schaltelementes **11** und ein erstes Eingangs-Terminal **P** verbindet. Die Anode der oberen Diode **71** ist elektrisch mit einem Abschnitt einer vierten Verdrahtung **18** verbunden, die ein Source-Terminal **11s** des oberen Schaltelementes **11** und ein Drain-Terminal **12d** des unteren Schaltelementes **12** verbindet, wobei der Abschnitt auf einer Seite des oberen Schaltelementes **11** eines Knotens **N** angeordnet ist. Die Kathode der unteren Diode **72** ist elektrisch mit einem Abschnitt der vierten Verdrahtung **18** auf der Seite des unteren Schaltelementes **12** des Knotens **N** verbunden. Die Anode der unteren Diode **72** ist elektrisch mit einer fünften Verdrahtung **19** verbunden, die das Source-Terminal **12s** des unteren Schaltelementes **12s** und ein zweites Eingangs-Terminal **N** verbindet. Bei der vorliegenden Ausführungs-

form wird sowohl für die obere Diode **71** als auch die untere Diode **72** eine Schottky-Barrierediode verwendet. Die Vorwärtsschwellenspannungen der oberen Diode **71** und der unteren Diode **72** sind geringer als die Vorwärtsschwellenspannungen der Körperdiode **11a** des oberen Schaltelementes **11** bzw. der Körperdiode **12a** des unteren Schaltelementes **12**.

**[0104]** Die Anzahl von sowohl den oberen Schaltelementen **11** als auch den unteren Schaltelementen **12** lässt sich frei ändern. Beispielsweise ist die Anzahl von sowohl den oberen Schaltelementen **11** als auch den unteren Schaltelementen **12** so eingestellt, dass deren Einschalt-Widerstand ein voreingestellter Einschalt-Widerstand wird. In einem Fall, bei dem eine Vielzahl von oberen Schaltelementen **11** vorgesehen ist, sind die oberen Schaltelemente **11** parallel miteinander verbunden. Das heißt, die Drain-Terminals **11d** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden, die Source-Terminals **11s** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden, und die Gate-Terminals **11g** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden. In einem Fall, bei dem eine Vielzahl von unteren Schaltelementen **12** vorgesehen ist, ist es zusätzlich so, dass die unteren Schaltelemente **12** parallel miteinander verbunden sind. Das heißt, die Drain-Terminals **12d** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, die Source-Terminals **12s** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, und die Gate-Terminals **12g** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden. Bei der vorliegenden Ausführungsform sind drei obere Schaltelemente **11** vorgesehen, und es sind drei untere Schaltelemente **12** vorgesehen.

**[0105]** Zusätzlich hierzu kann die Anzahl von sowohl den oberen Dioden **71** als auch den unteren Dioden **72** frei geändert werden. Beispielsweise kann die Anzahl von sowohl den oberen Dioden **71** als auch den unteren Dioden **72** eingestellt werden auf der Grundlage einer Größe eines Rückflusstromes („reflux current“), der fließt, während das obere Schaltelement **11** und das untere Schaltelement **12** vermieden bzw. umgangen werden. In einem Fall, bei dem eine Vielzahl von oberen Dioden **71** vorgesehen ist, sind die Vielzahl von oberen Dioden **71** parallel miteinander verbunden. Das heißt, die Anoden der Vielzahl von oberen Dioden **71** sind miteinander verbunden, und die Kathoden der Vielzahl von oberen Dioden **71** sind miteinander verbunden. Die Kathoden der Vielzahl von oberen Dioden **71** sind mit der ersten Verdrahtung **15** verbunden, und die Anoden der Vielzahl von oberen Dioden **71** sind mit einem Abschnitt der vierten Verdrahtung **18** auf der Seite des oberen Schaltelementes **11** in Bezug auf den Knoten **N** verbunden. In einem Fall, bei dem eine Vielzahl von unteren Dioden **72** vorgesehen ist, sind die Vielzahl von unteren

Dioden **72** parallel miteinander verbunden. Das heißt, die Anoden der Vielzahl von unteren Dioden **72** sind miteinander verbunden, und die Kathoden der Vielzahl von unteren Dioden **72** sind miteinander verbunden. Die Kathoden der Vielzahl von unteren Dioden **72** sind mit einem Abschnitt der vierten Verdrahtung **18** auf der Seite des unteren Schaltelementes **12** in Bezug auf den Knoten **N** verbunden, und die Anoden der Vielzahl von unteren Dioden **72** sind mit der fünften Verdrahtung **19** verbunden. In der vorliegenden Ausführungsform sind zwei obere Dioden **71** vorgesehen, und sind zwei untere Dioden **72** vorgesehen.

**[0106]** Bei dem Leistungsmodul **1** ist der tolerierbare Gleichstrom-Nennstrom der oberen Diode **71** kleiner als der tolerierbare Gleichstrom-Nennstrom des oberen Schaltelementes **11**, und der tolerierbare Gleichstrom-Nennstrom der unteren Diode **72** ist kleiner als der tolerierbare Gleichstrom-Nennstrom des unteren Schaltelementes **12**. Vorliegend ist der Gleichstrom-Nennstrom ein absoluter maximaler Gleichstrom-Nennstrom („absolute maximum rated DC current“). In einem Fall, bei dem eine Vielzahl von oberen Dioden **71** und eine Vielzahl von oberen Schaltelementen **11** vorgesehen sind, ist das Leistungsmodul **1** so konfiguriert, dass die Summe der Gleichstrom-Nennströme der Vielzahl von oberen Dioden **71** kleiner ist als die Summe der Gleichstrom-Nennströme der Vielzahl von oberen Schaltelementen **11**. Zusätzlich hierzu, in einem Fall, bei dem eine Vielzahl von unteren Dioden **72** und eine Vielzahl von unteren Schaltelementen **12** vorgesehen sind, ist das Leistungsmodul **1** so konfiguriert, dass die Summe der Gleichstrom-Nennströme der Vielzahl von unteren Dioden **72** kleiner ist als die Summe der Gleichstrom-Nennströme der Vielzahl von unteren Schaltelementen **12**.

**[0107]** In einem Beispiel ist das Leistungsmodul **1** so konfiguriert, dass die Anzahl der oberen Dioden **71** kleiner ist als die Anzahl der oberen Schaltelemente **11**, und dass die Anzahl der unteren Dioden **72** kleiner ist als die Anzahl der unteren Schaltelemente **12**. Wie oben beschrieben, beinhaltet bei der vorliegenden Ausführungsform, wie sie in **Fig. 19** dargestellt ist, das Leistungsmodul **1** drei obere Schaltelemente **11**, drei untere Schaltelemente **12**, zwei obere Dioden **71** und zwei untere Dioden **72**. Zusätzlich hierzu kann beispielsweise der tolerierbare Gleichstrom-Nennstrom von einer oberen Diode **71** kleiner sein als der tolerierbare Gleichstrom-Nennstrom von einem oberen Schaltelement **11**. Zusätzlich hierzu kann der tolerierbare Gleichstrom-Nennstrom von einer unteren Diode **72** kleiner sein als der tolerierbare Gleichstrom-Nennstrom von einem unteren Schaltelement **12**. In diesem Fall können die Anzahl der oberen Schaltelemente **11** und die Anzahl der oberen Dioden **71** gleich sein. Zusätzlich hierzu kann die Anzahl der unteren Schaltelemente **12** und die Anzahl der unteren Dioden **72** gleich sein.

**[0108]** Wie es in den **Fig. 18** bis **Fig. 20** dargestellt ist, beinhaltet das Leistungsmodul **1** ein Substrat **80** mit einer in Draufsicht rechteckigen Form, und ein Verkapselungsharz **90** zum Verkapseln der Schaltelemente **11**, **12** und der Dioden **71**, **72**. In der folgenden Beschreibung ist die Longitudinalrichtung des Substrats **80** als „erste Richtung X“ definiert, die Lateralrichtung (Longitudinalrichtung) des Substrats **80** ist als „zweite Richtung Y“ definiert, und die Plattendickenrichtung des Substrats **80** ist als „dritte Richtung Z“ definiert.

**[0109]** Das Substrat **80** hat eine Konfiguration, bei der ein Keramiksubstrat **81** und ein Graphitsubstrat **82** aneinander laminiert sind. Das Graphitsubstrat **82** weist ein erstes Substrat **82A** und ein zweites Substrat **82B** auf. Das erste Substrat **82A** und das zweite Substrat **82B** sind benachbart zueinander in der ersten Richtung X angeordnet, wobei ein Spalt dazwischen vorgesehen ist. Das erste Substrat **82A** und das zweite Substrat **82B** sind jeweils so geformt, dass sie eine Rechteckform haben, bei der die zweite Richtung Y die Longitudinalrichtung ist.

**[0110]** Wie es in den **Fig. 19**, **Fig. 21** und **Fig. 22** dargestellt ist, weist das Keramiksubstrat **81** einen Hauptkörperabschnitt **81a** auf, der aus einem Keramikmaterial hergestellt ist, eine Rückflächenmetallschicht **81b**, die auf der Rückflächenseite des Hauptkörperabschnittes **81a** vorgesehen ist, und eine Vorderflächenmetallschicht **81c**, die auf der Vorderflächenseite des Hauptkörperabschnittes **81a** vorgesehen ist. Die Rückflächenmetallschicht **81b** ist beispielsweise aus Kupfer (Cu) hergestellt und ist an der Rückfläche des Hauptkörperabschnittes **81a** mittels eines Klebstoffes oder dergleichen angebracht. Die Vorderflächenmetallschicht **81c** ist beispielsweise aus Kupfer (Cu) hergestellt und ist an der Vorderfläche des Hauptkörperabschnittes **81a** mittels eines Klebstoffes oder dergleichen angebracht. Wie es in den **Fig. 20** bis **Fig. 22** dargestellt ist, ist die Fläche des Hauptkörperabschnittes **81a** in der Draufsicht größer als sowohl die Fläche bzw. der Flächenregion der Vorderflächenmetallschicht **81c** als auch die Fläche der Rückflächenmetallschicht **81b**, und zwar in einer Draufsicht. Das heißt, der äußere Umfangsrand der Vorderflächenmetallschicht **81c** ist innerhalb des äußeren Umfangsrandes des Hauptkörperabschnittes **81a** ausgebildet, und der äußere Umfangsrand der Rückflächenmetallschicht **81b** ist innerhalb des äußeren Umfangsrandes des Hauptkörperabschnittes **81a** ausgebildet. Zusätzlich hierzu ist beispielsweise die Dicke des Hauptkörperabschnittes **81a** dünner als die Dicken von sowohl der Rückflächenmetallschicht **81b** als auch der Vorderflächenmetallschicht **81c**. Die Dicke der Rückflächenmetallschicht **81b** und die Dicke der Vorderflächenmetallschicht **81c** sind gleich groß. Die Form der Rückflächenmetallschicht **81b** in einer Draufsicht und die Form der Vorderflächenmetallschicht **81c** in einer Drauf-

sicht sind einander gleich. Auf diese Weise sind das Volumen der Rückflächenmetallschicht **81b** und das Volumen der Vorderflächenmetallschicht **81c** einander gleich. In der vorliegenden Ausführungsform beträgt die Dicke des Hauptkörperabschnittes **81a** 0,32 mm, die Dicke der Rückflächenmetallschicht **81b** beträgt 0,4 mm und die Dicke der Vorderflächenmetallschicht **81c** beträgt 0,4 mm. Die Dicke von sowohl dem Hauptkörperabschnitt **81a**, der Rückflächenmetallschicht **81b** und der Vorderflächenmetallschicht **81c** kann frei geändert werden. In einem Beispiel können die Dicke des Hauptkörperabschnittes **81a**, die Dicke der Rückflächenmetallschicht **81b** und die Dicke der Vorderflächenmetallschicht **81c** einander gleich sein. Wie es in **Fig. 21** dargestellt ist, ist die Rückflächenmetallschicht **81b** gegenüber dem Verkapselungsharz **90** freigelegt, und der Hauptkörperabschnitt **81a** ist gegenüber dem Verkapselungsharz **90** nicht freigelegt. Das heißt, das Verkapselungsharz **90** bedeckt einen Teil des Hauptkörperabschnittes **81a** auf einer Seite der Rückflächenmetallschicht **81b**. Im Ergebnis ist es möglich, eine Entlaminierung des Keramiksubstrates **81** von dem Verkapselungsharz **90** zu beschränken bzw. verhindern.

**[0111]** Wie es in **Fig. 19** dargestellt ist, sind das erste Substrat **82A** und das zweite Substrat **82B** auf der Vorderflächenmetallschicht **81c** des Keramiksubstrates **81** laminiert. Das erste Substrat **82A** weist einen Hauptkörperabschnitt **82a** auf, der aus Graphit hergestellt ist, eine Rückflächenmetallschicht **82b**, die auf einer Rückflächenseite des Hauptkörperabschnittes **82a** vorgesehen ist, und eine Vorderflächenmetallschicht **82c**, die auf einer Vorderflächenseite des Hauptkörperabschnittes **82a** vorgesehen ist. Die Rückflächenmetallschicht **82b** ist beispielsweise aus Kupfer (Cu) hergestellt. Die Rückflächenmetallschicht **82b** ist durch Löten oder dergleichen an die Vorderflächenmetallschicht **81c** des Keramiksubstrates **81** gebondet. Die Vorderflächenmetallschicht **82c** ist beispielsweise aus Kupfer (Cu) hergestellt. Wie es in den **Fig. 19** und **Fig. 20** dargestellt ist, ist die Fläche des Hauptkörperabschnittes **82a** in einer Draufsicht gleich sowohl der Fläche der Vorderflächenmetallschicht **82c** als auch der Fläche der Rückflächenmetallschicht **82b**, und zwar in einer Draufsicht. Der äußere Umfangsrand des ersten Substrats **82A** ist innerhalb des äußeren Umfangsrandes der Vorderflächenmetallschicht **81c** des Keramiksubstrates **81** ausgebildet. Zusätzlich hierzu ist beispielsweise die Dicke des Hauptkörperabschnittes **82a** größer als die Dicke der Rückflächenmetallschicht **82b** und der Dicke der Vorderflächenmetallschicht **82c**. In einem Beispiel hat der Hauptkörperabschnitt **82a** eine Dicke, die wenigstens zweimal so groß ist wie die Dicke von sowohl der Rückflächenmetallschicht **82b** als auch der Vorderflächenmetallschicht **82c**. Zusätzlich hierzu sind die Dicke der Rückflächenmetallschicht **82b** und die Dicke der Vorderflächenmetallschicht **82c** gleich groß. Das heißt, das Volumen der

Rückflächenmetallschicht **82b** und das Volumen der Vorderflächenmetallschicht **82c** sind einander gleich. Zusätzlich hierzu sind die Dicke der Rückflächenmetallschicht **82b** und die Dicke der Vorderflächenmetallschicht **82c** größer als die Dicke der Rückflächenmetallschicht **81b** bzw. die Dicke der Vorderflächenmetallschicht **81c** des Keramiksubstrates **81**. In einem Beispiel ist die Dicke der Rückflächenmetallschicht **82b** und die Dicke der Vorderflächenmetallschicht **82c** etwa doppelt so groß wie die Dicke der Rückflächenmetallschicht **81b** bzw. die Dicke der Vorderflächenmetallschicht **81c** des Keramiksubstrates **81**. In der vorliegenden Ausführungsform beträgt die Dicke des Hauptkörperabschnittes **82a** 2,0 mm, und die Dicke der Rückflächenmetallschicht **82b** beträgt 0,8 mm und die Dicke der Vorderflächenmetallschicht **82c** beträgt 0,8 mm.

**[0112]** Der Hauptkörperabschnitt **82a** des ersten Substrats **82A** hat eine anisotrope thermische Leitfähigkeit. Genauer gesagt ist der Hauptkörperabschnitt **82a** des ersten Substrats **82A** so konfiguriert, dass die thermische Leitfähigkeit des Hauptkörperabschnittes **82a** in der zweiten Richtung Y geringer ist als die thermische Leitfähigkeit des Hauptkörperabschnittes **82a** in der ersten Richtung X. Mit anderen Worten ist der Hauptkörperabschnitt **82a** des ersten Substrats **82A** derart konfiguriert, dass die thermische Leitfähigkeitsrate des Hauptkörperabschnittes **82a** in der zweiten Richtung Y geringer ist als die thermische Leitfähigkeitsrate des Hauptkörperabschnittes **82a** in der ersten Richtung X. Der Hauptkörperabschnitt **82a** des ersten Substrats **82A** ist derart konfiguriert, dass die thermische Leitfähigkeit in der dritten Richtung Z gleich der thermischen Leitfähigkeit des Hauptkörperabschnittes **82a** in der ersten Richtung X ist. Die thermische Leitfähigkeit in der ersten Richtung X und die thermische Leitfähigkeit in der dritten Richtung Z können in dem Hauptkörperabschnitt **82a** des ersten Substrats **82A** unterschiedlich voneinander sein. Auch in diesem Fall ist es bevorzugt, wenn die thermische Leitfähigkeit in der zweiten Richtung Y niedriger ist als die thermische Leitfähigkeit in der ersten Richtung X und als die thermische Leitfähigkeit in der dritten Richtung Z, und zwar in dem Hauptkörperabschnitt **82a** des ersten Substrats **82A**.

**[0113]** Die Struktur des zweiten Substrats **82B** ist identisch zu der Struktur des ersten Substrats **82A** und beinhaltet einen Hauptkörperabschnitt **82a**, eine Rückflächenmetallschicht **82b** und eine Vorderflächenmetallschicht **82c**. Die Rückflächenmetallschicht **82b** des zweiten Substrats **82B** ist auf die Vorderflächenmetallschicht **81c** des Keramiksubstrates **81** gebondet. Der äußere Umfangsrand des zweiten Substrats **82B** ist innerhalb des äußeren Umfangsrandes der Vorderflächenmetallschicht **81c** des Keramiksubstrates **81** ausgebildet.

[0114] Der Hauptkörperabschnitt **82a** des zweiten Substrats **82B** besitzt eine anisotrope thermische Leitfähigkeit. Genauer gesagt ist der Hauptkörperabschnitt **82a** des zweiten Substrats **82B** so konfiguriert, dass eine thermische Leitfähigkeit des Hauptkörperabschnittes **82a** in der zweiten Richtung Y geringer ist als eine thermische Leitfähigkeit des Hauptkörperabschnittes **82a** in der ersten Richtung X. Mit anderen Worten ist der Hauptkörperabschnitt **82a** des zweiten Substrats **82B** so konfiguriert, dass die thermische Leitfähigkeitsrate des Hauptkörperabschnittes **82a** in der zweiten Richtung Y geringer ist als die thermische Leitfähigkeitsrate des Hauptkörperabschnittes **82a** in der ersten Richtung X. Der Hauptkörperabschnitt **82a** des zweiten Substrats **82B** ist derart konfiguriert, dass eine thermische Leitfähigkeit in der dritten Richtung Z gleich der thermischen Leitfähigkeit des Hauptkörperabschnittes **82a** in der ersten Richtung X ist. Die thermische Leitfähigkeit in der ersten Richtung X und die thermische Leitfähigkeit in der dritten Richtung Z können in dem Hauptkörperabschnitt **82a** des zweiten Substrats **82B** unterschiedlich voneinander sein. Auch in diesem Fall ist es in dem Hauptkörperabschnitt **82a** des zweiten Substrats **82B** bevorzugt, wenn die thermische Leitfähigkeit in der zweiten Richtung Y geringer ist als die thermische Leitfähigkeit in der ersten Richtung X und als die thermische Leitfähigkeit in der dritten Richtung Z.

[0115] Wie es in den Fig. 19 und Fig. 20 dargestellt ist, beinhaltet das Leistungsmodul **1** ein erstes Eingangs-Terminalelement **83**, ein zweites Eingangs-Terminalelement **84**, ein Ausgangs-Terminalelement **85**, ein oberes Signalsubstrat **86**, ein unteres Signalsubstrat **87**, ein erstes oberes Steuer-Terminalelement **88A**, ein zweites oberes Steuer-Terminalelement **88B**, ein erstes unteres Steuer-Terminalelement **89A** und ein zweites unteres Steuer-Terminalelement **89B**. Das erste Eingangs-Terminalelement **83** bildet das erste Eingangs-Terminal **P** des Leistungsmoduls **1**, das zweite Eingangs-Terminalelement **84** bildet das zweite Eingangs-Terminal **N** des Leistungsmoduls **1**, und das Ausgangs-Terminalelement **85** bildet das Ausgangs-Terminal **O** des Leistungsmoduls **1**. Zusätzlich hierzu bildet das erste obere Steuer-Terminalelement **88A** ein erstes oberes Steuer-Terminal **GU1**, das zweite obere Steuer-Terminalelement **88B** bildet ein zweites oberes Steuer-Terminal **GU2**, das erste untere Steuer-Terminalelement **89A** bildet ein erstes unteres Steuer-Terminal **GL1**, und das zweite untere Steuer-Terminalelement **89B** bildet eine zweite untere Steuer-Terminal **GL2**. Das erste Eingangs-Terminalelement **83**, das zweite Eingangs-Terminalelement **84**, das Ausgangs-Terminalelement **85**, das erste obere Steuer-Terminalelement **88A**, das zweite obere Steuer-Terminalelement **88B**, das erste untere Steuer-Terminalelement **89A** und das zweite untere Steuer-Terminalelement **89B** sind jeweils aus Kupfer (Cu) hergestellt.

[0116] Auf dem ersten Substrat **82A** sind das erste Eingangs-Terminalelement **83**, das zweite Eingangs-Terminalelement **84**, das obere Signalsubstrat **86**, drei obere Schaltelemente **11** und die zwei oberen Dioden **71** montiert. Die Vorderflächenmetallschicht **82c** des ersten Substrats **82A** konfiguriert die erste Verdrahtung **15**, die das obere Schaltelement **11** und das erste Eingangs-Terminal **P** verbindet (siehe Fig. 17).

[0117] Das erste Eingangs-Terminalelement **83** ist an einem Ort positioniert, bei dem es sich um einen Endabschnitt des ersten Substrats **82A** auf der Seite gegenüberliegend dem zweiten Substrat **82B** in der ersten Richtung X handelt, und ist ein Abschnitt des ersten Substrats **82A** auf einer Seite des oberen Steuer-Terminalelementes **88A**, **88B** in der zweiten Richtung Y.

[0118] Das zweite Eingangs-Terminalelement **84** ist so vorgesehen, dass es dem ersten Substrat **82A** gegenüberliegt, und zwar mit einem Spalt dazwischen in der dritten Richtung Z. Das zweite Eingangs-Terminalelement **84** weist einen ersten Verbindungsabschnitt **84a**, einen zweiten Verbindungsabschnitt **84b**, einen dritten Verbindungsabschnitt **84c**, einen vierten Verbindungsabschnitt **84d**, einen fünften Verbindungsabschnitt **84e**, einen Koppelabschnitt **84f** und einen Terminalabschnitt **84g** auf. Der erste Verbindungsabschnitt **84a**, der zweite Verbindungsabschnitt **84b**, der dritte Verbindungsabschnitt **84c**, der vierte Verbindungsabschnitt **84d**, der fünfte Verbindungsabschnitt **84e**, der Koppelabschnitt **84f** und der Terminalabschnitt **84g** sind einstückig ausgebildet.

[0119] Der Koppelabschnitt **84f** ist in einem Zustand angeordnet, bei dem er dem Endabschnitt des ersten Substrats **82A** auf der Seite gegenüber einer Seite des zweiten Substrats **82B** in der ersten Richtung X angeordnet ist, und zwar mit einem Spalt dazwischen in der dritten Richtung Z. Der Koppelabschnitt **84f** erstreckt sich in der zweiten Richtung Y. Ein Teil des Koppelabschnittes **84f** deckt einen Teil des ersten Eingangs-Terminalelementes **83** ab, und zwar aus der dritten Richtung Z. Beide Verbindungsabschnitte **84a** und **84b** erstrecken sich von dem Koppelabschnitt **84f** in der ersten Richtung X in Richtung zu der Seite des zweiten Substrats **82B**. Die Verbindungsabschnitte **84a** und **84b** haben identische Formen und sind so ausgebildet, dass sie rechteckförmig sind, und zwar mit der ersten Richtung X als der Longitudinalrichtung. Der erste Verbindungsabschnitt **84a**, der zweite Verbindungsabschnitt **84b**, der dritte Verbindungsabschnitt **84c**, der vierte Verbindungsabschnitt **84d** und der fünfte Verbindungsabschnitt **84e** sind in dieser Reihenfolge ausgehend von dem Endabschnitt auf der Seite gegenüberliegend der Seite der oberen Steuer-Terminalelemente **88A**, **88B** in der zweiten Richtung Y angeordnet, und zwar beabstandet voneinander in der zweiten Rich-

tung Y. Die Verbindungsabschnitte **84a** bis **84e** sind mit gleichen Abständen bzw. Intervallen in der zweiten Richtung Y angeordnet. Die Längen der Verbindungsabschnitte **84a** bis **84e** in der ersten Richtung X sind einander gleich. Die Positionen in der ersten Richtung X der vorderen Endabschnitte der Verbindungsabschnitte **84a** bis **84e** sind einander gleich. Der Koppelabschnitt **84f** erstreckt sich in der zweiten Richtung Y und ist mit den Verbindungsabschnitten **84a** bis **84e** verbunden. Der Terminalabschnitt **84g** erstreckt sich von dem Koppelabschnitt **84f** hin zu der Seite gegenüberliegend den Verbindungsabschnitten **84a** bis **84e** in der ersten Richtung X. Der Terminalabschnitt **84g** ist an einer Position entsprechend dem ersten Verbindungsabschnitt **84a** und dem zweiten Verbindungsabschnitt **84b** in der zweiten Richtung Y vorgesehen. Die Breitenabmessung (die Länge des Terminalabschnittes **84g** in der zweiten Richtung Y) des Terminalabschnittes **84g** ist größer als die Breitenabmessung von jedem der Verbindungsabschnitte **84a** bis **84e** (Länge der Verbindungsabschnitte **84a** bis **84e** in der zweiten Richtung Y). Die Breitenabmessung des Terminalabschnittes **84g** ist gleich der Breitenabmessung des Ausgangs-Terminal-elementes **85** (Länge des Ausgangs-Terminal-elementes **85** in der zweiten Richtung Y) und gleich der Breitenabmessung des ersten Eingangs-Terminal-elementes **83** (Länge des ersten Eingangs-Terminal-elementes **83** in der zweiten Richtung Y).

**[0120]** Wie es in den **Fig. 19** und **Fig. 24** dargestellt ist, sind die vorderen Endabschnitte der Verbindungsabschnitte **84a** bis **84e** an dem ersten Substrat **82A** über einen isolierenden Trägerabschnitt **84x** angebracht. Der isolierende Trägerabschnitt **84x** ist aus einem elektrisch isolierendem Material gebildet. Da das zweite Eingangs-Terminal-element **84** von dem isolierenden Trägerabschnitt **84x** getragen bzw. gelagert wird, kann das zweite Eingangs-Terminal-element **84** dem ersten Substrat **82A** gegenüberliegen, und zwar mit einem Spalt dazwischen in der dritten Richtung Z. Die Dicke des isolierenden Trägerabschnittes **84x** ist so eingestellt, dass das zweite Eingangs-Terminal-element **84** einen Spalt in der dritten Richtung Z zwischen sich selbst und dem oberen Signalsubstrat **86** bilden kann.

**[0121]** Die drei oberen Schaltelemente **11** und die zwei oberen Dioden **71** sind an einem Endabschnitt des ersten Substrats **82A** auf einer Seite des zweiten Substrats **82B** angeordnet. Die drei oberen Schaltelemente **11** und die zwei oberen Dioden **71** sind mit einem Spalt dazwischen in der zweiten Richtung Y angeordnet, die in dem ersten Substrat **82A** eine niedrige thermische Leitfähigkeitsrate (thermische Leitfähigkeit) hat. Genauer gesagt, sind die oberen Schaltelemente **11** und die oberen Dioden **71** abwechselnd in der zweiten Richtung Y angeordnet. Das heißt, die oberen Schaltelemente **11** sind auf beiden Seiten der oberen Diode **71** in der zweiten Rich-

tung Y angeordnet. Die Position des oberen Schaltelementes **11** und die Position der oberen Diode **71** in der ersten Richtung X sind einander gleich. Genauer gesagt ist die Position des Randes des oberen Schaltelementes **11** auf einer Seite des zweiten Substrats **82B** in der ersten Richtung X gleich der Position des Randes der oberen Diode **71** auf einer Seite des zweiten Substrats **82B**.

**[0122]** Ein oberes Schaltelement **11** der drei oberen Schaltelemente **11** ist zwischen dem ersten Verbindungsabschnitt **84a** und dem zweiten Verbindungsabschnitt **84b** in der zweiten Richtung Y angeordnet. Ein weiteres oberes Schaltelement **11** der drei oberen Schaltelemente **11** ist zwischen dem dritten Verbindungsabschnitt **84c** und dem vierten Verbindungsabschnitt **84d** in der zweiten Richtung Y angeordnet. Das verbleibende eine obere Schaltelement **11** der drei oberen Schaltelemente **11** ist an einer Position angeordnet, die unterschiedlich ist von jener des zweiten Eingangs-Terminal-elementes **84** in der zweiten Richtung Y.

**[0123]** Eine obere Diode **71** der zwei oberen Dioden **71** ist zwischen dem zweiten Verbindungsabschnitt **84b** und dem dritten Verbindungsabschnitt **84c** in der zweiten Richtung Y angeordnet. Die verbleibende eine obere Diode **71** der zwei oberen Dioden **71** ist zwischen dem vierten Verbindungsabschnitt **84d** und dem fünften Verbindungsabschnitt **84e** angeordnet.

**[0124]** Die drei oberen Schaltelemente **11** und die zwei oberen Dioden **71** sind auf der Seite gegenüberliegend dem zweiten Substrat **82B** in Bezug auf die vorderen Ränder der Verbindungsabschnitte **84a** bis **84e** in der ersten Richtung X angeordnet. Die drei oberen Schaltelemente **11** sind näher an dem oberen Signalsubstrat **86** in der ersten Richtung X zwischen dem Rand des ersten Substrats **82A** auf einer Seite des zweiten Substrats **82B**-Seite und dem Rand des oberen Signalsubstrates **86** auf einer Seite des zweiten Substrats **82B**-Seite angeordnet. Im Gegensatz hierzu sind die zwei oberen Dioden **71** näher an dem Rand des ersten Substrats **82A** auf der Seite des zweiten Substrats **82B** zwischen dem Rand des ersten Substrats **82A** auf der Seite des zweiten Substrats **82B** und dem Rand des oberen Signalsubstrates **86** auf der Seite des zweiten Substrats **82B** in der ersten Richtung X angeordnet.

**[0125]** Das obere Signalsubstrat **86** ist in einer Region zwischen einer Region, wo das erste Eingangs-Terminal-element **83** angeordnet ist, und einer Region angeordnet, wo die drei oberen Schaltelemente **11** und die zwei oberen Dioden **71** in dem ersten Substrat **82A** angeordnet sind. Das obere Signalsubstrat **86** ist rechteckförmig ausgebildet, wobei die zweite Richtung Y die Longitudinalrichtung ist.

[0126] Wie es in **Fig. 23** dargestellt ist, weist das obere Signalsubstrat **86** ein isolierendes Substrat **86a**, eine Rückflächenmetallschicht **86b**, einen ersten oberen Steuerverdrahtungsabschnitt **86c** und einen zweiten oberen Steuerverdrahtungsabschnitt **86d** auf. Der erste obere Steuerverdrahtungsabschnitt **86c** bildet einen Teil der zweiten Verdrahtung **16**, und der zweite obere Steuerverdrahtungsabschnitt **86d** bildet einen Teil einer oberen Erfassungs- bzw. Abtastverdrahtung **16A**.

[0127] Das isolierende Substrat **86a** ist aus einem elektrisch isolierendem Material hergestellt. Die Rückflächenmetallschicht **86b** ist beispielsweise aus Kupfer (Cu) hergestellt und ist an der Rückseite des isolierenden Substrats **86a** mittels eines Klebstoffes oder dergleichen angebracht. Jeder der oberen Steuerverdrahtungsabschnitte **86c**, **86d** ist an der Vorderfläche des isolierenden Substrats **86a** mit einem Klebstoff oder dergleichen angebracht. Die Rückflächenmetallschicht **86b** als auch die oberen Steuerverdrahtungsabschnitte **86c**, **86d** können jeweils als ein Kupferfolienmuster konfiguriert sein, das auf dem isolierenden Substrat **86a** gebildet ist. Wie es in **Fig. 23** dargestellt ist, ist der äußere Umfangsrand der Rückflächenmetallschicht **86b** innerhalb des äußeren Umfangsrandes des isolierenden Substrats **86a** ausgebildet. Im Ergebnis, da das Verkapselungsharz **90** die Rückflächenseite des isolierenden Substrats **86a** bedeckt, ist es möglich, eine Ent- bzw. Delaminierung des oberen Signalsubstrates **86** von dem ersten Substrat **82A** zu begrenzen.

[0128] Der erste obere Steuerverdrahtungsabschnitt **86c** und der zweite obere Steuerverdrahtungsabschnitt **86d** sind beabstandet benachbar zueinander in der ersten Richtung X angeordnet. Jeder der oberen Steuerverdrahtungsabschnitte **86c** und **86d** erstreckt sich entlang der zweiten Richtung Y. In der ersten Richtung X ist der erste obere Steuerverdrahtungsabschnitt **86c** auf einer Seite der drei oberen Schaltelemente **11** und der zwei oberen Dioden **71** angeordnet, und zwar in Bezug auf den zweiten oberen Steuerverdrahtungsabschnitt **86d**. Das erste obere Steuer-Terminelement **88A** ist an einem Endabschnitt des ersten oberen Steuerverdrahtungsabschnittes **86c** angebracht, und zwar auf einer Seite in der zweiten Richtung Y, und ein zweites oberes Steuer-Terminelement **88B** ist auf einer Seite an einem Endabschnitt des zweiten oberen Steuerverdrahtungsabschnittes **86d** angebracht. Jedes der oberen Steuer-Terminelemente **88A**, **88B** steht gegenüber dem Verkapselungsharz **90** in der zweiten Richtung Y vor.

[0129] Auf dem zweiten Substrat **82B** sind das Ausgangs-Terminelement **85**, das untere Signalsubstrat **87**, die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** montiert. Die Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** konfi-

guriert einen Teil der vierten Verdrahtung **18**, die das Source-Terminal **11s** des oberen Schaltelementes **11** und das Drain-Terminal **12d** des unteren Schaltelementes **12** verbindet.

[0130] Das Ausgangs-Terminelement **85** ist an der Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** angebracht. Das Ausgangs-Terminelement **85** ist an einem Ort positioniert, bei dem es sich um einen Endabschnitt des zweiten Substrats **82B** auf der Seite gegenüber der Seite des ersten Substrats **82A** in der ersten Richtung X handelt, und bei dem es sich um einen mittleren Abschnitt des zweiten Substrats **82B** in der zweiten Richtung Y handelt. Das Ausgangs-Terminelement **85** erstreckt sich in der ersten Richtung X und steht gegenüber dem Verkapselungsharz **90** nach außen hin vor (siehe **Fig. 17**).

[0131] Die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** sind an einem Endabschnitt des zweiten Substrats **82B** auf der Seite des ersten Substrats **82A** angeordnet. Die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** sind mit einem Spalt dazwischen in der zweiten Richtung Y angeordnet, die eine niedrige thermische Leitfähigkeitsrate (thermische Leitfähigkeit) in dem zweiten Substrat **82B** hat. Genauer gesagt sind das untere Schaltelement **12** und die untere Diode **72** in der zweiten Richtung Y abwechselnd angeordnet. Das heißt, das untere Schaltelement **12** ist auf beiden Seiten der unteren Diode **72** in der zweiten Richtung Y positioniert. Die Position des unteren Schaltelementes **12** und die Position der unteren Diode **72** in der ersten Richtung X sind einander gleich. Genauer gesagt sind die Position des Randes des unteren Schaltelementes **12** auf einer Seite des ersten Substrats **82A** und die Position des Randes der unteren Diode **72** auf einer Seite des ersten Substrats **82A** einander in der ersten Richtung X gleich.

[0132] Die drei unteren Schaltelemente **12** sind in der ersten Richtung X näher an dem unteren Signalsubstrat **87** angeordnet, und zwar zwischen dem Rand des zweiten Substrats **82B** auf einer Seite des ersten Substrats **82A** und dem Rand des unteren Signalsubstrates **87** auf einer Seite des ersten Substrats **82A**. Im Gegensatz hierzu sind die zwei unteren Dioden **72** näher an dem Rand des zweiten Substrats **82B** auf der Seite des ersten Substrats **82A** in der ersten Richtung X angeordnet, und zwar zwischen dem Rand des zweiten Substrats **82B** auf der Seite des ersten Substrats **82A** und dem Rand des unteren Signalsubstrates **87** auf der Seite des ersten Substrats **82A**.

[0133] Das untere Signalsubstrat **87** ist an einer Region zwischen der Region, wo das Ausgangs-Terminelement **85** angeordnet ist, und der Region angeordnet, wo die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** in dem zweiten Substrat

**82B** angeordnet sind. Das untere Signalsubstrat **87** ist so ausgebildet, dass es rechteckförmig ist, wobei die zweite Richtung Y die Longitudinalrichtung ist.

[0134] Die elektrische Verbindungskonfiguration von jedem der Schaltelemente **11**, **12** und von jeder der Dioden **71**, **72** wird nachstehend beschrieben.

[0135] Jedes der drei oberen Schaltelemente **11** ist so angeordnet, dass die Gate-Elektrode **42** (siehe **Fig. 5A**) auf einer Seite des oberen Signalsubstrates **86** angeordnet ist. Die Gate-Elektrode **42** ist elektrisch mit dem ersten oberen Steuerverdrahtungsabschnitt **86c** verbunden, und zwar durch einen oberen Steuerdraht **45**. Die Source-Elektrode **41** (siehe **Fig. 5A**) elektrisch mit dem zweiten oberen Steuerverdrahtungsabschnitt **86d** verbunden, und zwar durch einen oberen Steuerdraht **45**. Zusätzlich hierzu ist die Source-Elektrode **41** elektrisch mit der Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** verbunden, und zwar durch vier obere Leistungsdrähte **44**. Die Drain-Elektroden **48** (siehe **Fig. 6**) der drei oberen Schaltelemente **11** sind elektrisch mit der Vorderflächenmetallschicht **81c** des ersten Substrats **82A** verbunden, und zwar jeweils durch Lötens oder dergleichen.

[0136] Die Kathoden der zwei oberen Dioden **71** sind elektrisch mit der Vorderflächenmetallschicht **81c** des ersten Substrats **82A** durch Lötens oder dergleichen verbunden. Die Anoden der zwei oberen Dioden **71** sind elektrisch mit der Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** verbunden, und zwar durch vier obere Diodendrähte **91** als Beispiele von oberen Diodenverbindungselementen. Der Drahtdurchmesser des oberen Diodendrahtes **91** der vorliegenden Ausführungsform ist gleich dem Drahtdurchmesser des oberen Leistungsdrahtes **44**. Es ist bevorzugt, wenn die Induktivität der vier oberen Diodendrähte **91** kleiner ist als die Induktivität der vier oberen Leistungsdrähte **44**. In einem Beispiel ist die Länge von jedem der vier oberen Diodendrähte **91** kürzer als die Länge von jedem der vier oberen Leistungsdrähte **44**. Als Beispiel einer Konfiguration, bei der die Induktivität des oberen Diodendrahtes **91** kleiner ist als die Induktivität des oberen Leistungsdrahtes **44**, kann der Drahtdurchmesser des oberen Diodendrahtes **91** so konfiguriert sein, dass er größer ist als der Drahtdurchmesser des oberen Leistungsdrahtes **44**.

[0137] Die drei unteren Schaltelemente **12** sind so angeordnet, dass die Gate-Elektrode **42** sich auf einer Seite des unteren Signalsubstrates **87** befindet. Die Gate-Elektrode **42** ist elektrisch mit dem ersten unteren Steuerverdrahtungsabschnitt **87c** verbunden, und zwar durch einen unteren Steuerdraht **47**. Die Source-Elektrode **41** ist elektrisch mit dem zweiten unteren Steuerverdrahtungsabschnitt **87d** verbunden, und zwar durch einen unteren Steuer-

draht **47**. Zusätzlich hierzu ist die Source-Elektrode **41** elektrisch mit der Vorderflächenmetallschicht **81c** des ersten Substrats **82A** verbunden, und zwar durch vier untere Leistungsdrähte **46**. Die Drain-Elektroden **48** der drei unteren Schaltelemente **12** sind elektrisch mit der Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** durch Lötens oder dergleichen verbunden.

[0138] Die Kathoden der zwei unteren Dioden **72** sind elektrisch mit der Vorderflächenmetallschicht **82c** des zweiten Substrats **82B** durch Lötens oder dergleichen verbunden. Die Anoden der zwei unteren Dioden **72** sind elektrisch mit der Vorderflächenmetallschicht **81c** des ersten Substrats **82A** verbunden, und zwar durch vier untere Diodendrähte **92** als ein Beispiel eines unteren Diodenverbindungselementes. Der Drahtdurchmesser des unteren Diodendrahtes **92** ist gleich dem Drahtdurchmesser des unteren Leistungsdrahtes **46**. Zusätzlich hierzu ist der Drahtdurchmesser des unteren Diodendrahtes **92** gleich dem Drahtdurchmesser des oberen Diodendrahtes **91**. Es ist bevorzugt, wenn die vier unteren Diodendrähte **92** so konfiguriert sind, dass deren Induktivität kleiner ist als die Induktivität der vier unteren Leistungsdrähte **46**. In einem Beispiel ist die Länge von jedem der vier unteren Diodendrähte **92** kürzer als die Länge von jedem der vier unteren Leistungsdrähte **46**. Als ein Beispiel einer Konfiguration, bei der die Induktivität des unteren Diodendrahtes **92** kleiner ist als die Induktivität des unteren Leistungsdrahtes **46**, kann eine Konfiguration verwendet werden, bei der der Drahtdurchmesser des unteren Diodendrahtes **92** größer ist als der Drahtdurchmesser des unteren Leistungsdrahtes **46**.

#### Konfiguration von oberer und unterer Diode

[0139] Unter Bezugnahme auf die **Fig. 25** und **Fig. 26** werden Konfigurationen der oberen Diode **71** und der unteren Diode **72** beschrieben. Da die obere Diode **71** und die untere Diode **72** die gleiche Konfiguration besitzen, wird in der nachstehenden Beschreibung die Konfiguration der oberen Diode **71** beschrieben und die Konfiguration der unteren Diode **72** wird nicht beschrieben. Zusätzlich hierzu sind die Konfigurationen der oberen Diode **71** und der unteren Diode **72** nicht auf die in **Fig. 25** und **Fig. 26** dargestellten Konfigurationen beschränkt, und es sind verschiedene Modifikationen hieran möglich.

[0140] **Fig. 25** stellt ein Beispiel der Konfiguration der oberen Diode **71** dar. Die obere Diode **71** ist aus einem Halbleiter mit breiter Bandlücke („wide gap semiconductor“) hergestellt. Für die obere Diode **71** wird ein 4H-SiC (Halbleiter mit breiter Bandlücke, der ein elektrisches Durchbruchsfeld von etwa 2,8 MV/cm und eine Bandlückenbreite von etwa 3,26 eV hat) verwendet. Der für die obere Diode **71** verwendete Halbleiter mit breiter Bandlücke ist nicht auf Silizium-

karbid (SiC) beschränkt, sondern kann Galliumnitrid (GaN), Galliumoxid ( $\text{Ga}_2\text{O}_3$ ), Diamant oder dergleichen sein. Galliumnitrid (GaN) hat ein elektrisches Durchbruchsfeld bzw. eine elektrische Durchbruchsfeldstärke von etwa 3 MV/cm und eine Bandlückenbreite von etwa 3,42 eV. Galliumoxid ( $\text{Ga}_2\text{O}_3$ ) hat ein elektrisches Durchbruchsfeld von etwa 8 MV/cm und eine Bandlückenbreite von etwa 4,8 eV. Diamant hat ein elektrisches Durchbruchsfeld von etwa 8 MV/cm und eine Bandlückenbreite von etwa 5,47 eV.

**[0141]** Wie es in **Fig. 26** dargestellt ist, weist die obere Diode **71** ein SiC-Substrat **100** vom n<sup>+</sup>-Typ sowie eine Epitaxieschicht **101** auf, die auf die Oberfläche **100A** des SiC-Substrats **100** vom n<sup>+</sup>-Typ laminiert ist.

**[0142]** Auf der Rückfläche **100B** des SiC-Substrats **100** ist eine Kathodenelektrode **102** angeordnet, so dass sie die Rückfläche insgesamt bedeckt. Die Kathodenelektrode **102** bildet einen Ohm'schen Übergang mit dem SiC-Substrat **100**. Beispielsweise kann auf die Kathodenelektrode **102** eine laminierte Struktur (Ti/Ni/Au/Ag) aufgebracht werden, bei der Titan (Ti), Nickel (Ni), Gold (Au) und Silber (Ag) in dieser Reihenfolge ausgehend von einer Seite des SiC-Substrats **50** laminiert sind.

**[0143]** Das SiC-Substrat **100** ist ein Substrat, das beispielsweise eine (0001)-Fläche (Si-Fläche) als eine Hauptfläche besitzt. Daher ist die Epitaxieschicht **101**, die auf die Vorderfläche **100A** (Hauptfläche) des SiC-Substrats **100** durch epitaktiales Wachstum laminiert ist, mit der (0001)-Fläche als Hauptfläche laminiert. In diesem Fall ist die Rückfläche **100B** des SiC-Substrats **100** die (000-1)-Fläche (C-Fläche). Die Vorderfläche **100A** des SiC-Substrats **100** kann eine (000-1)-Fläche sein, und die Rückfläche **100B** des SiC-Substrats **100** kann eine (0001)-Fläche sein. Zusätzlich hierzu kann das SiC-Substrat **100** vorzugsweise einen Off-Winkel von 0 bis 10 Grad haben.

**[0144]** In der Epitaxieschicht **101** sind eine aktive Region **103** und eine äußere Umfangsregion **104**, die die aktive Region **103** umgibt, eingestellt.

**[0145]** In der aktiven Region **103** weist die Epitaxieschicht **101** eine Fläche **101A** auf, in der Gräben **105** gebildet sind. Die Vielzahl von Gräben **105** sind beabstandet voneinander ausgebildet. Im Ergebnis definieren die Gräben **105** eine Vielzahl von Einheitszellen **106** in der aktiven Region **103**. In der vorliegenden Ausführungsform, wie es in **Fig. 25** dargestellt ist, definieren die Gräben **105** in einem Streifenmuster die Vielzahl von linearen Einheitszellen **106** in der aktiven Region **103**. Daher ist die Vorderfläche (die Fläche **101A** der Epitaxieschicht **101**), in der Vorderflächen **106A** der Vielzahl von Einheitszellen **106** und Bodenflächen **105A** und Seitenflächen **105B** des Grabens **105** zwischen den Vorderflächen **106A** kontinuierlich auf zickzackartige Weise im Querschnitt ausgebildet

sind, und zwar in dem Flächenabschnitt der Epitaxieschicht **101**. Das Muster der Gräben **105** ist nicht auf die Streifenform beschränkt und kann ein Gittermuster sein, um ein Beispiel zu nennen. In diesem Fall sind eine Vielzahl von mesa-förmigen Einheitszellen **106**, die in jeweiligen Fensterabschnitten der Gräben **105** des Gittermusters definiert sind, und die Einheitszellen **106** insgesamt in einer Zeilen-Spalten-(Matrix)-Form angeordnet.

**[0146]** Die Epitaxieschicht **101** hat eine Pufferschicht **107** vom n-Typ, eine Driftschicht **108** vom n-Typ und eine Schicht **109** vom p-Typ, die in dieser Reihenfolge von der Seite des SiC-Substrats **100** aufgewachsen sind.

**[0147]** Die Schicht **109** vom p-Typ ist eine Region, die kontinuierlich über der Gesamtheit der aktiven Region **103** angeordnet ist (kreuzschraffierte Region in **Fig. 25** (ausschließlich einer Region einer nachstehend beschriebenen JTE-Struktur **114** vom p-Typ)). Die Schicht **109** vom p-Typ ist entlang der Fläche **101A** der Epitaxieschicht **101** ausgebildet, so dass die Schnittstelle **110** mit der Driftschicht **108** sich entlang der Fläche **101A** der Epitaxieschicht **101** erstreckt und der Abschnitt gegenüberliegend der Schnittstelle **110** von der Fläche **101A** der Epitaxieschicht **101** freiliegt. Im Ergebnis ist in der Einheitszelle **106** die Schnittstelle **110** zwischen der Schicht **109** vom p-Typ und der Driftschicht **108** an Positionen oberhalb und unterhalb der Bodenfläche **105A** des Grabens **105** eingestellt. Genauer gesagt weist die Schnittstelle **110** eine erste Schnittstelle **110A** auf, die direkt unterhalb der Fläche **106A** der Einheitszelle **106** angeordnet ist und an einer relativ oberen Seite ausgebildet ist, und weist eine zweite Schnittstelle **110B** auf, die direkt unterhalb der Bodenfläche **105A** des Grabens **105** angeordnet ist und an einer relativ niedrigen Seite ausgebildet ist. Daher tritt die Driftschicht **108** selektiv in einen Abschnitt ein, der sandwichartig zwischen den benachbarten Gräben **105** in der Epitaxieschicht **101** angeordnet ist.

**[0148]** Zusätzlich hierzu weist die Schicht **109** vom p-Typ eine Region **111** vom p<sup>+</sup>-Typ auf, bei der es sich um eine Hochkonzentrationsregion handelt, die von der Fläche **101A** der Epitaxieschicht **101** freiliegt, und weist eine Region **112** vom p-Typ auf, die an einem Abschnitt tiefer als die Region **111** vom p<sup>+</sup>-Typ ausgebildet ist und eine Region niedrigerer Konzentration als die -Region **111** vom p<sup>+</sup>-Typ ist. In der vorliegenden Ausführungsform ist die Schnittstelle der Region **111** vom p<sup>+</sup>-Typ und der Region **112** vom p-Typ entlang der Fläche **101A** der Epitaxieschicht **101** ausgebildet, und die Schicht **109** vom p-Typ weist eine laminierte Struktur aus der Region **111** vom p<sup>+</sup>-Typ und der Region **112** vom p-Typ auf. Die Region **111** vom p<sup>+</sup>-Typ ist nicht notwendigerweise über der Gesamtheit der aktiven Region **103** gebildet und kann selektiv ausgebildet sein, und zwar in einem Teil der

aktiven Region **103**. Beispielsweise kann die Region **111** vom p<sup>+</sup>-Typ selektiv auf wenigstens einer Fläche von der Fläche **106A** der Einheitszelle **106**, der Bodenfläche **105A** des Grabens **105** und der Seitenfläche **105B** des Grabens **105** gebildet sein.

[0149] Zusätzlich hierzu unterscheidet sich die Dicke der Schicht **109** vom p-Typ an der Unterseite **105A** des Grabens **105** von der Dicke der Schicht **109** vom p-Typ an der Seitenfläche **105B** des Grabens **105**. Genauer gesagt ist der Abschnitt der Schicht **109** vom p-Typ an der Bodenfläche **105A** der Schicht **109** vom p-Typ dicker als der Abschnitt der Schicht **109** vom p-Typ auf der Seitenfläche **105B**. Im Ergebnis ist eine Differenz in der Dicke der Schicht **109** vom p-Typ zwischen der Bodenfläche **105A** und der Seitenfläche **105B** des Grabens **105** bereitgestellt.

[0150] In der äußeren Umfangsregion **104** ist eine entfernte Region bzw. weggenommene Region **113** in der Epitaxieschicht **101** ausgebildet, und zwar durch Ätzen der Epitaxieschicht **101** auf eine Tiefe, wo die Driftschicht **108** freiliegt. In der vorliegenden Ausführungsform ist die entfernte Region **113** in einer Ringform ausgebildet, die die Region **103** umgibt, um beide Endabschnitte in der Längsrichtung der Gräben **105** des Streifenmusters zu kreuzen. Im Ergebnis ist die entfernte Region **113** kontinuierlich mit den Gräben **105** des Streifenmusters ausgebildet. Das heißt, die entfernte Region **113** ist gebildet durch einen Verlängerungsabschnitt des Streifenmusters. Zusätzlich hierzu, wie es in **Fig. 25** dargestellt ist, kann der äußere Umfangsrand der entfernten Region **113** mit einer Endfläche **101B** der Epitaxieschicht **101** ausgerichtet sein, oder kann innerhalb der Endfläche **101B** der Epitaxieschicht **101** eingestellt werden (nicht dargestellt). Die Tiefe der entfernten Region **113** kann die gleiche sein wie die Tiefe des Grabens **105**.

[0151] Aufgrund der Ausbildung der entfernten Region **113** hat die Driftschicht **108** einen erweiterten Abschnitt **108A**, der sich von der Peripherie der aktiven Region **103** zu der Endfläche **101B** der Epitaxieschicht **101** in der lateralen Richtung entlang der Vorderfläche **100A** des SiC-Substrats **100** erstreckt. Der erweiterte Abschnitt **108A** ist ein Niedrigstufenabschnitt, der eine Stufe niedriger ist als die Vorderfläche **106A** der Einheitszelle **106**.

[0152] Zusätzlich hierzu ist in der äußeren Umfangsregion **104** eine JTE-Struktur **114** vom p-Typ („Junction Termination Extension“) in der Driftschicht **108** gebildet. In der vorliegenden Ausführungsform ist die JTE-Struktur **114** so ausgebildet, dass sie eine ringförmige Form hat, die die aktive Region **103** umgibt. Genauer gesagt ist die JTE-Struktur **114** einstückig mit der Schicht **109** vom p-Typ ausgebildet, und zwar quer über die Elementarzellen **106** und den erweiterten Abschnitt **108A**. Die JTE-Struktur **114** kann eine Vielzahl von Ringen beinhalten, die sich nach außen

erstrecken, und zwar hin zu der Endfläche **101B** der Epitaxieschicht **101**. In diesem Fall kann eine Verunreinigungskonzentration zwischen der Vielzahl der Ringe gleich sein, oder die Verunreinigungskonzentrationen können in Richtung hin zu der äußeren Seite hin abnehmen.

[0153] In der vorliegenden Ausführungsform ist die JTE-Struktur **114** in der Umfangsrichtung unterteilt, und zwar in Abhängigkeit von der Differenz in der Verunreinigungskonzentration. Das heißt, die JTE-Struktur **114** weist einen ersten Abschnitt **115** (kreuzschraffierte Region in **Fig. 25** ausschließlich der Region der Schicht **109** vom p-Typ) auf, der eine relativ höhere Konzentration hat, und weist einen zweiten Abschnitt **116** (gepunktete Region in **Fig. 25**) auf, der eine niedrigere Konzentration hat als der erste Abschnitt **115**.

[0154] Der erste Abschnitt **115** ist auf einer Seite des zweiten Abschnittes **116** näher an der aktiven Region **103** angeordnet. In dem ersten Abschnitt **115** weist die JTE-Struktur **114** eine Region **117** vom p<sup>+</sup>-Typ auf, die eine höhere Konzentration hat als andere Teile des ersten Abschnittes **115**. Die Region **117** vom p<sup>+</sup>-Typ ist einstückig ausgebildet mit der Region **111** vom p<sup>+</sup>-Typ, und zwar entlang der Grenze zwischen der JTE-Struktur **114** und der Driftschicht **108** von der Innenseite der Grenze mit einem Zwischenraum zwischen der Region **117** vom p<sup>+</sup>-Typ und der Grenze.

[0155] Der zweite Abschnitt **116** ist durch eine Vielzahl von Ringen gebildet. Der innerste Ring des zweiten Abschnittes **116** steht in Kontakt mit dem ersten Abschnitt **115**, wie in den **Fig. 25** und **Fig. 26** dargestellt ist. Der innerste Ring des zweiten Abschnittes **116** muss nicht in Kontakt stehen mit dem ersten Abschnitt **115**.

[0156] Auf der Epitaxieschicht **101** ist ein Feldisolierfilm **118** gebildet. Als das Material des Feldisolierfilms **118** kann beispielsweise Siliziumoxid (SiO<sub>2</sub>) oder dergleichen verwendet werden. Der Feldisolierfilm **118** kann beispielsweise durch Plasma-CVD (chemische Dampfabcheidung) gebildet werden.

[0157] In dem Feldisolierfilm **118** ist ein Kontaktloch **119** zum selektiven Freilegen der Gesamtheit der aktiven Region **103** und eines Teils der äußeren Umfangsregion **104** gebildet. In der vorliegenden Ausführungsform ist der äußere Umfangsrand **119A** des Kontaktloches **119** eingestellt auf die Seite der Grenze zwischen dem ersten Abschnitt **115** und dem zweiten Abschnitt **116**, und zwar näher an der aktiven Region **103**. Im Ergebnis bedeckt der Feldisolierfilm **118** den gesamten zweiten Abschnitt **116** und einen Teil (zum Beispiel den Umfangsendabschnitt) des ersten Abschnittes **115**. Zusätzlich hierzu ist es bevorzugt, wenn das Kontaktloch **119** kegelförmig ausgebildet ist, wobei dessen Breite sich mit einem Fortschreiten hin zu dem Öffnungsende aufweitet.

**[0158]** Auf dem Feldisolierfilm **118** ist eine Anodenelektrode **120** ausgebildet. Die Anodenelektrode **120** ist so ausgebildet, dass sie die Gesamtheit der aktiven Region **103** bedeckt, die aus dem Kontaktloch **119** freiliegt, und weist einen eingebetteten Abschnitt **121** auf, der in dem Graben **105** eingebettet ist, sowie einen planaren Abschnitt **122**, der entlang der äußersten Fläche der Epitaxieschicht **101** ausgebildet ist, um den eingebetteten Abschnitt **121** zu bedecken.

**[0159]** Der eingebettete Abschnitt **121** steht in Kontakt mit der Schicht **109** vom p-Typ auf der Bodenfläche **105A** und der Seitenfläche **105B** des Grabens **105**, und bildet einen Ohm'schen Übergang mit der Schicht **109** vom p-Typ. Als das Material des eingebetteten Abschnittes **121** kann beispielsweise Polysilizium, Wolfram (W), Titan (Ti), eine Legierung hiervon oder dergleichen verwendet werden. Vorzugsweise wird Polysilizium vom p-Typ verwendet. Da diese Materialien eine gute Einbettbarkeit haben, kann eine Stufenabdeckung des eingebetteten Abschnittes **121** verbessert werden. Daher kann selbst in einem Fall, bei dem das Längenverhältnis („aspect ratio“) des Grabens **105** hoch ist, das Auftreten von Fehlstellen bzw. Hohlräumen („voids“) zum Zeitpunkt des Einbettens der Anodenelektrode **120** reduziert werden.

**[0160]** Der planare Abschnitt **122**, der in Kontakt steht mit der Schicht **109** vom p-Typ auf der Vorderfläche **106A** der Einheitszelle **106**, bildet einen Ohm'schen Übergang mit der Schicht **109** vom p-Typ. Als ein Material des planaren Abschnittes **122** kann beispielsweise eine laminierte Struktur aus Ti/Ni oder dergleichen verwendet werden. Zusätzlich hierzu wölbt bzw. formt sich der planare Abschnitt **122** in einer Flanschform nach außen aus dem Kontaktloch **119** heraus. In der vorliegenden Ausführungsform ist der äußere Umfangsrand **122A** des planaren Abschnittes **122** der Anodenelektrode **120** auf der Seite der Grenze zwischen dem ersten Abschnitt **115** und dem zweiten Abschnitt **116** der JTE-Struktur **114** angeordnet, der bzw. die weiter entfernt ist von der aktiven Region **103**. Das heißt, der planare Abschnitt **122** der Anodenelektrode **120** weist einen Überlappungsabschnitt **122B** auf, der von dieser Grenze in Richtung hin zu einem zweiten Abschnitt **116** vorsteht.

**[0161]** Auf der obersten Fläche des oberen Schaltelementes **11** ist ein Flächenschutzfilm **123** ausgebildet. Als das Material des Flächenschutzfilms **123** kann beispielsweise Siliziumoxid (SiO<sub>2</sub>), Siliziumnitrid (SiN), Polyimid oder dergleichen verwendet werden. Zusätzlich hierzu kann der Flächenschutzfilm **123** beispielsweise durch ein Plasma-CVD-Verfahren ausgebildet werden. Ein Beispiel der Filmdicke des Flächenschutzfilms **123** beträgt etwa 8000 Å. In dem Flächenschutzfilm **123** ist eine Padöffnung **123A** zum selektiven Freilegen eines Teils der Anodenelektrode

**120** als ein Pad ausgebildet. Der obere Diodendraht **91** (siehe Fig. 20) ist auf die Anodenelektrode **120** gefügt, und zwar durch die Padöffnung **123A** hindurch.

**[0162]** Gemäß einer solchen Konfiguration der oberen Diode **71** ist ein Graben **105** in der Epitaxieschicht **101** ausgebildet, die Schicht **109** vom p-Typ ist entlang der Fläche 101 A der Epitaxieschicht **101** ausgebildet, und zwar dort, wo der Graben **105** ausgebildet ist, und eine pn-Diode mit einem pn-Übergangsabschnitt zwischen der Schicht **109** vom p-Typ und der Driftschicht **108** wird ausgebildet. Da die Schicht **109** vom p-Typ auch an der Seitenfläche **105B** des Grabens **105** ausgebildet ist, ist die Fläche der Schicht **109** vom p-Typ größer als die in einer Draufsicht sichtbare Fläche (Fig. 24), wobei die Draufsicht senkrecht zu der Hauptfläche der Epitaxieschicht **101** ausgerichtet ist. Demgemäß, da die der Fläche der Anodenelektrode **120** in Kontakt mit der Schicht **109** vom p-Typ zunimmt, kann ein Kontaktwiderstand zwischen der Schicht **109** vom p-Typ und der Anodenelektrode **120** reduziert werden. Daher kann auch ein Widerstand der oberen Diode **71**, die mit der Schicht **109** vom p-Typ durch Ionenimplantation gebildet wird, reduziert werden. Im Ergebnis ist es möglich, eine obere Diode **71** bereitzustellen, die eine pn-Diode beinhaltet, die sich leicht herstellen lässt, verglichen mit einem Fall des Bildens der Schicht **109** vom p-Typ durch epitaxiales Wachstum, und die einen niedrigen Einschalt-Widerstand besitzt.

**[0163]** Da der Abschnitt der Schicht **109** vom p-Typ, der in Kontakt steht mit der Anodenelektrode **120**, die Region **111** vom p<sup>+</sup>-Typ mit hoher Konzentration ist, ist es zusätzlich möglich, einen zufriedenstellenden Ohm'schen Übergang mit der Anodenelektrode **120** in der Region vom p<sup>+</sup>-Typ zu bilden. Da die Region **112** vom p-Typ mit niedriger Konzentration so ausgebildet ist, dass sie die Region **111** vom p<sup>+</sup>-Typ bedeckt, kann im Gegensatz hierzu eine elektrische Feldkonzentration an dem Bodenabschnitt des Grabens **105** in zufriedenstellender Art und Weise abgeschwächt werden. Im Ergebnis können eine Vorwärtsspannung und ein Umkehrleckagestrom reduziert werden.

**[0164]** Zusätzlich hierzu kann in der oberen Diode **71**, weil die JTE-Struktur **114** in der äußeren Umfangsregion **104** gebildet ist, eine Verarmungsschicht, die erzeugt wird aus dem pn-Übergangsabschnitt der Schnittstelle zwischen der JTE-Struktur **114** und der Driftschicht **108**, eine elektrische Feldkonzentration in dem Bodenabschnitt des Grabens **105** reduzieren (insbesondere der Graben, der an der äußersten Seite angeordnet ist). Im Ergebnis ist es möglich, das Auftreten eines Umkehrleckagestroms an dem Bodenabschnitt des Grabens **105** zu reduzieren.

**[0165]** Als nächstes wird die Betriebsweise bzw. der Betrieb der vorliegenden Ausführungsform auf der Grundlage eines Vergleiches mit einem Leistungsmodul eines Vergleichsbeispiels beschrieben. Das Leistungsmodul des Vergleichsbeispiels ist konfiguriert, indem die obere Diode **71** und die untere Diode **72** von dem Leistungsmodul **1** der vorliegenden Ausführungsform weggelassen werden.

**[0166]** In dem Leistungsmodul des Vergleichsbeispiels, wenn beispielsweise das untere Schaltelement **12** von dem Ein-Zustand in den Aus-Zustand wechselt, wie es in **Fig. 27** dargestellt ist, die nimmt Drain-Source-Spannung  $V_{dsu}$  des unteren Schaltelementes **12** zu, während die Drain-Source-Spannung  $V_{dsu}$  eines oberen Schaltelementes **11** abnimmt. Diese Drain-Source-Spannung  $V_{dsu}$  fällt hin zu der negativen Seite ab und hört auf abzunehmen, wenn eine Vorwärtsschwellenspannung der Körperdiode des oberen Schaltelementes **11** erreicht ist. Da die Drain-Source-Spannung  $V_{dsl}$  auf diese Art und Weise schwankt bzw. fluktuiert, fluktuiert auch die Gate-Source-Spannung  $V_{gsu}$  des oberen Schaltelementes **11**. Daher steigt die Stoßspannung an, die in der Gate-Source-Spannung  $V_{gsu}$  erzeugt wird. Wenn beispielsweise das obere Schaltelement **11** von dem Ein-Zustand in den Aus-Zustand wechselt, fällt in ähnlicher Weise die Drain-Source-Spannung  $V_{dsl}$  des unteren Schaltelementes **12** ab auf die Vorwärtsschwellenspannung der Körperdiode des unteren Schaltelementes **12**, wobei die Stoßspannung, die in der Gate-Source-Spannung  $V_{gsl}$  des unteren Schaltelementes **12** erzeugt wird, zunimmt.

**[0167]** Im Gegensatz zu einem derartigen Leistungsmodul des Vergleichsbeispiels hat das Leistungsmodul **1** der vorliegenden Ausführungsform die obere Diode **71**, die eine Vorwärtsschwellenspannung hat, die niedriger ist als die Vorwärtsschwellenspannung der Körperdiode **11a** des oberen Schaltelementes **11**, und hat die untere Diode **72** mit einer Vorwärtsschwellenspannung, die niedriger ist als die Vorwärtsschwellenspannung der Körperdiode **12a** des unteren Schaltelementes **12**. Wenn daher beispielsweise das untere Schaltelement **12** von dem Ein-Zustand in den Aus-Zustand wechselt, und zwar selbst dann, wenn die Drain-Source-Spannung  $V_{dsu}$  des oberen Schaltelementes **11** auf die negative Seite abfällt, wie es in **Fig. 28** dargestellt ist, wenn die Drain-Source-Spannung  $V_{dsu}$  die Vorwärtsschwellenspannung der oberen Diode **71** erreicht, beendet die Drain-Source-Spannung  $V_{dsu}$  das Abfallen. Da die Periode bzw. Zeitspanne, während der die Gate-Source-Spannung  $V_{gsl}$  fluktuiert, kürzer ist als jene des Leistungsmoduls des Vergleichsbeispiels, ist daher die Stoßspannung, die an der Gate-Source-Spannung  $V_{gsl}$  erzeugt wird, reduziert.

**[0168]** Simulationen der Beziehung zwischen der Erzeugung der Stoßspannung auf der negativen Seite und eines Schaltverlusts in einem Fall, bei dem in den Leistungsmodulen **1** des Vergleichsbeispiels und der vorliegenden Ausführungsform das obere Schaltelement **11** in dem Aus-Zustand gehalten wird und das untere Schaltelement **12** angesteuert wird, sind ausgeführt worden auf der Grundlage der schematischen Schaltungskonfigurationen, die in den **Fig. 7** und **Fig. 29** dargestellt sind. **Fig. 7** stellt eine schematische Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels dar, und **Fig. 29** stellt eine schematische Schaltungskonfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform dar.

**[0169]** In der Schaltungsanordnung der **Fig. 29** ist die Kathode der oberen Diode **71** elektrisch mit dem Drain des oberen Schaltelementes **11** verbunden, und die Anode der oberen Diode **7** ist elektrisch mit der Source des oberen Schaltelementes **11** verbunden. Die Kathode der unteren Diode **72** ist elektrisch mit dem Drain des unteren Schaltelementes **12** verbunden, und die Anode der unteren Diode **72** ist elektrisch mit der Source des unteren Schaltelementes **12** verbunden. Zusätzlich hierzu sind die Source und das Gate des oberen Schaltelementes **11** kurzgeschlossen, und die untere Gate-Ansteuerschaltung **3** ist elektrisch mit dem Gate des unteren Schaltelementes **12** verbunden. Ein Gate-Widerstand **8** ist zwischen dem Gate des unteren Schaltelementes **12** und der unteren Gate-Ansteuerschaltung **3** vorgesehen. Das positive Terminal der Leistungsversorgung ES ist elektrisch mit dem Drain des oberen Schaltelementes **11** verbunden, und das negative Terminal der Leistungsversorgung ES ist elektrisch mit der Source des unteren Schaltelementes **12** verbunden. Die Schaltungskonfiguration von **Fig. 29** weist eine Verdrahtung **9** auf, die den Abschnitt zwischen dem positiven Terminal der Leistungsversorgung ES und dem Drain des oberen Schaltelementes **11** und den Abschnitt zwischen der Source des oberen Schaltelementes **11** und dem Drain des unteren Schaltelementes **12** verbindet. Die Verdrahtung **9** beinhaltet eine Induktionslast **9a**.

**[0170]** In dem Leistungsmodul des Vergleichsbeispiels wurden Simulationen für Fälle ausgeführt, bei denen der Wert des Gate-Widerstandes **8** gewechselt wurde auf  $2\ \Omega$ ,  $3\ \Omega$ ,  $4\ \Omega$  und  $5\ \Omega$ . Ein Fall, bei dem der Gate-Widerstandes **8** den Wert von  $2\ \Omega$  hat, und zwar in der Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels, wird hier als ein Referenzzustand definiert.

**[0171]** Wie es in **Fig. 30** dargestellt ist, verringert bei dem Leistungsmodul des Vergleichsbeispiels eine Zunahme des Wertes des Gate-Widerstandes

**8** die Schaltgeschwindigkeit des unteren Schaltelementes **12** (Änderungsrate der Drain-Source-Spannung  $V_{ds}$ ) und folglich nimmt der absolute Wert der negativen Stoßspannung ab. Im Gegensatz hierzu führt ein Erhöhen des Gate-Widerstandes **8** schnell zu einem Erhöhen des Schaltverlustes.

**[0172]** Im Gegensatz hierzu macht die obere Diode **71** bei dem Leistungsmodul **1** der vorliegenden Ausführungsform den absoluten Wert der negativen Stoßspannung kleiner als der Referenzzustand. Im Gegensatz hierzu wird bei dem Leistungsmodul **1** der vorliegenden Ausführungsform, trotz der Tatsache, dass der Schaltverlust größer ist als der Referenzzustand, der Schaltverlust kleiner verglichen mit dem Fall einer Zunahme des Wertes des Gate-Widerstandes **8**, wie bei dem Leistungsmodul des Vergleichsbeispiels.

**[0173]** Gemäß der vorliegenden Ausführungsform können die folgenden Vorteile erhalten werden.

**[0174]** (2-1) Das Leistungsmodul **1** weist die obere Diode **71** auf, die eine Vorwärtsschwellenspannung hat, die niedriger ist als die Vorwärtsschwellenspannung der Körperdiode **11a** des oberen Schaltelementes **11**, und weist die untere Diode **72** auf, die eine Vorwärtsschwellenspannung hat, die niedriger ist als die Vorwärtsschwellenspannung der Körperdiode **12a** des unteren Schaltelementes **12**. Gemäß dieser Konfiguration, wenn beispielsweise das untere Schaltelement **12** vom Ein-Zustand in den Aus-Zustand wechselt, und zwar selbst dann, wenn die Drain-Source-Spannung  $V_{ds}$  des oberen Schaltelementes **11** hin zu der negativen Seite abnimmt, stoppt eine Abnahme der Drain-Source-Spannung  $V_{ds}$  des oberen Schaltelementes **11** bei der Vorwärtsschwellenspannung der oberen Diode **71**. Zusätzlich hierzu, wenn beispielsweise das obere Schaltelement **11** von dem Ein-Zustand in den Aus-Zustand wechselt, und zwar selbst dann, wenn die Drain-Source-Spannung  $V_{ds}$  des unteren Schaltelementes **12** hin zu der negativen Seite abnimmt, stoppt eine Abnahme der Drain-Source-Spannung  $V_{ds}$  des unteren Schaltelementes **12** bei der Vorwärtsschwellenspannung der unteren Diode **72**. Da auf diese Weise die Fluktuationszeitspanne der Drain-Source-Spannung  $V_{ds}$  verkürzt ist, ist die die Fluktuationszeitspanne der Gate-Source-Spannung  $V_{gs}$  verkürzt. Demzufolge kann eine Fluktuation der Gate-Source-Spannung  $V_{gs}$  reduziert werden.

**[0175]** Ferner ist der tolerierbare Gleichstrom-Nennstrom der oberen Diode **71** kleiner als der tolerierbare Gleichstrom-Nennstrom des oberen Schaltelementes **11**, und der tolerierbare Gleichstrom-Nennstrom der unteren Diode **72** ist niedriger als der tolerierbare Gleichstrom-Nennstrom des unteren Schaltelementes **12**. Es ist daher möglich, die Chipfläche der oberen Diode **71** und die Chipfläche der unteren

Diode **72** zu reduzieren. Folglich ist es möglich, die Größe des Leistungsmoduls **1** zu reduzieren.

**[0176]** (2-2) Die Anzahl der oberen Dioden **71** ist kleiner als die Anzahl der oberen Schaltelemente **11**, und die Anzahl der unteren Dioden **72** ist kleiner als die Anzahl der unteren Schaltelemente **12**. Gemäß dieser Konfiguration ist es möglich, die Anzahl der Elemente des Leistungsmoduls **1** zu reduzieren und die Größe des Leistungsmoduls **1** verglichen mit einem Fall zu reduzieren, bei dem die Anzahl der oberen Dioden **71** gleich ist oder größer ist als die Anzahl der oberen Schaltelemente **11**, und verglichen mit einem Fall, bei dem die Anzahl der unteren Dioden **72** gleich ist oder größer als die Anzahl der unteren Schaltelemente **12**.

**[0177]** (2-3) Das Substrat **80** des Leistungsmoduls **1** weist das Graphitsubstrat **82** auf. Das Graphitsubstrat **82** weist das erste Substrat **82A** auf, in welchem die Vielzahl von oberen Schaltelementen **11** und die Vielzahl von oberen Dioden **71** beabstandet voneinander in der zweiten Richtung Y angeordnet sind, und weist das zweite Substrat **82B** auf, in welchem die Vielzahl von unteren Schaltelementen **12** und die Vielzahl von unteren Dioden **72** beabstandet voneinander in der zweiten Richtung Y angeordnet sind. Das erste Substrat **82A** ist derart konfiguriert, dass die thermische Leitfähigkeit des ersten Substrats **82A** in der zweiten Richtung Y niedriger ist als die thermische Leitfähigkeit des ersten Substrats **82A** in der ersten Richtung X. Das zweite Substrat **82B** ist so konfiguriert, dass die thermische Leitfähigkeit des zweiten Substrats **82B** in der zweiten Richtung Y niedriger ist als die thermische Leitfähigkeit des zweiten Substrats **82B** in der ersten Richtung X. Gemäß dieser Konfiguration ist es weniger wahrscheinlich, dass Wärme der Vielzahl von oberen Schaltelementen **11** auf die Vielzahl von oberen Dioden **71** übertragen wird, und es ist weniger wahrscheinlich, dass Wärme der Vielzahl von unteren Schaltelementen **12** auf die Vielzahl unteren Dioden **72** übertragen wird. Es ist daher möglich, Änderungen der Vorwärtsschwellenspannung zu beschränken, die durch Temperaturänderungen der oberen Diode **71** und der unteren Diode **72** hervorgerufen werden.

**[0178]** (2-4) Die Rückflächenmetallschicht **82b** ist auf der Rückfläche des ersten Substrats **82A** vorgesehen, und die Vorderflächenmetallschicht **82c** ist auf der Vorderseite des ersten Substrats **82A** vorgesehen. Die Rückflächenmetallschicht **82b** und die Vorderflächenmetallschicht **82c** sind aus dem gleichen Material ausgebildet. Gemäß dieser Konfiguration sind die thermische Leitfähigkeitsrate der Vorderfläche des ersten Substrats **82A** und die thermische Leitfähigkeitsrate der Rückfläche des ersten Substrats **82A** die gleichen. Wenn demgemäß das erste Substrat **82A** erwärmt wird, ist der Ausdehnungsbeitrag der Vorderfläche des ersten Substrats **82A** und

der Ausdehnungsbetrag der Rückfläche des ersten Substrats **82A** im Wesentlichen gleich groß. Dies beschränkt eine Verwerfung bzw. eine Durchbiegung des ersten Substrats **82A**, die hergerufen wird durch eine Differenz zwischen der thermischen Leitfähigkeitsrate der Vorderfläche des ersten Substrats **82A** und der thermischen Leitfähigkeitsrate der Rückfläche des ersten Substrats **82A**. Zusätzlich hierzu ist die Rückflächenmetallschicht **82b** an der Rückfläche des zweiten Substrats **82B** vorgesehen, und die Vorderflächenmetallschicht **82c** ist an der Vorderfläche des zweiten Substrats **82B** vorgesehen. Auf die gleiche Weise wie bei dem ersten Substrat **82A** begrenzt diese Konfiguration eine Verwerfung des zweiten Substrats **82B**, die durch einen Unterschied zwischen der thermischen Leitfähigkeit der Vorderfläche des zweiten Substrats **82B** und der thermischen Leitfähigkeitsrate der Rückfläche des zweiten Substrats **82B** hervorgerufen wird.

**[0179]** (2-5) Die obere Diode **71** ist als ein separater Chip vom Schaltelement **11** vorgesehen und ist so angeordnet, dass ein Abstand bzw. Raum zwischen der oberen Diode **71** und dem oberen Schaltelement **11** vorgesehen ist. Die untere Diode **72** ist als ein von dem unteren Schaltelement **12** separater Chip vorgesehen und ist so angeordnet, dass ein Abstand zwischen ihr und dem unteren Schaltelement **12** ausgebildet ist. Gemäß dieser Konfiguration wird die obere Diode **71** nicht von Wärme von dem oberen Schaltelement **11** beeinträchtigt, und die untere Diode **72** wird nicht durch Wärme beeinträchtigt, die von dem unteren Schaltelement **12** kommt.

**[0180]** (2-6) Es wird eine Konfiguration verwendet, bei der die Induktivität des oberen Diodendrahtes **91** kleiner ist als die Induktivität des oberen Leistungsdrahtes **44**. Die Induktivität des unteren Diodendrahtes **92** ist kleiner als die Induktivität des unteren Leistungsdrahtes **46**. Da ein Strom leichter zum oberen Diodendraht **91** mit der niedrigeren Induktivität als jene des oberen Leistungsdrahtes **44** fließt, fließt ein Strom leichter zu der oberen Diode **71** als zu der Körperdiode **11a** des oberen Schaltelementes **11t**. Da der Strom leichter zu dem unteren Diodendraht **92** mit der niedrigeren Induktivität als jene des unteren Leistungsdrahtes **46** fließt, fließt der Strom leichter zu der unteren Diode **72** als zu der Körperdiode **12a** des unteren Schaltelementes **12**.

**[0181]** (2-7) Die Vielzahl von oberen Schaltelementen **11** und die Vielzahl von oberen Dioden **71** sind so angeordnet, dass sie benachbart sind zu den Verbindungsabschnitten **84a** bis **84e** des zweiten Eingangs-Terminelementes **84** in der zweiten Richtung Y. Das heißt, der obere Leistungsdraht **44** des oberen Schaltelementes **11** und der untere Leistungsdraht **46** des unteren Schaltelementes **12** sind benachbart in der zweiten Richtung Y. Der obere Diodendraht **91** der oberen Diode **71** und der untere Di-

odendraht **92** der unteren Diode **72** sind benachbart zueinander in der zweiten Richtung Y. In einem Fall, bei dem das obere Schaltelement **11** und das untere Schaltelement **12** auf komplementäre Art und Weise ein- und ausgeschaltet werden, sind gemäß dieser Konfiguration die Richtung eines Stroms, der durch den oberen Leistungsdraht **44** fließt, und die Richtung eines Stroms, der durch den unteren Leistungsdraht **46** fließt, entgegengesetzt. Da das magnetische Feld, das um den oberen Leistungsdraht **44** erzeugt wird, und das magnetische Feld, das um den unteren Leistungsdraht **46** herum erzeugt wird, sich als Ergebnis hiervon gegeneinander auslöschen, kann ein Rauschen des oberen Leistungsdrahtes **44** und des unteren Leistungsdrahtes **46** reduziert werden. In einem Fall, bei dem das obere Schaltelement **11** und das untere Schaltelement **12** auf eine komplementäre Art und Weise ein- und ausgeschaltet werden, sind die Richtung eines Stroms, der durch den oberen Diodendraht **91** fließt, und die Richtung eines Stroms, der durch den unteren Diodendraht **92** fließt, entgegengesetzt. Da das magnetische Feld, das um den oberen Diodendraht **91** herum erzeugt wird und das magnetische Feld, das in dem unteren Diodendraht **92** erzeugt wird, einander auslöschen, kann als Ergebnis hiervon ein Rauschen des oberen Diodendrahtes **91** und des unteren Diodendrahtes **92** reduziert werden.

**[0182]** Insbesondere, da der obere Leistungsdraht **44** und der untere Leistungsdraht **46** parallel zueinander ausgerichtet sind, ist es möglich, das magnetische Feld, das um den oberen Leistungsdraht **44** herum erzeugt wird, und das magnetische Feld effektiv auszulöschen, das um den unteren Leistungsdraht **46** herum erzeugt wird. Da der obere Diodendraht **91** und der untere Diodendraht **92** parallel zueinander ausgerichtet sind, ist es zusätzlich möglich, das magnetische Feld, das um den oberen Diodendraht **91** herum erzeugt wird, und das magnetische Feld, das um den unteren Diodendraht **92** herum erzeugt wird, effektiv auszulöschen.

**[0183]** (2-8) Die Rückflächenmetallschicht **81b** ist auf der Rückfläche des Hauptkörperabschnittes **81a** des Keramiksubstrates **81** vorgesehen, und die Vorderflächenmetallschicht **81c** ist auf der Vorderfläche des Hauptkörperabschnittes **81a** vorgesehen. Die Rückflächenmetallschicht **81b** und die Vorderflächenmetallschicht **81c** sind aus dem gleichen Material ausgebildet. Gemäß dieser Konfiguration sind die thermische Leitfähigkeitsrate der Vorderfläche des Hauptkörperabschnittes **81a** des Keramiksubstrates **81** und die thermische Leitfähigkeitsrate der Rückfläche des Hauptkörperabschnittes **81a** dieselben. Im Ergebnis, wenn das Keramiksubstrat **81** erwärmt wird, sind der Ausdehnungsbetrag der Vorderfläche des Keramiksubstrates **81** und der Ausdehnungsbetrag der Rückfläche des Keramiksubstrates **81** im Wesentlichen die gleichen. Dies begrenzt ein Verwer-

fen bzw. Verbiegen des Keramiksubstrates **81**, das hervorgerufen wird durch eine Differenz zwischen der thermischen Leitfähigkeitsrate der Vorderfläche des Keramiksubstrates **81** und der thermischen Leitfähigkeitsrate der Rückfläche des Keramiksubstrates **81**.

### Dritte Ausführungsform

**[0184]** Unter Bezugnahme auf die **Fig. 31** bis **Fig. 35** wird nunmehr ein Leistungsmodul **1** einer dritten Ausführungsform beschrieben. Verglichen mit dem Leistungsmodul **1** der zweiten Ausführungsform unterscheidet sich das Leistungsmodul **1** der vorliegenden Ausführungsform darin, dass ein oberes Schaltelement und eine obere Diode auf demselben Chip ausgebildet sind, und dass ein unteres Schaltelement und eine untere Diode auf demselben Chip ausgebildet sind.

**[0185]** Das Leistungsmodul **1** beinhaltet einen oberen MIS-Transistor **130**, bei dem das obere Schaltelement und die obere Diode auf demselben Chip ausgebildet sind, und beinhaltet einen unteren MIS-Transistor **131**, der das untere Schaltelement und die untere Diode auf demselben Chip ausgebildet hat. Jeder der MIS-Transistoren **130**, **131** ist ein DMISFET („double implanted metal insulator semiconductor field effect transistor“) vom Graben-Gate-Typ, bei dem Siliziumkarbid (SiC) verwendet wird. Der obere MIS-Transistor **130** und der untere MIS-Transistor **131** haben identische Strukturen. Demzufolge wird in der nachstehenden Beschreibung die Struktur des oberen MIS-Transistors **130** beschrieben, und eine Beschreibung der Struktur des unteren MIS-Transistors **131** wird weggelassen. Die Konfigurationen des oberen MIS-Transistors **130** und des unteren MIS-Transistors **131** sind nicht auf die in den **Fig. 31** und **Fig. 32** dargestellten Konfigurationen beschränkt, und es sind verschiedene Modifikationen daran möglich.

**[0186]** Der obere MIS-Transistor **130** ist beispielsweise in der Form eines Chips ausgebildet, der in einer Draufsicht eine Quadratform hat, wie es in **Fig. 31A** dargestellt ist. Im oberen MIS-Transistor **130** betragen jede der Längen in der vertikalen und in der horizontalen Richtung auf der Papierfläche der **Fig. 31A** etwa mehrere Millimeter.

**[0187]** Auf der Vorderfläche des oberen MIS-Transistors **130** ist ein Source-Pad **132** ausgebildet. Das Source-Pad **132** ist so ausgebildet, dass es den größten Teil der Vorderfläche des oberen MIS-Transistors **130** bedeckt. Eine entfernte bzw. weggenommene Region **133** ist nahe der Mitte von einer Seite des Source-Pads **132** ausgebildet. Die entfernte Region **133** ist eine Region, bei der das Source-Pad **132** nicht ausgebildet ist.

**[0188]** In der entfernten Region **133** ist eine Gate-Pad **134** angeordnet. Zwischen dem Gate Pad **134** und dem Source-Pad **132** ist ein Zwischenraum vorgesehen. Das Gate Pad **134** und das Source-Pad **132** sind elektrisch voneinander isoliert.

**[0189]** Wie es in **Fig. 32** dargestellt ist, weist der obere MIS-Transistor **130** ein SiC-Substrat **140** vom n<sup>+</sup>-Typ auf. Das SiC-Substrat **140** funktioniert als der Drain des oberen MIS-Transistors **130**, wobei eine Fläche **140A** (obere Fläche) eine Si-Fläche ist, und wobei eine Rückfläche **140B** (untere Fläche) eine C-Fläche ist.

**[0190]** Auf der Vorderfläche **140A** des SiC-Substrates **140** ist eine Epitaxieschicht **141** vom n-Typ laminiert, die eine niedrigere Konzentration hat als jene des SiC-Substrates **140**. Die Epitaxieschicht **141** ist als eine Halbleiterschicht auf dem SiC-Substrat **140** durch sogenanntes epitaxiales Wachstum gebildet. Die Epitaxieschicht **141**, die auf der Vorderfläche **140A** ausgebildet ist, welches die Si-Oberfläche ist, ist mit der Si-Fläche als eine Hauptwachstumsfläche aufgewachsen. Demzufolge ist die Fläche **141A** der Epitaxieschicht **141**, die durch Wachstum gebildet ist, auf die gleiche Art und Weise eine Si-Fläche wie die Fläche **140A** des SiC-Substrates **140**.

**[0191]** Wie es in **Fig. 31A** dargestellt ist, sind in dem oberen MIS-Transistor **130** eine aktive Region **142**, die in dem mittleren Abschnitt der Epitaxieschicht **141** in einer Draufsicht angeordnet ist und die als der obere MIS-Transistor **130** funktioniert, und eine äußere Umfangsregion **143** ausgebildet, die die aktive Region **142** umgibt.

**[0192]** In der aktiven Region **142** sind Gate-Gräben **144** in einer Gitterform in der Epitaxieschicht **141** ausgebildet (siehe **Fig. 31B**). Diese Gate-Gräben **144** unterteilen die Epitaxieschicht **141** in eine Vielzahl von quadratförmigen (quadratischen) Zellen **145**.

**[0193]** Die Vielzahl von Zellen **145** beinhalten eine Schottky-Zelle **146** und eine pn-Diodenzelle **147** mit einer relativ kleineren planaren Fläche als jene der Schottky-Zelle **146**. Beispielsweise hat die Schottky-Zelle **146** eine Fläche entsprechend der Fläche von vier pn-Diodenzellen **147**, und die Länge von einer Seite der Schottky-Zelle **146** ist gleich dem Zweifachen der Länge von einer Seite der pn-Diodenzelle **147**.

**[0194]** Eine Zellengruppe ist gebildet durch eine Schottky-Zelle **146** und eine Vielzahl von pn-Diodenzellen **147** (zwölf pn-Diodenzellen **147** bei der vorliegenden Ausführungsform), die die Schottky-Zelle **146** umgeben. Derartige Zellengruppen sind in einer Matrix angeordnet. Hier werden die pn-Diodenzellen **147** der benachbarten Zellengruppen geteilt („shared“). Das heißt, eine pn-Diodenzelle **147**, die die Schottky-

Zelle **146** einer vorbestimmten Zellengruppe umgibt, wird auch als eine pn-Diodenzelle **147** verwendet, die die Schottky-Zelle **146** der Zellengruppe benachbart zu der vorbestimmten Zellengruppe umgibt.

**[0195]** Wie es in **Fig. 32** dargestellt ist, hat die Epitaxieschicht **141** als Elemente, die sich Schottky-Zelle **146** und die pn-Diodenzelle **147** teilen, eine Source-Region **148** vom n<sup>+</sup>-Typ, eine Körperregion **149** vom p-Typ und eine Driftregion **150**, und zwar in dieser Reihenfolge ausgehend von der Fläche **141A** in Richtung hin zu der Rückfläche **141B**.

**[0196]** Die Driftregion **150** ist eine Region vom n<sup>-</sup>-Typ, bei der der Zustand nach dem epitaxialen Wachstum aufrechterhalten bleibt wie er ist, die integral an Bodenabschnitten von sämtlichen der Zellen **145** verbunden ist, und die von den Zellen **145** geteilt („shared“) wird. Das heißt, der Gate-Graben **144** definiert jede Zelle **145** derart, dass die Source-Region **148** und die Körperregion **149** auf einer Seitenfläche **144A** freiliegen, und definiert den tiefsten Abschnitt, der in der Mitte der Driftregion **150** angeordnet ist. Der Gate-Graben **144** beinhaltet lineare Abschnitte **151**, die sich linear in der Zeilenrichtung und der Spaltenrichtung entlang der vier Seitenflächen von jeder Zelle **145** zwischen den benachbarten Zellen **145** erstrecken, und beinhaltet einen Kreuzungsabschnitt **152**, bei dem sich der lineare Abschnitt **151**, der sich in der Zeilenrichtung erstreckt, mit dem linearen Abschnitt **151** kreuzt, der sich in der Spaltenrichtung erstreckt

**[0197]** An der inneren Fläche des Gate-Grabens **144** ist ein Gate-Isolierfilm **153**, der aus einem Oxidfilm SiO<sub>2</sub> oder einem High-k-Material (SiN, Al<sub>2</sub>O<sub>3</sub>, AlON oder dergleichen) hergestellt ist, so ausgebildet, dass er die Gesamtheit hiervon bedeckt. Ein Abschnitt des Gate-Isolierfilms **153** an der Bodenfläche **144B** des Gate-Grabens **144** ist dicker als ein Abschnitt an der Seitenfläche **144A** des Gate-Grabens **144**. Dann wird das Innere des Gate-Isolierfilms **153** in dem Gate-Graben **144** mit Polysilizium gefüllt, so dass eine Gate-Elektrode **154** in dem Gate-Graben **144** vergraben wird.

**[0198]** Auf diese Weise ist in jeder Schottky-Zelle **146** und jeder pn-Diodenzelle **147** eine MIS-Transistorstruktur vom Vertikaltyp konfiguriert, bei der die Source-Region **148** und die Driftregion **150** so angeordnet sind, dass sie von einer über die Körperregion **149** in der vertikalen Richtung senkrecht zu der Vorderfläche **141A** der Epitaxieschicht **141** beabstandet sind.

**[0199]** In dem mittleren Abschnitt der Schottky-Zelle **146** ist ein erster Source-Graben **155** ausgebildet, der in einer Draufsicht eine Quadratform besitzt, wobei der erste Source-Graben **155** sich von der Fläche **141A** der Epitaxieschicht **141** erstreckt und die Driftregion **150** über die Source-Region **148** und die Kör-

perregion **149** erreicht. Die Tiefe des ersten Source-Grabens **155** ist gleich der Tiefe des Gate-Grabens **144**.

**[0200]** In dem ersten Source-Graben **155** ist eine erste Stehspannungshalterregion **156** („withstand voltage holding region“) vom p-Typ ausgebildet. Die erste Stehspannungshalterregion **156** ist in einer Ringform ausgebildet, die sich von einem ringförmigen Randabschnitt **155C**, der gebildet ist durch die Schnittlinie der Bodenfläche **155A** und der Seitenfläche **155B** des ersten Source-Grabens **155** und der den Umfang der Bodenfläche **155A** umgibt, zu einer Körperregion **149** erstreckt, die an der Seitenfläche **155B** des ersten Source-Grabens **155** freiliegt. Im Ergebnis wird eine quadratische Schottky-Region **157** mit einer Quadratform in Draufsicht und gebildet durch einen Teil des Driftregion **150** in dem mittleren Abschnitt der Bodenfläche **155A** des ersten Source-Grabens **155** gebildet, der von der ersten Stehspannungshalterregion **156** umgeben ist,.

**[0201]** Die Schottky-Region **157** hat die Fläche bzw. den Bereich, mit der eine Verarmungsschicht nicht verbunden ist, die von einem pn-Übergangsabschnitt (Körperdiode **158**) zwischen der Schottky-Region **157** und der ersten Stehspannungshalterregion **156** erzeugt wird.

**[0202]** Im Gegensatz hierzu ist in dem mittleren Abschnitt der pn-Diodenzelle **147** ein zweiter Source-Graben **159** ausgebildet, der sich von der Fläche **141A** der Epitaxieschicht **141** erstreckt und die Driftregion **150** durch die Source-Region **148** und die Körperregion **149** erreicht. Die Tiefe des zweiten Source-Grabens **159** ist gleich der Tiefe des Gate-Grabens **144**. Die Fläche des zweiten Source-Grabens **159** ist kleiner als die Fläche der Schottky-Region **157**.

**[0203]** In dem zweiten Source-Graben **159** ist eine zweite Stehspannungshalterregion **160** vom p-Typ ausgebildet. Die zweite Stehspannungshalterregion **160** ist über die gesamten Fläche einer Bodenfläche **159A** des zweiten Source-Grabens **159** ausgebildet, und ist in eine Behälterform ausgebildet, die sich von dem ringförmigen Randabschnitt **159C**, der gebildet ist durch eine Schnittlinie der Bodenfläche **159A** und einer Seitenfläche **159B** des zweiten Source-Grabens **159** und der die Peripherie der Bodenfläche **159A** umgibt, hin zu der Körperregion **149** erstreckt, die an der Seitenfläche **159B** des zweiten Source-Grabens **159** freiliegt.

**[0204]** In dem zweiten Source-Graben **159** ist eine Bodenabschnittkörperkontaktregion **161** vom p<sup>+</sup>-Typ gebildet, und zwar auf einem Vorderflächenschichtabschnitt der zweiten Stehspannungshalterregion **160** an dem mittleren Abschnitt der Bodenfläche **159A** des zweiten Source-Grabens **159**. Wenn man die Bodenabschnittkörperkontaktregion **161** in Ohm'schen

Kontakt bringt, ist es möglich, die Bodenabschnittkörperkontaktregion **161** in Kontakt zu bringen mit (elektrisch verbinden mit) der Körperregion **149** der pn-Diodenzelle **147**, und zwar durch die zweite Stehspannungshalterregion **160**.

**[0205]** Da die zweite Stehspannungshalterregion **160** in dem zweiten Source-Graben **159** ausgebildet ist, ist die pn-Diodenzelle **147** konfiguriert durch einen pn-Übergang zwischen der zweiten Stehspannungshalterregion **160** und der Driftregion **150**, und beinhaltet eine Körperdiode **162**, die eine Bodenabschnittkörperkontaktregion **161** als einen Kontakt auf der Anodenseite aufweist und ein SiC-Substrat **140** als einen Kontakt auf der Kathodenseite.

**[0206]** Zusätzlich hierzu ist an jedem Kreuzungsabschnitt **152** des Gate-Grabens **144**, der die Vielzahl von Zellen **145** definiert, eine dritte Stehspannungshalterregion **163** (Relais- bzw. Relayregion) gebildet. Die dritte Stehspannungshalterregion **163** ist über der gesamten Fläche der Bodenfläche **144B** des Gate-Grabens **144** in dem Kreuzungsabschnitt **152** ausgebildet und ist so ausgebildet, dass sie sich von der Bodenfläche **144B** zu einem Randabschnitt **144C** des Gate-Grabens **144** erstreckt, der unter jedem Eckenabschnitt von jeder Zelle **145** ausgebildet ist, die zu dem Kreuzungsabschnitt **152** und der Körperregion **149** direkt oberhalb des Randabschnittes **144C** freiliegt. Das heißt, die dritte Stehspannungshalterregion **163** ist in einer Quadratform ausgebildet, die etwas größer ist als der Kreuzungsabschnitt **152** des Gate-Grabens **144** in einer Draufsicht, und jede Ecke davon tritt in jeden Eckenabschnitt von jeder Zelle **145** ein, die dem Kreuzungsabschnitt **152** zugewandt ist. Zusätzlich hierzu ist eine Verunreinigungskonzentration der dritten Stehspannungshalterregion **163** höher als die Verunreinigungskonzentration der Körperregion **149** und als die Verunreinigungskonzentration der Driftregion **150**.

**[0207]** Durch Verwenden der dritten Stehspannungshalterregion **163** als ein Relais ist es möglich, die erste Stehspannungshalterregion **156** der Schottky-Zelle **146** über die Bodenabschnittkörperkontaktregion **161** zu kontaktieren (elektrisch zu verbinden), und zwar mit der zweiten Stehspannungshalterregion **160**, der Körperregion **149** der pn-Diodenzelle **147**, der dritten Stehspannungshalterregion **163** und der Körperregion **149** der Schottky-Zelle **146**.

**[0208]** Wie es in **Fig. 31A** dargestellt ist, sind in der äußeren Umfangsregion **143** eine Vielzahl von Schutzringen **164** vom p-Typ (vier in der vorliegenden Ausführungsform) ausgebildet, und zwar in einem Vorderflächenschichtabschnitt der Epitaxialschicht **141**, so dass sie aktive Region **142** mit einem Intervall bzw. einem Abstand von der aktiven Region **142** umgeben. Die Schutzringe **164** können gebildet werden durch einen Ionenimplantierungsschritt,

bei dem es sich um den gleichen Schritt handelt wie den Schritt zum Bilden der Körperregion **149** vom p-Typ. Jeder Schutzring **164** ist in eine rechteckförmige Ringform ausgebildet, und zwar in einer Draufsicht entlang der äußeren Peripherie des oberen MIS-Transistors **130**.

**[0209]** Wie es in **Fig. 32** dargestellt ist, ist auf der Epitaxieschicht **141** ein Zwischenschichtisolierfilm **165**, der aus einem Oxidfilm  $\text{SiO}_2$  oder einem High-K-Material ( $\text{SiN}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{AlON}$  oder dergleichen) hergestellt ist, laminiert, und zwar so, um die Gate-Elektrode **154** zu bedecken. In dem Zwischenschichtisolierfilm **165** und dem Gate-Isolierfilm **153** sind Kontaktlöcher **166**, **167** mit einem größeren Durchmesser als jener des ersten Source-Grabens **155** und des zweiten Source-Grabens **159** ausgebildet.

**[0210]** Auf dem Zwischenschichtisolierfilm **165** ist eine Source-Elektrode **168** ausgebildet. Die Source-Elektrode **168** tritt kollektiv über die Kontaktlöcher **166**, **167** in alle von dem ersten Source-Graben **155** und dem zweiten Source-Graben **159** ein.

**[0211]** In der Schottky-Zelle **146** kontaktiert die Source-Elektrode **168** die Schottky-Region **157**, die erste Stehspannungshalterregion **156** und die Source-Region **148**, zwar in dieser Reihenfolge ausgehend von der Bodenseite des ersten Source-Grabens **155**. Zusätzlich hierzu steht die Source-Elektrode **168** in Kontakt mit der Bodenabschnittkörperkontaktregion **161**, der zweiten Stehspannungshalterregion **160** und der Source-Region **148**, und zwar in dieser Reihenfolge ausgehend von der Bodenseite des zweiten Source-Grabens **159** in der pn-Diodenzelle **147**. Das heißt, die Source-Elektrode **168** ist eine Verdrahtung, die sich alle Zellen **145** teilen.

**[0212]** Der Zwischenschicht-Isolierfilm **165** ist auf der Source-Elektrode **168** ausgebildet, und die Source-Elektrode **168** ist elektrisch verbunden mit dem Source-Pad **132**, und zwar über den Zwischenschicht-Isolierfilm **165**. Im Gegensatz hierzu ist das Gate Pad **134** elektrisch mit der Gate-Elektrode **154** über eine Gate-Verkabelung (nicht dargestellt) verbunden, die auf den Zwischenschichtisolierfilm **165** geführt ist.

**[0213]** Die Source-Elektrode **168** weist eine Polysiliziumschicht **169** auf, eine Zwischenschicht **170** und eine Metallschicht **171**, und zwar in dieser Reihenfolge ausgehend von der Kontaktseite der Epitaxialschicht **141**.

**[0214]** Als die Polysiliziumschicht **169** wird verunreinigungs-dotiertes dotiertes Polysilizium verwendet. Als die Verunreinigung der Polysiliziumschicht **169** kann eine Verunreinigung vom n-Typ wie Stickstoff (N), Phosphor (P), Arsen (As) oder eine Verunreini-

gung vom p-Typ wie Aluminium (Al) oder Bor (B) verwendet werden.

**[0215]** Die Polysiliziumschicht **169** ist so ausgebildet, dass sie die gesamte Fläche der Zelle **145** bedeckt, die in den Kontaktlöchern **166**, **167** freiliegt. Die Polysiliziumschicht **169** ist ausgebildet, um gesamthaft die Schottky-Region **157**, die ersten Stehspannungshalteregeion **156** und die Source-Region **148** in dem ersten Source-Graben **155** sowie sämtliche Regionen der Bodenabschnittkörperkontaktregion **161**, der zweiten Stehspannungshalteregeion **160** und der Source-Region **148** in dem zweiten Source-Graben **159** abzudecken.

**[0216]** Die Polysiliziumschicht **169** bildet einen Schottky-Übergang mit der Source-Region **148** in der Schottky-Zelle **146**. Als Ergebnis bildet die Polysiliziumschicht **169** einen Heteroübergang mit der Schottky-Region **157** (die Höhe der Übergangsbarriere ist beispielsweise 1 bis 1,5 eV), und zwar mit einer kleineren Übergangsbarriere („junction barrier“) als das Diffusionspotential (z.B. 2,8 bis 3,2 eV) der Körperdiode **172** (z.B. eine Diode, die durch einen pn-Übergang zwischen der Körperregion **149** und der Driftregion **150** gebildet ist), die in jede der Schottky-Zellen **146** und der pn-Diodenzelle **147** eingebaut ist. Als ein Ergebnis ist in der Schottky-Zelle **146** eine Heteroübergangs-Diode **172** zwischen der Source-Elektrode **168** und der Schottky-Region **157** gebildet. Zusätzlich hierzu bildet die Polysiliziumschicht **169** einen Ohm'schen Kontakt zwischen der Bodenabschnittkörperkontaktregion **161** und der Source-Region **148** in der pn-Diodenzelle **147**.

**[0217]** Die Zwischenschicht **170** ist eine Metallschicht, die auf die Polysiliziumschicht **169** laminiert ist. Die Metallschicht **171** ist die äußerste Schicht der Source-Elektrode **168**.

**[0218]** Ein Beispiel einer Kombination der Polysiliziumschicht **169**, der Zwischenschicht **170** und der Metallschicht **171** ist eine laminierte Struktur (Polysilizium/Ti/Al), bei der Polysilizium (Polysiliziumschicht **169**), Titan (Zwischenschicht **170**) und Aluminium (Metallschicht **171**) in dieser Reihenfolge laminiert sind. Zusätzlich hierzu ist es bevorzugt, wenn die Metallschicht **171** eine Molybdänschicht (Mo-Schicht) aufweist. Da Molybdän einen hohen Schmelzpunkt aufweist, kann durch Aufnahme einer Molybdänschicht in der Metallschicht **171** ein Schmelzschaden der Metallschicht **171** beschränkt werden, der durch Wärme hervorgerufen wird, die erzeugt wird, wenn ein großer Strom durch die Source-Elektrode **168** fließt.

**[0219]** Auf der Rückfläche **140B** des SiC-Substrats **140** ist eine Drain-Elektrode **174** ausgebildet, so dass sie die gesamte Rückfläche **140B** bedeckt. Die Drain-Elektrode **174** wird von allen Zellen **145** ge-

teilt („shared“). Als die Drain-Elektrode **174** kann beispielsweise eine laminierte Struktur (Ti/Ni/Au/Ag) verwendet werden, bei der Titan (Ti), Nickel (Ni), Gold (Au) und Silber (Ag) in dieser Reihenfolge ausgehend von der Seite des SiC-Substrats **140** laminiert sind.

**[0220]** Wie es in **Fig. 33** gezeigt ist, sind in dem Leistungsmodul **1** die Vielzahl von oberen MIS-Transistoren **130** (drei obere MIS-Transistoren **130** bei der vorliegenden Ausführungsform) auf dem ersten Substrat **82A** montiert, und die Vielzahl der unteren MIS-Transistoren **131** (drei untere MIS-Transistoren **131** bei der vorliegenden Ausführungsform) sind auf dem zweiten Substrat **82B** montiert.

**[0221]** Bei dem Leistungsmodul **1** der vorliegenden Ausführungsform sind die Position des oberen Signalsubstrates **86** auf dem ersten Substrat **82A**, die Position des unteren Signalsubstrates **87** auf dem zweiten Substrat **82B**, die Positionen der Eingangsterminalelemente **83**, **84** auf dem ersten Substrat **82A** und die Positionen der Ausgangsterminalelemente **85** auf dem ersten Substrat **82A** die gleichen wie jene in dem Leistungsmodul **1** der zweiten Ausführungsform. Im Gegensatz hierzu ist in dem Leistungsmodul **1** der vorliegenden Ausführungsform die Form des zweiten Eingangsterminalelementes **84** unterschiedlich von jener des zweiten Eingangsterminalelementes **84** des Leistungsmoduls **1** der zweiten Ausführungsform.

**[0222]** Das zweite Eingangsterminalelement **84** der vorliegenden Ausführungsform weist drei Verbindungsabschnitte auf, d.h. einen ersten Verbindungsabschnitt **84a**, einen zweiten Verbindungsabschnitt **84b** und einen dritten Verbindungsabschnitt **84c**. Das heißt, das zweite Eingangsterminalelement **84** der vorliegenden Ausführungsform besitzt keinen vierten Verbindungsabschnitt **84d** und keinen fünften Verbindungsabschnitt **84e**. Demgemäß ist die Länge des Koppelabschnittes **84f** des zweiten Eingangsterminalelementes **84** in der zweiten Richtung Y bei der vorliegenden Ausführungsform kürzer als die Länge des Koppelabschnittes **84f** des zweiten Eingangsterminalelementes **84** in der zweiten Richtung Y bei der zweiten Ausführungsform. Bei der vorliegenden Ausführungsform sind die Distanz zwischen dem ersten Verbindungsabschnitt **84a** und dem zweiten Verbindungsabschnitt **84b** in der zweiten Richtung Y und die Distanz zwischen dem zweiten Verbindungsabschnitt **84b** und dem dritten Verbindungsabschnitt **84c** in der zweiten Richtung Y größer als die Chipgröße in der zweiten Richtung Y des jeweiligen oberen MIS-Transistors **130**.

**[0223]** Die drei oberen MIS-Transistoren **130** sind so angeordnet, dass sie voneinander in der zweiten Richtung Y auf dem ersten Substrat **82A** beabstandet sind. Jeder der oberen MIS-Transistoren **130** ist auf einem Abschnitt des ersten Substrats **82A** näher

an dem zweiten Substrat **82B** als das obere Signalsubstrat **86** angeordnet. Mit anderen Worten ist jeder obere MIS-Transistor **130** an einem Endabschnitt des ersten Substrats **82A** auf der Seite des zweiten Substrats **82B** angeordnet. Einer der drei oberen MIS-Transistoren **130** ist in der zweiten Richtung Y zwischen dem ersten Verbindungsabschnitt **84a** und dem zweiten Verbindungsabschnitt **84b** des zweiten Eingangs-Terminelementes **84** angeordnet. Der obere MIS-Transistor **130** ist näher an dem ersten Verbindungsabschnitt **84a** angeordnet als an dem zweiten Verbindungsabschnitt **84b**, und zwar in der zweiten Richtung Y. Ein weiterer der drei oberen MIS-Transistoren **130** ist in der zweiten Richtung Y zwischen dem zweiten Verbindungsabschnitt **84b** und dem dritten Verbindungsabschnitt **84c** des zweiten Eingangs-Terminelementes **84** angeordnet. Der obere MIS-Transistor **130** ist näher an dem zweiten Verbindungsabschnitt **84b** angeordnet als an dem dritten Verbindungsabschnitt **84c**, und zwar in der zweiten Richtung Y. Der verbleibende eine der drei oberen MIS-Transistoren **130** ist benachbart zu dem dritten Verbindungsabschnitt **84c** angeordnet, und zwar auf der Seite gegenüberliegend dem zweiten Verbindungsabschnitt **84b** in der zweiten Richtung Y, und zwar in Bezug auf den dritten Verbindungsabschnitt **84c**.

**[0224]** Auf dem zweiten Substrat **82B** sind drei untere MIS-Transistoren **131** in Intervallen bzw. Abständen in der zweiten Richtung Y angeordnet. Jeder untere MIS-Transistor **131** ist auf einem Abschnitt des zweiten Substrats **82B** zugewandt einer Seite des ersten Substrats **82A** angeordnet, und zwar in Bezug auf das untere Signalsubstrat **87**. Mit anderen Worten ist jeder untere MIS-Transistor **131** an einem Endabschnitt des zweiten Substrats **82B** auf einer Seite des ersten Substrats **82A** angeordnet. Einer der drei unteren MIS-Transistoren **131** ist so angeordnet, dass er dem ersten Verbindungsabschnitt **84a** des zweiten Eingangs-Terminelementes **84a** in der ersten Richtung X gegenüberliegt. Ein weiterer der drei unteren MIS-Transistoren **131** ist so angeordnet, dass er dem zweiten Verbindungsabschnitt **84b** des zweiten Eingangs-Terminelementes **84** in der ersten Richtung X gegenüberliegt. Der verbleibende eine der drei unteren MIS-Transistoren **131** ist so angeordnet, dass er dem dritten Verbindungsabschnitt **84c** des zweiten Eingangs-Terminelementes **84** in der ersten Richtung X gegenüberliegt.

**[0225]** Die drei oberen MIS-Transistoren **130** sind parallel miteinander verbunden. Die drei unteren MIS-Transistoren **131** sind parallel miteinander verbunden. Die Verbindungsmodi der Transistoren **130**, **131** durch die Leistungsdrähte **44**, **46** und die Steuerdrähte **45**, **47** sind identisch zu den Verbindungsmodi des oberen Schaltelementes **11** und des unteren Schaltelementes **12** durch die Leistungsdrähte **44**, **46**

und die Steuerdrähte **45**, **47** bei der zweiten Ausführungsform.

#### Simulationsergebnis

**[0226]** Simulationen der Beziehung zwischen der Erzeugung der negativen Stoßspannung und dem Schaltverlust in einem Fall, bei dem das obere Schaltelement **11** (oberer MIS-Transistor **130**) in dem Auszustand gehalten wird und das untere Schaltelement **12** (unterer MIS-Transistor **131**) angesteuert wird, und zwar in den Leistungsmodulen **1** des Vergleichsbeispiels und der vorliegenden Ausführungsform, sind auf der Grundlage von schematischen Schaltungskonfigurationen durchgeführt worden, die in den **Fig. 7** und **Fig. 34** gezeigt sind. **Fig. 7** stellt die schematische Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels dar, und **Fig. 34** stellt eine schematische Schaltungskonfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform dar.

**[0227]** Bei der Schaltungskonfiguration der **Fig. 34** sind die Source und das Gate des oberen MIS-Transistors **130** kurzgeschlossen, und die untere Gate-Ansteuerschaltung **3** ist elektrisch mit dem Gate des unteren MIS-Transistors **131** verbunden. Der Gate-Widerstand **8** ist zwischen dem Gate des unteren MIS-Transistors **131** und der unteren Gate-Ansteuerschaltung **3** vorgesehen. Das positive Terminal der Leistungsversorgung ES ist elektrisch mit dem Drain des oberen MIS-Transistors **130** verbunden, und das negative Terminal der Leistungsversorgung ES ist elektrisch mit der Source des unteren MIS-Transistors **131** verbunden. Die Schaltungskonfiguration der **Fig. 34** weist eine Verdrahtung **9** auf, die das positive Terminal der Leistungsversorgung ES und das Drain des oberen MIS-Transistors **130** verbindet, und die die Source des oberen MIS-Transistors **130** und das Drain des unteren MIS-Transistors **131** verbindet. Die Verdrahtung **9** weist eine Induktionslast bzw. induktive Last **9a** auf.

**[0228]** In dem Leistungsmodul des Vergleichsbeispiels wurden Simulationen für Fälle ausgeführt, bei denen der Wert des Gate-Widerstandes **8** geändert wurde auf  $2\ \Omega$ ,  $3\ \Omega$ ,  $4\ \Omega$  und  $5\ \Omega$ . Hier wurde ein Fall, bei dem der Gate-Widerstand **8** den Wert von  $2\ \Omega$  hat, und zwar in der Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels, als ein Referenzzustand definiert.

**[0229]** Wie in **Fig. 35** dargestellt, verringert eine Erhöhung des Wertes des Gate-Widerstandes **8** in dem Leistungsmodul des Vergleichsbeispiels die Schaltgeschwindigkeit des unteren Schaltelementes **12** (Änderungsrate der Drain-Source-Spannung  $V_{ds}$ ), und damit nimmt der absolute Wert der negativen Stoßspannung ab. Im Gegensatz dazu erhöht ei-

ne Erhöhung des Wertes des Gate-Widerstandes **8** schnell die Schaltverluste.

**[0230]** Wie es in **Fig. 35** dargestellt ist, wird in dem Leistungsmodul **1** der vorliegenden Ausführungsform der absolute Wert der negativen Stoßspannung kleiner als der Referenzzustand. Zusätzlich hierzu ist in dem Leistungsmodul **1** der vorliegenden Ausführungsform der absolute Wert der negativen Stoßspannung kleiner als jener des Leistungsmoduls **1** der dritten Ausführungsform. Dies wird angenommen, da durch Verwendung des oberen MIS-Transistors **130**, bei dem das obere Schaltelement **11** und die obere Diode **71** aus dem gleichen Chip gebildet sind, der obere Diodendraht **91**, der mit der oberen Diode **71** verbunden ist, weggelassen werden kann, und die durch die Induktivität des oberen Diodendrahtes **91** hervorgerufene Stoßspannung verschwindet. Im Gegensatz hierzu, obgleich der Schaltverlust ansteigt, wenn die Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** zunehmen, wird der Schaltverlust kleiner verglichen mit dem Fall einer Zunahme des Wertes des Gate-Widerstandes **8**, wie bei dem Leistungsmodul des Vergleichsbeispiels.

**[0231]** Gemäß der vorliegenden Ausführungsform können zusätzlich zu den Vorteilen (2-1) und (2-4) der zweiten Ausführungsform, die folgenden Vorteile erhalten werden.

**[0232]** (3-1) Das Leistungsmodul **1** weist den oberen MIS-Transistor **130** auf, bei dem das obere Schaltelement **11** und die obere Diode **71** aus dem gleichen Chip gebildet sind, und weist einen unteren MIS-Transistor **131** auf, bei dem das untere Schaltelement **12** und die untere Diode **72** aus dem gleichen Chip gebildet sind. Gemäß dieser Konfiguration ist es, weil der obere Diodendraht **91** und der untere Diodendraht **92** weggelassen werden können, möglich zu verhindern, dass der obere MIS-Transistor **130** und der untere MIS-Transistor **131** durch eine Induktivität des oberen Diodendrahtes **91** und die Induktivität des unteren Diodendrahtes **92** beeinflusst werden. Es ist daher möglich, Fluktuationen effektiv zu beschränken, die hervorgerufen werden durch die Stoßspannung der Gate-Source-Spannung  $V_{gsu}$  des oberen MIS-Transistors **130** und die Gate-Source-Spannung  $V_{gsl}$  des unteren MIS-Transistors **131**.

**[0233]** Verglichen mit einer Konfiguration, bei der das obere Schaltelement **11** und die obere Diode **71** als individuelle Chips bereitgestellt sind und bei der das untere Schaltelement **12** und die untere Diode **72** als individuelle Chips bereitgestellt sind, ist es zusätzlich möglich, die Anzahl der Elemente des Leistungsmoduls **1** zu reduzieren, um die Größe des Leistungsmoduls **1** zu reduzieren.

**[0234]** (3-2) Die oberen MIS-Transistoren **130** sind in der zweiten Richtung Y des ersten Substrats **82A**

voneinander beabstandet, und die unteren MIS-Transistoren **131** sind in der zweiten Richtung Y des zweiten Substrats **82B** voneinander beabstandet. Das erste Substrat **82A** ist so konfiguriert, dass die thermische Leitfähigkeit des ersten Substrats **82A** in der zweiten Richtung Y geringer ist als die thermische Leitfähigkeit des ersten Substrats **82A** in der ersten Richtung X. Das zweite Substrat **82B** ist so konfiguriert, dass die thermische Leitfähigkeit des zweiten Substrats **82B** in der zweiten Richtung Y niedriger ist als die thermische Leitfähigkeit des zweiten Substrats **82B** in der ersten Richtung X. Gemäß dieser Konfiguration wird Wärme eines oberen MIS-Transistors **130** kaum zu jenem oberen MIS-Transistor **130** benachbart zu diesem oberen MIS-Transistor **130** übertragen, und Wärme eines unteren MIS-Transistors **131** wird kaum auf einen unteren MIS-Transistor **131** benachbart zu diesem unteren MIS-Transistor **131** übertragen. Demzufolge sind die Temperaturen des oberen MIS-Transistors **130** und des unteren MIS-Transistors **131** nicht exzessiv erhöht.

**[0235]** (3-3) Die oberen MIS-Transistoren **130** sind so angeordnet, dass sie benachbart sind zu den Verbindungsabschnitten **84a** bis **84c** des zweiten Eingangs-Terminalelementes **84** in der zweiten Richtung Y. Das heißt, der obere Leistungsdraht **44** des oberen MIS-Transistors **130** und der untere Leistungsdraht **46** des unteren MIS-Transistors **131** sind in der zweiten Richtung Y benachbart zueinander. In einem Fall, bei dem der obere MIS-Transistor **130** und der untere MIS-Transistor **131** auf eine komplementäre Art und Weise ein- und ausgeschaltet werden, sind gemäß dieser Konfiguration die Richtung eines Stroms, der durch den oberen Leistungsdraht **44** fließt, und die Richtung eines Stroms, der durch den unteren Leistungsdraht **46** fließt, entgegengesetzt. Da das magnetische Feld, das um den oberen Leistungsdraht **44** herum erzeugt wird, und das magnetische Feld, das um den unteren Leistungsdraht **46** herum erzeugt wird, sich gegenseitig auslöschen, kann das Rauschen des oberen Leistungsdrahtes **44** und des unteren Leistungsdrahtes **46** reduziert werden. Insbesondere, da der obere Leistungsdraht **44** und der untere Leistungsdraht **46** parallel zueinander sind, ist es möglich, das magnetische Feld, das um den oberen Leistungsdraht **44** herum erzeugt wird, und das magnetische Feld, das um den unteren Leistungsdraht **46** herum erzeugt wird, effektiv auszulöschen.

#### Vierte Ausführungsform

**[0236]** Unter Bezugnahme auf die **Fig. 36** bis **Fig. 39** wird nunmehr ein Leistungsmodul **1** einer vierten Ausführungsform beschrieben. Das Leistungsmodul **1** der vorliegenden Ausführungsform unterscheidet sich von dem Leistungsmodul **1** der ersten Ausführungsform darin, dass die obere Diode **71** und die untere Diode **72** des Leistungsmoduls **1** der zweiten Ausführungsform hinzugefügt sind. In der nachste-

henden Beschreibung sind Komponenten, die denen des Leistungsmoduls **1** der ersten Ausführungsform entsprechen, mit gleichen Bezugszeichen versehen. Derartige Komponenten werden nicht beschrieben.

**[0237]** Wie es in den **Fig. 36** und **Fig. 37** dargestellt ist, ist die obere Diode **71** separat von einem oberen Schaltelement **11** vorgesehen, und die untere Diode **72** ist separat von einem unteren Schaltelement **12** vorgesehen. Wie es in **Fig. 36** dargestellt ist, ist die Kathode der oberen Diode **71** elektrisch mit einer ersten Verdrahtung **15** verbunden, die ein Drain-Terminal **11d** des oberen Schaltelementes **11** und ein erstes Eingangs-Terminal **P** verbindet. Genauer gesagt ist die Kathode der oberen Diode **71** elektrisch mit dem Abschnitt der ersten Verdrahtung **15** zwischen dem Drain-Terminal **11d** des oberen Schaltelementes **11** und einem ersten Terminal des oberen Kondensators **13** verbunden. Die Anode der oberen Diode **71** ist elektrisch mit einem Abschnitt einer vierten Verdrahtung **18** verbunden, die ein Source-Terminal **11s** des oberen Schaltelementes **11** und ein Drain-Terminal **12d** des unteren Schaltelementes **12** verbindet, wobei der Abschnitt näher an einem oberen Schaltelement **11** angeordnet ist als ein Knoten **N**. Die Kathode der unteren Diode **72** ist elektrisch mit einem Abschnitt der vierten Verdrahtung **18** verbunden, der näher an einem unteren Schaltelement **12** ist als der Knoten **N**. Genauer gesagt ist die Kathode der unteren Diode **72** elektrisch mit einem Abschnitt der vierten Verdrahtung **18** zwischen dem Drain-Terminal **12d** des unteren Schaltelementes **12** und einem ersten Terminal eines unteren Kondensators **14** verbunden. Die Anode der unteren Diode **72** ist elektrisch mit einer fünften Verdrahtung **19** verbunden, die das Source-Terminal **12s** des unteren Schaltelementes **12** und ein zweites Eingangs-Terminal **N** verbindet. Bei der vorliegenden Ausführungsform wird eine Schottky-Barrierediode für jede der oberen Diode **71** und der untere Diode **72** verwendet. Die Vorwärtsschwellenspannungen der oberen Diode **71** und der unteren Diode **72** sind geringer als die Vorwärtsschwellenspannungen der Körperdiode **11a** des oberen Schaltelementes **11** bzw. der Körperdiode **12a** des unteren Schaltelementes **12**.

**[0238]** Die Anzahl von jedem der oberen Schaltelemente **11** und der unteren Schaltelemente **12** kann frei geändert werden. Beispielsweise ist die Anzahl von jedem der oberen Schaltelemente **11** und der unteren Schaltelemente **12** so gewählt, dass ein Einschalt-Widerstand („on-resistance“) hiervon zu einem vorab eingestellten Einschalt-Widerstand wird. In einem Fall, bei dem eine Vielzahl von oberen Schaltelementen **11** vorgesehen ist, ist die Vielzahl von oberen Schaltelementen **11** parallel miteinander verbunden. Das heißt, die Drain-Terminals **11d** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden, die Source-Terminals **11s** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbun-

den, und die Gate-Terminals **11g** der Vielzahl von oberen Schaltelementen **11** sind miteinander verbunden. In einem Fall, bei dem eine Vielzahl von unteren Schaltelementen **12** vorgesehen ist, ist es zusätzlich so, dass die Vielzahl von unteren Schaltelementen **12** parallel miteinander verbunden sind. Das heißt, die Drain-Terminals **12d** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, die Source-Terminals **12s** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden, und die Gate-Terminals **12g** der Vielzahl von unteren Schaltelementen **12** sind miteinander verbunden. In der vorliegenden Ausführungsform sind drei obere Schaltelemente **11** vorgesehen, und es sind drei untere Schaltelemente **12** vorgesehen.

**[0239]** Zusätzlich hierzu kann die Anzahl von jeder der oberen Dioden **71** und der unteren Dioden **72** frei geändert werden. Beispielsweise wird die Anzahl von jeder der oberen Dioden **71** und der unteren Dioden **72** eingestellt auf der Grundlage einer Größe eines Rückflussstromes, der fließt, während das obere Schaltelement **11** bzw. das untere Schaltelement **12** vermieden bzw. umgangen werden. In einem Fall, bei dem eine Vielzahl von oberen Dioden **71** vorgesehen ist, ist die Vielzahl von oberen Dioden **71** parallel miteinander verbunden. Das heißt, die Anoden der Vielzahl von oberen Dioden **71** sind miteinander verbunden, und die Kathoden der Vielzahl von oberen Dioden **71** sind miteinander verbunden. Die Kathoden der Vielzahl von oberen Dioden **71** sind mit der ersten Verdrahtung **15** verbunden, und die Anoden der Vielzahl von oberen Dioden **71** sind mit einem Abschnitt der vierten Verdrahtung **18** verbunden, der näher an einem oberen Schaltelement **11** ist als der Knoten **N**. In einem Fall, bei dem eine Vielzahl von unteren Dioden **72** vorgesehen ist, ist die Vielzahl von unteren Dioden **72** parallel miteinander verbunden. Das heißt, die Anoden der Vielzahl von unteren Dioden **72** sind miteinander verbunden, und die Kathoden der Vielzahl von unteren Dioden **72** sind miteinander verbunden. Die Kathoden der Vielzahl von unteren Dioden **72** sind mit einem Abschnitt der vierten Verdrahtung **18** auf der Seite des unteren Schaltelementes **12** in Bezug auf den Knoten **N** verbunden, und die Anoden der Vielzahl von unteren Dioden **72** sind mit der fünften Verdrahtung **19** verbunden. Bei der vorliegenden Ausführungsform sind zwei obere Dioden **71** vorgesehen, und es sind zwei untere Dioden **72** vorgesehen.

**[0240]** Bei dem Leistungsmodul **1** ist der tolerierbare Gleichstrom-Nennstrom der oberen Diode **71** kleiner als der tolerierbare Gleichstrom-Nennstrom des oberen Schaltelementes **11**, und der tolerierbare Gleichstrom-Nennstrom der unteren Diode **72** ist kleiner als der tolerierbare Gleichstrom-Nennstrom des unteren Schaltelementes **12**. Vorliegend ist der Gleichstrom-Nennstrom hier ein absoluter maximaler Gleichstrom-Nennstrom. In dem Fall, bei eine Viel-

zahl von oberen Dioden **71** und eine Vielzahl von oberen Schaltelementen **11** vorgesehen sind, ist das Leistungsmodul **1** so konfiguriert, dass die Summe der Gleichstrom-Nennströme der Vielzahl von oberen Dioden **71** kleiner ist als die Summe der Gleichstrom-Nennströme der Vielzahl von oberen Schaltelementen **11**. In einem Fall, bei dem eine Vielzahl von unteren Dioden **72** und eine Vielzahl von unteren Schaltelementen **12** vorgesehen sind, ist es zusätzlich so, dass das Leistungsmodul **1** dazu konfiguriert ist, dass die Summe der Gleichstrom-Nennströme der Vielzahl von unteren Dioden **72** kleiner ist als die Summe der Gleichstrom-Nennströme der Vielzahl von unteren Schaltelementen **12**.

**[0241]** In einem Beispiel ist das Leistungsmodul **1** so konfiguriert, dass die Anzahl der oberen Dioden **71** kleiner ist als die Anzahl der oberen Schaltelemente **11**, und dass die Anzahl der unteren Dioden **72** kleiner ist als die Anzahl der unteren Schaltelemente **12**. Wie oben beschrieben, beinhaltet bei der vorliegenden Ausführungsform, wie es in **Fig. 19** dargestellt ist, das Leistungsmodul **1** drei obere Schaltelemente **11**, drei untere Schaltelemente **12**, zwei obere Dioden **71** und zwei untere Dioden **72**. Zusätzlich hierzu kann beispielsweise der tolerierbare Gleichstrom-Nennstrom von einer oberen Diode **71** kleiner sein als der tolerierbare Gleichstrom-Nennstrom von einem oberen Schaltelement **11**. Zusätzlich hierzu kann der tolerierbare Gleichstrom-Nennstrom von einer unteren Diode **72** kleiner sein als der tolerierbare Gleichstrom-Nennstrom von einem unteren Schaltelement **12**. In diesem Fall kann die Anzahl der oberen Schaltelemente **11** und die Anzahl der oberen Dioden **71** einander gleich sein. Zusätzlich hierzu kann die Anzahl der unteren Schaltelemente **12** und die Anzahl der unteren Dioden **72** einander gleich sein.

**[0242]** Drei obere Schaltelemente **11** und zwei obere Dioden **71** sind jeweils auf einem ersten Eingangsverdrahtungsabschnitt **23** montiert, und zwar durch Löten oder dergleichen. Die drei oberen Schaltelemente **11** und die zwei oberen Dioden **71** sind entlang der ersten Richtung X abwechselnd angeordnet.

**[0243]** Der obere Kondensator **13** ist näher an einem ersten Eingangs-Terminelement **30** angeordnet als das obere Schaltelement **11**, das von den drei oberen Schaltelementen **11** der Seite des ersten Eingangs-Terminelementes **30** in der ersten Richtung X am nächsten ist. Der obere Kondensator **13** ist mit einem Abschnitt eines ersten oberen Steuerverdrahtungsabschnittes **25** verbunden, der einem ersten oberen Steuer-Terminelement **33** näher ist als ein Abschnitt, mit dem ein oberer Steuerdraht **45** mit einer Gate-Elektrode **42** jenes oberen Schaltelementes **11** verbunden ist, das von den drei oberen Schaltelementen **11** dem ersten Eingangs-Terminelement **30** am nächsten ist.

**[0244]** Die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** sind jeweils auf einem Ausgangsverdrahtungsabschnitt **22** montiert, und zwar durch Löten oder dergleichen. Die drei unteren Schaltelemente **12** und die zwei unteren Dioden **72** sind entlang der ersten Richtung X abwechselnd angeordnet. In der ersten Richtung X sind die Positionen der drei unteren Schaltelemente **12** die gleichen wie die Positionen der drei oberen Schaltelemente **11**. In der ersten Richtung X sind die Positionen der zwei unteren Dioden **72** gleich den Positionen der zwei oberen Dioden **71**.

**[0245]** Der untere Kondensator **14** ist näher an dem zweiten Eingangs-Terminelement **31** angeordnet als jenes untere Schaltelement **12**, das von den drei unteren Schaltelementen **12** dem zweiten Eingangs-Terminelement **31** am nächsten ist, und zwar in der ersten Richtung X. Der untere Kondensator **14** ist mit einem Abschnitt eines ersten unteren Steuerverdrahtungsabschnittes **27** verbunden, der näher an einem ersten unteren Steuer-Terminelement **35** angeordnet ist als ein Abschnitt, mit dem der untere Steuerdraht **47** verbunden ist, der mit der Gate-Elektrode **42** jenes unteren Schaltelementes **12** verbunden ist, das von den drei unteren Schaltelementen **12** der Seite des zweiten Eingangs-Terminelementes **32** am nächsten ist.

**[0246]** Verbindungsmodi der Schaltelemente **11**, **12** durch die Leistungsdrähte **44**, **46** und durch die Steuerdrähte **45**, **47** sind identisch zu den Verbindungsmodi der Schaltelemente **11**, **12** durch die Leistungsdrähte **44**, **46** und durch die Steuerdrähte **45**, **47** der ersten Ausführungsform. Verbindungsmodi der Diodendrähte **91**, **92** der Dioden **71**, **72** sind jeweils identisch zu den Verbindungsmodi der Diodendrähte **91**, **92** der Dioden **71**, **72** der zweiten Ausführungsform. Der Drahtdurchmesser des oberen Diodendrahtes **91** der vorliegenden Ausführungsform ist gleich dem Drahtdurchmesser des oberen Leistungsdrahtes **44**. Es ist bevorzugt, wenn die vier oberen Diodendrähte **91** so konfiguriert sind, dass deren Induktivität kleiner ist als die Induktivität der vier oberen Leistungsdrähte **44**. In einem Beispiel ist, wie es in **Fig. 37** dargestellt ist, ist die Länge von jedem der vier oberen Diodendrähte **91** kürzer als die Länge von jedem der vier oberen Leistungsdrähte **44**, und die Länge von jedem der vier unteren Diodendrähte **92** ist kürzer als die Länge von jedem der vier unteren Leistungsdrähte **46**. Als ein Beispiel einer Konfiguration, bei der die Induktivität von jedem der Diodendrähte **91**, **92** kleiner ist als die Induktivität von jedem der Leistungsdrähte **44**, **46**, kann eine Konfiguration verwendet werden, bei der der Drahtdurchmesser von jedem der Diodendrähte **91**, **92** größer als der Drahtdurchmesser von jedem der Leistungsdrähte **44**, **46**. Jedes Leistungsverbindungselement kann beispielsweise ein Anschlussrahmen bzw. Leadframe aus CIC (Cu/Invar/Cu) sein.

**[0247]** Gemäß der vorliegenden Ausführungsform lassen sich die Vorteile (1-1) bis (1-9) der ersten Ausführungsform und die Vorteile (2-1), (2-2), (2-5) und (2-6) der zweiten Ausführungsform erhalten. Zusätzlich hierzu kann bei der vorliegenden Ausführungsform der obere MIS-Transistor **130** anstelle des oberen Schaltelementes **11** und der oberen Diode **71** verwendet werden, und der untere MIS-Transistor **131** kann anstelle des unteren Schaltelementes **12** und der unteren Diode **72** verwendet werden. In diesem Fall wird der Vorteil (3-1) der dritten Ausführungsform erhalten.

#### Simulationsergebnis

**[0248]** Auf der Grundlage der schematischen Schaltungskonfigurationen, die in den **Fig. 7** und **Fig. 38** dargestellt sind, sind Simulationen der Beziehung zwischen der Generation bzw. Erzeugung der Stoßspannung auf der negativen Seite und eines Schaltverlustes für einen Fall durchgeführt worden, bei dem das obere Schaltelement **11** in dem Aus-Zustand aufrechterhalten wird und das untere Schaltelement **12** angesteuert wird, und zwar in den Leistungsmodulen **1** des Vergleichsbeispiels und der vorliegenden Erfindung. **Fig. 7** stellt die schematische Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels dar, und **Fig. 38** stellt eine schematische Schaltungskonfiguration des Leistungsmoduls **1** der vorliegenden Ausführungsform dar.

**[0249]** Bei der Schaltungsanordnung der **Fig. 38** sind die Kathode der oberen Diode **71** und das erste Terminal des oberen Kondensators **13** elektrisch mit dem Drain des oberen Schaltelementes **11** verbunden, die Anode der oberen Diode **71** ist elektrisch mit der Source des oberen Schaltelementes **11** verbunden, und das zweite Terminal des oberen Kondensators **13** ist elektrisch mit dem Gate-Terminal des oberen Schaltelementes **11** verbunden. Die Source und das Gate des oberen Schaltelements **11** sind kurzgeschlossen.

**[0250]** Die Kathode der unteren Diode **72** und das erste Terminal des unteren Kondensators **14** sind elektrisch mit dem Drain des unteren Schaltelementes **12** verbunden, die Anode der unteren Diode **72** ist elektrisch mit der Source des unteren Schaltelementes **12** verbunden, und das zweite Terminal des unteren Kondensators **14** ist elektrisch mit dem Gate des unteren Schaltelementes **12** verbunden. Zusätzlich hierzu ist die untere Gate-Ansteuerschaltung **3** elektrisch mit dem Gate des unteren Schaltelementes **12** verbunden. Ein Gate-Widerstand **8** ist zwischen dem Gate des unteren Schaltelementes **12** und der unteren Gate-Ansteuerschaltung **3** vorgesehen. Das positive Terminal der Leistungsversorgung ES ist elektrisch mit dem Drain des oberen Schaltelementes **11** verbunden, und das negative Terminal der Leistungsversorgung ES ist elektrisch mit der Source des unteren

ren Schaltelementes **12** verbunden. Die Schaltungskonfiguration der **Fig. 38** weist die Verdrahtung **9** auf, die einen Abschnitt zwischen dem positiven Terminal der Leistungsversorgung ES und dem Drain des oberen Schaltelementes **11** sowie einen Abschnitt zwischen der Source des oberen Schaltelementes **11** und dem Drain des unteren Schaltelementes **12** verbindet. Die Verdrahtung **9** weist eine induktive Last **9a** auf.

**[0251]** Im Leistungsmodul des Vergleichsbeispiels wurden Simulationen in Fällen durchgeführt, bei denen der Wert des Gate-Widerstandes **8** geändert wurde auf  $2\ \Omega$ ,  $3\ \Omega$ ,  $4\ \Omega$  und  $5\ \Omega$ . Hierbei wurde ein Fall, bei dem der Gate-Widerstand **8** einen Wert von  $2\ \Omega$  hatte, und zwar in der Schaltungskonfiguration des Leistungsmoduls des Vergleichsbeispiels, als ein Referenzzustand bzw. eine Referenzbedingung definiert.

**[0252]** Wie es in **Fig. 39** dargestellt ist, führt bei dem Leistungsmodul des Vergleichsbeispiels eine Zunahme in dem Wert des Gate-Widerstandes **8** zu einer Abnahme der Schaltgeschwindigkeit des unteren Schaltelementes **12** (Änderungsrate der Drain-Source-Spannung  $V_{ds}$ ), und folglich nimmt der absolute Wert der negativen Stoßspannung ab. Im Gegensatz hierzu führt ein Anstieg in dem Wert des Gate-Widerstandes **8** schnell zu einem Anstieg des Schaltverlustes.

**[0253]** In dem Leistungsmodul **1** der vorliegenden Erfindung wurden Simulationen für einem Fall durchgeführt, bei dem eine Kapazität des oberen Kondensators **13** und des unteren Kondensators **14** einen Wert von  $150\ \text{pF}$  hatte. Das Ergebnis ist der Punkt A in **Fig. 39**.

**[0254]** Wie es durch den Punkt A in **Fig. 39** gezeigt ist, machen bei dem Leistungsmodul **1** der vorliegenden Erfindung der obere Kondensator **13**, der untere Kondensator **14**, die obere Diode **71** und die untere Diode **72** den absoluten Wert der negativen Stoßspannung kleiner als der Referenzzustand. Obgleich der Schaltverlust größer wird, wird im Gegensatz hierzu der Schaltverlust kleiner verglichen mit dem Fall einer Zunahme des Wertes des Gate-Widerstandes **8**, wie bei dem Leistungsmodul des Vergleichsbeispiels.

**[0255]** Bei dem Leistungsmodul **1** der vorliegenden Ausführungsform wurde zusätzlich eine Simulation durchgeführt, bei der der obere MIS-Transistor **130** anstelle des oberen Schaltelementes **11** und der oberen Diode **71** verwendet wurde, und bei dem der untere MIS-Transistor **131** anstelle des unteren Schaltelementes **12** und der unteren Diode **72** verwendet wurde. Das Ergebnis ist der Punkt B in **Fig. 39**.

**[0256]** Wie es durch den Punkt B in **Fig. 39** gezeigt ist, wird bei dem Leistungsmodul **1** der vorliegenden Ausführungsform der absolute Wert der negativen Stoßspannung in Bezug auf den Punkt A klein. Obgleich der Schaltverlust größer wird, wird im Gegensatz der Schaltverlust kleiner verglichen mit dem Fall einer Zunahme des Wertes des Gate-Widerstandes **8**, wie bei dem Leistungsmodul des Vergleichsbeispiels.

#### Modifiziertes Beispiel

**[0257]** Die Beschreibung von jeder der obigen genannten Ausführungsformen ist lediglich ein Beispiel von einem Modus, den das Halbleiterbauteil und das Leistungsmodul gemäß der vorliegenden Erfindung annehmen können, und soll diesen Modus nicht beschränken. Das Halbleiterbauteil und das Leistungsmodul gemäß der vorliegenden Erfindung können beispielsweise zusätzlich zu den oben beschriebenen Ausführungsformen die folgenden modifizierten Beispiele sein, und können einen Modus annehmen, bei dem mindestens zwei modifizierte Beispiele kombiniert werden, die sich wechselseitig nicht widersprechen.

**[0258]** Das Halbleiterbauteil **10** des Leistungsmoduls **1** der ersten Ausführungsform und das Substrat **80** des Leistungsmoduls **1** der zweiten Ausführungsform können miteinander kombiniert werden. In diesem Fall ist der obere Kondensator **13** zwischen einem Abschnitt, wo der obere Steuerdraht **45**, der verbunden ist mit dem oberen Schaltelement **11**, das dem ersten oberen Steuer-Terminelement **88A** am nächsten ist, mit dem ersten oberen Steuerverdrahtungsabschnitt **86c** verbunden ist, und einem Abschnitt vorgesehen, wo das erste obere Steuer-Terminelement **88A** mit dem ersten oberen Steuerverdrahtungsabschnitt **86c** verbunden ist. Ein unterer Kondensator **14** ist zwischen einem Abschnitt, wo ein unterer Steuerdraht **47**, der mit einem unteren Schaltelement **12** verbunden ist, das einem ersten unteren Steuer-Terminelement **89A** am nächsten ist, mit einem ersten unteren Steuerverdrahtungsabschnitt **87c** verbunden ist, und einem Abschnitt vorgesehen, wo ein erstes unteres Steuer-Terminelement **89A** mit einem ersten unteren Steuerverdrahtungsabschnitt **87c** verbunden ist. In diesem Fall ist es zusätzlich so, dass ein zweites Eingang-Terminelement **84** nicht einen ersten Verbindungsabschnitt **84a**, einen zweiten Verbindungsabschnitt **84b**, einen dritten Verbindungsabschnitt **84c**, einen vierten Verbindungsabschnitt **84d** und einen fünften Verbindungsabschnitt **84e** haben muss, und zwar auf die gleiche Art und Weise wie das zweite Eingang-Terminelement **84**, das in **Fig. 33** dargestellt ist.

**[0259]** Das Halbleiterbauteil **10** des Leistungsmoduls **1** der zweiten Ausführungsform und das Substrat

**20** des Leistungsmoduls **1** der ersten Ausführungsform können miteinander kombiniert werden. In diesem Fall kann beispielsweise die Konfiguration erhalten werden, wenn man den oberen Kondensator **13** und den unteren Kondensator **14** aus der Konfiguration des Leistungsmoduls **1** der vierten Ausführungsform weglässt, die in **Fig. 37** dargestellt ist. Wenigstens einer von dem oberen Inselabschnitt **37** und dem oberen Verbindungsdraht **39U** und dem unteren Inselabschnitt **38** und dem unteren Verbindungsdraht **39L** kann weggelassen werden.

**[0260]** Das Leistungsmodul **1** der vierten Ausführungsform und das Leistungsmodul **1** der dritten Ausführungsform können miteinander kombiniert werden. Das heißt, bei dem Leistungsmodul **1** der vierten Ausführungsform können das obere Schaltelement **11** und die obere Diode **71** auf dem gleichen Chip ausgebildet sein, und das untere Schaltelement **12** und die untere Diode **72** können auf dem gleichen Chip ausgebildet sein.

**[0261]** Bei der zweiten und bei der dritten Ausführungsform sind das erste obere Steuer-Terminelement **88A** und das zweite obere Steuer-Terminelement **88B**, die verbunden sind mit dem oberen Signalsubstrat **86**, mit einer Seite eines ersten Verbindungsabschnittes **84a** des zweiten Eingang-Terminelementes **84** in der zweiten Richtung Y verbunden. Zusätzlich hierzu können das erste untere Steuer-Terminelement **89A** und das zweite untere Steuer-Terminelement **89B**, die verbunden sind mit dem unteren Signalsubstrat **87**, mit der Seite des ersten Verbindungsabschnittes **84a** des zweiten Eingang-Terminelementes **84** verbunden sein, und zwar in der zweiten Richtung Y.

**[0262]** In der ersten und in der vierten Ausführungsform lässt sich die Art und Weise der elektrischen Verbindung zwischen dem unteren Kondensator **14** und dem Ausgangsverdrahtungsabschnitt **22** unter Verwendung des unteren Inselabschnittes **38** frei verändern. Beispielsweise kann der Verbindungsmodus geändert werden, wie in den **Fig. 40** und **Fig. 41** dargestellt ist.

**[0263]** Wie es in **Fig. 40** dargestellt ist, erstreckt sich der untere Inselabschnitt **38** in der zweiten Richtung Y, so dass er den zweiten Eingangsverdrahtungsabschnitt **24** in der ersten Richtung X abdeckt. In der zweiten Richtung Y ist der untere Inselabschnitt **38** so vorgesehen, dass er benachbart ist zudem Ausgangsverdrahtungsabschnitt **22**. Als ein Ergebnis erstreckt sich der untere Verbindungsdraht **39L**, der den unteren Inselabschnitt **38** und den Ausgangsverdrahtungsabschnitt **22** elektrisch verbindet, nicht über den zweiten Eingangsverdrahtungsabschnitt **24** hinweg. Das heißt, die Länge des unteren Verbindungsdrahtes **39L** kann verkürzt werden.

**[0264]** Wie es in **Fig. 41** gezeigt, ist der untere Inselabschnitt **38** so vorgesehen, dass er dem zweiten Eingangsverdrahtungsabschnitt **24** in der ersten Richtung X gegenüberliegt. Der untere Inselabschnitt **38** ist so vorgesehen, dass er benachbart ist zu dem Ausgangsverdrahtungsabschnitt **22** in der zweiten Richtung Y. Zusätzlich hierzu ist der untere Inselabschnitt **38** so vorgesehen, dass er benachbart ist zu dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27**, und zwar in der zweiten Richtung Y. In diesem Fall ist der untere Kondensator **14** so angeordnet, dass die Anordnungsrichtung des ersten Terminals und des zweiten Terminals in der Richtung entlang der zweiten Richtung Y verläuft.

**[0265]** In der ersten und in der vierten Ausführungsform kann der obere Inselabschnitt **37** weggelassen werden. In diesem Fall ist das erste Terminal des oberen Kondensators **13** direkt mit dem gebogenen Abschnitt **25c** des ersten oberen Steuerverdrahtungsabschnittes **25** verbunden, und das zweite Terminal des oberen Kondensators **13** ist direkt mit dem ersten Eingangsverdrahtungsabschnitt **23** verbunden.

**[0266]** Bei der ersten und bei der vierten Ausführungsform kann der untere Inselabschnitt **38** weggelassen werden. In diesem Fall ist die Länge des ersten Abschnittes **24a** des zweiten Eingangsverdrahtungsabschnittes **24** in der ersten Richtung X verkürzt, und ein Teil des Ausgangsverdrahtungsabschnittes **22** erstreckt sich in der zweiten Richtung Y, so, dass der erste Abschnitt **24a** in bzw. aus der ersten Richtung X abgedeckt wird. Als ein Ergebnis liegt ein Teil des Ausgangsverdrahtungsabschnittes **22** dem gebogenen Abschnitt **27c** des ersten unteren Steuerverdrahtungsabschnittes **27** in der zweiten Richtung Y gegenüber, mit einem Spalt dazwischen in der zweiten Richtung Y. Das erste Terminal des unteren Kondensators **14** ist direkt verbunden mit dem gebogenen Abschnitt **27c**, und das zweite Terminal des unteren Kondensators **14** ist direkt verbunden mit einem Teil des Ausgangsverdrahtungsabschnittes **22**.

**[0267]** Bei der ersten und bei der vierten Ausführungsform können die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X und die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X frei verändert werden. Beispielsweise kann bei der ersten Ausführungsform die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X gemäß der Anzahl der unteren Schaltelemente **12** eingestellt werden, die auf dem Ausgangsverdrahtungsabschnitt **22** montiert sind, und die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X

kann gemäß der Anzahl der oberen Schaltelemente **11** eingestellt werden, die auf dem ersten Eingangsverdrahtungsabschnitt **23** montiert sind. Beispielsweise in einem Fall, bei dem ein oberes Schaltelement **11** und ein unteres Schaltelement **12** vorhanden sind, können die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X und die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X verkürzt werden. Hierdurch ist es möglich, die Größe des Leistungsmoduls **1** in der ersten Richtung X zu reduzieren. Zusätzlich hierzu kann bei der vierten Ausführungsform die Länge des ersten Abschnittes **22a** des Ausgangsverdrahtungsabschnittes **22** in der ersten Richtung X eingestellt werden gemäß der Anzahl der unteren Schaltelemente **12** und der Anzahl der unteren Dioden **72**, die auf dem Ausgangsverdrahtungsabschnitt **22** montiert sind. Zusätzlich hierzu kann die Länge des ersten Abschnittes **23a** des ersten Eingangsverdrahtungsabschnittes **23** in der ersten Richtung X eingestellt werden gemäß der Anzahl der oberen Schaltelemente **11** und der Anzahl der oberen Dioden **71**, die auf dem ersten Eingangsverdrahtungsabschnitt **23** montiert sind.

**[0268]** Bei der ersten Ausführungsform kann das Leistungsmodul **1**, wie in **Fig. 42** dargestellt ist, einen Gate-Widerstand **180** beinhalten, bei dem es sich um ein Beispiel eines oberen Steuerwiderstandes handelt, der elektrisch mit dem Gate-Terminal **11g** (siehe **Fig. 1**) des oberen Schaltelementes **11g** verbunden ist, und kann einen Gate-Widerstand **181** enthalten, bei dem es sich um ein Beispiel eines unteren Steuerwiderstandes handelt, der elektrisch mit dem Gate-Terminal **12g** (siehe **Fig. 1**) des unteren Schaltelementes **12g** verbunden ist. Der Gate-Widerstand **180** ist separat von dem oberen Schaltelement **11** vorgesehen. Der Gate-Widerstand **181** ist separat von dem unteren Schaltelement **12** vorgesehen. In dem ersten oberen Steuerverdrahtungsabschnitt **25** ist der Gate-Widerstand **180** an einem Abschnitt zwischen einem Abschnitt, mit dem der obere Steuerdraht **45** verbunden ist, der mit der Gate-Elektrode **42** (siehe **Fig. 5A**) des oberen Schaltelementes **11** verbunden ist, und dem gebogenen Abschnitt **25c** montiert. Im Ergebnis ist ein erstes Terminal (erstes oberes Widerstandsterminal) des Gate-Widerstandes **180** elektrisch mit dem Gate-Terminal **11g** des oberen Schaltelementes **11g** verbunden, und ein zweites Terminal (zweites oberes Widerstandsterminal) des Gate-Widerstandes **180** ist elektrisch mit dem ersten Terminal des oberen Kondensators **13** verbunden. Bei dem ersten unteren Steuerverdrahtungsabschnitt **27** ist der Gate-Widerstand **181** an einem Abschnitt zwischen einem Abschnitt, bei dem der untere Steuerdraht **47** mit der Gate-Elektrode **42** des unteren Schaltelementes **12** verbunden ist, und dem gebogenen Abschnitt **27c** montiert. Im Ergebnis ist das erste Terminal (erstes unteres Widerstandsterminal) des

Gate-Widerstandes **181** elektrisch mit dem Gate-Terminal **12g** des unteren Schaltelementes **12** verbunden, und das zweite Terminal (zweites unteres Widerstandsterminal) des Gate-Widerstandes **181** ist elektrisch mit dem ersten Terminal des unteren Kondensators **14** verbunden. Gemäß dieser Konfiguration ist es möglich, das obere Schaltelement **11** und das untere Schaltelement **12** so einzustellen, dass diese eine geeignete Betriebsgeschwindigkeit besitzen, und zwar durch Ändern der Widerstandswerte des Gate-Widerstandes **180** bzw. **181**.

**[0269]** Bei jeder Ausführungsform können die Konfigurationen des oberen Schaltelementes **11** und des unteren Schaltelementes **12** frei geändert werden. Beispielsweise können das obere Schaltelement **11** und das untere Schaltelement **12** konfiguriert werden, wie in **Fig. 43** dargestellt ist. In der folgenden Beschreibung wird, da das obere Schaltelement **11** und das untere Schaltelement **12** identische Strukturen haben, die Konfiguration des oberen Schaltelementes **11** beschrieben werden und eine Beschreibung der Konfiguration des unteren Schaltelementes **12** wird weggelassen.

**[0270]** Wie es in den **Fig. 43A**, **Fig. 43B** gezeigt ist, kann das obere Schaltelement **11** ein Transistor sein, der aus einem NitridHalbleiter hergestellt ist, wie ein HEMT (High Electron Mobility Transistor) aus Galliumnitrid (GaN). Als der NitridHalbleiter kann Aluminiumgalliumnitrid (AlGa<sub>N</sub>), Indiumgalliumnitrid (InGa<sub>N</sub>) oder dergleichen verwendet werden.

**[0271]** Das obere Schaltelement **11**, das in **Fig. 43A** dargestellt ist, weist eine Pufferschicht **211** auf, die beispielsweise auf einem Siliziumsubstrat (Si-Substrat **210**) ausgebildet ist und aus Galliumnitrid (Ga<sub>N</sub>) oder dergleichen hergestellt ist, weist eine Kanalschicht **212** auf, die auf der Pufferschicht **211** ausgebildet ist und die aus einer nicht-dotierten Ga<sub>N</sub>-Schicht hergestellt ist, und weist eine Elektronenzuführschicht **213** aus, die auf der Kanalschicht **212** ausgebildet ist und die aus einer nicht-dotierten AlGa<sub>N</sub>-Schicht hergestellt ist. Ferner sind auf der Elektronenzuführschicht **213** eine Source-Elektrode **214**, eine Drain-Elektrode **215** und eine Isolierschicht **216** ausgebildet. Zusätzlich ist auf der Elektronenzuführschicht **213** eine Gate-Elektrode **217** ausgebildet, und zwar mit einer Isolierschicht **216** dazwischen.

**[0272]** Da die Elektronenzuführschicht **213**, die aus nicht-dotiertem AlGa<sub>N</sub> hergestellt ist, auf der Vorderfläche der Kanalschicht **212**, die aus nicht-dotiertem Ga<sub>N</sub> hergestellt ist, einen Heteroübergang bildet, wird bei dem oberen Schaltelement **11**, wie oben beschrieben, an der Schnittstelle des Verbindungs- bzw. Fügeabschnittes ein zweidimensionales Elektronengas (2DEG: zweidimensionales Elektronengas) erzeugt. Daher werden Elektronen in der

2DEG-Schicht zu Ladungsträgern, und die Kanalschicht **212** wird leitfähig.

**[0273]** Bei dem oberen Schaltelement **11**, das in **Fig. 43B** dargestellt ist, ist in der Elektronenzuführschicht **213**, die aus nicht-dotiertem AlGa<sub>N</sub> hergestellt ist, eine Grabennut **218** ausgebildet, und zwar in Bezug auf die Konfiguration des oberen Schaltelementes **11** in **Fig. 43A**. Eine Isolierschicht **216** ist an der Seitenfläche ausgebildet und an der Bodenfläche der Grabennut **218** ausgebildet. Die Seitenfläche und die Bodenfläche der Isolierschicht **216** sind mit der Gate-Elektrode **217** gefüllt. Die verbleibende Konfiguration ist identisch zu der Konfiguration des oberen Schaltelementes **11** in **Fig. 43A**.

**[0274]** Bei dem oberen Schaltelement **11** der **Fig. 43B** ist die Gate-Elektrode **217** in der Grabennut **218** ausgebildet, die in der Elektronenzuführschicht **213** ausgebildet ist, die aus nicht-dotiertem AlGa<sub>N</sub> hergestellt ist, und zwar mit der Isolierschicht **216** dazwischen. Das heißt, es wird eine Normalerweise-aus-Charakteristik („normally-off characteristics“) der 2DEG-Schicht an der Schnittstelle zwischen der Kanalschicht **212** und der Elektronenzuführschicht **213** auf der unteren Seite der Gate-Elektrode **217** erreicht.

**[0275]** Bei jeder der Ausführungsformen kann in der oberen Gate-Ansteuerschaltung **2** das obere Schaltelement **11** eine synchrone Gleichrichtung durchführen, wenn das untere Schaltelement **12** ein/ausangesteuert wird. In der unteren Gate-Ansteuerschaltung **3** kann das untere Schaltelement **12** eine synchrone Gleichrichtung durchführen, wenn das obere Schaltelement **11** ein/ausangesteuert wird. Mit anderen Worten steuern in jeder Ausführungsform die jeweiligen Gate-Ansteuerschaltungen **2**, **3** das obere Schaltelement **11** und das untere Schaltelement **12** derart, dass das obere Schaltelement **11** und das untere Schaltelement **12** auf komplementäre Art und Weise ein- und ausschalten. Eine Konfiguration, die das Leistungsmodul **1** und jede der Gate-Ansteuerschaltungen **2**, **3** beinhaltet, kann in manchen Fällen als eine Leistungsansteuerschaltung bezeichnet werden. Die Leistungsansteuerschaltung kann eine Konfiguration haben, bei der jede der Gate-Ansteuerschaltungen **2**, **3** in dem Leistungsmodul **1** aufgenommen ist.

**[0276]** Schaltung, auf die das Leistungsmodul **1** angewendet wird

**[0277]** Unter Bezugnahme auf die **Fig. 44** und **Fig. 45** wird eine Schaltung beispielhaft beschrieben, auf die das Leistungsmodul **1** angewendet wird.

**[0278]** Auf das Leistungsmodul **1** kann eine Inverterschaltung vom Vollbrückentyp (nachstehend einfach als „Inverterschaltung 230“ bezeichnet) angewendet

werden, die in **Fig. 44** dargestellt ist. Die Inverterschaltung **230** beinhaltet eine erste Invertereinheit **231**, eine zweite Invertereinheit **232**, einen Eingangskondensator **233** und eine Gate-Ansteuerschaltung **234**. Die Inverterschaltung **230** wird beispielsweise zum Ansteuern eines zweiphasigen Wechselstrom-Motors (nicht dargestellt) und einer Leistungsversorgungsschaltung verwendet.

**[0279]** Die erste Invertereinheit **231** beinhaltet ein oberes Schaltelement **231U** und ein unteres Schaltelement **231L**. Das Source-Terminal des oberen Schaltelementes **231U** und das Drain-Terminal des unteren Schaltelementes **231L** sind elektrisch verbunden. Die erste Invertereinheit **231** ist parallel mit dem Eingangskondensator **233** geschaltet. Genauer gesagt ist das Drain-Terminal des oberen Schaltelementes **231U** elektrisch mit dem ersten Terminal des Eingangskondensators **233** verbunden, und das Source-Terminal des unteren Schaltelementes **231L** ist elektrisch mit dem zweiten Terminal des Eingangskondensators **233** verbunden.

**[0280]** Die zweite Invertereinheit **232** beinhaltet ein oberes Schaltelement **232U** und ein unteres Schaltelement **232L**. Das Source-Terminal des oberen Schaltelementes **232U** und das Drain-Terminal des unteren Schaltelementes **232L** sind elektrisch verbunden. Die zweite Invertereinheit **232** ist parallel mit der ersten Invertereinheit **231** verbunden. Genauer gesagt ist das Drain-Terminal des oberen Schaltelementes **232U** elektrisch mit dem Drain-Terminal des oberen Schaltelementes **231U** verbunden, und das Source-Terminal des unteren Schaltelementes **232L** ist elektrisch mit dem Source-Terminal des unteren Schaltelementes **231L** verbunden.

**[0281]** Die Gate-Ansteuerschaltung **234** ist elektrisch mit den Gate-Terminals der jeweiligen Schaltelemente **231U**, **231L**, **232U** und **232L** verbunden. Die Gate-Ansteuerschaltung **234** steuert ein Ein- und Ausschalten der Schaltelemente **231U**, **231L**, **232U**, **232L**.

**[0282]** In der oben beschriebenen Inverterschaltung **230** kann das Leistungsmodul **1** auf wenigstens eine von der ersten Invertereinheit **231** und der zweiten Invertereinheit **232** angewendet werden. In einem Fall, bei dem das Leistungsmodul **1** auf die erste Invertereinheit **231** angewendet wird, sind das erste Terminal und das zweite Terminal des Eingangskondensators **233** elektrisch mit dem ersten Eingangs-Terminal **P** bzw. dem zweiten Eingangs-Terminal **N** des Leistungsmoduls **1** verbunden, und die Gate-Ansteuerschaltung **234** ist elektrisch mit dem ersten oberen Steuer-Terminal **GU1** und dem ersten unteren Steuer-Terminal **GL1** verbunden. In einem Fall, bei dem das Leistungsmodul **1** auf die zweite Invertereinheit **232** angewendet wird, sind das Drain-Terminal des oberen Schaltelementes **231U** und das Source-Ter-

minial des unteren Schaltelementes **231L** elektrisch mit dem ersten Eingangs-Terminal **P** bzw. dem zweiten Eingangs-Terminal **N** verbunden, und die Gate-Ansteuerschaltung **234** ist elektrisch mit dem ersten oberen Steuer-Terminal **GU1** und dem ersten unteren Steuer-Terminal **GL1** verbunden.

**[0283]** Auf das Leistungsmodul **1** kann auch eine dreiphasige Wechselstrom-Inverterschaltung (nachstehend einfach als „dreiphasige Inverterschaltung 240“ bezeichnet) angewendet werden, wie in **Fig. 45** dargestellt ist.

**[0284]** Die dreiphasige Inverterschaltung **240** steuert bzw. beinhaltet eine Leistungsansteuereinheit **241**, die elektrisch mit der U-Phasen-, V-Phasen- und der W-Phasen-Spule eines dreiphasigen Wechselstrommotors (nachstehend einfach als „Motor 247“ bezeichnet) verbunden ist, eine Gate-Ansteuerschaltung **245** zum Steuern der Leistungsansteuereinheit **241** und eine Konvertereinheit **245**, die mit der Leistungsantriebseinheit **241** und einer Leistungsversorgung **ES** verbunden ist. Die Konvertereinheit **246** weist ein positives Leistungs-Terminal **EP** und ein negatives Leistungs-Terminal **EN** auf.

**[0285]** Die Leistungsansteuereinheit **241** steuert elektrische Leistung, die der U-Phasen-, der V-Phasen- und der W-Phasen-Spule des Motors **247** zuzuführen ist. Die Leistungsansteuereinheit **241** beinhaltet eine U-Phasen-Invertereinheit **242**, eine V-Phasen-Invertereinheit **243** und eine W-Phasen-Invertereinheit **244**. Die U-Phasen-Invertereinheit **242**, die V-Phasen-Invertereinheit **243** und die W-Phasen-Invertereinheit **244** sind parallel miteinander verbunden, und zwar zwischen dem positiven Leistungs-Terminal **EP** und dem negativen Leistungs-Terminal **EN**.

**[0286]** Die U-Phasen-Invertereinheit **242** beinhaltet ein oberes Schaltelement **242U** und ein unteres Schaltelement **242L**. Das Drain-Terminal des oberen Schaltelementes **242U** ist elektrisch mit der positiven Leistungs-Terminal **EP** verbunden. Das Source-Terminal des oberen Schaltelementes **242U** und das Drain-Terminal des unteren Schaltelementes **242L** sind elektrisch verbunden. Das Source-Terminal des unteren Schaltelementes **242L** ist mit dem negativen Leistungs-Terminal **EN** verbunden. Eine Snubber-Diode **242A** ist anti-parallel mit dem oberen Schaltelement **242U** verbunden, und eine Snubber-Diode **242B** ist anti-parallel mit dem unteren Schaltelement **242L** verbunden. Genauer gesagt ist die Anode der Snubber-Diode **242A** elektrisch mit dem Source-Terminal des oberen Schaltelementes **242U** verbunden, und die Kathode der Snubber-Diode **242A** ist elektrisch mit dem Drain-Terminal des oberen Schaltelementes **242U** verbunden. Die Anode der Snubber-Diode **242B** ist elektrisch mit dem Source-Terminal des unteren Schaltelementes **242L** verbunden, und

die Kathode der Snubber-Diode **242B** ist elektrisch mit dem Drain-Terminal des unteren Schaltelementes **242L** verbunden.

**[0287]** Die V-Phasen-Invertereinheit **243** beinhaltet ein oberes Schaltelement **243U** und ein unteres Schaltelement **243L**. Das Drain-Terminal des oberen Schaltelementes **243U** ist elektrisch mit dem positiven Leistungs-Terminal EP verbunden. Das Source-Terminal des oberen Schaltelementes **243U** und das Drain-Terminal des unteren Schaltelementes **243L** sind elektrisch verbunden. Das Source-Terminal des unteren Schaltelementes **243L** ist mit dem negativen Leistungs-Terminal EN verbunden. Die Snubber-Diode **243A** ist anti-parallel mit dem oberen Schaltelement **243U** verbunden, und die Snubber-Diode **243B** ist anti-parallel mit dem unteren Schaltelement **243L** verbunden. Genauer gesagt ist die Anode der Snubber-Diode **243A** elektrisch mit dem Source-Terminal des oberen Schaltelementes **243U** verbunden, und die Kathode der Snubber-Diode **243A** ist elektrisch mit dem Drain-Terminal des oberen Schaltelementes **243U** verbunden. Die Anode der Snubber-Diode **243B** ist elektrisch mit dem Source-Terminal des unteren Schaltelementes **243L** verbunden, und die Kathode der Snubber-Diode **243B** ist elektrisch mit dem Drain-Terminal des unteren Schaltelementes **243L** verbunden.

**[0288]** Die W-Phasen-Invertereinheit **244** beinhaltet ein oberes Schaltelement **244U** und ein unteres Schaltelement **244L**. Das Drain-Terminal des oberen Schaltelementes **244U** ist elektrisch mit dem positiven Leistungs-Terminal EP verbunden. Das Source-Terminal des oberen Schaltelementes **244U** und das Drain-Terminal des unteren Schaltelementes **244L** sind elektrisch verbunden. Das Source-Terminal des unteren Schaltelementes **244L** ist mit dem negativen Leistungs-Terminal EN verbunden. Eine Snubber-Diode **244A** ist anti-parallel mit dem oberen Schaltelement **244U** verbunden, und eine Snubber-Diode **244B** ist anti-parallel mit dem unteren Schaltelement **244L** verbunden. Genauer gesagt ist die Anode der Snubber-Diode **244A** elektrisch mit dem Source-Terminal des oberen Schaltelementes **244U** verbunden, und die Kathode der Snubber-Diode **244A** ist elektrisch mit dem Drain-Terminal des oberen Schaltelementes **244U** verbunden. Die Anode der Snubber-Diode **244B** ist elektrisch mit dem Source-Terminal des unteren Schaltelementes **244L** verbunden, und die Kathode der Snubber-Diode **244B** ist elektrisch mit dem Drain-Terminal des unteren Schaltelementes **244L** verbunden.

**[0289]** Die Gate-Ansteuerschaltung **245** ist elektrisch mit den Gate-Terminals der Schaltelemente **242U**, **242L**, **243U**, **243L**, **244U**, **244L** verbunden. Die Gate-Ansteuerschaltung **245** steuert ein Ein- und Ausschalten der Schaltelemente **242U**, **242L**, **243U**, **243L**, **243L**, **244U**, **244L**.

**[0290]** In dem oben beschriebenen dreiphasigen Inverterschaltkreis **240** kann das Leistungsmodul **1** auf wenigstens eine Einheit von der U-Phasen-Invertereinheit **242**, der V-Phasen-Invertereinheit **243** und der W-Phasen-Invertereinheit **244** angewendet werden. In einem Fall, bei dem das Leistungsmodul **1** auf die U-Phasen-Invertereinheit **242** angewendet wird, sind das positive Leistungs-Terminal EP und das negative Leistungs-Terminal EN mit dem ersten Eingangs-Terminal **P** bzw. dem zweiten Eingangs-Terminal **N** des Leistungsmoduls **1** elektrisch verbunden, und die Gate-Ansteuerschaltung **245** ist elektrisch mit dem oberen Steuer-Terminal **GU1** und dem unteren Steuer-Terminal **GL1** verbunden. Das Ausgangs-Terminal O des Leistungsmoduls **1** ist elektrisch mit einer U-Phasen-Spule des Motors **247** verbunden. Zusätzlich hierzu sind ein Fall, bei dem das Leistungsmodul **1** auf die V-Phasen-Invertereinheit **243** angewendet wird, und ein Fall, bei dem das Leistungsmodul **1** auf die W-Phasen-Invertereinheit **244** angewendet wird, ähnlich zu dem Fall, bei dem das Leistungsmodul **1** auf die U-Phasen-Invertereinheit **242** angewendet wird. Das Ausgangs-Terminal O des Leistungsmoduls **1**, das die V-Phasen-Invertereinheit **243** bildet, ist elektrisch mit der V-Phasen-Spule des Motors **247** verbunden. Das Ausgangs-Terminal O des Leistungsmoduls **1**, das die W-Phasen-Invertereinheit **244** konfiguriert, ist elektrisch mit der W-Phasen-Spule des Motors **247** verbunden. Das Leistungsmodul **1** ist nicht auf eine Inverterschaltung beschränkt und kann auf eine Konverterschaltung angewendet werden.

#### Zusätzliches Konzept

**[0291]** Als nächstes werden technische Ideen, die sich aus jeder der Ausführungsformen und aus jedem der obigen modifizierten Beispiele ergreifen bzw. erfassen lassen, beschrieben.

#### Zusätzliches Konzept A1

**[0292]** Eine Leistungsansteuerschaltung beinhaltet: ein oberes Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist; ein unteres Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist; eine obere Diode, die durch einen Halbleiter mit breiter Bandlücke gebildet ist und die eine Anode, die mit dem zweiten oberen Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten oberen Terminal verbunden ist; eine untere Diode, die durch einen Halbleiter mit breiter Bandlücke gebildet ist und die eine Anode, die mit dem zweiten unteren Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten unteren Terminal verbunden ist; und eine Steuer-Ansteuerschaltung,

die elektrisch mit dem oberen Steuer-Terminal des oberen Schaltelementes und dem unteren Steuer-Terminal des unteren Schaltelementes verbunden ist und das obere Schaltelement und das untere Schaltelement steuert, wobei eine Vorwärtsschwellenspannung der oberen Diode kleiner ist als eine Vorwärtsschwellenspannung einer Körperdiode des oberen Schaltelementes und wobei eine Vorwärtsschwellenspannung der unteren Diode kleiner ist als eine Vorwärtsschwellenspannung einer Körperdiode des unteren Schaltelementes, und wobei die Steueransteuerschaltung das obere Schaltelement und das untere Schaltelement veranlasst, eine synchron Gleichrichtung durchzuführen.

#### Zusätzliches Konzept A2

**[0293]** Leistungsansteuerschaltung gemäß dem zusätzlichen Konzept A1, wobei ein tolerierbarer Gleichstrom-Nennstrom der oberen Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom des oberen Schaltelementes ist und wobei ein tolerierbarer Gleichstrom-Nennstrom der unteren Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom des unteren Schaltelementes.

#### Zusätzliches Konzept B1

**[0294]** Steuerverfahren für ein Leistungsmodul, das beinhaltet: ein oberes Schaltelement, das gebildet ist durch einen Halbleiter mit breiter Bandlücke und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist; ein unteres Schaltelement, das gebildet ist durch einen Halbleiter mit breiter Bandlücke und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist; eine obere Diode, die gebildet ist durch einen Halbleiter mit breiter Bandlücke und die eine Anode, die mit dem zweiten oberen Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten oberen Terminal verbunden ist; eine untere Diode, die gebildet ist durch einen Halbleiter mit breiter Bandlücke und die eine Anode, die mit dem zweiten unteren Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten unteren Terminal verbunden ist; und eine Steuer-Ansteuerschaltung, die elektrisch mit dem oberen Steuer-Terminal des oberen Schaltelementes und mit dem unteren Steuer-Terminal des unteren Schaltelementes verbunden ist und die das obere Schaltelement und das untere Schaltelement ansteuert, wobei das Steuerverfahren beinhaltet, das obere Schaltelement und das untere Schaltelement synchron gleichzurichten, so dass eine Vorwärtsschwellenspannung der oberen Diode kleiner ist als eine Vorwärtsschwellenspannung der Körperdiode des oberen Schaltelementes und eine Vorwärtsschwellenspannung der unteren Diode kleiner ist als eine Vorwärtsschwellenspannung einer Körperdiode des unteren Schaltelementes.

#### BESCHREIBUNG DER BEZUGSZEICHEN

- 1) Leistungsmodul,
- 10) Halbleiterbauteil,
- 11) oberes Schaltelement,
- 11a) Körperdiode,
- 11d) Drain-Terminal (erstes oberes Terminal),
- 11s) Source-Terminal (zweites oberes Terminal),
- 11g) Gate-Terminal (oberes Steuer-Terminal),
- 12) unteres Schaltelement,
- 12a) Körperdiode,
- 12d) Drain-Terminal (erstes unteres Terminal),
- 12s) Source-Terminal (zweites unteres Terminal),
- 12g) Gate-Terminal (unteres Steuer-Terminal),
- 13) oberer Kondensator,
- 14) unterer Kondensator,
- 20) Substrat,
- 21) Keramiksubstrat (Trägersubstrat),
- 22) Ausgangsverdrahtungsabschnitt,
- 23) erster Eingangsverdrahtungsabschnitt,
- 24) zweiter Eingangsverdrahtungsabschnitt,
- 25) erster oberer Steuerverdrahtungsabschnitt (oberer Steuerverdrahtungsabschnitt),
- 26) zweiter oberer Steuerverdrahtungsabschnitt,
- 27) erster unterer Steuerverdrahtungsabschnitt (unterer Steuerverdrahtungsabschnitt),
- 28) zweiter unterer Steuerverdrahtungsabschnitt,
- 30) erstes Eingangs-Terminelement,
- 31) zweites Eingangs-Terminelement,
- 32) Ausgangs-Terminelement,
- 33) erstes oberes Steuer-Terminelement,
- 34) zweites oberes Steuer-Terminelement,
- 35) erstes unteres Steuer-Terminelement,
- 36) zweites unteres Steuer-Terminelement,
- 37) oberer Inselabschnitt,
- 38) unterer Inselabschnitt,

39U)	oberer Verbindungsdraht,	92)	unterer Diodendraht (unteres Diodenverbindungselement),
39L)	unterer Verbindungsdraht,	130)	oberer MIS-Transistor (oberes Schaltelement),
40)	Verkapselungsharz,	131)	unterer MIS-Transistor (unteres Schaltelement),
44)	oberer Leistungsdraht (oberes Leistungsverbindungselement),	180)	Gate-Widerstand (oberer Steuerwiderstand),
45)	oberer Steuerdraht (oberes Steuerverbindungselement),	181)	Gate-Widerstand (unterer Steuerwiderstand), GU2) zweites oberes Steuer-Terminal, GL2) zweites unteres Steuer-Terminal
46)	unterer Leistungsdraht (unteres Leistungsverbindungselement),		
47)	unterer Steuerdraht (unteres Steuerverbindungselement),		
71)	obere Diode,		
72)	untere Diode,		
80)	Substrat,		
81)	Keramiksubstrat (Trägersubstrat),		
81a)	Hauptkörperabschnitt,		
81b)	Rückflächenmetallschicht (erste rückflächenseitige Metallschicht, zweite rückflächenseitige Metallschicht),		
81c)	Vorderflächenmetallschicht (erste vorderflächenseitige Metallschicht, zweite vorderflächenseitige Metallschicht),		
82)	Graphitsubstrat,		
82A)	erstes Substrat,		
82B)	zweites Substrat,		
82a)	Hauptkörperabschnitt,		
82b)	Rückflächenmetallschicht,		
82c)	Vorderflächenmetallschicht,		
83)	erstes Eingangs-Terminelement,		
84)	zweites Eingangs-Terminelement (Eingangs-Terminelement),		
84a)	erster Verbindungsabschnitt,		
84b)	zweiter Verbindungsabschnitt,		
84c)	dritter Verbindungsabschnitt,		
84d)	vierter Verbindungsabschnitt,		
84e)	fünfter Verbindungsabschnitt,		
85)	Ausgangs-Terminelement,		
88A)	erstes oberes Steuer-Terminelement,		
88B)	zweites oberes Steuer-Terminelement,		
89A)	erstes unteres Steuer-Terminelement,		
89B)	zweites unteres Steuer-Terminelement,		
90)	Verkapselungsharz,		
91)	oberer Diodendraht (oberes Diodenverbindungselement),		

**ZITATE ENHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- JP 201399133 [0003]

**Patentansprüche**

1. Halbleiterbauteil mit:

einem oberen Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist;  
 einem unteren Schaltelement, das durch einen Halbleiter mit breiter Bandlücke gebildet ist und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist;  
 einem oberen Kondensator, der zwischen dem ersten oberen Terminal und dem oberen Steuer-Terminal vorgesehen ist, und zwar getrennt von dem oberen Schaltelement; und  
 einem unteren Kondensator, der zwischen dem ersten unteren Terminal und dem unteren Steuer-Terminal vorgesehen ist, und zwar getrennt von dem unteren Schaltelement,  
 wobei das zweite obere Terminal und das erste untere Terminal elektrisch miteinander verbunden sind.

2. Halbleiterbauteil nach Anspruch 1, wobei der obere Kondensator dazu konfiguriert ist, in seiner Kapazität zuzunehmen, und zwar für den Fall, dass eine Spannung zwischen dem ersten oberen Terminal und dem zweiten oberen Terminal zu einem positiven Wert wird, und der untere Kondensator dazu konfiguriert ist, um seine Kapazität zu erhöhen, und zwar für den Fall, bei dem eine Spannung zwischen dem ersten unteren Terminal und dem zweiten unteren Terminal zu einem positiven Wert wird.

3. Halbleiterbauteil nach Anspruch 1 oder 2, ferner mit:  
 einem oberen Steuerwiderstand, der getrennt von dem oberen Schaltelement vorgesehen ist und der elektrisch mit dem oberen Steuer-Terminal verbunden ist; und  
 einem unteren Steuerwiderstand, der getrennt von dem unteren Schaltelement vorgesehen ist und der elektrisch mit dem unteren Steuer-Terminal verbunden ist, wobei  
 ein erstes Terminal des oberen Steuerwiderstandes mit dem oberen Steuer-Terminal verbunden ist und wobei ein zweites Terminal des oberen Steuerwiderstandes mit dem oberen Kondensator verbunden ist, und  
 ein erstes Terminal des unteren Steuerwiderstandes mit dem unteren Steuer-Terminal verbunden ist und ein zweites Terminal des unteren Steuerwiderstandes mit dem unteren Kondensator verbunden ist.

4. Halbleiterbauteil nach einem beliebigen der Ansprüche 1 bis 3, ferner mit:  
 einer oberen Diode, die eine Anode aufweist, die mit dem zweiten oberen Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten oberen Terminal verbunden ist; und

einer unteren Diode, die eine Anode aufweist, die mit dem zweiten unteren Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten unteren Terminal verbunden ist.

5. Halbleiterbauteil nach Anspruch 4, wobei eine Vorwärtsschwellenspannung der oberen Diode niedriger ist als eine Vorwärtsschwellenspannung einer Körperdiode des oberen Schaltelementes, und eine Vorwärtsschwellenspannung der unteren Diode niedriger ist als eine Vorwärtsschwellenspannung einer Körperdiode des unteren Schaltelementes.

6. Halbleiterbauteil nach Anspruch 5, wobei ein tolerierbarer Gleichstrom-Nennstrom der oberen Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des oberen Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom der unteren Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des unteren Schaltelementes.

7. Halbleiterbauteil nach einem beliebigen der Ansprüche 1 bis 6, ferner mit:  
 einem zweiten oberen Steuer-Terminal, das getrennt von dem oberen Steuer-Terminal vorgesehen ist und das elektrisch mit dem zweiten oberen Terminal verbunden ist; und  
 einem zweiten unteren Steuer-Terminal, das getrennt von dem unteren Steuer-Terminal vorgesehen ist und das elektrisch mit dem zweiten unteren Terminal verbunden ist.

8. Halbleiterbauteil nach Anspruch 3, wobei eine Vielzahl der oberen Schaltelemente und eine Vielzahl der unteren Schaltelemente vorgesehen sind,  
 die oberen Schaltelemente parallel miteinander verbunden sind,  
 die unteren Schaltelemente parallel miteinander verbunden sind, obere Steuer-Terminals der oberen Schaltelemente miteinander verbunden sind,  
 untere Steuer-Terminals der unteren Schaltelemente miteinander verbunden sind,  
 der obere Kondensator erste obere Terminals, die sich die oberen Schaltelemente teilen, und die oberen Steuer-Terminals verbindet, die sich die oberen Schaltelemente teilen, und  
 der untere Kondensator erste untere Terminals, die sich die unteren Schaltelemente teilen, und die unteren Steuer-Terminals verbindet, die sich die unteren Schaltelemente teilen.

9. Halbleiterbauteil nach einem beliebigen der Ansprüche 1 bis 8, wobei jedes der oberen Schaltelemente und der unteren Schaltelemente ein SiC-MOS-FET ist.

10. Leistungsmodul mit:

einem Substrat;  
 einem oberen Schaltelement, das auf dem Substrat montiert ist, das durch einen Halbleiter mit breiter Bandlücke gebildet ist, und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist;  
 einem unteren Schaltelement, das auf dem Substrat montiert ist, das durch einen Halbleiter mit breiter Bandlücke gebildet ist, und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist;  
 einem oberen Kondensator, der zwischen dem ersten oberen Terminal und dem oberen Steuer-Terminal vorgesehen ist, und zwar getrennt von dem oberen Schaltelement;  
 einem unteren Kondensator, der zwischen dem ersten unteren Terminal und dem unteren Steuer-Terminal vorgesehen ist, und zwar getrennt von dem unteren Schaltelement; und  
 einem Verkapselungsharz, das das obere Schaltelement, das untere Schaltelement, den oberen Kondensator und den unteren Kondensator verkapselt, wobei das zweite obere Terminal und das erste untere Terminal elektrisch verbunden sind.

11. Leistungsmodul nach Anspruch 10, wobei der obere Kondensator dazu konfiguriert ist, in seiner Kapazität zuzunehmen, und zwar für einen Fall, dass eine Spannung zwischen dem ersten oberen Terminal und dem zweiten oberen Terminal zu einem positiven Wert wird, und der untere Kondensator dazu konfiguriert ist, in seiner Kapazität zuzunehmen, und zwar für einen Fall, dass eine Spannung zwischen dem ersten unteren Terminal und dem zweiten unteren Terminal zu einem positiven Wert wird.

12. Leistungsmodul nach Anspruch 10 oder 11, wobei:  
 das Substrat einen Ausgangsverdrahtungsabschnitt, einen ersten Eingangsverdrahtungsabschnitt, der als eine positive Seite dient, einen zweiten Eingangsverdrahtungsabschnitt, der als eine negative Seite dient, einen oberen Steuerverdrahtungsabschnitt und einen unteren Steuerverdrahtungsabschnitt aufweist;  
 das obere Schaltelement auf dem ersten Eingangsverdrahtungsabschnitt montiert ist, das zweite obere Terminal und der Ausgangsverdrahtungsabschnitt elektrisch durch ein oberes Leistungsverbindungselement verbunden sind, und das obere Steuer-Terminal und der obere Steuerverdrahtungsabschnitt durch ein oberes Steuerverbindungselement verbunden sind;  
 das untere Schaltelement auf dem Ausgangsverdrahtungsabschnitt montiert ist, das erste obere Terminal und der zweite Eingangsverdrahtungsabschnitt elektrisch durch ein unteres Leistungsverbindungselement verbunden sind, und das untere Steuer-Terminal und der untere Steuerverdrahtungsabschnitt

durch ein unteres Steuerverbindungselement verbunden sind;  
 der obere Kondensator elektrisch mit dem ersten Eingangsverdrahtungsabschnitt und dem oberen Steuerverdrahtungsabschnitt verbunden ist; und  
 der untere Kondensator elektrisch mit dem Ausgangsverdrahtungsabschnitt und dem unteren Steuerverdrahtungsabschnitt verbunden ist.

13. Leistungsmodul nach Anspruch 12, wobei eine Vielzahl der oberen Schaltelemente und eine Vielzahl der unteren Schaltelemente vorgesehen sind,  
 die oberen Schaltelemente auf dem ersten Eingangsverdrahtungsabschnitt so montiert sind, dass sie parallel verbunden sind,  
 die unteren Schaltelemente auf dem Ausgangsverdrahtungsabschnitt so montiert sind, dass sie parallel verbunden sind,  
 das zweite obere Terminal von jedem der oberen Schaltelemente elektrisch mit dem Ausgangsverdrahtungsabschnitt durch das obere Leistungsverbindungselement verbunden ist,  
 das zweite untere Terminal von jedem der unteren Schaltelemente elektrisch mit dem zweiten Eingangsverdrahtungsabschnitt durch das untere Leistungsverbindungselement verbunden ist,  
 das obere Steuer-Terminal von jedem der oberen Schaltelemente elektrisch mit dem oberen Steuerverdrahtungsabschnitt durch das obere Steuerverbindungselement verbunden ist, und  
 das untere Steuerterminal von jedem der unteren Schaltelemente elektrisch mit dem unteren Steuerverdrahtungsabschnitt durch das untere Steuerverbindungselement verbunden ist.

14. Leistungsmodul nach Anspruch 13, wobei:  
 das Substrat ein Trägersubstrat aufweist, das versehen ist mit dem Ausgangsverdrahtungsabschnitt, dem ersten Eingangsverdrahtungsabschnitt, dem zweiten Eingangsverdrahtungsabschnitt, dem oberen Steuerverdrahtungsabschnitt und dem unteren Steuerverdrahtungsabschnitt;  
 ein Terminalelement, das gegenüber dem Trägersubstrat vorsteht, an jedem von dem Ausgangsverdrahtungsabschnitt, dem ersten Eingangsverdrahtungsabschnitt, dem zweiten Eingangsverdrahtungsabschnitt, dem oberen Steuerverdrahtungsabschnitt und dem unteren Steuerverdrahtungsabschnitt angebracht ist,  
 der Ausgangsverdrahtungsabschnitt so angeordnet ist, dass er sandwichartig zwischen dem ersten Eingangsverdrahtungsabschnitt und dem zweiten Eingangsverdrahtungsabschnitt aufgenommen ist, und zwar in einer zweiten Richtung orthogonal zu einer ersten Richtung in einer Draufsicht des Leistungsmoduls;  
 der obere Steuerverdrahtungsabschnitt auf einer Seite des ersten Eingangsverdrahtungsabschnittes gegenüber dem Ausgangsverdrahtungsabschnitt an-

geordnet ist und der untere Steuerverdrahtungsabschnitt auf einer Seite des zweiten Eingangsverdrahtungsabschnittes gegenüber dem Ausgangsverdrahtungsabschnitt angeordnet ist, die oberen Schaltelemente auf dem ersten Eingangsverdrahtungsabschnitt beabstandet voneinander in der ersten Richtung montiert sind; und die unteren Schaltelemente auf dem Ausgangsverdrahtungsabschnitt beabstandet voneinander in der ersten Richtung montiert sind.

15. Leistungsmodul nach einem beliebigen der Ansprüche 10 bis 14, wobei sowohl das obere Schaltelement als auch das untere Schaltelement ein SiC-MOSFET ist.

16. Leistungsmodul mit:  
 einem oberen Schaltelement, das gebildet ist durch einen Halbleiter mit breiter Bandlücke und das ein erstes oberes Terminal, ein zweites oberes Terminal und ein oberes Steuer-Terminal aufweist;  
 einem unteren Schaltelement, das gebildet ist durch einen Halbleiter mit breiter Bandlücke und das ein erstes unteres Terminal, ein zweites unteres Terminal und ein unteres Steuer-Terminal aufweist;  
 einer oberen Diode, die gebildet ist durch einen Halbleiter mit breiter Bandlücke und die eine Anode, die mit dem zweiten oberen Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten oberen Terminal verbunden ist;  
 einer unteren Diode, die gebildet ist durch einen Halbleiter mit breiter Bandlücke und die eine Anode, die mit dem zweiten unteren Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten unteren Terminal verbunden ist; und  
 einem Substrat, auf dem das obere Schaltelement, das untere Schaltelement, die obere Diode und die untere Diode montiert sind, wobei  
 eine Vorwärtsschwellenspannung der oberen Diode niedriger ist als eine Vorwärtsschwellenspannung einer Körperdiode des oberen Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom der oberen Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des oberen Schaltelementes, und  
 eine Vorwärtsschwellenspannung der unteren Diode kleiner ist als eine Vorwärtsschwellenspannung einer Körperdiode des unteren Schaltelementes, und ein tolerierbarer Gleichstrom-Nennstrom der unteren Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des unteren Schaltelementes.

17. Leistungsmodul nach Anspruch 16, wobei:  
 eine Vielzahl der oberen Schaltelemente, eine Vielzahl der unteren Schaltelemente, eine Vielzahl der oberen Dioden und eine Vielzahl der unteren Dioden vorgesehen sind;  
 die Anzahl der oberen Dioden kleiner ist als die Anzahl der oberen Schaltelemente; und

die Anzahl der unteren Dioden kleiner ist als die Anzahl der unteren Schaltelemente.

18. Leistungsmodul nach Anspruch 17, wobei das Substrat ein Graphitsubstrat aufweist.

19. Leistungsmodul nach Anspruch 18, wobei:  
 das Graphitsubstrat ein erstes Substrat, auf dem die oberen Schaltelemente und die oberen Dioden montiert sind, und ein zweites Substrat aufweist, auf dem die unteren Schaltelemente und die unteren Dioden montiert sind;  
 das erste Substrat und das zweite Substrat in einer ersten Richtung des Leistungsmoduls benachbart zueinander angeordnet sind;  
 das erste Substrat und das zweite Substrat rechteckförmig ausgebildet sind, so dass eine zweite Richtung, die senkrecht zu der ersten Richtung ist, in einer Draufsicht des Leistungsmoduls eine Longitudinalrichtung ist,  
 die oberen Schaltelemente und die oberen Dioden auf dem ersten Substrat beabstandet voneinander in der zweiten Richtung montiert sind;  
 die unteren Schaltelemente und die unteren Dioden auf dem zweiten Substrat beabstandet voneinander in der zweiten Richtung montiert sind;  
 das erste Substrat so konfiguriert ist, dass eine thermische Leitfähigkeit des ersten Substrates in der zweiten Richtung niedriger ist als eine thermische Leitfähigkeit des ersten Substrates in der ersten Richtung; und  
 das zweite Substrat dazu konfiguriert ist, dass eine thermische Leitfähigkeit des zweiten Substrates in der zweiten Richtung niedriger ist als eine thermische Leitfähigkeit des zweiten Substrates in der ersten Richtung.

20. Leistungsmodul nach Anspruch 19, wobei  
 das obere Schaltelement mit dem Substrat durch ein oberes Leistungsverbindungselement verbunden ist, das untere Schaltelement mit dem Substrat durch ein unteres Leistungsverbindungselement verbunden ist, die obere Diode mit dem Substrat durch ein oberes Diodenverbindungselement verbunden ist, die untere Diode mit dem Substrat durch ein unteres Diodenverbindungselement verbunden ist, eine Induktivität des oberen Diodenverbindungselementes kleiner ist als eine Induktivität des oberen Leistungsverbindungselementes, und eine Induktivität des unteren Diodenverbindungselementes kleiner ist als eine Induktivität des unteren Leistungsverbindungselementes.

21. Leistungsmodul nach Anspruch 20, wobei  
 die Anzahl der oberen Diodenverbindungselemente und die Anzahl der oberen Leistungsverbindungselemente gleich groß ist,  
 eine Länge des oberen Diodenverbindungselementes kürzer ist als eine Länge des oberen Leistungsverbindungselementes,

die Anzahl der unteren Diodenverbindungselemente und die Anzahl der unteren Leistungsverbindungselemente gleich groß ist, und eine Länge des unteren Diodenverbindungselementes kürzer ist als eine Länge des unteren Leistungsverbindungselementes.

22. Leistungsmodul nach einem beliebigen der Ansprüche 19 bis 21, wobei die oberen Schaltelemente und die unteren Schaltelemente in der zweiten Richtung abwechselnd angeordnet sind, das Leistungsmodul ferner ein Eingangs-Terminal-element aufweist, das dem ersten Substrat gegenüberliegt, und zwar beabstandet in einer Dickenrichtung des Leistungsmoduls, wobei das Eingangs-Terminal-element eine Vielzahl von Verbindungsabschnitten aufweist, die Verbindungsabschnitte zwischen den oberen Schaltelementen in der zweiten Richtung angeordnet sind, und zwar gegenüberliegend den unteren Schaltelementen in der ersten Richtung, ein zweites oberes Terminal von jedem der oberen Schaltelemente elektrisch mit dem zweiten Substrat durch ein oberes Leistungsverbindungselement verbunden ist, und ein zweites unteres Terminal von jedem der unteren Schaltelemente elektrisch mit dem Verbindungsabschnitt, der dem unteren Schaltelement in der ersten Richtung gegenüberliegt, durch ein unteres Leistungsverbindungselement elektrisch verbunden ist.

23. Leistungsmodul nach Anspruch 22, wobei die oberen Dioden und die unteren Dioden in der zweiten Richtung abwechselnd angeordnet sind, die Verbindungsabschnitte zwischen den oberen Dioden in der zweiten Richtung angeordnet sind, und zwar gegenüberliegend den unteren Dioden in der ersten Richtung, eine Anode von jeder der oberen Dioden elektrisch mit dem zweiten Substrat durch ein oberes Diodenverbindungselement verbunden ist, und eine Anode von jeder der unteren Dioden elektrisch mit den Verbindungsabschnitten, die den unteren Dioden in der ersten Richtung gegenüberliegen, durch ein unteres Diodenverbindungselement verbunden ist.

24. Leistungsmodul nach Anspruch 23, wobei die oberen Schaltelemente und die oberen Dioden in der zweiten Richtung abwechselnd angeordnet sind, und die unteren Schaltelemente und die unteren Dioden in der zweiten Richtung abwechselnd angeordnet sind.

25. Leistungsmodul nach Anspruch 16, wobei die obere Diode in dem oberen Schaltelement aufgenommen ist, und

die untere Diode in dem unteren Schaltelement aufgenommen ist.

26. Leistungsmodul nach Anspruch 25, wobei eine Vielzahl der oberen Schaltelemente und eine Vielzahl der unteren Schaltelemente vorgesehen sind, das Substrat ein Graphitsubstrat aufweist, das Graphitsubstrat ein erstes Substrat, auf dem die oberen Schaltelemente montiert sind, und ein zweites Substrat aufweist, auf dem die unteren Schaltelemente montiert sind, das erste Substrat und das zweite Substrat in einer ersten Richtung des Leistungsmoduls benachbart zueinander angeordnet sind, das erste Substrat und das zweite Substrat rechteckförmig ausgebildet sind, so dass eine zweite Richtung, die orthogonal ist zu der ersten Richtung, eine Längsrichtung ist, und zwar in einer Draufsicht des Leistungsmoduls, die oberen Schaltelemente auf dem ersten Substrat beabstandet voneinander in der zweiten Richtung montiert sind, die unteren Schaltelemente auf dem zweiten Substrat beabstandet voneinander in der zweiten Richtung montiert sind, das erste Substrat dazu konfiguriert ist, so dass eine thermische Leitfähigkeit des ersten Substrates in der zweiten Richtung niedriger ist als eine thermische Leitfähigkeit des ersten Substrates in der ersten Richtung, und das zweite Substrat so konfiguriert ist, dass eine thermische Leitfähigkeit des zweiten Substrates in der zweiten Richtung niedriger ist als eine thermische Leitfähigkeit des zweiten Substrates in der ersten Richtung.

27. Leistungsmodul nach Anspruch 26, wobei eine erste vorderflächenseitige Metallschicht auf einer Vorderfläche des ersten Substrates vorgesehen ist, auf der die oberen Schaltelemente und die oberen Dioden angeordnet sind, eine erste rückflächenseitige Metallschicht auf einer Rückfläche des ersten Substrates gegenüberliegend der Vorderfläche des ersten Substrates vorgesehen ist, eine zweite vorderflächenseitige Metallschicht auf einer Vorderfläche des zweiten Substrates vorgesehen ist, auf der die unteren Schaltelemente und die unteren Dioden angeordnet sind, und eine zweite rückflächenseitige Metallschicht auf einer Rückfläche des zweiten Substrates gegenüberliegend der Vorderfläche des zweiten Substrates vorgesehen ist.

28. Leistungsmodul nach Anspruch 26 oder 27, wobei eine Vielzahl der oberen Schaltelemente und eine Vielzahl der unteren Schaltelemente vorgesehen sind,

die oberen Schaltelemente und die unteren Schaltelemente in der zweiten Richtung abwechselnd angeordnet sind,  
das Leistungsmodul ferner ein Eingangs-Terminelement aufweist, das von dem ersten Substrat beabstandet ist und diesem in einer Dickenrichtung des Leistungsmoduls gegenüberliegt,  
das Eingangs-Terminelement eine Vielzahl von Verbindungsabschnitten aufweist,  
die Verbindungsabschnitte zwischen den oberen Schaltelementen in der zweiten Richtung angeordnet sind, und zwar gegenüberliegend den unteren Schaltelementen in der ersten Richtung,  
das zweite obere Terminal von jedem der oberen Schaltelemente elektrisch mit dem zweiten Substrat durch ein oberes Leistungsverbindungselement verbunden ist, und  
das zweite untere Terminal von jedem der unteren Schaltelemente elektrisch mit dem Verbindungsabschnitt, der dem unteren Schaltelement in der ersten Richtung gegenüberliegt, durch ein unteres Leistungsverbindungselement verbunden ist.

29. Leistungsmodul mit:

einem Schaltelement, das gebildet ist durch einen Halbleiter mit breiter Bandlücke und das ein erstes Terminal, ein zweites Terminal und ein Steuer-Terminal aufweist;  
eine Diode, die gebildet ist durch einen Halbleiter mit breiter Bandlücke und die eine Anode, die mit dem zweiten Terminal verbunden ist, und eine Kathode aufweist, die mit dem ersten Terminal verbunden ist;  
und  
einem Substrat, auf dem das Schaltelement und die Diode montiert sind,  
wobei eine Vorwärtsschwellenspannung der Diode niedriger ist als eine Vorwärtsschwellenspannung einer Körperdiode des Schaltelementes und wobei ein tolerierbarer Gleichstrom-Nennstrom der Diode kleiner ist als ein tolerierbarer Gleichstrom-Nennstrom der Körperdiode des Schaltelementes.

Es folgen 33 Seiten Zeichnungen

Anhängende Zeichnungen

Fig.1

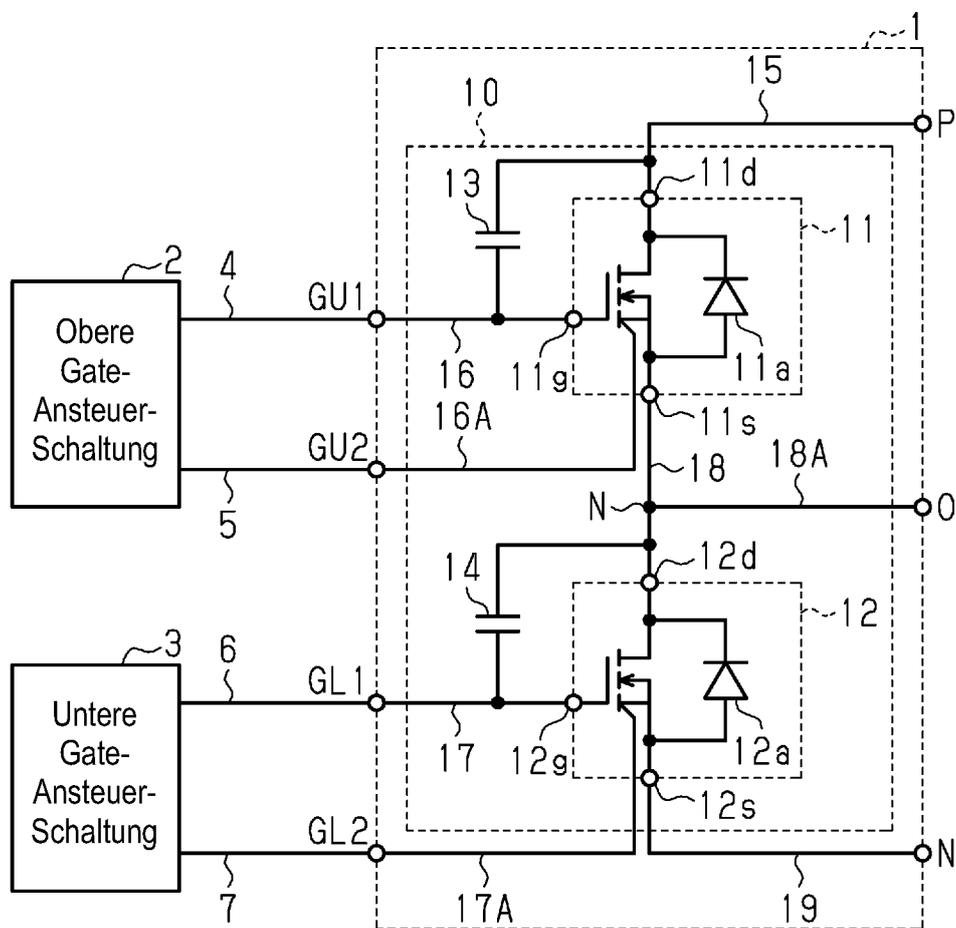


Fig.2

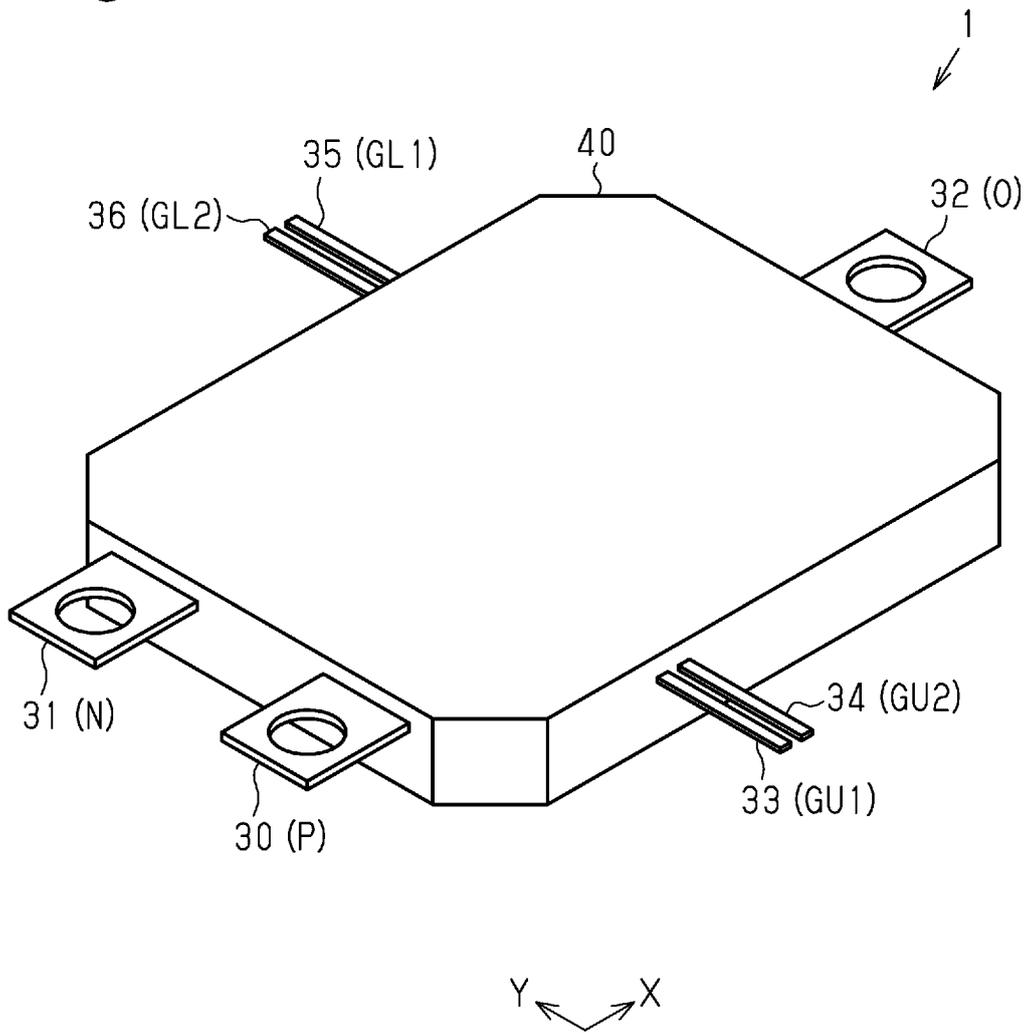


Fig.3

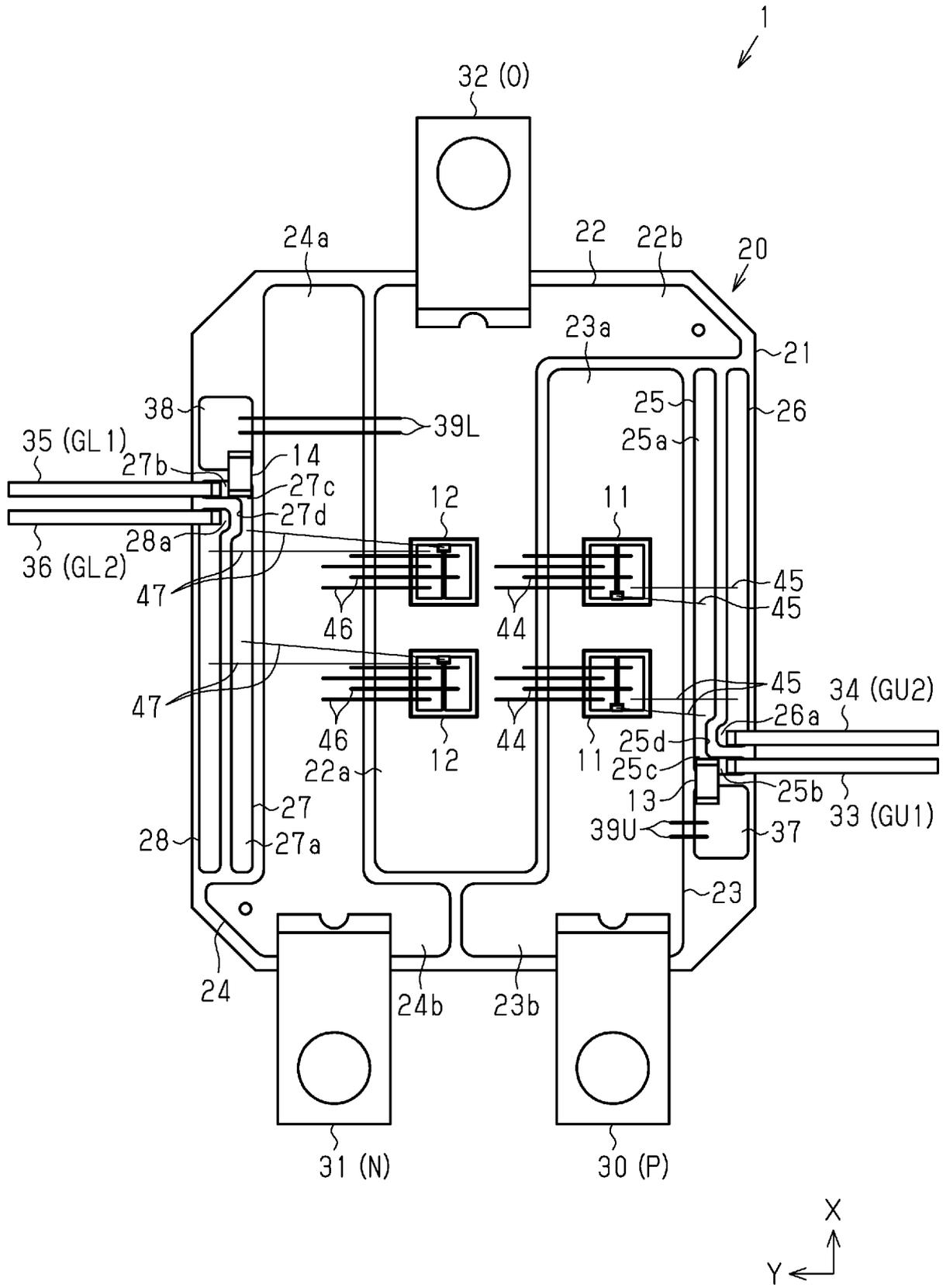


Fig.4

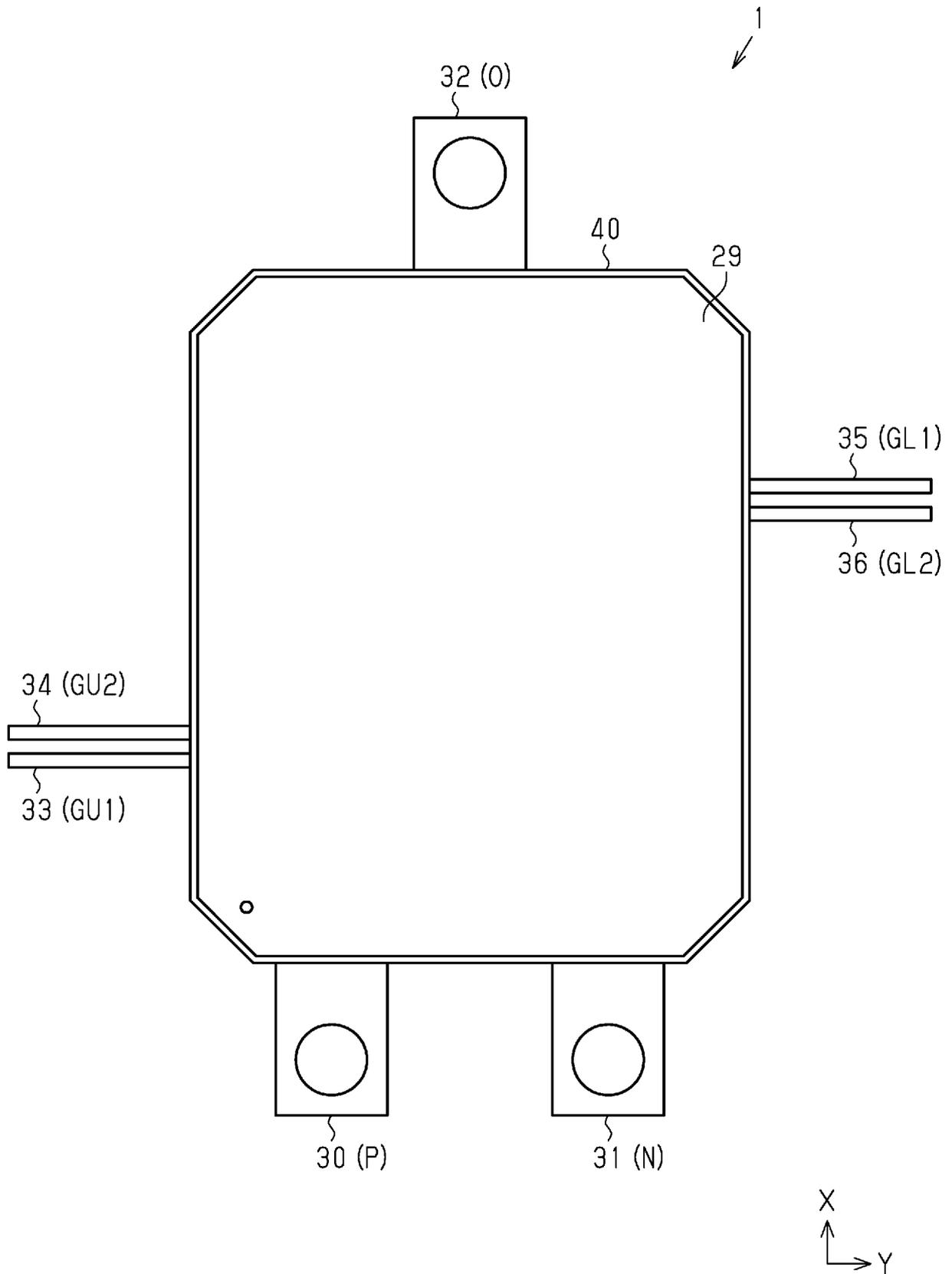


Fig.5A

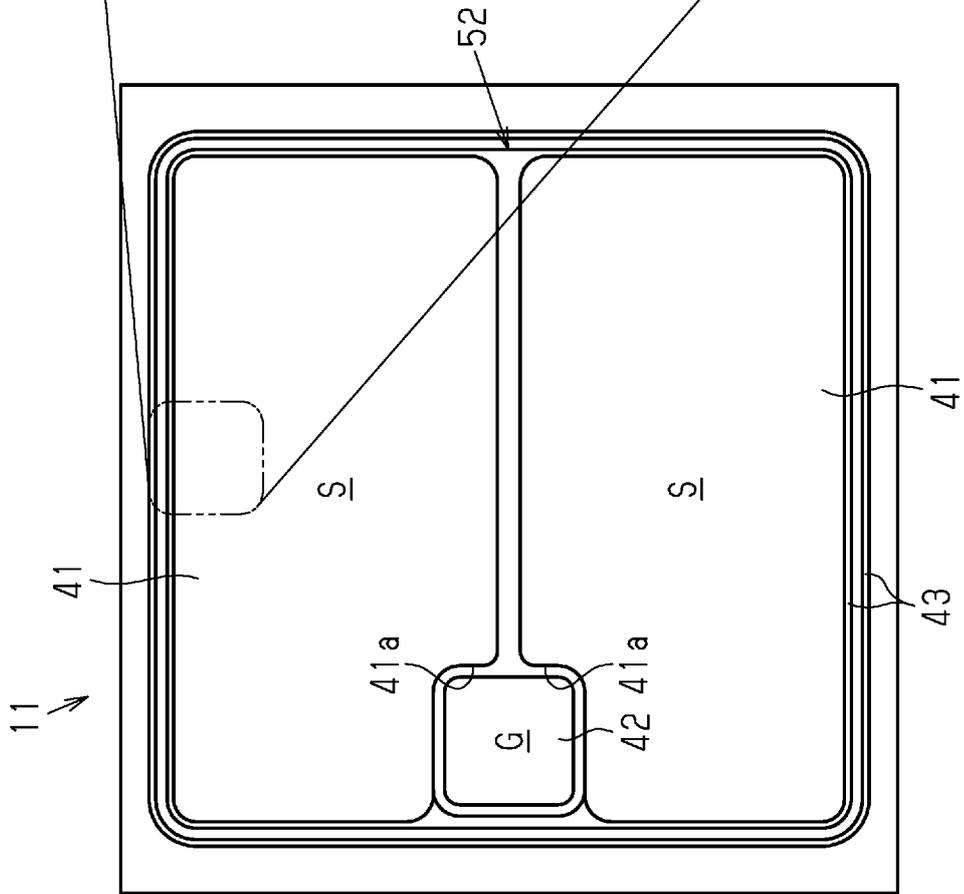


Fig.5B

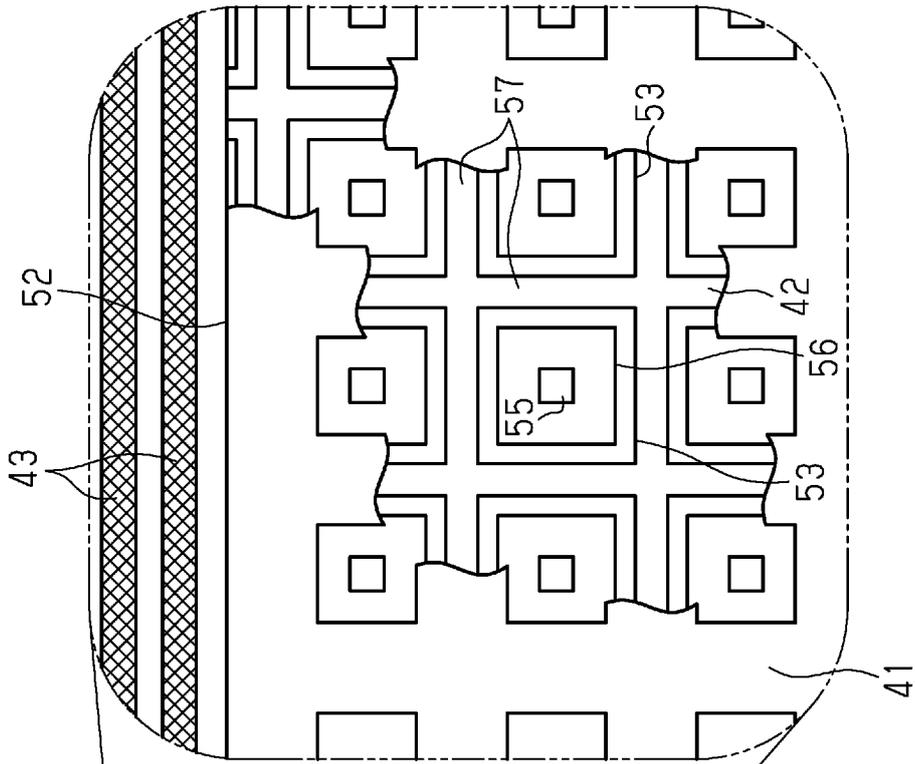


Fig.6

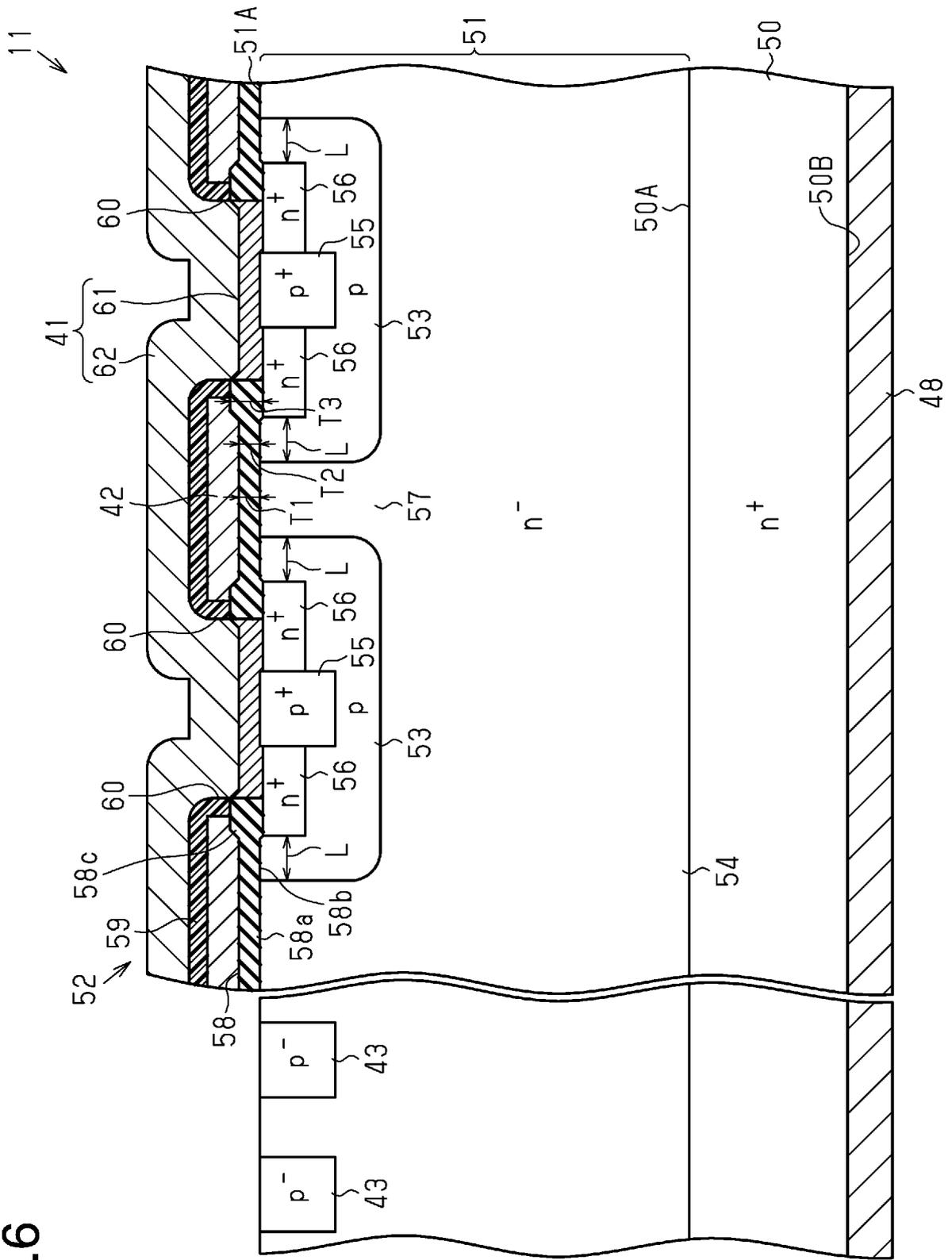


Fig.7

(Vergleichsbeispiel)

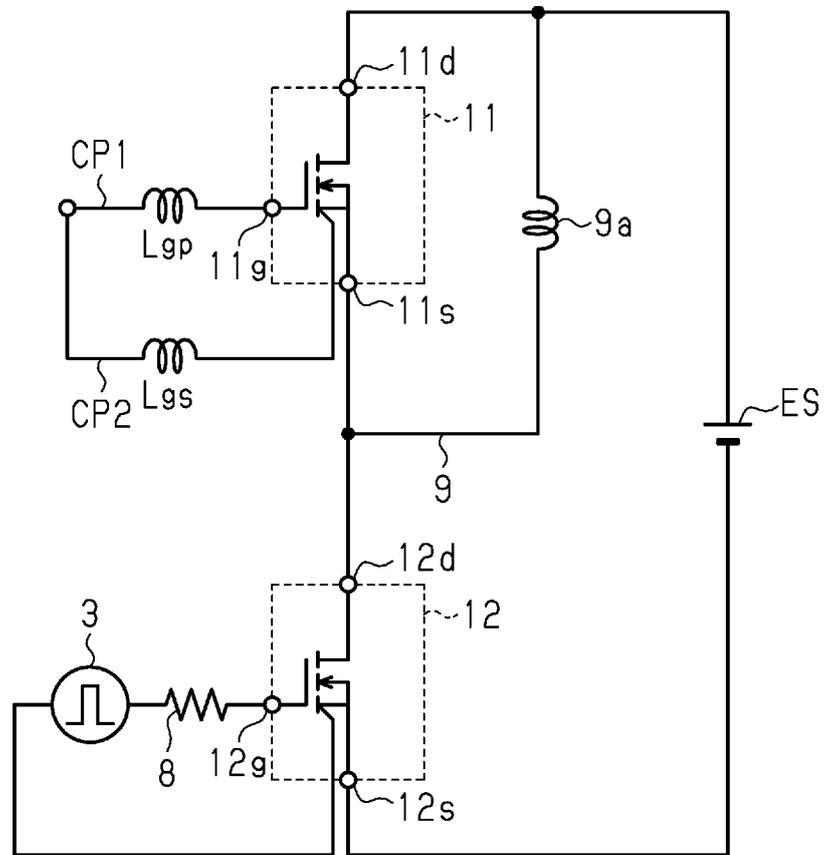


Fig.8

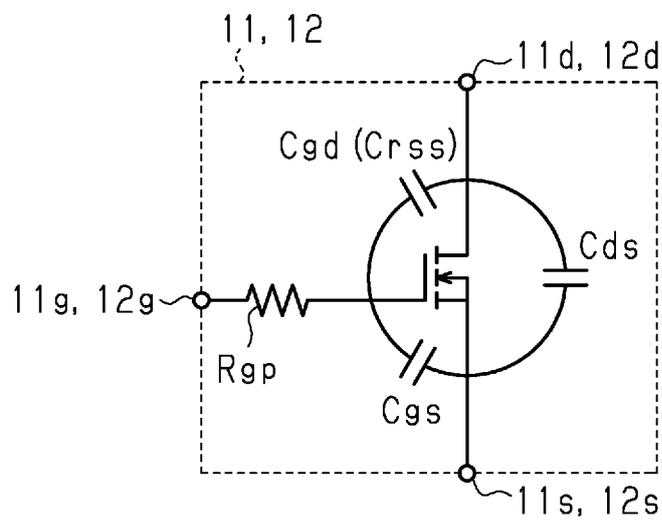


Fig.9

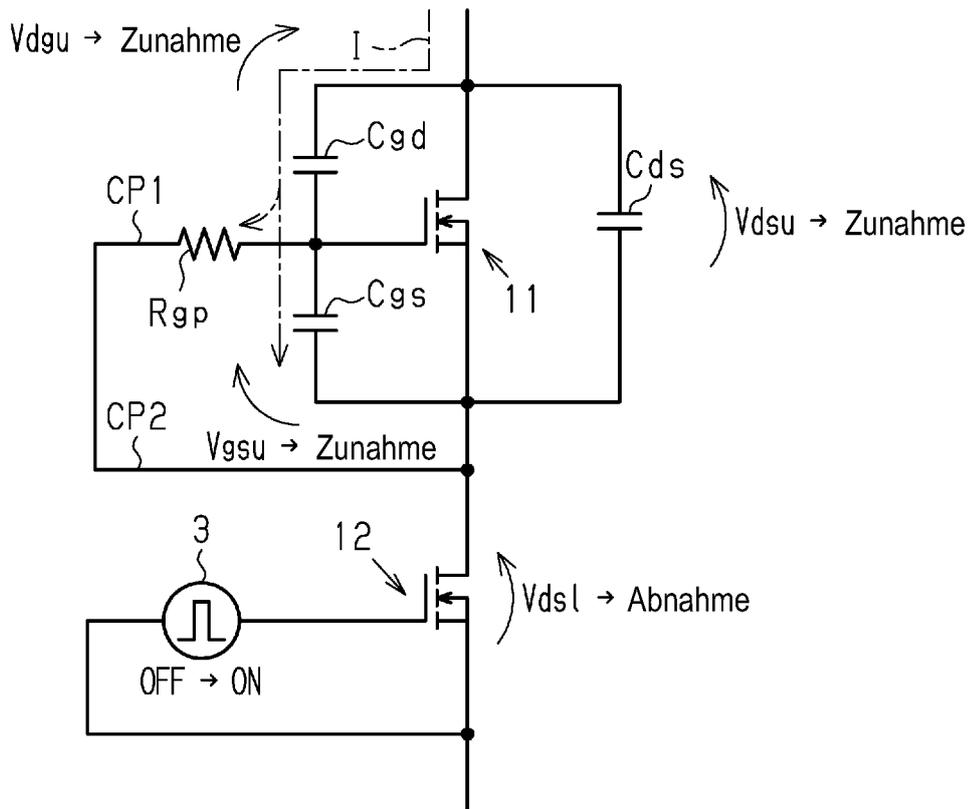


Fig.10

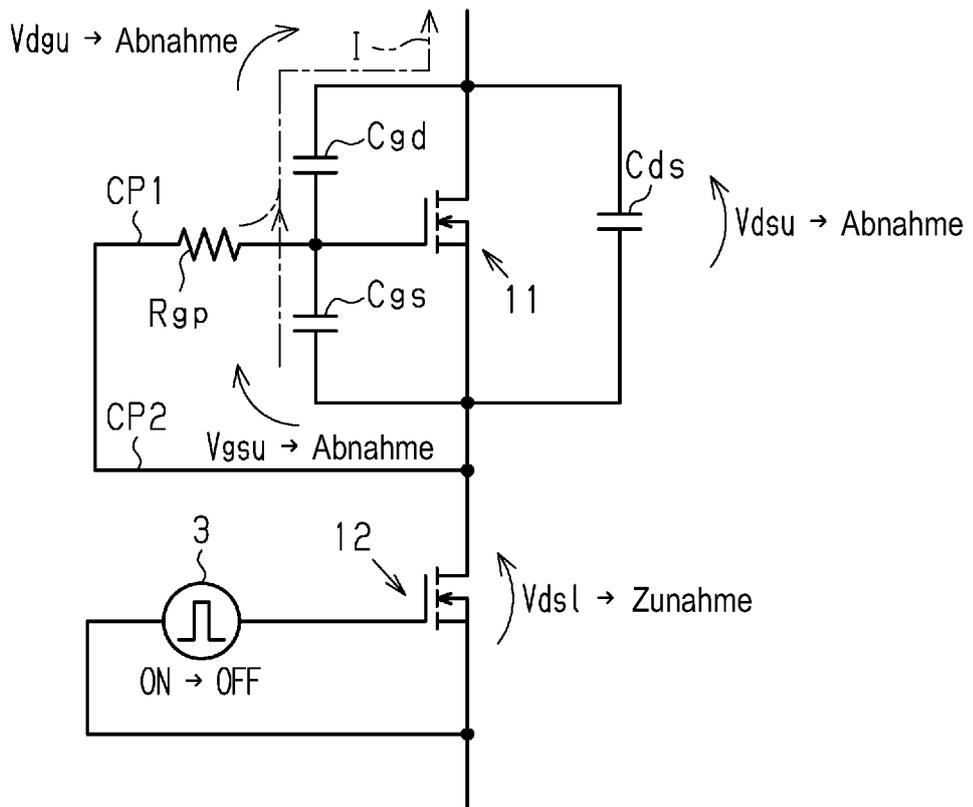


Fig.11

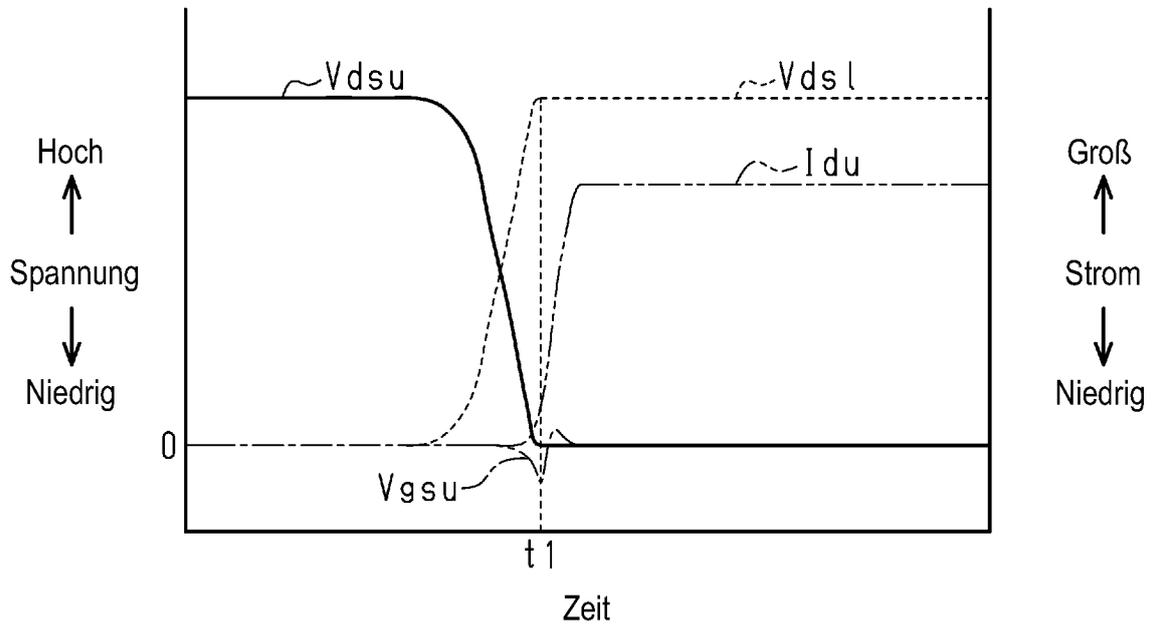


Fig.12

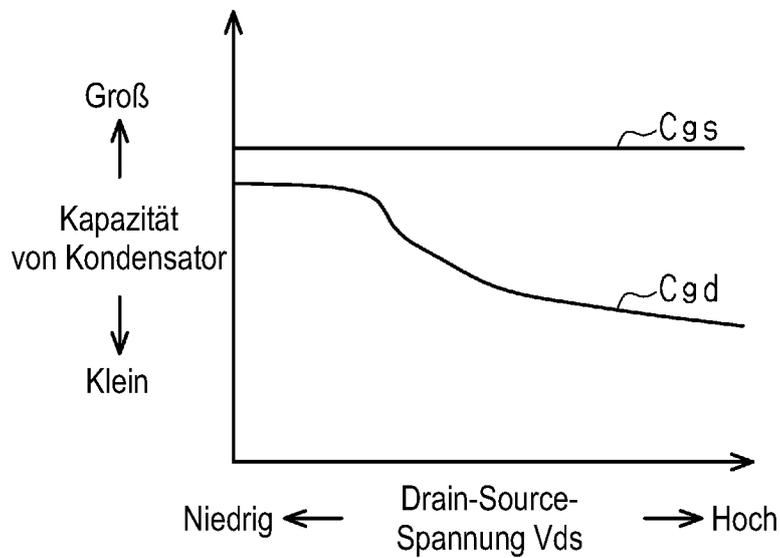


Fig.13

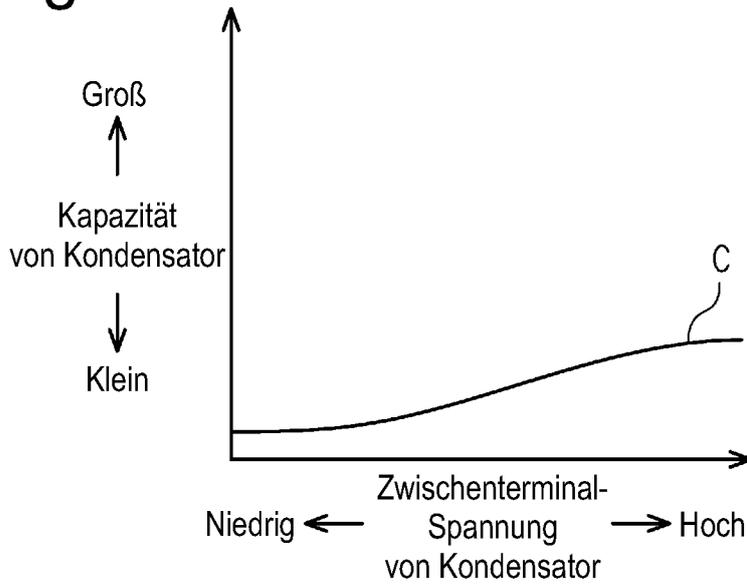


Fig.14

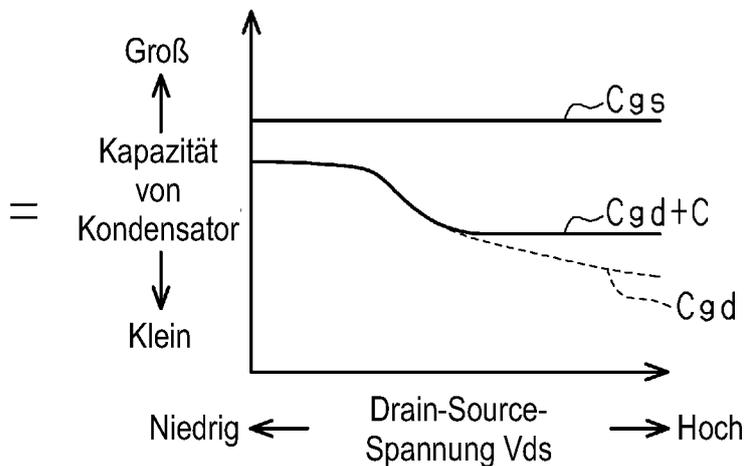
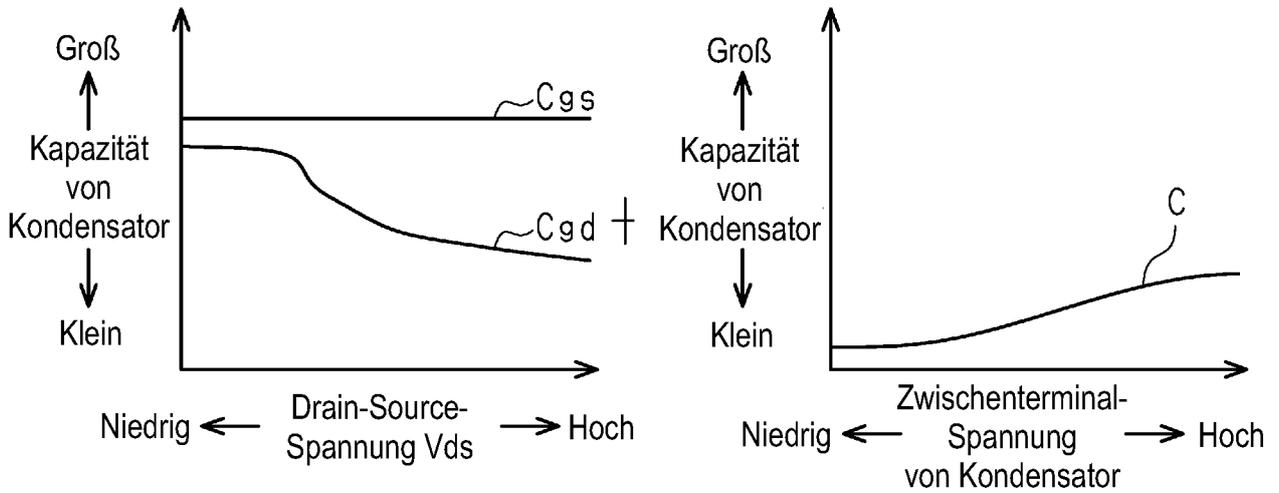


Fig.15

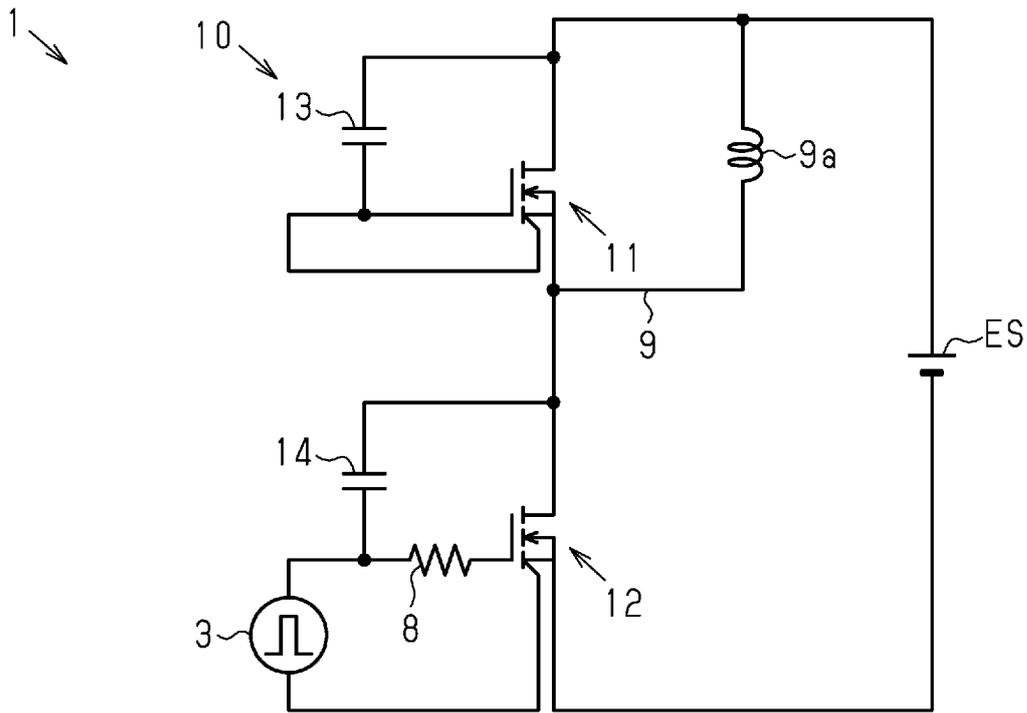


Fig.16

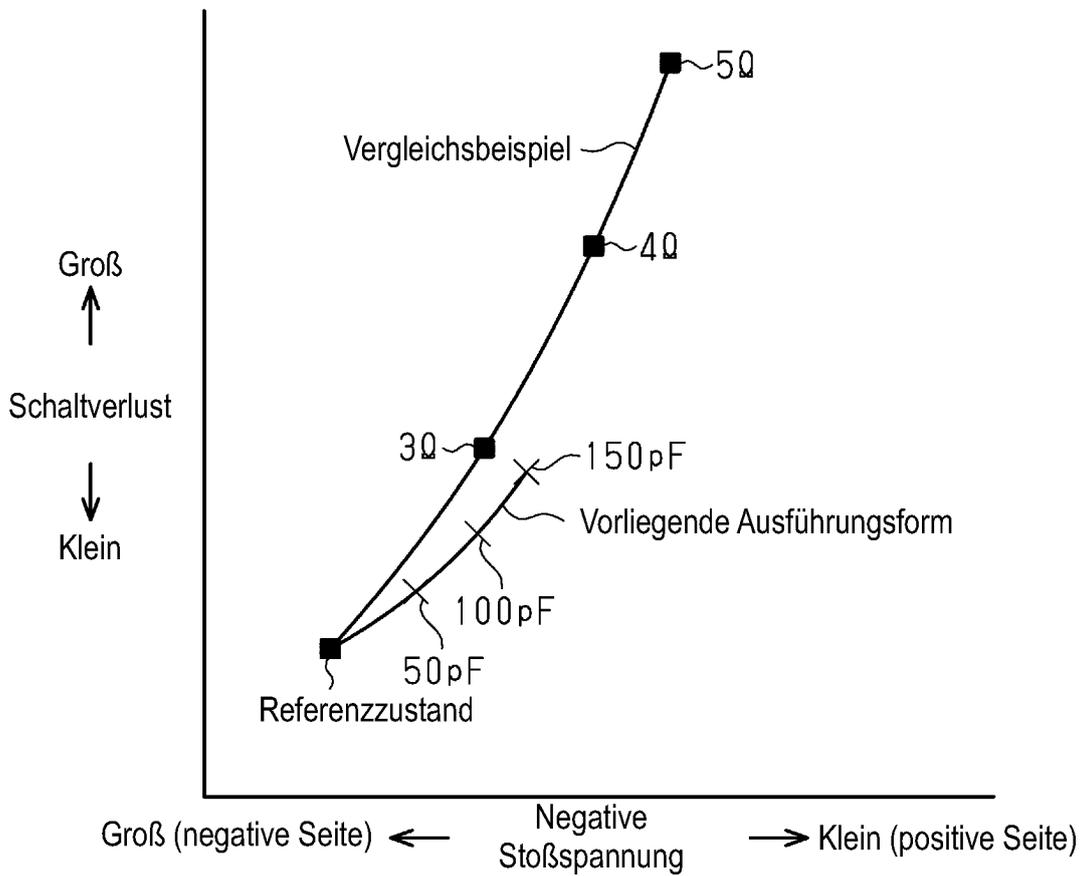


Fig.17

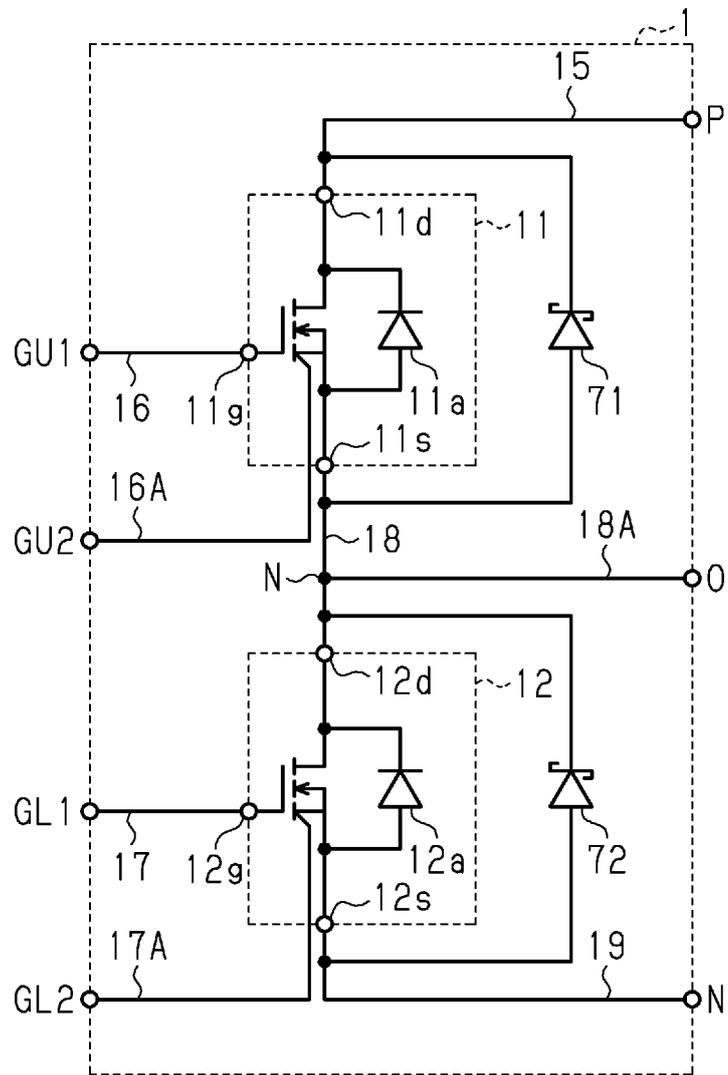


Fig.18

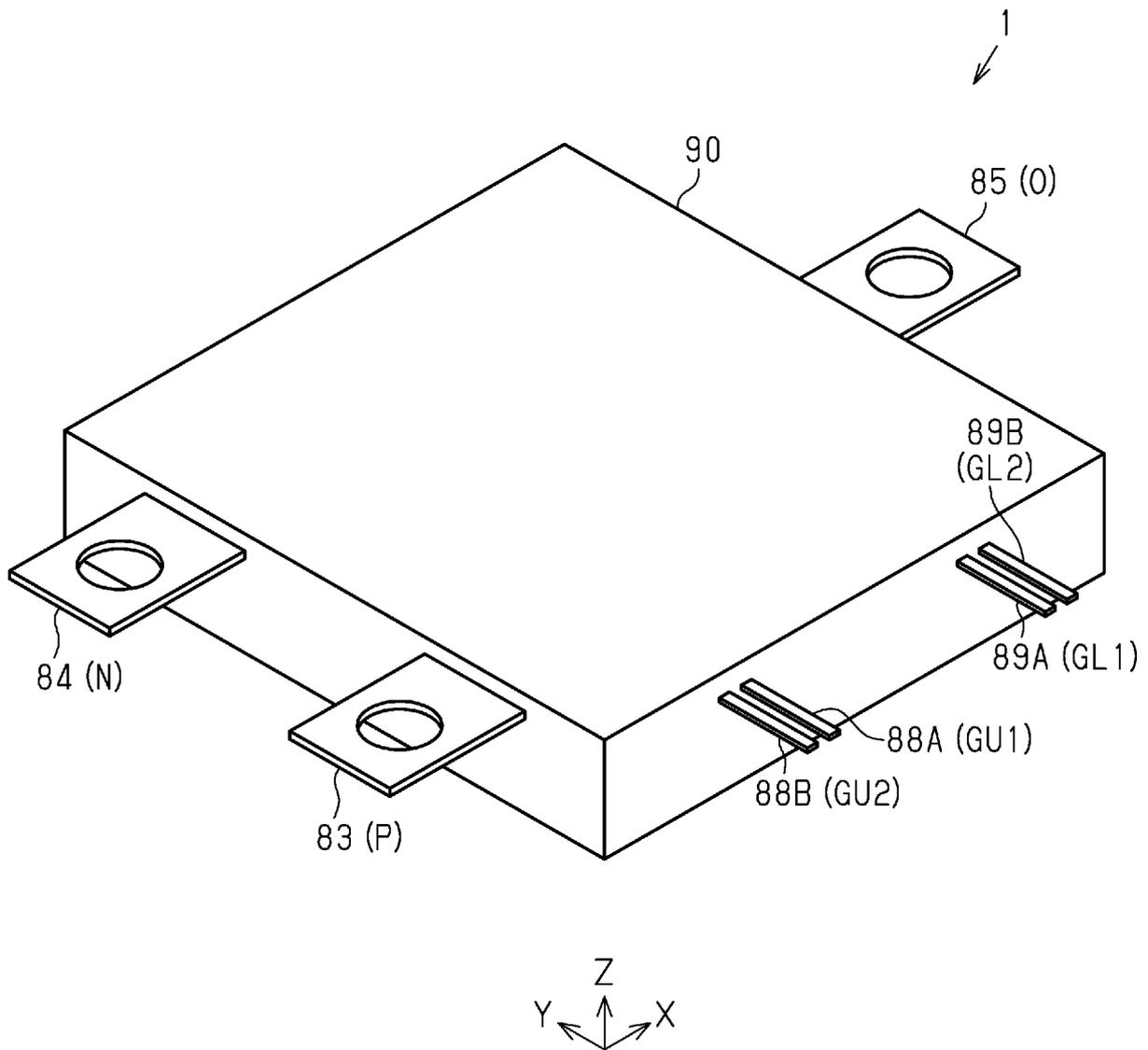


Fig.19

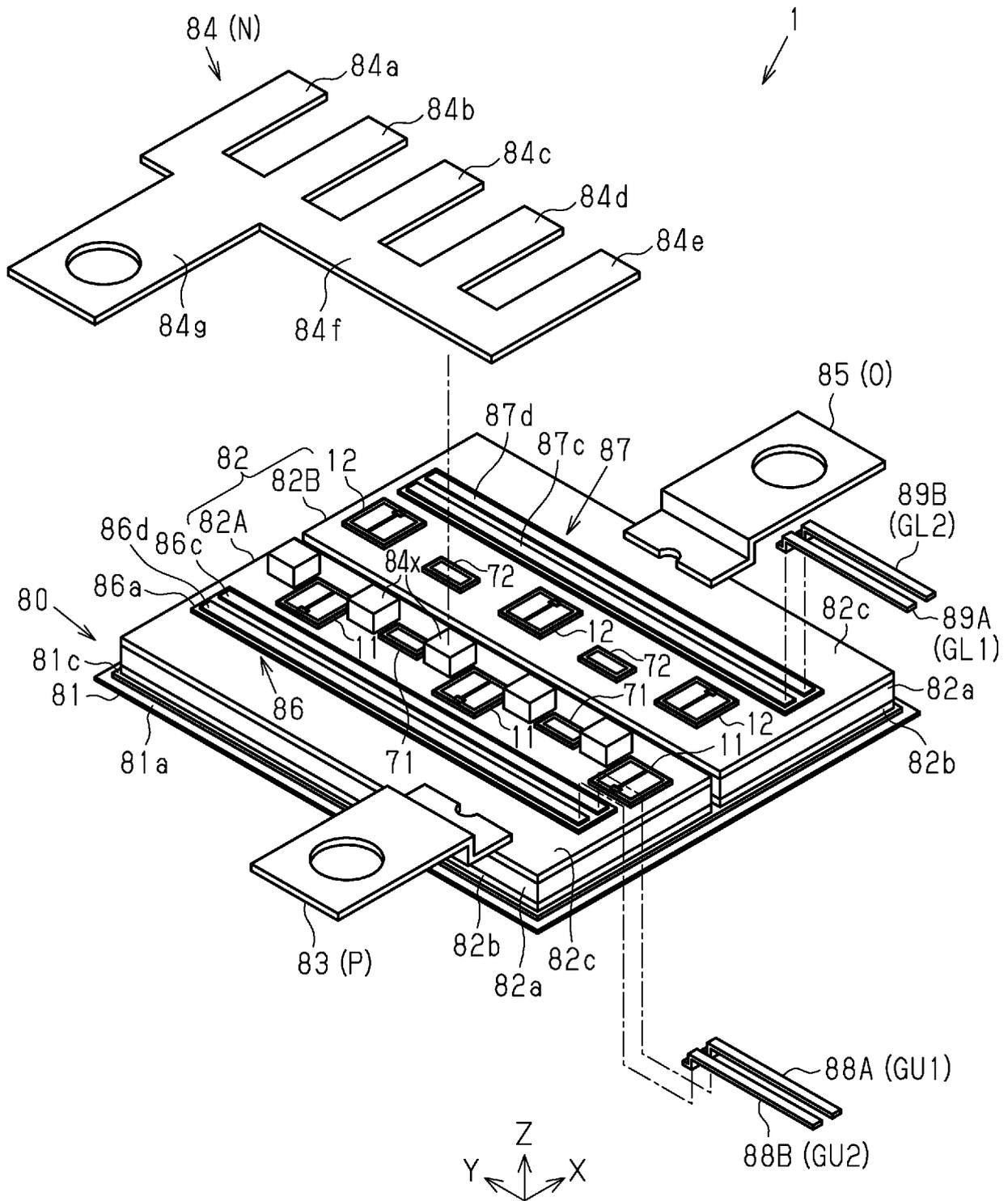


Fig.20

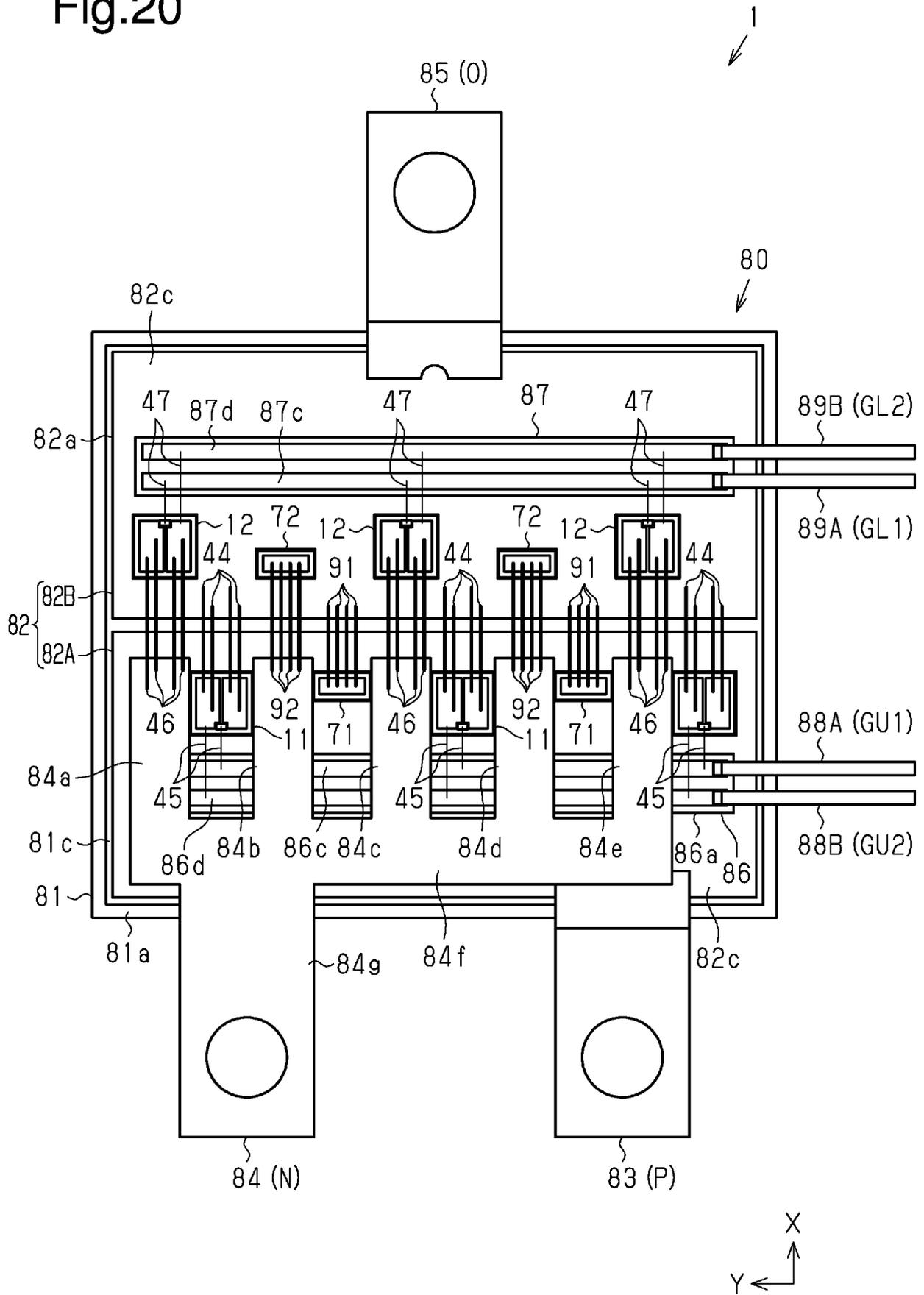


Fig.21

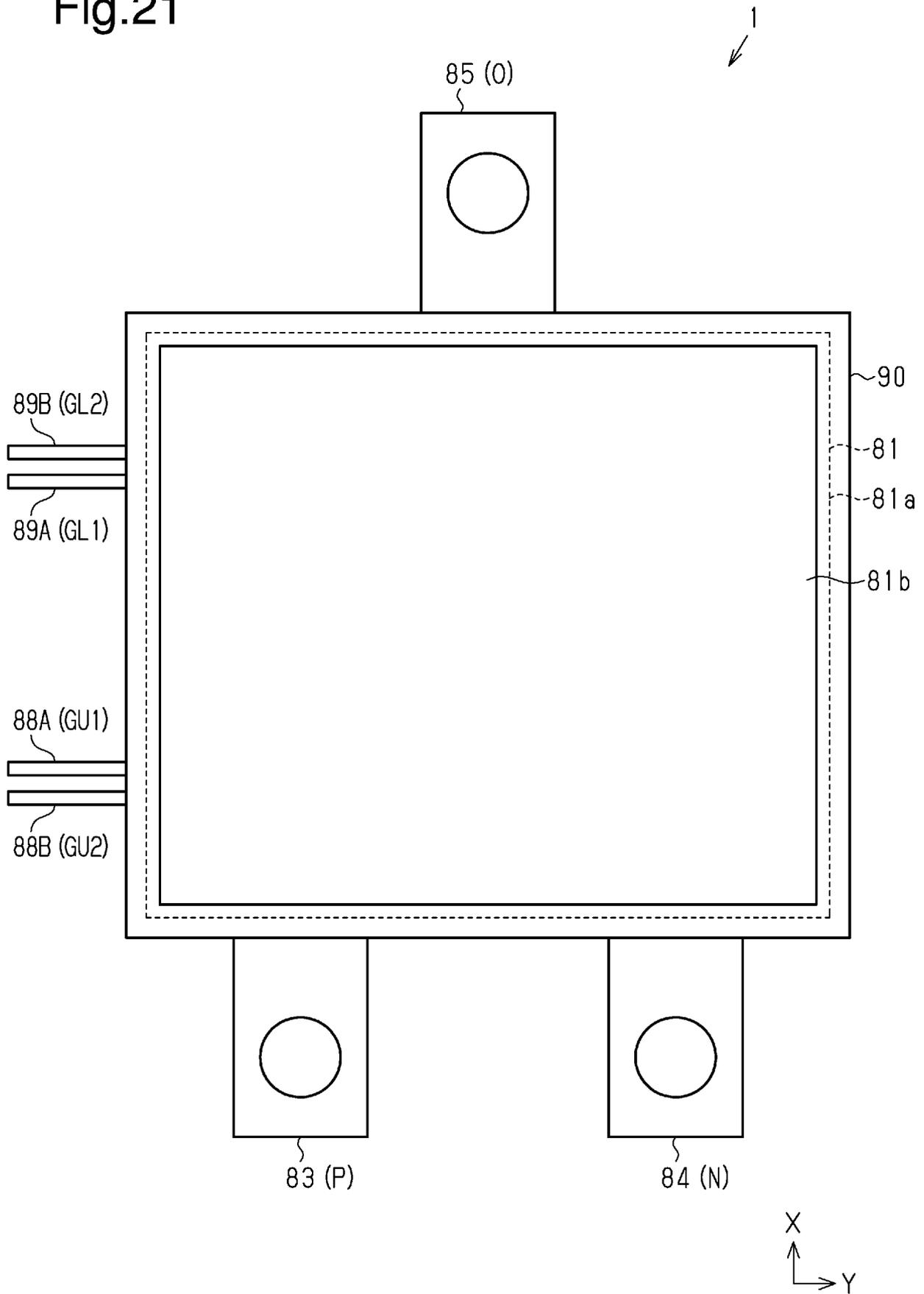


Fig.22

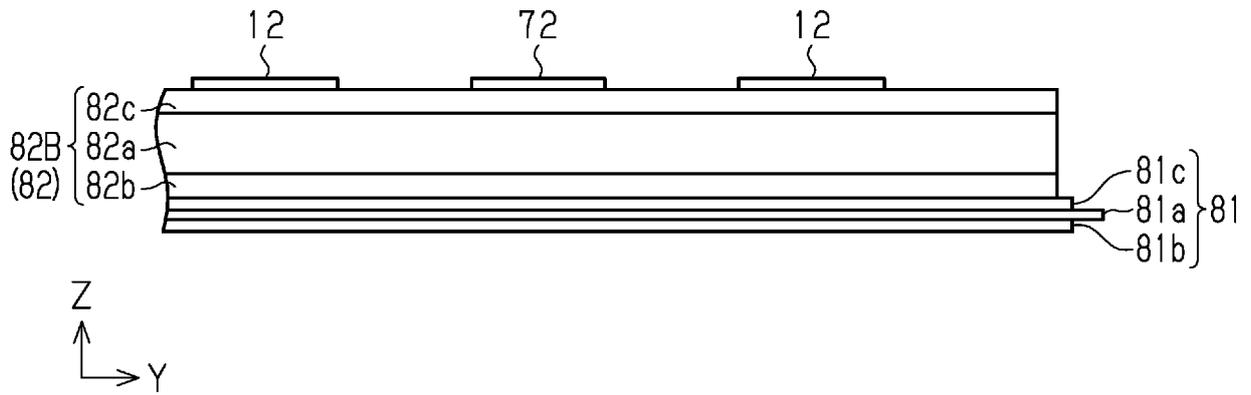


Fig.23

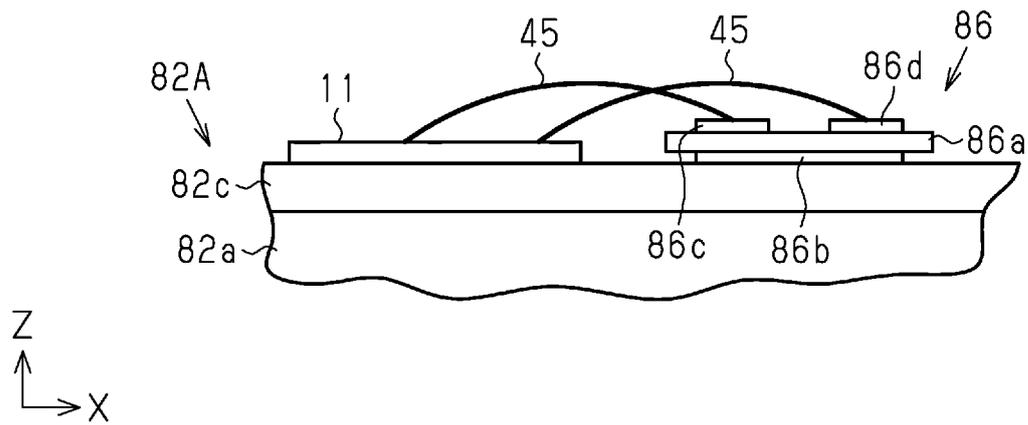


Fig.24

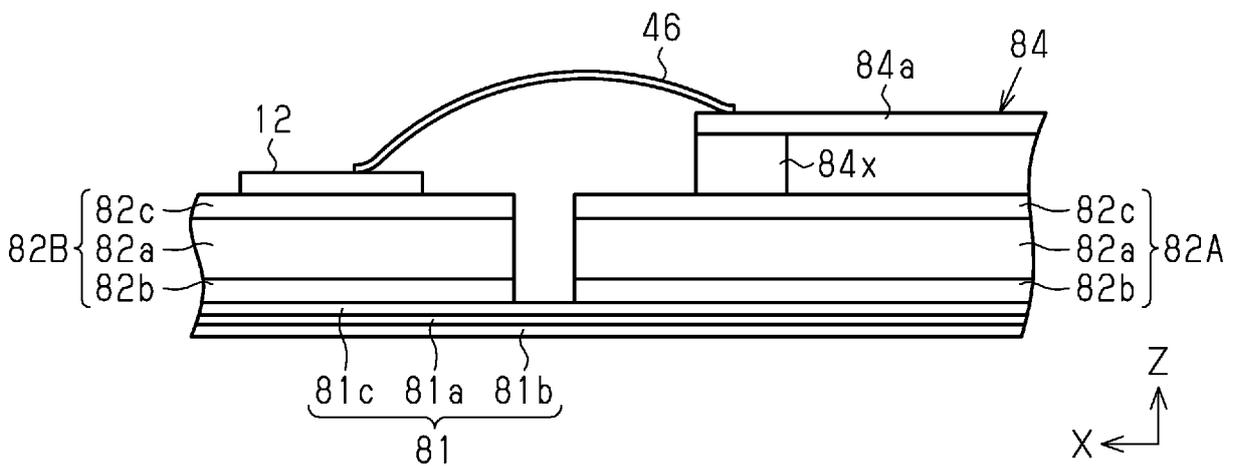
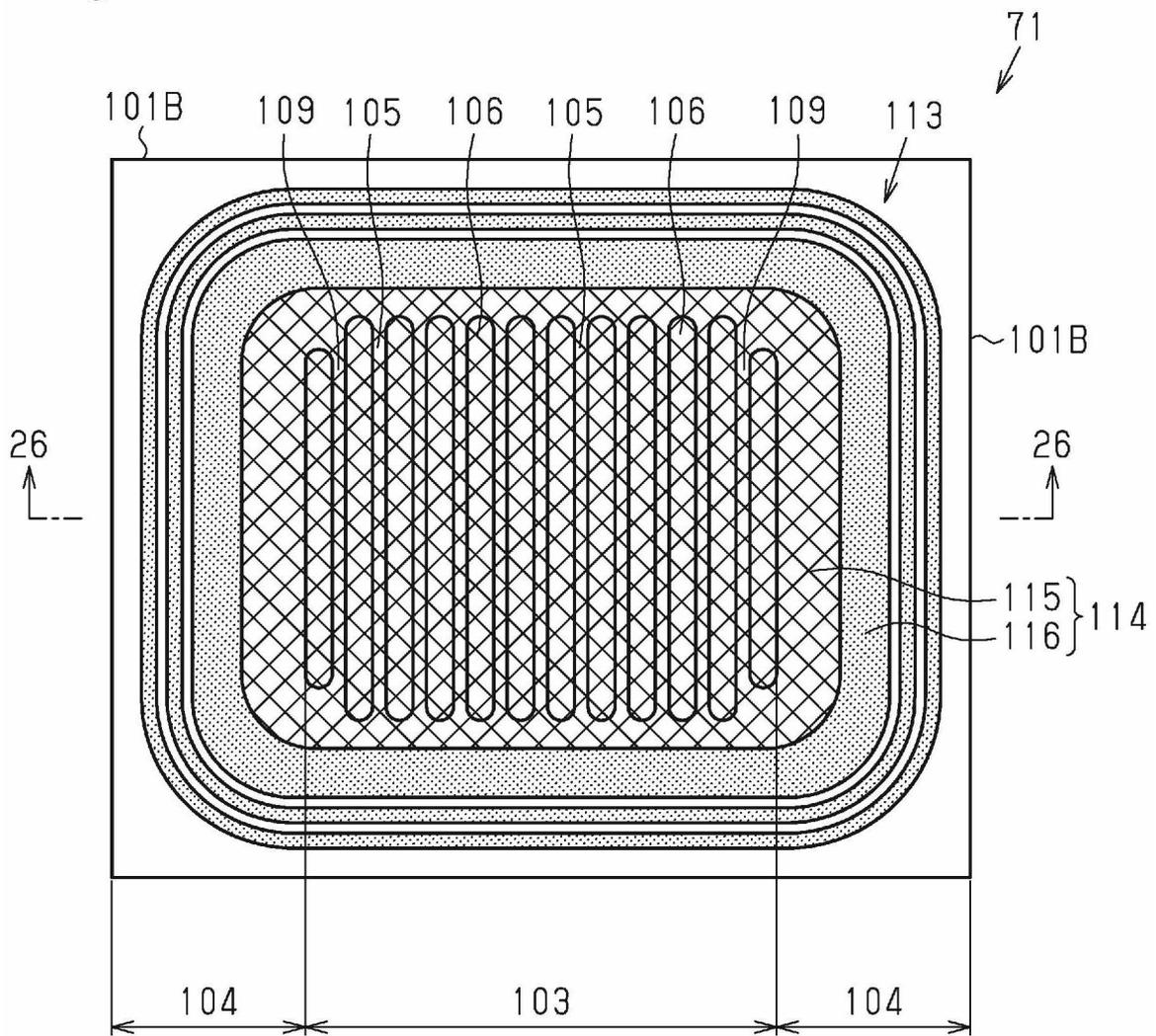


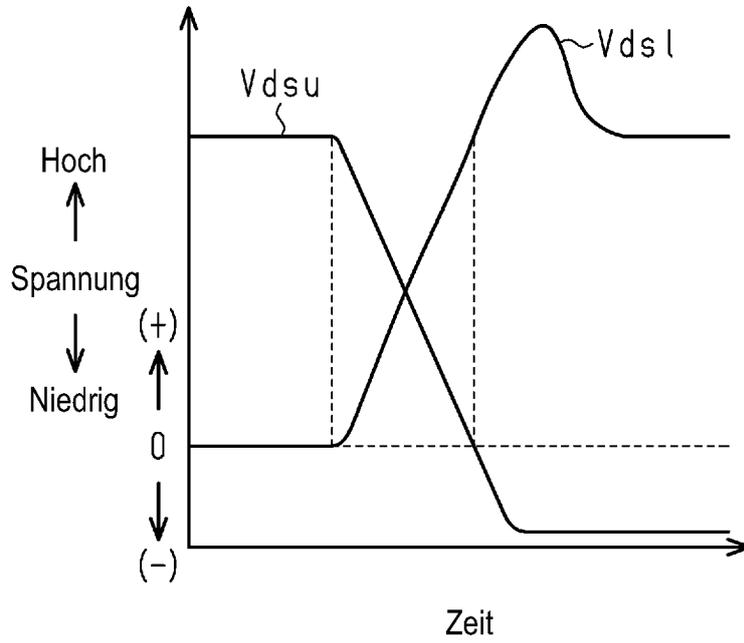
Fig.25





**Fig.27**

(Vergleichsbeispiel)



**Fig.28**

(Vorliegende Ausführungsform)

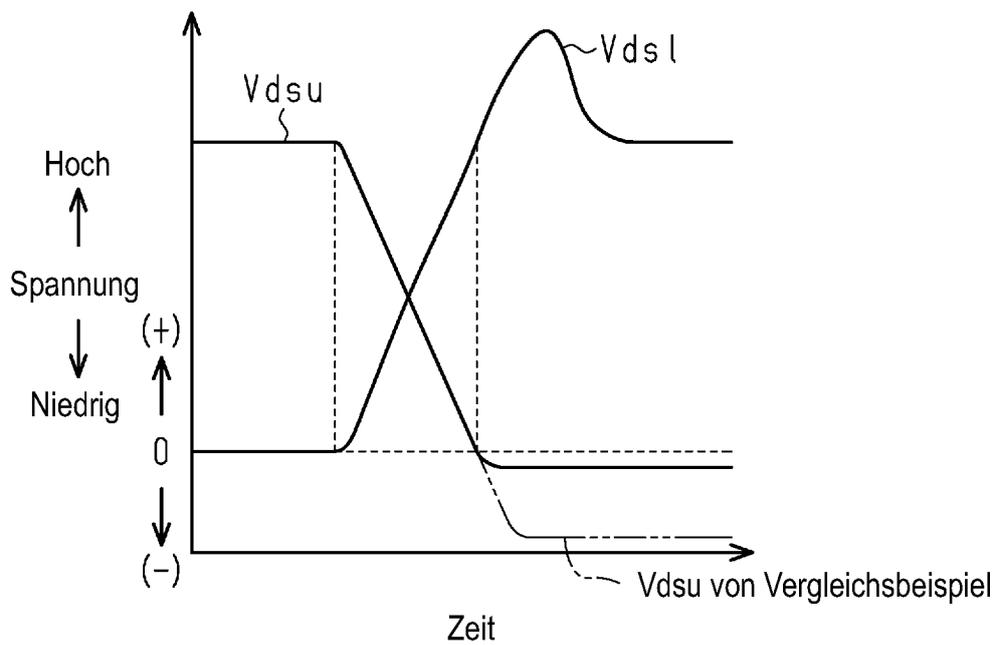


Fig.29

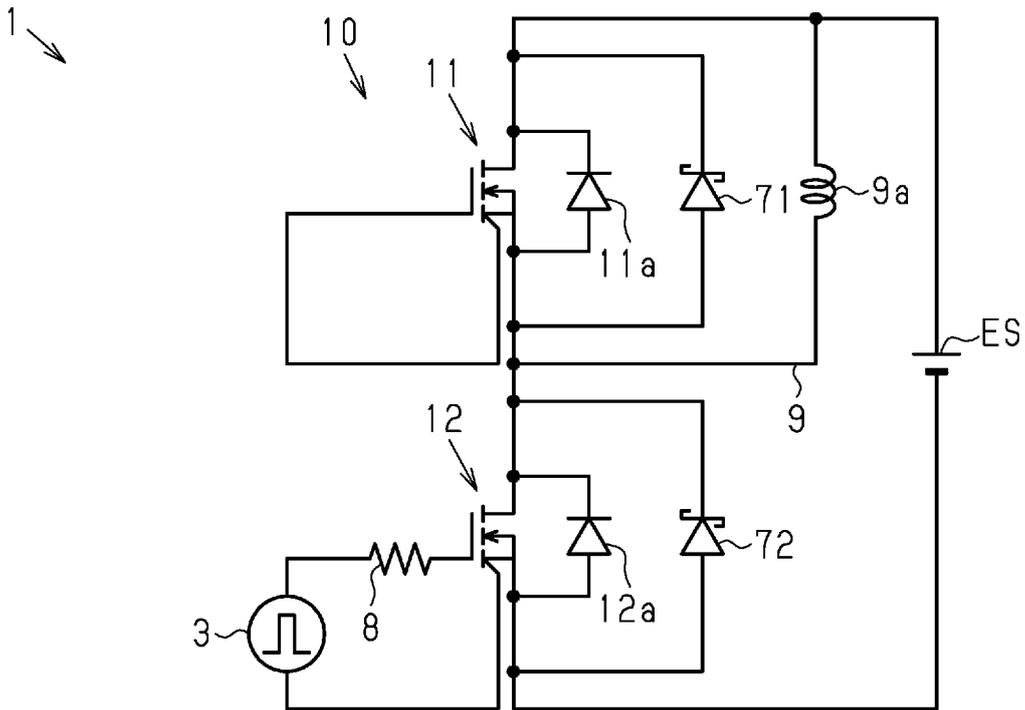


Fig.30

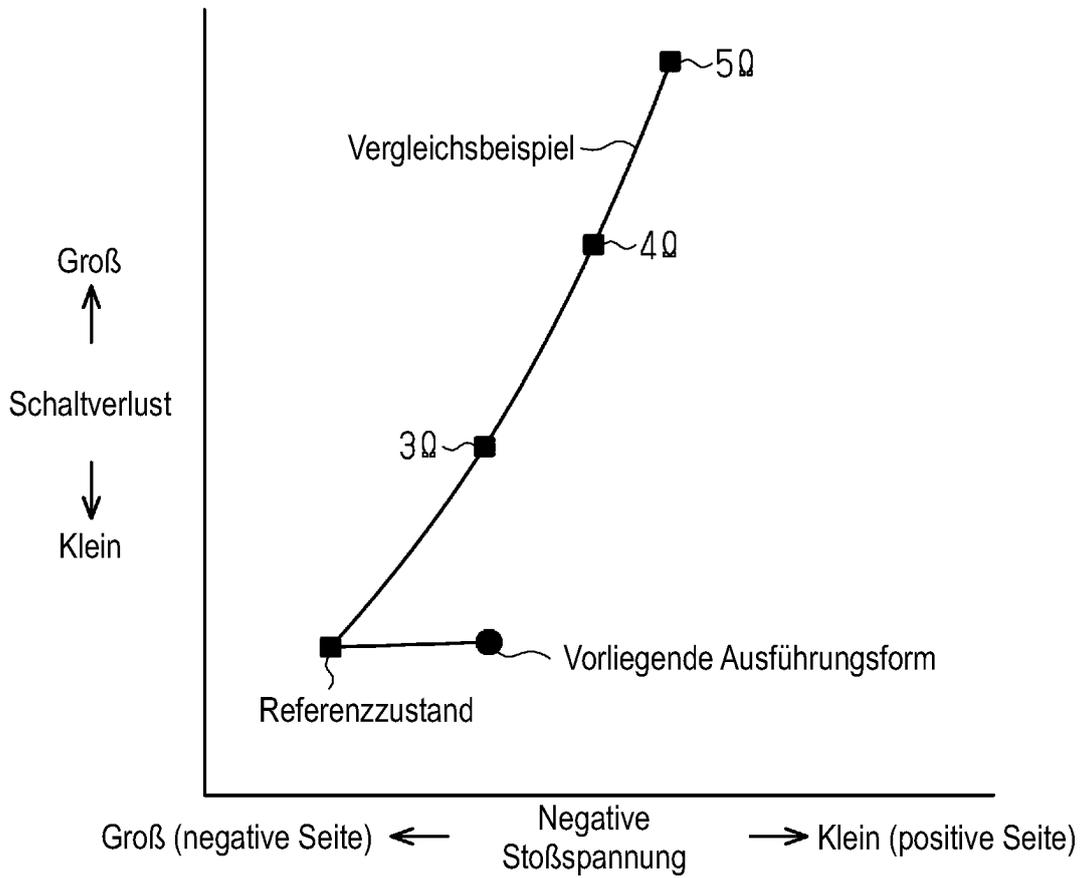


Fig.31A

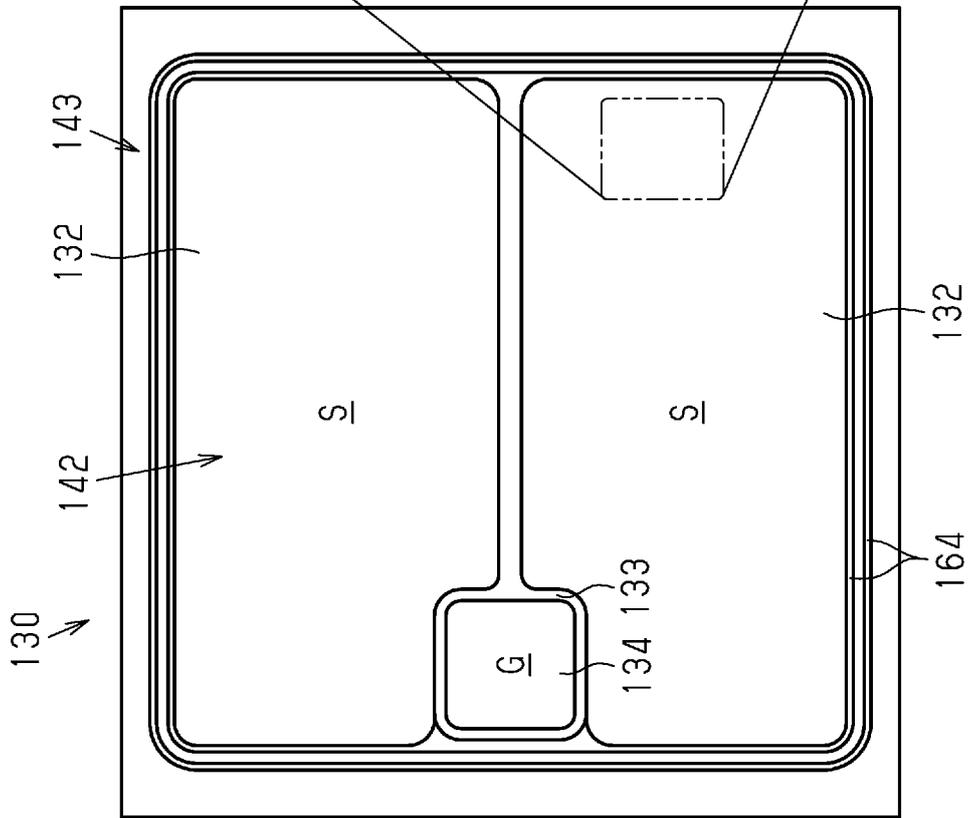


Fig.31B

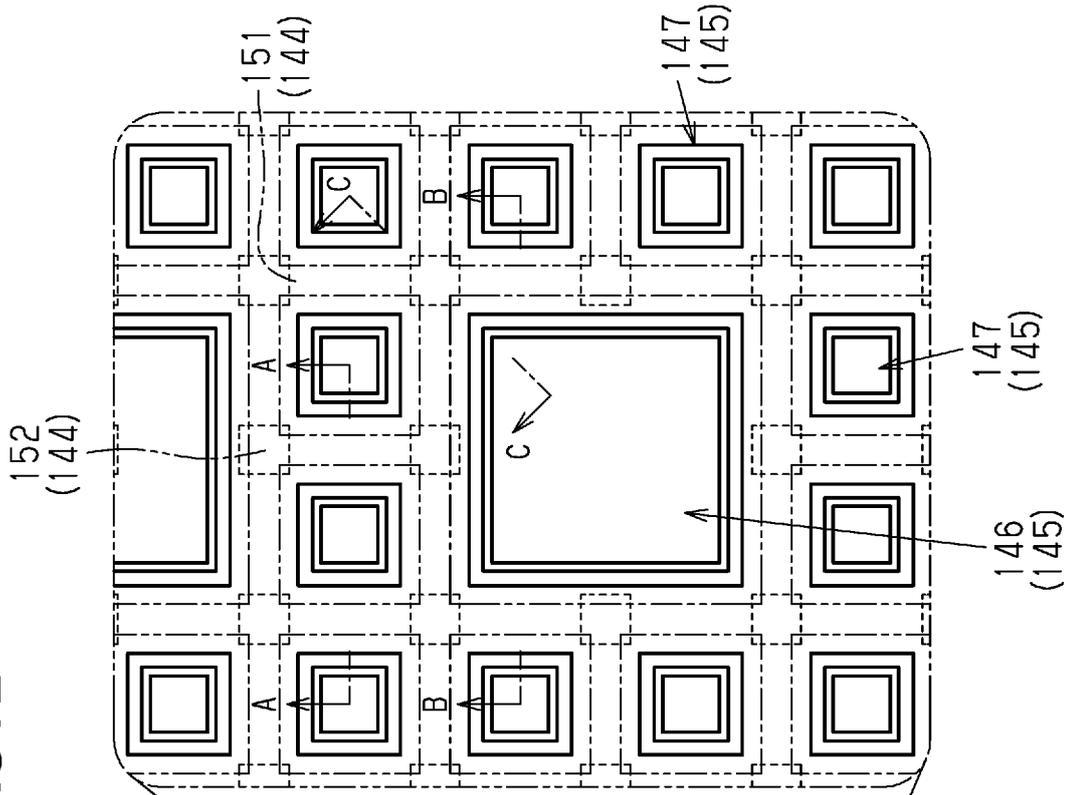




Fig.33

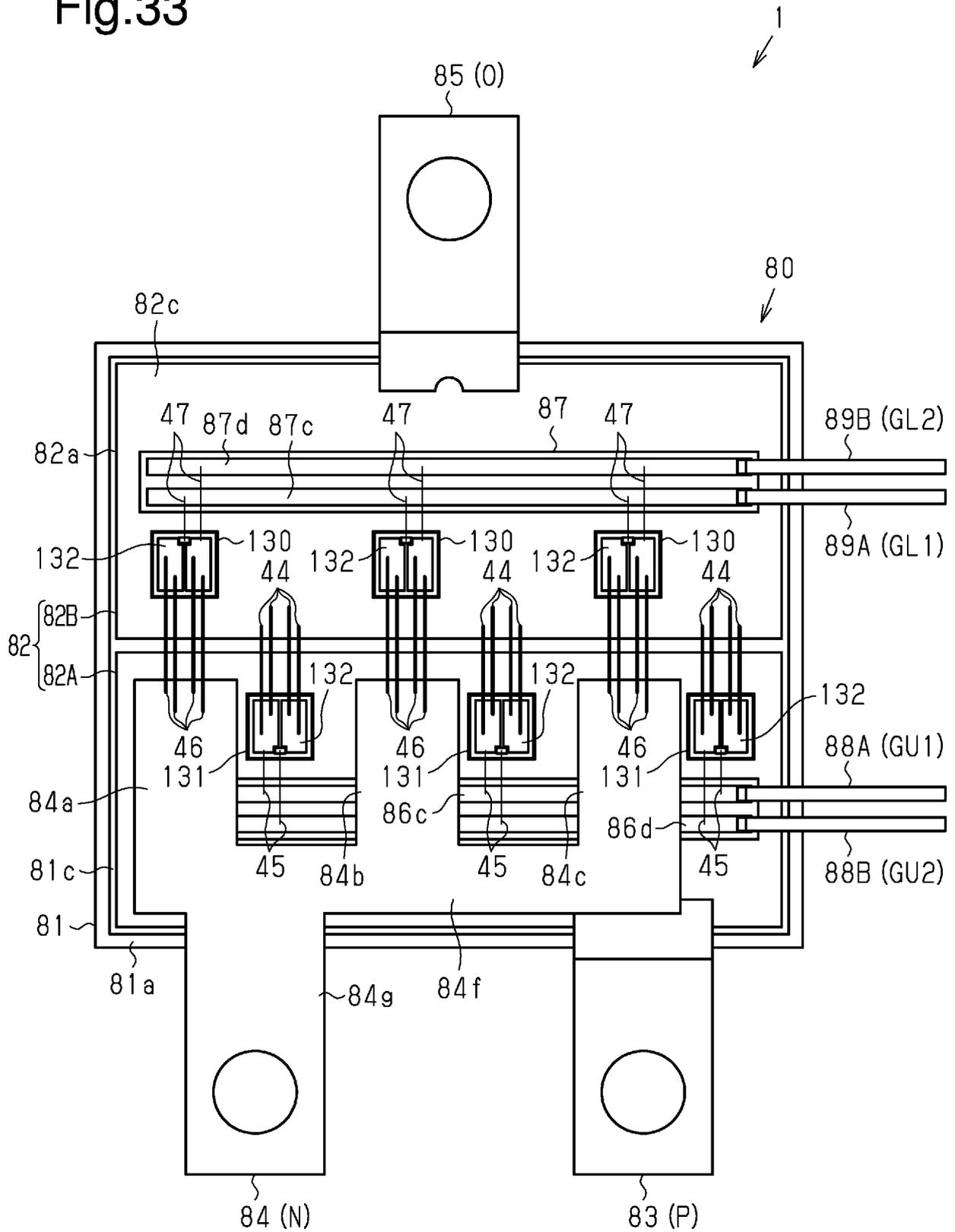


Fig.34

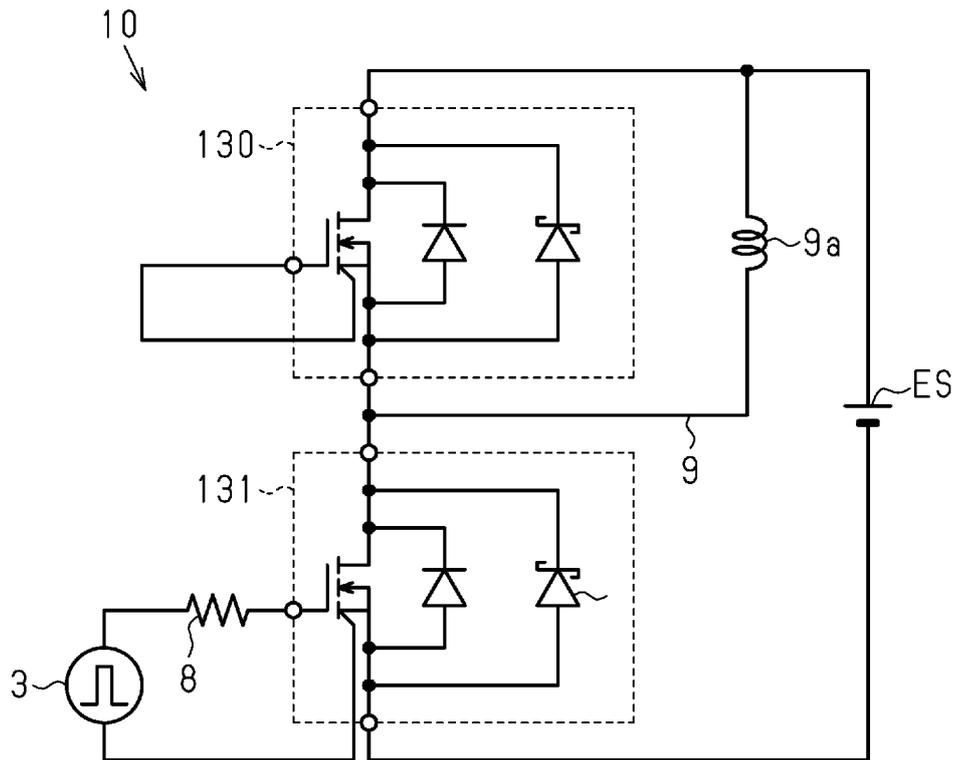


Fig.35

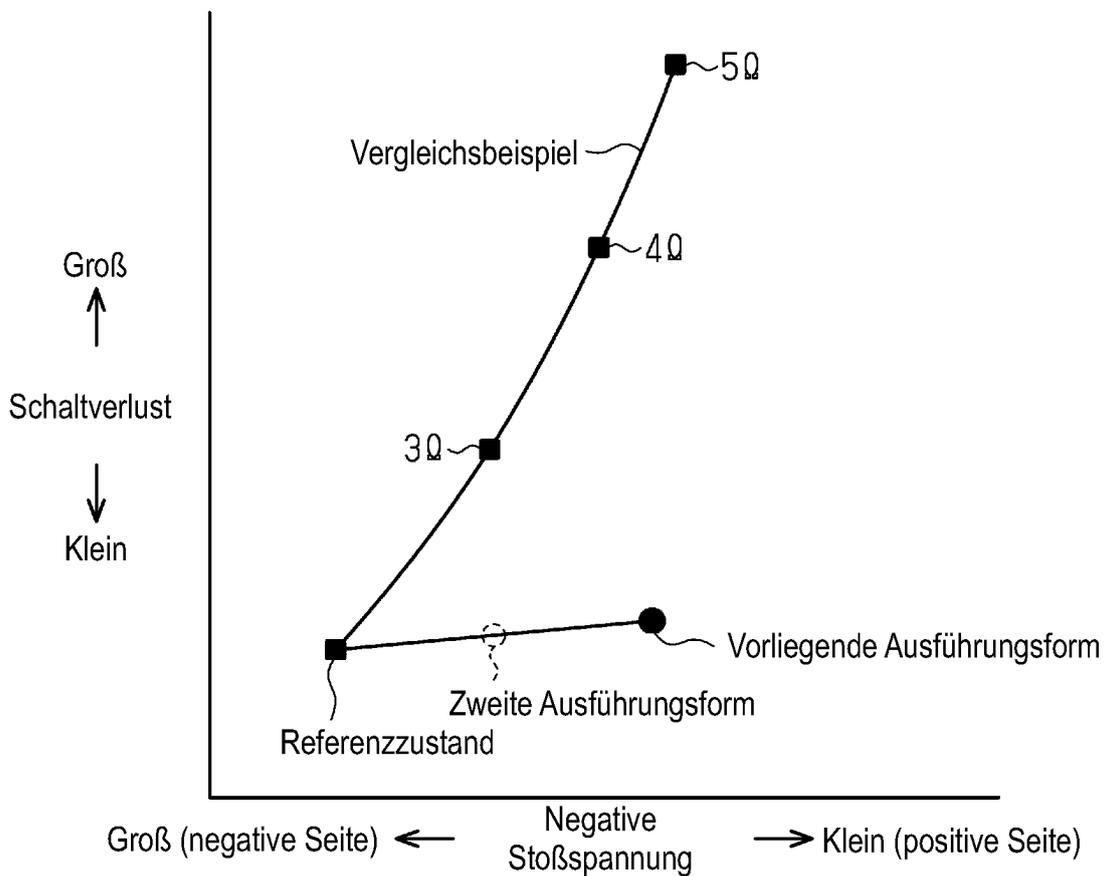


Fig.36

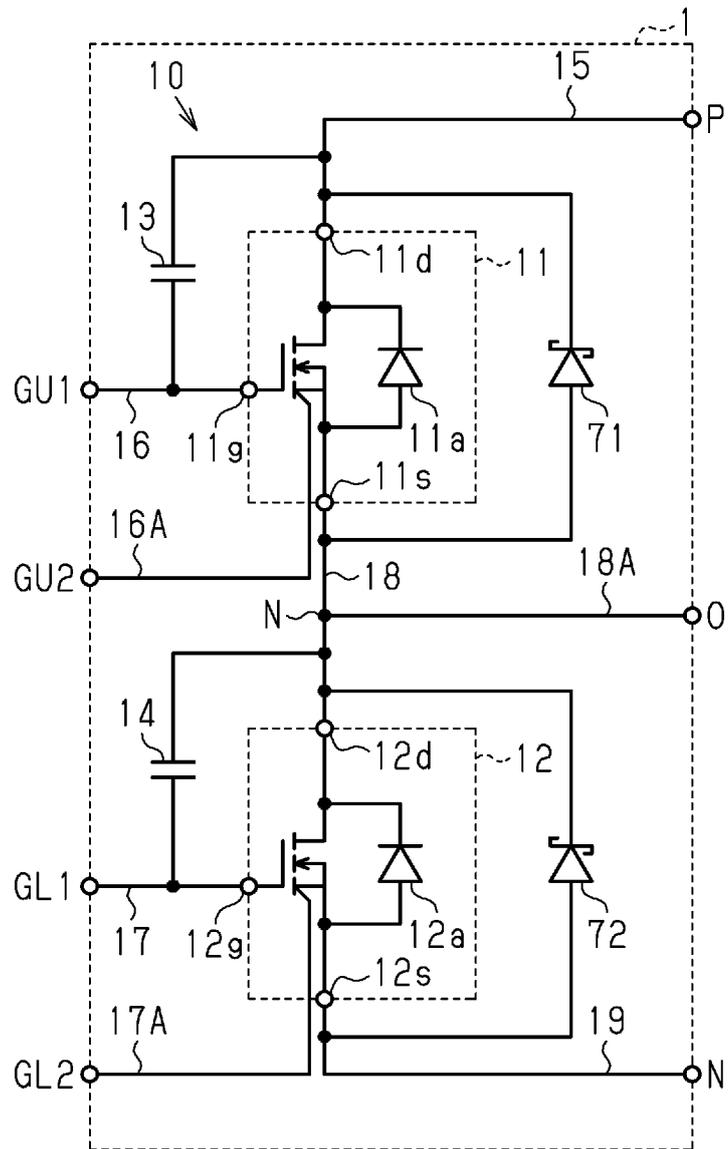




Fig.38

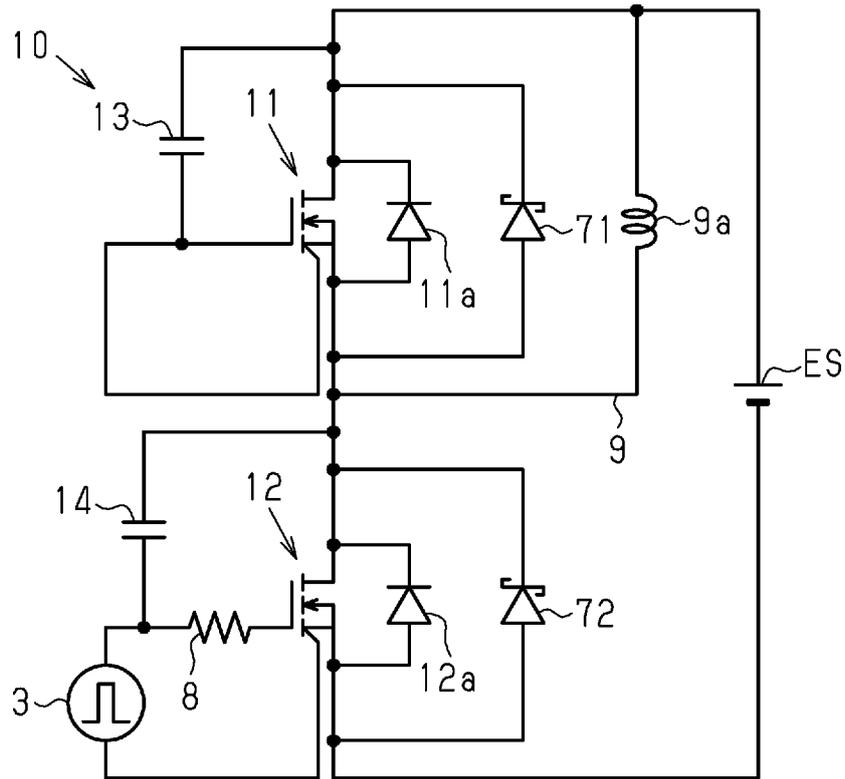


Fig.39

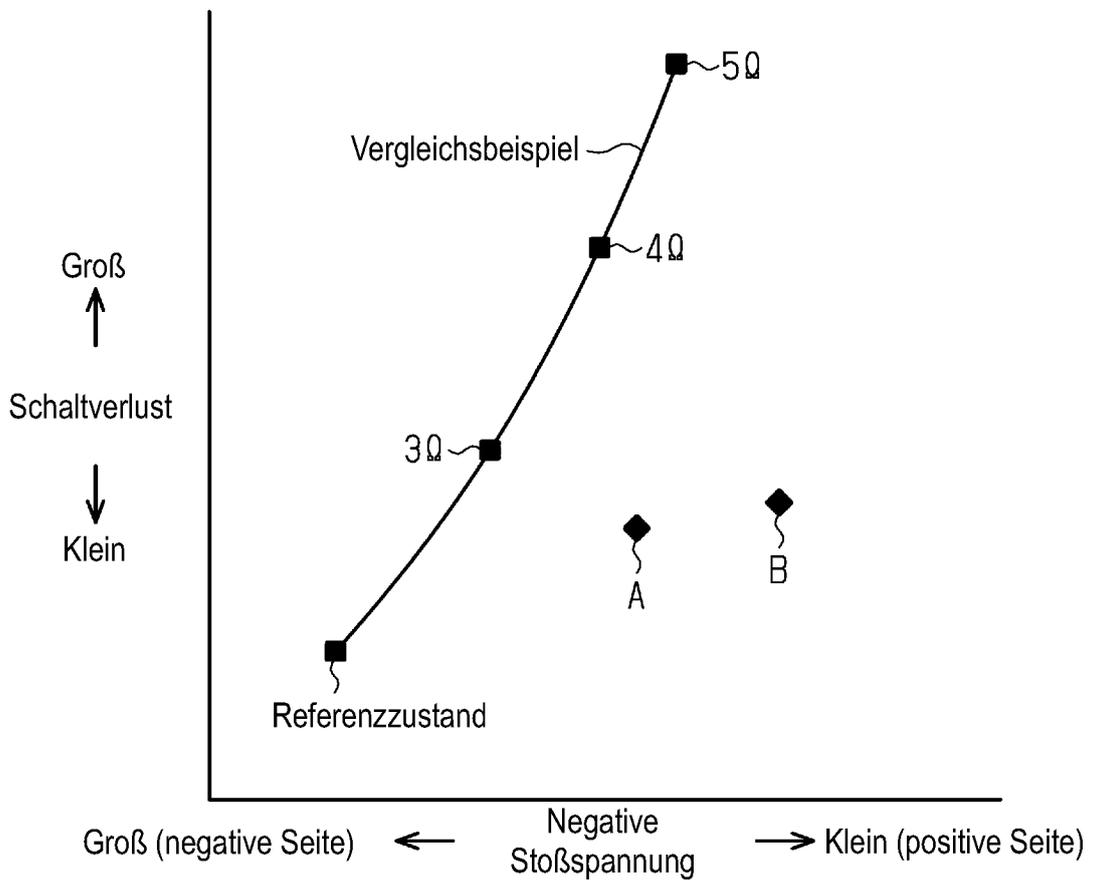


Fig.40

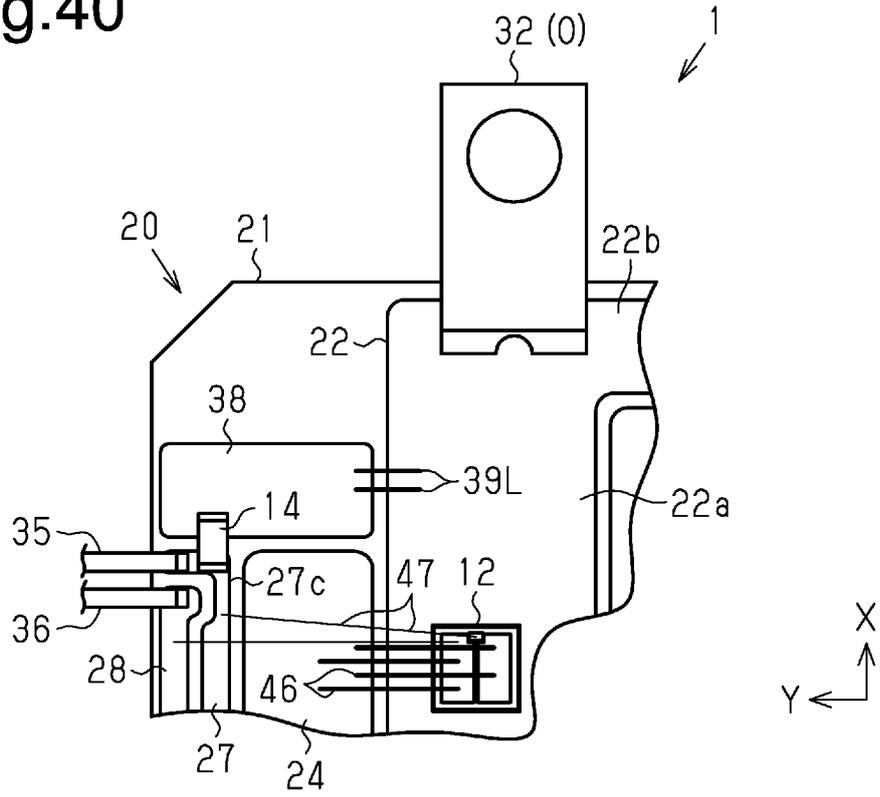


Fig.41

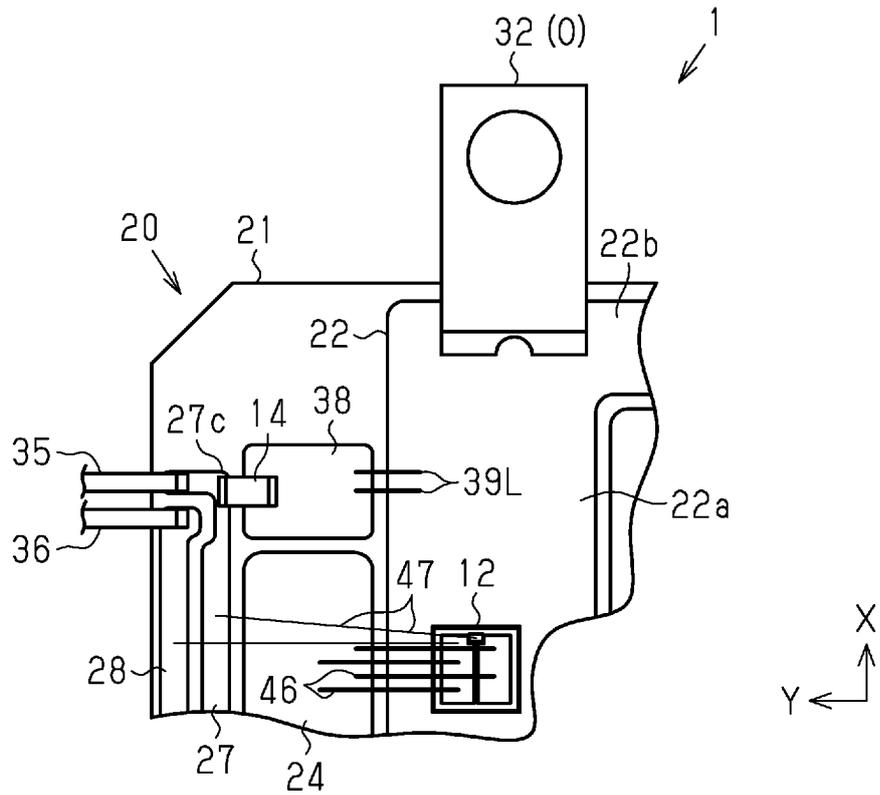


Fig.42

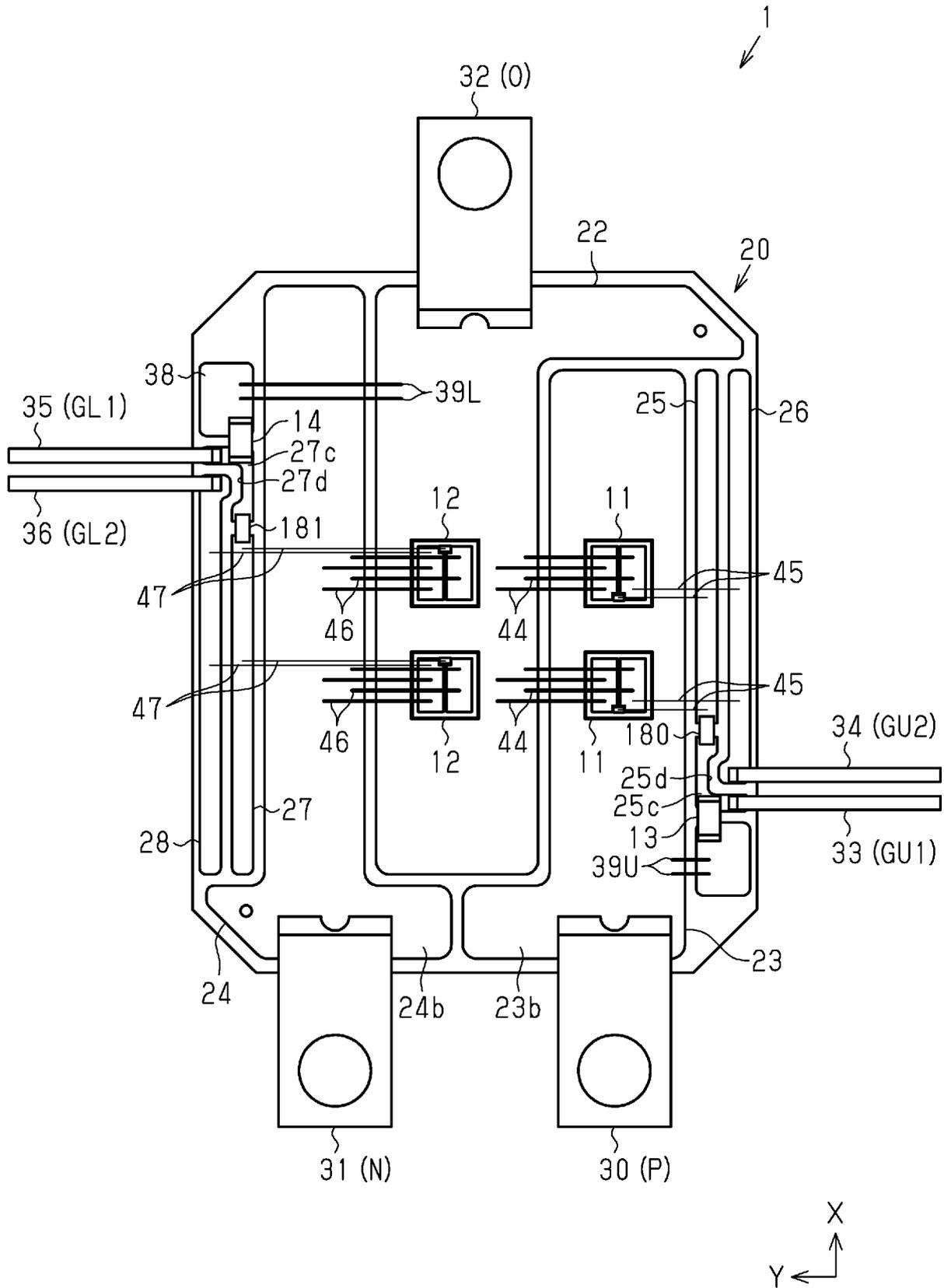


Fig.43A

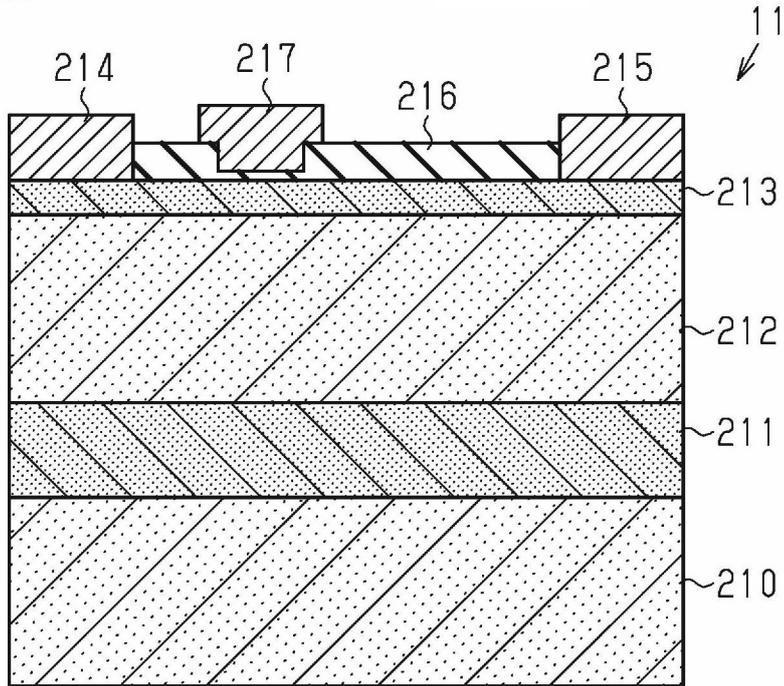


Fig.43B

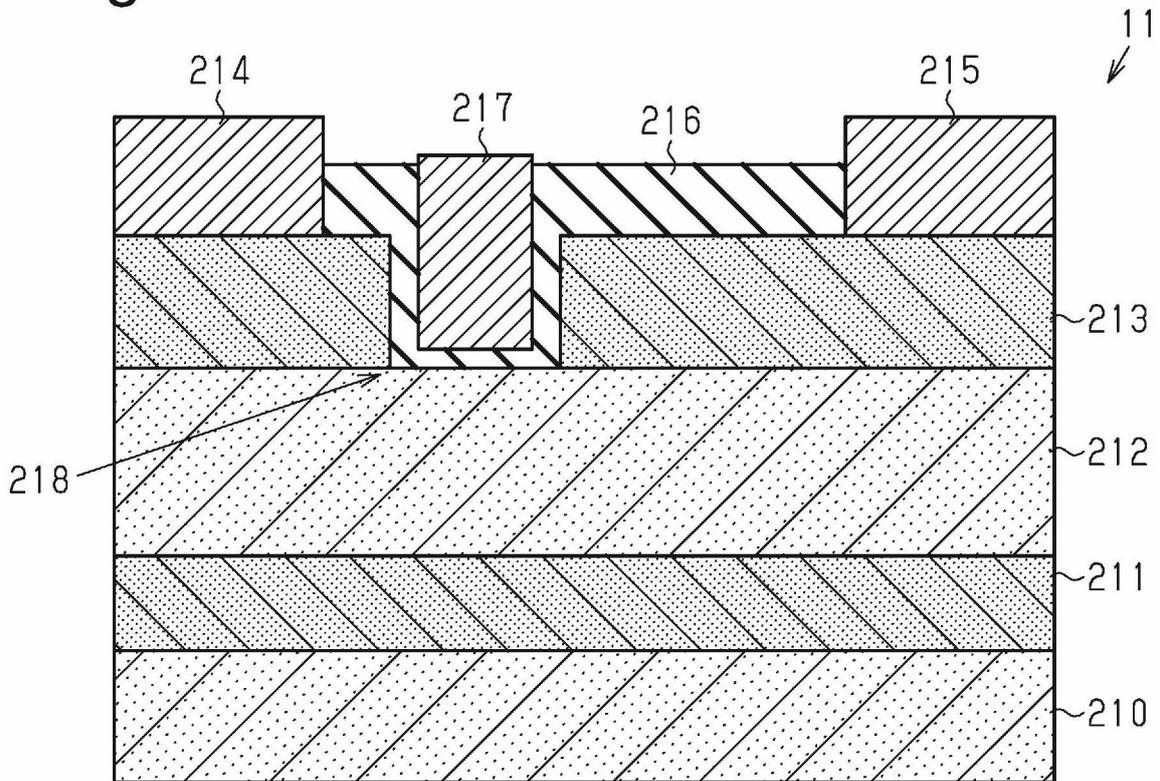


Fig.44

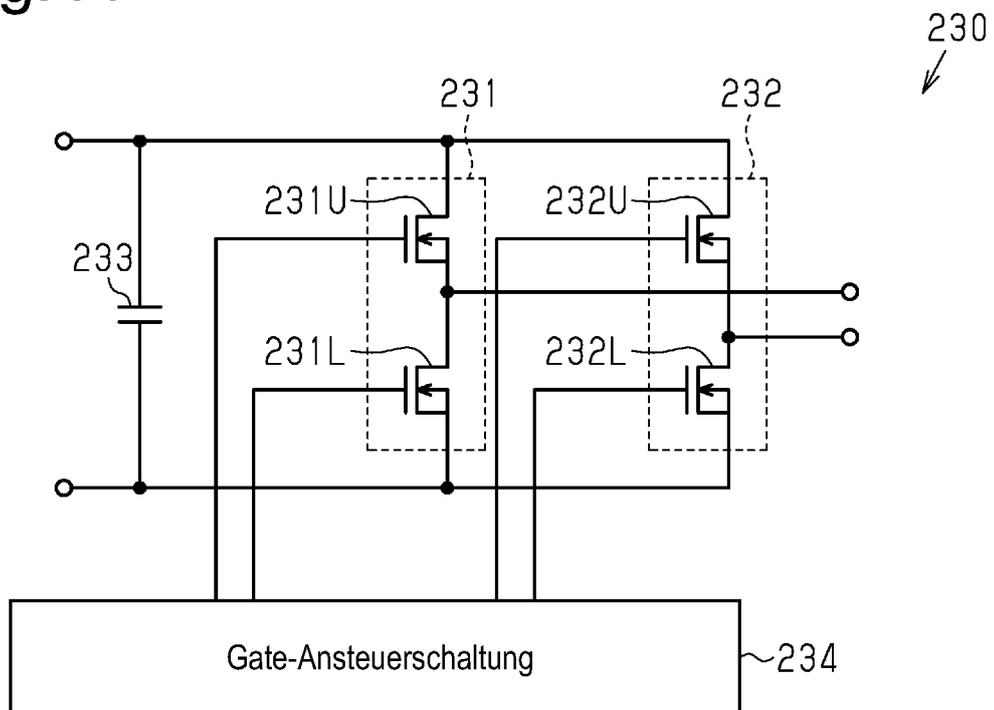


Fig.45

