

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種液晶顯示裝置，特別關於一種液晶顯示裝置的畫素區分方式及液晶顯示裝置之驅動方法。

【先前技術】

液晶顯示裝置是一種目前常見的平面顯示器之一，其具有高解析度、重量輕、厚度薄、及低功率消耗等優點，因此，目前液晶顯示裝置之使用越來越普遍，除可以作為一般電腦顯示裝置使用外，尚可作為人機介面用之觸控螢幕，且亦可與視訊系統結合而作為電視使用。

然而，雖然液晶顯示裝置越來越普及，卻也存在著一些技術上需進一步解決的問題，例如廣視角的問題。承上所述，液晶顯示裝置的視角與其 γ 特性有關，在此 γ 特性係指影像之灰階與亮度的關係，第 1 圖繪示習知一多域垂直配向型液晶顯示面板之灰階對光穿透率的特性曲線圖。請參照第 1 圖，曲線 L1 至曲線 L3 代表正面觀看多域垂直配向型液晶顯示面板時所觀察到的光穿透率。其中，曲線 L1 為紅光穿透率，曲線 L2 為綠光穿透率，曲線 L3 為藍光穿透率。然而，當以傾斜的角度(傾斜 60 度)來觀看多域垂直配向型液晶顯示面板時，在同樣的工作電壓下，觀察到的光穿透率會發生變化而使曲線 L1、曲線 L2 以及曲線 L3 分別漂移為曲線 L4、曲線 L5 以及曲線 L6。

請繼續參照第 1 圖，從第 1 圖中可以看到，在較高灰階與較低灰階的區域，曲線 L1 的光穿透率與曲線 L4 的光穿透率相近，曲線 L2 的光穿透率與曲線 L5 的光穿透率相近，曲線 L3 的光穿透率與曲線 L6 的光穿透率相近。然而，在中間灰階區域，曲線 L1、曲線 L2 以及曲線 L3 的光穿透率分別與對應之曲線 L4、曲線 L5 以及曲線 L6 的光穿透率相差甚遠。也就是說，較高灰階與較低灰階的色偏移現象較輕微，中間灰階的色偏移現象較嚴重。

如第 2 圖所示，其係顯示在螢幕的正前方與斜前方所看到的影像在相同灰階之常態化亮度（normalized luminance）關係圖，其中虛線為理想值、實線為實際值；詳言之，於理想狀況下，在螢幕的正前方與斜前方所看到的影像之 γ 特性相同，因此如第 1 圖之虛線所示，其常態化亮度關係呈一斜率為 1 之直線，然而，實際上，液晶顯示裝置有視角不夠廣的問題，所以當使用者在螢幕的正前方與斜前方觀看影像時，其所看到的影像之 γ 特性並不相同，亦即使用者在螢幕的正前方與斜前方所看到的影像之常態化亮度並不相同，通常在正前方所看到的影像之常態化亮度會大於斜前方所看到的影像之常態化亮度，因此，於不同角度所觀看之多視域液晶螢幕之畫面，其亮度差異導致各顏色混合的結果不同，其顯現之顏色仍會有些許差異，進而導致色偏的現象。

為解決上述問題，習知技術中有一種設計，其利用

從第 1 圖得知的結論，即較高灰階與較低灰階之色光的色偏移現象較輕微，進一步改變電路佈局設計以改善色偏的現象。此習知技術是將一個畫素單元區分為光穿透率不同的兩個區域。一區域的光穿透率較高，會顯示較高灰階的色彩；另一區域的光穿透率較低，會顯示較低灰階的色彩。特別的是，以較高灰階的色彩與較低灰階的色彩混合成一中灰階的色彩，則使用者不論正視或以傾斜的角度來觀看改良後之多域垂直配向型液晶顯示面板，都可觀看到相近的色彩。

請參照第 3 圖，其繪示習知的多視域液晶顯示裝置 1，其包含液晶面板 100、源極驅動器 102 及閘極驅動器 104。其中，液晶面板 100 包含 $n*m$ 個畫素 10，源極驅動器 102 透過資料線 $D(1) \sim D(n)$ 將顯示資料傳送至複數個畫素 10，閘極驅動器 104 透過掃描線 $S(1) \sim S(m)$ 將掃描信號傳送至液晶面板 100 以序列打開各行畫素 10，並透過第一儲存電容線 $B1(1) \sim B1(m)$ 與第二儲存電容線 $B2(1) \sim B2(m)$ 分別將第一偏壓信號與第二偏壓信號傳送至液晶面板 100 上之各畫素 10。如第 4 圖及第 5 圖所示，習知技術提出液晶顯示裝置 1 的畫素區分結構，其具有以矩陣方式排列的複數個畫素 10，每一畫素 10 包括一第一子畫素 11 及一第二子畫素 12，且每一第一子畫素 11 係包括一液晶電容 C_{LC1} 、一儲存電容 C_{ST1} 及一開關元件 M_1 ，每一第二子畫素 12 係包括一液晶電容 C_{LC2} 、一儲存電容 C_{ST2} 及一

開關元件 M_2 ；另外，液晶顯示裝置 1 更包括複數條掃描線 $S(1) \sim S(m)$ 、複數條資料線 $D(1) \sim D(n)$ 及複數條儲存電容線 15，其中儲存電容線 15 包括複數條第一儲存電容線 $B1(1) \sim B1(m)$ 與第二儲存電容線 $B2(1) \sim B2(m)$ ，掃描線 $S(1) \sim S(m)$ 及儲存電容線 15 係平行交互設置，而資料線 $D(1) \sim D(n)$ 係與掃描線 $S(1) \sim S(m)$ 垂直設置。如第 4 圖所示，以某一畫素 10 為例，第 i 條掃描線 $S(i)$ 係設置於第一子畫素 11 與第二子畫素 12 之間、並連接至開關元件 M_1 及開關元件 M_2 的閘極，第 j 條資料線 $D(j)$ 係透過開關元件 M_1 連接至液晶電容 C_{LC1} 及儲存電容 C_{ST1} 、且透過開關元件 M_2 連接至液晶電容 C_{LC2} 及儲存電容 C_{ST2} ，另外，儲存電容 C_{ST1} 及儲存電容 C_{ST2} 係分別連接至第 i 條第一儲存電容線 $B1(i)$ 及第 i 條第二儲存電容線 $B2(i)$ ，其中，第 i 條第二儲存電容線 $B2(i)$ 與第 $i+1$ 條第一儲存電容線 $B1(i+1)$ 係共用同一條實體電路佈局。

如圖 5 所示，其係顯示數個畫素 10 的電路佈局示意圖，其中區域 A 表示第一子畫素 11 的顯示區域，區域 B 表示第二子畫素 12 的顯示區域，且區域 A 與區域 B 係沿著掃描線方向交互設置；在此以點反轉(dot inversion)之極性切換方式為例，也就是同一畫素中，其於相鄰之畫面時間之畫素電壓的極性係為不同，而且相鄰畫素之畫素電壓的極性亦為不同。當一畫素 10 被致動時，其操作時序係如圖 6 所示，以區域 A 為例，在第一畫面時間 $f1$ 中，在第 i 條掃描線 $S(i)$ 輸出掃描訊號後，

第 i 條第一儲存電容線 $B1(i)$ 會轉變為低電壓位準，因此，區域 A 的畫素電壓（即液晶電容 C_{LC1} 的電容值）會受到的儲存電容 C_{ST1} 的影響，由原本的「 X 」略降為「 $X-\Delta V$ 」。在第二畫面時間 $f2$ 中，在第 i 條掃描線 $S(i)$ 輸出下一掃描訊號後，第 i 條第一儲存電容線 $B1(i)$ 會再轉變回高電壓位準，此時，區域 A 的畫素電壓（即液晶電容 C_{LC1} 的電容值）會受到的儲存電容 C_{ST1} 的影響，由原本的「 $-X$ 」略升為「 $-X+\Delta V$ 」。另外，以區域 B 為例，在第一畫面時間 $f1$ 中，在第 i 條掃描線 $S(i)$ 輸出掃描訊號並經過半個時序後，第 i 條第二儲存電容線 $B2(i)$ 會轉變為高電壓位準，因此，區域 B 的畫素電壓（即液晶電容 C_{LC2} 的電容值）會受到的儲存電容 C_{ST2} 的影響，由原本的「 X 」略升為「 $X+\Delta V$ 」。在第二畫面時間 $f2$ 中，在第 i 條掃描線 $S(i)$ 輸出下一脈衝訊號並經過半個時序後，第 i 條第二儲存電容線 $B2(i)$ 會再轉變回低電壓位準，此時，區域 B 的畫素電壓（即液晶電容 C_{LC2} 的電容值）會受到的儲存電容 C_{ST2} 的影響，由原本的「 $-X$ 」略降為「 $-X-\Delta V$ 」。

如上所述，習知技術將同一畫素再區分成二子畫素，並利用控制二子畫素之畫素電壓的方式，藉以改善液晶顯示裝置 1 的 γ 特性，如圖 7 所示。然而，如圖 5 所示，此種方式會使得第一子畫素 11 之畫素電壓差為「 $X-\Delta V$ 」（在第一畫面時間 $f1$ ）或「 $-X+\Delta V$ 」（在第二畫面時間 $f2$ ），例如產生一較低灰階色彩，且使得第二子畫素 12 之畫素電

壓差為「 $X+\Delta V$ 」(在第一畫面時間 $f1$) 或「 $-X-\Delta V$ 」(在第二畫面時間 $f2$)，例如產生一較高灰階色彩；如上所述，當以較高灰階色彩與較低灰階色彩混合成一中灰階色彩時，即可改善改善色偏的現象。

請參考第 8 圖所示，其係為顯示器的穿透率與電壓的關係曲線。當輸入電壓 X 在低穿透率表現時，由於固定的 ΔV ，會導致的亮區與暗區亮度不相等，但此現象可透過修改輸入之電壓值來作校正；當輸入電壓 X 在高穿透率的表現時，會因為固定的 ΔV 而導致亮度下降，如第 8 圖中，因為固定的 ΔV ，導致穿透率 $T(X-\Delta V)$ 下降幅度大於穿透率 $T(X+\Delta V)$ 上升幅度（即 $T(X-\Delta V)$ 與 $T(X)$ 之差值大於 $T(X+\Delta V)$ 與 $T(X)$ 之差值）。此外，由於最高電壓值通常為固定，所以無法透過調整輸入訊號作改變，因此會導致顯示器整體亮度變差。

因此，如何提供一種能夠改善影像顯示之 γ 特性、並進一步提高色差補償能力的液晶顯示裝置及其驅動方法，正是當前顯示器產業的重要課題之一。

【發明內容】

有鑑於上述課題，本發明之目的為提供一種能夠改善影像顯示之 γ 特性、並進一步提高色差補償能力的液晶顯示裝置及其驅動方法。

緣是，為達上述目的，依本發明之一種液晶顯示裝置，其係包括以矩陣方式排列的複數個畫素，每一畫素至

少包含一第一子畫素及一第二子畫素，每一第一或第二子畫素係包含一液晶電容及一儲存電容，且第一子畫素之液晶電容與儲存電容的比值係小於第二子畫素之液晶電容與儲存電容的比值，其中，於所有畫素中的一第一畫素與一第二畫素中，第一畫素之第一子畫素係與第二畫素之第一子畫素錯位設置，且第一畫素之第二子畫素係與第二畫素之第二子畫素錯位設置。

另外，為達上述目的，依本發明之一種液晶面板係包括一資料線、一掃描線、一畫素、一第一儲存電容線、及一第二儲存電容線。其中，資料線以一第一方向形成於液晶面板上並提供一輸入電壓，掃描線以與第一方向垂直之一第二方向形成於液晶面板上，畫素係形成於資料線與掃描線之交叉處，並包括一第一子畫素及一第二子畫素，第一子畫素包括一第一開關、一第一液晶電容與一第一儲存電容，第一開關之一第一端連接於掃描線，第一開關之一第二端連接於資料線，第一開關之一第三端連接於第一液晶電容之一第一端與第一儲存電容之一第一端，第二子畫素包括一第二開關、一第二液晶電容與一第二儲存電容，第二開關之一第一端連接於掃描線，第二開關之一第二端連接於資料線，第二開關之一第三端連接於第二液晶電容之一第一端與第二儲存電容之一第一端，第一儲存電容線電性連結第一儲存電容之一第二端，第二儲存電容線電性連

結第二儲存電容之一第二端，於此，當掃瞄線致能時，第一開關元件及第二開關元件係為導通，以使資料線之信號傳入第一子畫素及第二子畫素，接著，當掃瞄線解能後，第一儲存電容線及第二儲存電容線之位準係分別改變，以使得第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓，第二子畫素之畫素電壓與輸入電壓有一第二偏移電壓，以使得第一子畫素之畫素電壓與第二子畫素之畫素電壓不同，且第一偏移電壓與第二偏移電壓不同。

再者，為達上述目的，依本發明之一種液晶面板之驅動方法係應用於一液晶面板，驅動方法包括下列步驟：首先，致能掃瞄線以使得第一開關元件及第二開關元件為導通；接著，將資料線之信號傳入第一子畫素及第二子畫素；最後，解能掃瞄線。其中，當掃瞄線解能後，第一儲存電容線及第二儲存電容線之位準係分別改變，以使得第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓，第二子畫素之畫素電壓與輸入電壓有一第二偏移電壓，以使得第一子畫素之畫素電壓與第二子畫素之畫素電壓不同，且第一偏移電壓與第二偏移電壓不同。

承上所述，因依本發明之液晶顯示裝置的每一畫素中係至少包括一第一子畫素及一第二子畫素，且第一子畫素之液晶電容與儲存電容的比值係小於第二子畫素之液晶電容與儲存電容的比值，所以本發明之液晶顯示裝置及其

驅動方法能夠使得其 γ 值趨近於理想值，進而有效改善影像顯示之 γ 特性，並進一步提高色差補償能力，藉以改善顏色偏差之現象，進而提供更佳的影像顯示品質。

【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之液晶顯示裝置及其驅動方法。

首先要說明的是，依本發明較佳實施例之液晶顯示裝置可以是一多域垂直配向 (MVA, Multi-Domain Vertically Aligned) 型液晶顯示裝置、一扭曲向列 (Twisted-Nematic) 型液晶顯示裝置、一光學補償彎曲 OCB (Optically Compensated Bend) 型液晶顯示裝置、一 ASM (Axisymmetric aligned) 型液晶顯示裝置、一 IPS (In-plane Switching) 型液晶顯示裝置；此外，依本發明較佳實施例之液晶顯示裝置的驅動方法可以是一點反轉 (dot inversion) 式驅動方法，也就是在同一圖框時間內，施加於一畫素單元的資料訊號極性與施加於相鄰畫素單元的資料訊號極性相反。也可以是行反轉 (column inversion) 式驅動方法、列反轉 (row inversion) 式驅動方法、圖框反轉 (frame inversion) 式驅動方法或其他種多點反轉驅動方法 (many dots inversion)。

[第一實施例]

請參照第 9 圖，其繪示本發明第一實施例的一種多視域液晶顯示裝置 2，其包含液晶面板 200、源

極驅動器 202 及閘極驅動器 204。其中，液晶面板 200 包含 $n*m$ 個畫素 20，源極驅動器 202 透過資料線 $D(1) \sim D(n)$ 將顯示資料傳送至複數個畫素 20，閘極驅動器 204 透過掃描線 $S(1) \sim S(m)$ 將掃描信號傳送至液晶面板 200 以序列打開各行畫素 20，並透過第一儲存電容線 $B1(1) \sim B1(m)$ 與第二儲存電容線 $B2(1) \sim B2(m)$ 分別將第一偏壓信號與第二偏壓信號傳送至液晶面板 200 上之各畫素 20。其中，資料線 $D(1) \sim D(n)$ 以一第一方向形成於液晶面板 200 上並提供一輸入電壓，掃描線 $S(1) \sim S(m)$ 以一第二方向形成於液晶面板 200 上，畫素 20 係形成於資料線 $D(1) \sim D(n)$ 與掃描線 $S(1) \sim S(m)$ 之交叉處，並包括一第一子畫素及一第二子畫素，第一子畫素包括一第一開關、一第一液晶電容與一第一儲存電容，第一開關之一第一端連接於掃描線 $S(1) \sim S(m)$ 之一，第一開關之一第二端連接於資料線 $D(1) \sim D(n)$ 之一，第一開關之一第三端連接於第一液晶電容之一第一端與第一儲存電容之一第一端，第二子畫素包括一第二開關、一第二液晶電容與一第二儲存電容，第二開關之一第一端連接於掃描線 $S(1) \sim S(m)$ 之一，第二開關之一第二端連接於資料線 $D(1) \sim D(n)$ 之一，第二開關之一第三端連接於第二液晶電容之一第一端與第二儲存電容之一第一端，第一儲存電容線電性連結第一儲存電容之一第二端，第二儲存

電容線電性連結第二儲存電容之一第二端，有關於第一子畫素與第二子畫素之結構將詳述於後。在本發明中，當掃瞄線 $S(1) \sim S(m)$ 致能時，第一開關元件及第二開關元件係為導通，以使資料線 $D(1) \sim D(n)$ 之信號傳入第一子畫素及第二子畫素，接著，當掃瞄線解能 $S(1) \sim S(m)$ 後，第一儲存電容線 $B1(1) \sim B1(m)$ 及第二儲存電容線 $B2(1) \sim B2(m)$ 之位準係分別改變，以使得第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓，第二子畫素之畫素電壓與輸入電壓有一第二偏移電壓，以使得第一子畫素之畫素電壓與第二子畫素之畫素電壓不同，且第一偏移電壓與第二偏移電壓不同。

請參照第 10 圖所示，依本發明較佳實施例之液晶顯示裝置 2，包括複數個畫素 20，其係以矩陣方式排列，且每一畫素 20 至少包括一第一子畫素 21 及一第二子畫素 22，例如，畫素 $20(j)$ 至少包括一第一子畫素 $21(j)$ 及一第二子畫素 $22(j)$ ，畫素 $20(j+1)$ 至少包括一第一子畫素 $21(j+1)$ 及一第二子畫素 $22(j+1)$ ，以此類推。

在本實施例中，各子畫素係包含一液晶電容、一儲存電容、及一開關元件；如第 10 圖所示，每一第一子畫素 21 係包括一液晶電容 C_{LC1} 、一儲存電容 C_{ST1} 及一開關元件 M_1 ，每一第二子畫素 22 係包括一液晶電容 C_{LC2} 、一儲存電容 C_{ST2} 及一開關元件 M_2 ；在本實施例中，開關元件 M_1 及開關元件 M_2 係可以分別為一薄膜電晶體 (TFT)、或

MIM 開關元件。另外，液晶顯示裝置 2 更包括複數條掃描線 $S(1) \sim S(m)$ 、複數條資料線 $D(1) \sim D(n)$ 及複數條儲存電容線 25，其中儲存電容線 25 包括複數條第一儲存電容線 $B1(1) \sim B1(m)$ 與第二儲存電容線 $B2(1) \sim B2(m)$ ；在本實施例中，掃描線 $S(1) \sim S(m)$ 及儲存電容線 25 係平行交互設置，而資料線 $D(1) \sim D(n)$ 係與掃描線 $S(1) \sim S(m)$ 垂直設置。

如第 10 圖所示，以某一畫素 $20(j)$ 為例，第 i 條掃描線 $S(i)$ 係設置於第一子畫素 21 與第二子畫素 22 之間、並連接至開關元件 M_1 及開關元件 M_2 的閘極，藉以控制開關元件 M_1 及開關元件 M_2 的開關狀態，第 j 條資料線 $D(j)$ 係透過開關元件 M_1 連接至液晶電容 C_{LC1} 及儲存電容 C_{ST1} 、且透過開關元件 M_2 連接至液晶電容 C_{LC2} 及儲存電容 C_{ST2} ，另外，儲存電容 C_{ST1} 及儲存電容 C_{ST2} 係分別連接至第 i 條第一儲存電容線 $B1(i)$ 及第 i 條第二儲存電容線 $B2(i)$ ，其中，本實施例第 i 條第二儲存電容線 $B2(i)$ 與第 $i+1$ 條第一儲存電容線 $B1(i+1)$ 係共用同一條實體電路佈局。

承上所述，當第 i 條掃描線 $S(i)$ 輸出訊號控制開關元件 M_1 及開關元件 M_2 的開關狀態為導通時，相對應之第 j 條資料線 $D(j)$ 係能夠輸入一資料線訊號至相對之第一子畫素 21 的液晶電容 C_{LC1} 及儲存電容 C_{ST1} ，以及相對之第二子畫素 22 的液晶電容 C_{LC2} 及儲存電容 C_{ST2} 。

以下將詳述各液晶電容與儲存電容的結構，以及與資

料線及儲存電容線的連結關係。在本實施例中，各液晶電容係由一共通電極、一液晶層與一子畫素電極定義而成，且共通電極與子畫素電極係透過液晶層相對而設；另外，各儲存電容係由一儲存電極、一絕緣層以及一儲存共通電極定義而成，且儲存共通電極與儲存電極係透過絕緣層相對而設；其中，儲存電極與子畫素電極電性連接、並透過相對之開關元件電性連接至相對之資料線，此外，於任一畫素中，第一子畫素之共通電極與第二子畫素之共通電極係互相電性連接，例如同時接地，而第一子畫素之儲存共通電極係與第二子畫素之儲存共通電極分離設置，亦即第一子畫素之儲存共通電極係與第二子畫素之儲存共通電極分別連接至相鄰之二儲存電容線，其中，相鄰之二儲存電容線係具有相同的振幅，其相位差可如同本實施例相差一個掃描信號的時序，即在同一畫面時間內的不同時間改變第一儲存電容線 $B1(1) \sim B1(m)$ 及第二儲存電容線 $B2(1) \sim B2(m)$ 之位準，也可以在同一畫面時間內同時改變第一儲存電容線 $B1(1) \sim B1(m)$ 及第二儲存電容線 $B2(1) \sim B2(m)$ 之位準。

除此之外，上述第一實施例之液晶面板 200 可以有數種的結構，為使本發明之內容更加清楚明瞭，在此略舉四種為例做說明。第 11A 圖是第一實施例之液晶面板 200 之示意圖，其包括複數個第一子畫素 $21(j)$ 、 $21(j+1)$ 及複數個第二子畫素 $22(j)$ 、 $22(j+1)$ ，而且包括複數條掃描線 $S(i)$ 及 $S(i+1)$ 、複數條第一儲存

電容線 $B1(i)$ 及 $B1(i+1)$ 與複數條第二儲存電容線 $B2(i)$ 及 $B2(i+1)$ 。另外，第 11B 圖到第 11E 圖是液晶面板 200 之各種不同結構沿著 CC' 剖線之的剖面圖。此外，本實施例第 i 條第二儲存電容線 $B2(i)$ 與第 $i+1$ 條第一儲存電容線 $B1(i+1)$ 也可以採用不共用同一條實體電路佈局。

如第 11B 圖所示，液晶面板 200 包括上基板 206、共同電極 207、下基板 208、透明電極 209、210 及第一層金屬 $ML1$ 及第二層金屬 $ML2$ ，兩個第二層金屬 $ML2$ 係分別用以耦接透明電極 209 與 210 至資料線 $D(1) \sim D(n)$ ，兩個第一層金屬 $ML1$ 係構成第一儲存電容線 $B1$ 與第二儲存電容線 $B2$ ，第一金屬層 $ML1$ 與對應之第二金屬層 $ML2$ 係構成儲存電容 C_{ST1} 或 C_{ST2} 。第 11C 圖是第二種液晶面板結構沿著 CC' 剖線之剖面圖，其與第一種結構不同處在於透明電極 209 與 210 係與第一金屬層 $ML1$ 電性連接，而第二金屬層 $ML2$ 構成第一儲存電容線 $B1$ 與第二儲存電容線 $B2$ 。第 11D 圖是第三種液晶面板結構沿著 CC' 剖線之剖面圖，其與第一種結構不同處在於第一金屬層 $ML1$ 更與透明電極 211、212 電性連接，以增加儲存電容 C_{ST1} 與 C_{ST2} 之電容值。第 11E 圖是第四種液晶面板結構的沿著 CC' 剖線之剖面圖，其與第一種結構不同處在於少了第二金屬層。需注意者，上述液晶面板結構中的儲存電容線（或偏壓線）

之設計係僅為舉例，並非為限制本發明之範圍，該技術領域中具有通常知識者亦可以利用其他結構設計達成相同之功效，均應包含於本發明之範圍中。

另外，在本實施例中，於任一畫素中的第二子畫素之儲存共通電極與沿一資料線方向相鄰設置之次一畫素或前一畫素的第一子畫素之儲存共通電極係可以同時連接至同一儲存電容線（包括一第一儲存電容線 B1 與一第二儲存電容線 B2）。

如第 10 圖所示，請同時參考沿一掃描線方向相鄰設置之二畫素 20(j)、20(j+1)，其中，於畫素 20(j)之第一子畫素 21(j)係與次一畫素 20(j+1)之第一子畫素 21(j+1)錯位設置，且畫素 20(j)之第二子畫素 22(j)係與次一畫素 20(j+1)之第二子畫素 22(j+1)錯位設置；為使本實施例之特徵更加清楚，請參照第 12 圖所示，其係顯示相鄰二畫素 20(j)、20(j+1)的電路佈局示意圖，其中區域 A 表示第一子畫素 21(j)的顯示區域，區域 B 表示第二子畫素 22(j)的顯示區域，其中，請同時參照第 11B 圖及第 12 圖，第 12 圖所示之區域 A 係為第 11B 圖所示之透明電極 209，第 12 圖所示之區域 B 係為第 11B 圖所示之透明電極 210，第 12 圖所示之儲存電容線 B1(i)、B2(i)係為第 11B 圖所示之第一金屬層 ML1，而第 11B 圖所示之第二金屬層 ML2 係位於儲存電容線 B1(i)、B2(i)與區域 A、區域 B 之重疊處。由第 12 圖可知，相鄰二畫素 20(j)、20(j+1)之第一子畫素 21(j)、21(j+1)係錯位設置，且相鄰二畫素 20(j)、

20(j+1)之第二子畫素 22(j)、22(j+1)亦錯位設置。

在本實施例中，請再參考第 10 圖所示，於沿掃描線方向設置之相鄰二畫素 20(j)、20(j+1)中，畫素 20(j)之第一子畫素 21(j)與相鄰次一畫素 20(j+1)之第一子畫素 21(j+1)係近似於鏡像錯位設置，且畫素 20(j)之第二子畫素 22(j)與次一畫素 20(j+1)之第二子畫素 22(j+1)亦近似於鏡像錯位設置；詳言之，首先以第一子畫素 21(j)與第二子畫素 22(j)之交界（即第 i 條掃描線 S(i)）為對稱軸，於第二子畫素 22(j)之位置取得畫素 20(j)之第一子畫素 21(j)的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 20(j+1)之第一子畫素 21(j+1)，因此本實施例中稱第一子畫素 21(j)與第一子畫素 21(j+1)係近似於鏡像錯位設置；同理，若以第一子畫素 21(j)與第二子畫素 22(j)之交界（即第 i 條掃描線 S(i)）為對稱軸，於第一子畫素 21(j)之位置取得某一畫素 20(j)之第二子畫素 22(j)的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 20(j+1)之第二子畫素 22(j+1)，因此本實施例中稱第二子畫素 22(j)與第二子畫素 22(j+1)係近似於鏡像錯位設置。

如第 10 圖所示，在任一畫素 20(j)或 20(j+1)中，第一子畫素 21(j)或 21(j+1)之儲存電容 C_{ST1} 比液晶電容 C_{LC1} 的比值係小於第二子畫素 22(j)或 22(j+1)之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值（即 $C_{ST1}/C_{LC1} < C_{ST2}/C_{LC2}$ ）。

接著，請參照第 13 圖所示，其係顯示致動一畫素 20(j)

或 $20(j+1)$ 時的操作時序，在此以點反轉 (dot inversion) 之極性切換方式為例，也就是同一畫素中，其於相鄰之畫面時間之畫素電壓的極性係為不同，而且相鄰畫素之畫素電壓的極性亦為不同。以區域 A (如第 12 圖) 為例，在第一畫面時間 $f1$ 中，在第 i 條掃描線 $S(i)$ 輸出掃描訊號後，第 i 條第一儲存電容線 $B1(i)$ 會轉變為低電壓位準，因此，區域 A 的畫素電壓 (即液晶電容 C_{LC1} 的電容值) 會受到的儲存電容 C_{ST1} 的影響，由原本的「 X 」略降為「 $X-\Delta V_1$ 」，在第二畫面時間 $f2$ 中，在第 i 條掃描線 $S(i)$ 輸出下一掃描訊號後，第 i 條第一儲存電容線 $B1(i)$ 會再轉變回高電壓位準，此時，區域 A 的畫素電壓 (即液晶電容 C_{LC1} 的電容值) 會受到的儲存電容 C_{ST1} 的影響，由原本的「 $-X$ 」略升為「 $-X+\Delta V_1$ 」，因此區域 A 之亮度會稍微下降；另外，以區域 B 為例，在第一畫面時間 $f1$ 中，在第 i 條掃描線 $S(i)$ 輸出脈衝訊號並經過半個時序後，第 i 條第二儲存電容線 $B2(i)$ 會轉變為高電壓位準，因此，區域 B 的畫素電壓 (即液晶電容 C_{LC2} 的電容值) 會受到的儲存電容 C_{ST2} 的影響，由原本的「 X 」略升為「 $X+\Delta V_2$ 」，然後，在第二畫面時間 $f2$ 中，在第 i 條掃描線 $S(i)$ 輸出下一脈衝訊號並經過半個時序後，第 i 條第二儲存電容線 $B2(i)$ 會再轉變回低電壓位準，此時，區域 B 的畫素電壓 (即液晶電容 C_{LC2} 的電容值) 會受到的儲存電容 C_{ST2} 的影響，由原本的「 $-X$ 」略降為「 $-X-\Delta V_2$ 」，因此區域 B 之亮度會稍微提升；承上所述，由於 $(C_{ST1}/$

$C_{LC1} < C_{ST2} / C_{LC2}$)，所以 $\Delta V_1 < \Delta V_2$ ，所以比較區域 A 與區域 B 可以發現區域 B 之亮度稍大於區域 A 之亮度，於此，可以將區域 A 與區域 B 分別定為暗區與亮區。

再者，由於第一子畫素 21(j) 或 21(j+1) 之畫素電壓差為「 $X - \Delta V_1$ 」(在第一畫面時間 f1) 或「 $-X + \Delta V_1$ 」(在第二畫面時間 f2)，例如產生一較低灰階，而第二子畫素 22(j) 或 22(j+1) 之畫素電壓差為「 $X + \Delta V_2$ 」(在第一畫面時間 f1) 或「 $-X - \Delta V_2$ 」(在第二畫面時間 f2)，例如產生一較高灰階，而且第一子畫素 21(j) 或 21(j+1) 之儲存電容 C_{ST1} 與液晶電容 C_{LC1} 的比值係小於第二子畫素 22 之儲存電容 C_{ST2} 與液晶電容 C_{LC2} 的比值 ($C_{ST1} / C_{LC1} < C_{ST2} / C_{LC2}$)，亦即 ΔV_1 小於 ΔV_2 ，所以區域 A 之亮度下降的幅度會小於區域 B 之亮度提升的幅度；舉例而言，若 X 為 5 伏特、 ΔV_1 為 0.2 伏特、 ΔV_2 為 0.8 伏特，則區域 A 的畫素電壓差為 $5 - 0.2 = 4.8$ 伏特、區域 B 的畫素電壓差為 $5 + 0.8 = 5.8$ 伏特，因此，本發明較佳實施例之液晶顯示裝置 2 的平均畫素電壓差可以提高至 $(4.8 + 5.8) / 2 = 5.3$ 伏特，其係略高於習知的平均畫素電壓差 (5 伏特)；另外，請比較第 8 圖與第 14 圖，當輸入電壓 X 在高穿透率的表現時，本實施例之穿透率 $T(X - \Delta V_1)$ 下降幅度小於習知的穿透率 $T(X - \Delta V)$ 下降幅度 (即 $T(X - \Delta V_1)$ 與 $T(X)$ 之差值小於 $T(X - \Delta V)$ 與 $T(X)$ 之差值)，而且本實施例之穿透率 $T(X + \Delta V_2)$ 上升幅度大於習知的穿透率 $T(X + \Delta V)$ 上升幅度 (即 $T(X + \Delta V_2)$ 與 $T(X)$ 之差值大於 $T(X + \Delta V)$ 與 $T(X)$ 之差值)，所以本實施例之較高灰階

區及較低灰階的亮度皆大於習知的較高灰階區及較低灰階的亮度。由此可知，本發明可以適當地利用 ΔV_1 及 ΔV_2 的值來調整第一子畫素 21(j)、21(j+1)及第二子畫素 22(j)、22(j+1)的亮度，同時有效提升液晶顯示裝置的整體亮度，並得到較佳的低色差 γ 特性。

[第二實施例]

請參考第 15 圖所示，其繪示本發明第二實施例的一種多視域液晶顯示裝置 3，在本實施例中，各畫素 20 更包括一第三子畫素 26，且各第三子畫素 26 係包括一液晶電容 C_{LC3} 、一儲存電容 C_{ST3} 及一開關元件 M_3 。另外，在本實施例中，第二子畫素 22 之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值係小於第三子畫素 26 之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值 ($C_{ST2}/C_{LC2} < C_{ST3}/C_{LC3}$)，而且相鄰二畫素 20(j)與 20(j+1)中，畫素 20(j)之第三子畫素 26(j)係與相鄰次一畫素 20(j+1)之第三子畫素 26(j+1)錯位設置。在本實施例中，於沿掃描線方向設置之相鄰二畫素 20(j)與 20(j+1)中，畫素 20(j)之第一子畫素 21(j)、第二子畫素 22(j)、及第三子畫素 26(j)與次一畫素 20(j+1)之第一子畫素 21(j+1)、第二子畫素 22(j+1)、及第三子畫素 26(j+1)係分別近似於鏡像錯位設置。

如前所述，各子畫素能夠以二畫素之交界的中心為對稱軸錯位設置，或是以各子畫素之交界為對稱線鏡像設置。舉例而言，在本實施例中，首先以第一子畫素 21(j)與第二子畫素 22(j)之交界（即第 i 條掃描線 $S(i)$ ）為對

稱軸，於第二子畫素 $22(j)$ 與第三子畫素 $26(j)$ 之位置取得畫素 $20(j)$ 之第一子畫素 $21(j)$ 的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 $20(j+1)$ 之第一子畫素 $21(j+1)$ ，因此本實施例中稱第一子畫素 $21(j)$ 與第一子畫素 $21(j+1)$ 係近似於鏡像錯位設置；同理，若以第一子畫素 $21(j)$ 與第二子畫素 $22(j)$ 之交界（即第 i 條掃描線 $S(i)$ ）為對稱軸，於第一子畫素 $21(j)$ 之位置取得畫素 $20(j)$ 之第二子畫素 $22(j)$ 及第三子畫素 $26(j)$ 之組合的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 $20(j+1)$ 之第二子畫素 $22(j+1)$ 及第三子畫素 $26(j+1)$ 之組合，因此本實施例中稱第二子畫素 $22(j)$ 及第三子畫素 $26(j)$ 之組合與第二子畫素 $22(j+1)$ 及第三子畫素 $26(j+1)$ 之組合係近似於鏡像錯位設置。如第 16 圖所示，其係顯示相鄰二畫素 $20(j)$ 與 $20(j+1)$ 的電路佈局示意圖，其中區域 A 表示第一子畫素 $21(j)$ 與 $21(j+1)$ 的顯示區域，區域 B 表示第二子畫素 $22(j)$ 與 $22(j+1)$ 的顯示區域，區域 C 表示第三子畫素 $26(j)$ 與 $26(j+1)$ 的顯示區域，其中，請同時參照第 11B 圖及第 16 圖，第 16 圖所示之區域 A 係為第 11B 圖所示之透明電極 209，第 16 圖所示之區域 B 係為第 11B 圖所示之透明電極 210，第 16 圖所示之區域 C 亦為一透明電極 210'（第 11B 圖未示），第 16 圖所示之儲存電容線 $B1(i)$ 、 $B2(i)$ 係為第 11B 圖所示之第一金屬層 $ML1$ ，而第 11B 圖所示之第二金屬層 $ML2$ 係位於儲存電容線 $B1(i)$ 、 $B2(i)$ 與區域 A、區域 B 之重疊處。

由第 16 圖可知，相鄰二畫素 20(j)與 20(j+1)之第一子畫素 21(j)與 21(j+1)、第二子畫素 22(j)與 22(j+1)及第三子畫素 26(j)與 26(j+1)係分別近似於鏡像錯位設置。

請參考第 17 圖所示，本實施例係將同一畫素再區分成三個子畫素，所以使用者在螢幕的正前方與斜前方所看到的影像之常態化亮度會比習知的方式（如第 7 圖所示）接近理想狀況（斜率為 1 之直線）；另外，本實施例亦可以利用控制三子畫素之亮度的方式，藉以進一步改善液晶顯示裝置 3 的 γ 特性，例如，可以控制區域 C 之亮度大於區域 B 之亮度、且區域 B 之亮度大於區域 A 之亮度，因此比較區域 A 與區域 B 及區域 C 之組合可以發現區域 B 及區域 C 之組合為亮區、而區域 A 為暗區；此外，由於區域 A、區域 B 及區域 C 的亮度皆不相同，且區域 A、區域 B 及區域 C 的亮度差異可以分別依據第一子畫素 21 之儲存電容 C_{ST1} 比液晶電容 C_{LC1} 的比值(C_{ST1}/C_{LC1})、第二子畫素 22 之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值(C_{ST2}/C_{LC2})、及第三子畫素 26 之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值(C_{ST3}/C_{LC3})來決定，所以能夠比較彈性地改變在螢幕的正前方與斜前方的常態化亮度關係，進而調整液晶顯示裝置 3 的 γ 特性。

[第三實施例]

當然，依本發明之液晶顯示裝置可以將同一畫素再區分成四個或以上的子畫素，其實施方式應為熟悉該項技術者可以參考上述實施例而實現。以下將舉例說明同一畫素

區分成四個子畫素的實施例，請參照第 18 圖所示，其係顯示另一種液晶顯示裝置 4，在本實施例中，各畫素 20 包括一第一子畫素 21、一第二子畫素 22、一第三子畫素 26、及一第四子畫素 27，例如，畫素 20(j)至少包括一第一子畫素 21(j)、一第二子畫素 22(j)、一第三子畫素 26(j)、及一第四子畫素 27(j)，畫素 20(j+1)至少包括一第一子畫素 21(j+1)及一第二子畫素 22(j+1)、一第三子畫素 26(j+1)、及一第四子畫素 27(j+1)，以此類推；其中第一子畫素 21(j)及 21(j+1)與第二子畫素 22(j)及 22(j+1)負責顯示較暗訊號；第三子畫素 26(j)及 26(j+1)及第四子畫素 27(j)及 27(j+1)負責顯示較亮訊號。其中第一子畫素 21(j)及 21(j+1)、第二子畫素 22(j)及 22(j+1)及第三子畫素 26(j)及 26(j+1)之結構係如前所述，故此不再贅述；在本實施例中，第四子畫素 27(j)及 27(j+1)係分別包括一液晶電容 C_{LC4} 、一儲存電容 C_{ST4} 及一開關元件 M_4 。在本實施例中，各個子畫素的儲存電容與液晶電容設計可以如下：第一子畫素 21(j)或 21(j+1)之儲存電容 C_{ST1} 比液晶電容 C_{LC1} 的比值係小於第二子畫素 22 之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值 ($C_{ST1}/C_{LC1} < C_{ST2}/C_{LC2}$)，第二子畫素 22(j)或 22(j+1)之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值係小於第三子畫素 26(j)或 26(j+1)之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值 ($C_{ST2}/C_{LC2} < C_{ST3}/C_{LC3}$)，第三子畫素 26(j)或 26(j+1)之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值係小於第四子畫素 27(j)或 27(j+1)之儲存電容 C_{ST4} 比液晶電容 C_{LC4} 的比值 ($C_{ST3}/$

$C_{LC3} < C_{ST4}/C_{LC4}$), 即 $C_{ST1}/C_{LC1} < C_{ST2}/C_{LC2} < C_{ST3}/C_{LC3} < C_{ST4}/C_{LC4}$ 。也就是控制各個子畫素的儲存電容 C_{STn} 與液晶電容 C_{LCn} , 使得受到儲存電容線信號的影響下會產生的偏移電壓為 ΔV_n , 其中第一子畫素所產生的偏移電壓為 ΔV_1 , 第二子畫素所產生的偏移電壓為 ΔV_2 , 第三子畫素所產生的偏移電壓為 ΔV_3 , 第四子畫素所產生的偏移電壓為 ΔV_4 , 最後使得 $\Delta V_1 < \Delta V_2 < \Delta V_3 < \Delta V_4$ 。

另外, 在本實施例中, 各個子畫素的儲存電容與液晶電容設計也可以如下: 第一子畫素 21(j) 或 21(j+1) 之儲存電容 C_{ST1} 比液晶電容 C_{LC1} 的比值係等於第三子畫素 26(j) 或 26(j+1) 之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值 ($C_{ST1}/C_{LC1} = C_{ST3}/C_{LC3}$), 第二子畫素 22(j) 或 22(j+1) 之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值係等於第四子畫素 27(j) 或 27(j+1) 之儲存電容 C_{ST4} 比液晶電容 C_{LC4} 的比值 ($C_{ST2}/C_{LC2} = C_{ST4}/C_{LC4}$), 第三子畫素 26(j) 或 26(j+1) 之儲存電容 C_{ST3} 比液晶電容 C_{LC3} 的比值係小於第四子畫素 27(j) 或 27(j+1) 之儲存電容 C_{ST4} 比液晶電容 C_{LC4} 的比值 ($C_{ST3}/C_{LC3} < C_{ST4}/C_{LC4}$), 即 $C_{ST1}/C_{LC1} = C_{ST3}/C_{LC3} < C_{ST2}/C_{LC2} = C_{ST4}/C_{LC4}$, 也就是 $\Delta V_1 = \Delta V_3 < \Delta V_2 = \Delta V_4$ 。

在本實施例中, 於沿掃描線方向設置之相鄰二畫素 20(j) 及 20(j+1) 中, 畫素 20(j) 之第一子畫素 21(j)、第二子畫素 22(j)、第三子畫素 26(j)、及第四子畫素 27(j) 分別與次一畫素 20(j+1) 之第一子畫素 21(j+1)、第二子畫素 22(j+1)、第三子畫素 26(j+1)、及第四子畫素 27(j+1) 係近

似於鏡像錯位設置。詳言之，首先以第一子畫素 21(j)與第二子畫素 22(j)之交界（即第 i 條掃描線 S(i)）為對稱軸，於第二子畫素 22(j)與第三子畫素 26(j)之位置取得畫素 20(j)之第一子畫素 21(j)與第四子畫素 27(j)之組合的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 20(j+1)之第一子畫素 21(j+1)與第四子畫素 27(j+1)，因此本實施例中稱第一子畫素 21(j)及第四子畫素 27(j)之組合與第一子畫素 21(j+1)及第四子畫素 27(j+1)之組合係近似於鏡像錯位設置；同理，若以第一子畫素 21(j)與第二子畫素 22(j)之交界（即第 i 條掃描線 S(i)）為對稱軸，於第一子畫素 21(j)及第四子畫素 27(j)之位置取得畫素 20(j)之第二子畫素 22(j)及第三子畫素 26(j)之組合的鏡像，然後將此鏡像沿著掃描線方向移動一個畫素，即可以得到次一畫素 20(j+1)之第二子畫素 22(j+1)及第三子畫素 26(j+1)之組合，因此本實施例中稱第二子畫素 22(j)及第三子畫素 26(j)之組合與第二子畫素 22(j+1)及第三子畫素 26(j+1)之組合係近似於鏡像錯位設置。如第 19 圖所示，其係顯示相鄰二畫素 20(j)與 20(j+1)的電路佈局示意圖，其中區域 A 表示第一子畫素 21(j)與 21(j+1)的顯示區域，區域 B 表示第二子畫素 22(j)與 22(j+1)的顯示區域，區域 C 表示第三子畫素 26(j)與 26(j+1)的顯示區域，區域 D 表示第四子畫素 27(j)與 27(j+1)的顯示區域，其中，請同時參照第 11B 圖及第 19 圖，第 19 圖所示之區域 A 係為第 11B 圖所示之透明電極 209，第 19 圖所示之區域 B 係為第

11B 圖所示之透明電極 210，第 19 圖所示之區域 C 及區域 D 亦分別為一透明電極 210' 及一透明電極 209' (第 11B 圖未示)，第 19 圖所示之儲存電容線 B1(i)、B2(i) 係為第 11B 圖所示之第一金屬層 ML1，而第 11B 圖所示之第二金屬層 ML2 係位於儲存電容線 B1(i)、B2(i) 與區域 A、區域 B 之重疊處。由第 19 圖可知，相鄰二畫素 20(j) 與 20(j+1) 之第一子畫素 21(j) 與 21(j+1)、第二子畫素 22(j) 與 22(j+1)、第三子畫素 26(j) 與 26(j+1) 及第四子畫素 27(j) 與 27(j+1) 係分別近似於鏡像錯位設置。

另外，第 20 圖顯示如第 18 圖所示之液晶顯示裝置的實體電路佈局示意圖，其中第一儲存電容線 B1(i)、B1(i+1) 與第二儲存電容線 B2(i) 係採用如第 11B 圖所示之電路佈局設計。再者，請參考第 19 圖所示，本實施例係將同一畫素再區分成四個子畫素，所以使用者在螢幕的正前方與斜前方所看到的影像之常態化亮度會比習知的方式 (如圖 5 所示) 接近理想狀況 (斜率為 1 之直線)；另外，本實施例亦可以利用控制四子畫素之亮度的方式，藉以進一步改善液晶顯示裝置 4 的 γ 特性，例如，可以控制區域 C 之亮度大於區域 B 之亮度、區域 B 之亮度大於區域 D 之亮度、且區域 D 之亮度大於區域 A 之亮度，因此比較區域 A 及區域 D 之組合與區域 B 及區域 C 之組合可以發現區域 B 及區域 C 之組合為亮區、而區域 A 及區域 D 之組合為暗區；此外，由於區域 A、區域 B、區域 C 及區域 D 的亮度皆不相同，且區域 A、區域 B 及區域 C

的亮度差異可以分別依據第一子畫素 21 之儲存電容 C_{ST1} 比液晶電容 C_{LC1} 的比值 (C_{ST1}/C_{LC1})、第二子畫素 22 之儲存電容 C_{ST2} 比液晶電容 C_{LC2} 的比值 (C_{ST2}/C_{LC2})、第三子畫素 26 之儲存電容比 C_{ST3} 液晶電容 C_{LC3} 的比值 (C_{ST3}/C_{LC3})、及第四子畫素 27 之儲存電容 C_{ST4} 比液晶電容 C_{LC4} 的比值 (C_{ST4}/C_{LC4}) 來決定，所以使用者能夠彈性地改變在螢幕的正前方與斜前方的常態化亮度關係，進而調整液晶顯示裝置 4 的 γ 特性。

另外，本發明亦揭露一種液晶面板之驅動方法，其係應用於上述之液晶面板，並包含下列步驟：首先，致能掃瞄線以使得第一開關元件及第二開關元件為導通；接著，將資料線之信號傳入第一子畫素及第二子畫素；最後，解能掃瞄線。在本發明中，當掃瞄線解能後，第一儲存電容線及第二儲存電容線之位準係分別改變，以使得第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓（如 ΔV_1 ），第二子畫素之畫素電壓與輸入電壓有一第二偏移電壓（如 ΔV_2 ），以使得第一子畫素之畫素電壓與第二子畫素之畫素電壓不同，且第一偏移電壓與該第二偏移電壓不同。由於本發明之液晶面板之驅動方法係已經詳細說明於上述實施例中，故此不再贅述。

綜上所述，因依本發明之液晶顯示裝置的每一畫素中係至少包括一第一子畫素及一第二子畫素，且第一子畫素之液晶電容與儲存電容的比值係小於第二子畫素之液晶

電容與儲存電容的比值，所以本發明之液晶顯示裝置及其驅動方法能夠使得其 γ 值趨近於理想值，進而有效改善影像顯示之 γ 特性，並進一步提高色差補償能力，藉以改善顏色偏差之現象，進而提供更佳的影像顯示品質。

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

【圖式簡單說明】

第 1 圖顯示習知多域垂直配向型液晶顯示面板之灰階對光穿透率的特性曲線圖；

第 2 圖顯示習知液晶顯示裝置之常態化亮度關係圖；

第 3 圖顯示習知的多視域液晶顯示裝置的整體示意圖；

第 4 圖顯示另一種習知液晶顯示裝置之畫素的等效電路示意圖；

第 5 圖顯示如第 4 圖所示之液晶顯示裝置的電路佈局示意圖；

第 6 圖顯示致動如第 5 圖所示之區域 A 及區域 B 時的操作時序圖；

第 7 圖顯示如第 4 圖所示之習知液晶顯示裝置的常態化亮度關係圖；

第 8 圖顯示習知液晶顯示裝置的穿透率與輸入電壓關係圖；

第 9 圖顯示依本發明較佳實施例之多視域液晶顯示裝置的整體示意圖；

第 10 圖顯示依本發明第一實施例之液晶顯示裝置之畫素的等效電路示意圖；

第 11A 圖顯示依本發明第一實施例之液晶面板之示意圖；

第 11B 圖到第 11E 圖顯示如第 11A 圖之液晶面板之各種不同結構沿著 CC' 剖線之的剖面圖；

第 12 圖顯示如第 10 圖所示之液晶顯示裝置的電路佈局示意圖；

第 13 圖顯示致動如第 12 圖所示之區域 A 及區域 B 時的操作時序圖；

第 14 圖顯示本發明第一實施例之液晶顯示裝置的穿透率與輸入電壓關係圖；

第 15 圖顯示依本發明第二實施例之液晶顯示裝置之畫素的等效電路示意圖；

第 16 圖顯示如第 15 圖所示之液晶顯示裝置的電路佈局示意圖；

第 17 圖顯示如第 15 圖所示之液晶顯示裝置的常態化亮度關係圖；

第 18 圖顯示依本發明第三實施例之液晶顯示裝置之畫素的等效電路示意圖；

第 19 圖顯示如第 18 圖所示之液晶顯示裝置的電路佈局示意圖；

第 20 圖顯示如第 18 圖所示之液晶顯示裝置的實體電路佈局示意圖；以及

第 21 圖顯示如第 18 圖所示之液晶顯示裝置的常態化亮度關係圖。

元件符號說明：

1、2、3、4	液晶顯示裝置
10、20、20(j)、20(j+1)	畫素
11、21、21(j)、21(j+1)	第一子畫素
12、22、22(j)、22(j+1)	第二子畫素
S (1) ~ S (m)、S (i)、S (i+1)	掃描線
D (1) ~ D (n)、D (j)、D (j+1)	資料線
15	儲存電容線
B1 (1) ~ B1 (m)、B1 (i)、B1 (i+1)	第一儲存電容線
B2 (1) ~ B2 (m)、B2 (i)、B2 (i+1)	第二儲存電容線
26、26(j)、26(j+1)	第三子畫素
27、27(j)、27(j+1)	第四子畫素
A、B、C、D	子畫素之區域
C _{LC1} 、C _{LC2} 、C _{LC3} 、C _{LC4}	液晶電容
C _{ST1} 、C _{ST2} 、C _{ST3} 、C _{ST4}	儲存電容
L1、L2、L3、L4、L5、L6	曲線
M ₁ 、M ₂ 、M ₃ 、M ₄	開關元件
100、200	液晶面板
102、202	源極驅動器

104、204	閘極驅動器
f1	第一畫面時間
f2	第二畫面時間
206	上基板
207	共同電極
208	下基板
209、210、211、212、209'、210'	透明電極
ML1	第一金屬層
ML2	第二金屬層

五、中文發明摘要：

一種液晶顯示裝置，其係包括以矩陣方式排列的複數個畫素，每一畫素至少包含一第一子畫素及一第二子畫素，每一第一或第二子畫素係包含一液晶電容及一儲存電容，且第一子畫素之液晶電容與儲存電容的比值係小於第二子畫素之液晶電容與儲存電容的比值，其中，於所有畫素中的一第一畫素與一第二畫素中，第一畫素之第一子畫素係與第二畫素之第一子畫素錯位設置，且第一畫素之第二子畫素係與第二畫素之第二子畫素錯位設置。

六、英文發明摘要：

A liquid crystal display device includes a plurality of pixels, which are arranged in columns and rows. Each of the pixels at least includes a first sub-pixel and a second sub-pixel. Each of the first and second sub-pixels includes a liquid crystal capacitor and a storage capacitor. The ratio of the liquid crystal capacitor to the storage capacitor of the first sub-pixel is smaller than that of the second sub-pixel. In a first pixel and a second pixel out of the pixels, the first sub-pixel of the first pixel and the first sub-pixel of the second pixel are misaligned, and the second sub-pixel of the first pixel and the second sub-pixel of the second pixel are misaligned.

十、申請專利範圍：

1、一種液晶顯示裝置，包含：

複數個畫素，其係以矩陣方式排列，且各該等畫素至少包含一第一子畫素及一第二子畫素，該等第一子畫素及該等第二子畫素之任一係包含一液晶電容及一儲存電容，且各該第一子畫素之該儲存電容比該液晶電容的比值係小於各該第二子畫素之該儲存電容比該液晶電容的比值，

其中，於該等畫素其中之一第一畫素與一第二畫素中，該第一畫素之該第一子畫素係與該第二畫素之該第一子畫素錯位設置，且該第一畫素之該第二子畫素係與該第二畫素之該第二子畫素錯位設置。

2、如申請專利範圍第 1 項所述之液晶顯示裝置，其中該第一畫素係與該第二畫素沿一掃描線方向相鄰設置。

3、如申請專利範圍第 1 項所述之液晶顯示裝置，其中，於該第一畫素與該第二畫素中，該第一畫素之該第一子畫素係與該第二畫素之該第一子畫素近似於鏡像錯位設置，且該第一畫素之該第二子畫素係與該第二畫素之該第二子畫素近似於鏡像錯位設置。

4、如申請專利範圍第 3 項所述之液晶顯示裝置，其中該第一畫素之該第一子畫素係與該第二畫素之該第一子畫素以該第一畫素與該第二畫素之交界的中心為對稱軸錯位設置，且該第一畫素之該第二子畫素係與該第二畫素之該第二子畫素以該第一畫素與該第二畫素之

交界的中心為對稱軸錯位設置。

- 5、如申請專利範圍第 1 項所述之液晶顯示裝置，其中各該等畫素更包含一第三子畫素，且各該等第三子畫素係包含一液晶電容及一儲存電容，且該第二子畫素之該儲存電容比該液晶電容的比值係小於該第三子畫素之該儲存電容比該液晶電容的比值，於該第一畫素與該第二畫素中，該第一畫素之該第三子畫素係與該第二畫素之該第三子畫素錯位設置。
- 6、如申請專利範圍第 5 項所述之液晶顯示裝置，其中，於該第一畫素與該第二畫素中，該第一畫素之該第一子畫素係與該第二畫素之該第一子畫素鏡像錯位設置，該第一畫素之該第二子畫素係與該第二畫素之該第二子畫素近似於鏡像錯位設置，且該第一畫素之該第三子畫素係與該第二畫素之該第三子畫素近似於鏡像錯位設置。
- 7、如申請專利範圍第 6 項所述之液晶顯示裝置，其中該第一畫素之該第一子畫素係與該第二畫素之該第一子畫素以該第一畫素與該第二畫素之交界的中心為對稱軸錯位設置，且該第一畫素之該第二子畫素及該第三子畫素之組合係與該第二畫素之該第二子畫素及該第三子畫素之組合以該第一畫素與該第二畫素之交界的中心為對稱軸錯位設置。
- 8、如申請專利範圍第 1 項所述之液晶顯示裝置，其中：
各該等液晶電容係由一共通電極、一液晶層與一子畫

素電極定義而成，該共通電極與該子畫素電極係透過該液晶層相對而設；以及

各該等儲存電容係由一儲存電極、一絕緣層以及一儲存共通電極定義而成，該儲存電極係與該子畫素電極電性連接，該儲存共通電極與該儲存電極係透過該絕緣層相對而設。

- 9、如申請專利範圍第 8 項所述之液晶顯示裝置，其中於該等畫素之任一中，該第一子畫素之該共通電極及該第二子畫素之該共通電極係互相電性連接，該第一子畫素之該儲存共通電極係與該第二子畫素之該儲存共通電極分離設置。
- 10、如申請專利範圍第 9 項所述之液晶顯示裝置，更包含：複數條儲存電容線，其係分別沿一掃描線方向設置，其中於該等畫素之任一中，該第一子畫素之該儲存共通電極係與該第二子畫素之該儲存共通電極係分別連接至相鄰之該等儲存電容線其中之二。
- 11、如申請專利範圍第 10 項所述之液晶顯示裝置，其中於該等畫素之任一中，該第二子畫素之該儲存共通電極與沿一資料線方向相鄰設置之該等畫素之另一的該第一子畫素之該儲存共通電極係同時連接至該等儲存電容線之一。
- 12、如申請專利範圍第 1 項所述之液晶顯示裝置，更包含：複數條掃描線，其係分別沿一掃描線方向設置；複數條資料線，其係分別沿一資料線方向設置；以及

複數對開關元件，其中該複數對開關元件係對應設置於該等畫素中，

其中，於該等畫素其中之任一中，相對應之該對開關元件係分別設置於該第一子畫素與該第二子畫素中，且該對開關元件係同時連接至相對應之該等掃描線之一及該等資料線之一，而該對開關元件之開關狀態係由相對應之該掃描線所控制。

- 13、如申請專利範圍第 12 項所述之液晶顯示裝置，其中當該對開關元件之開關狀態為導通時，相對應之該資料線係輸入一資料線訊號至相對之該第一子畫素及該第二子畫素的該等液晶電容及該等儲存電容。
- 14、如申請專利範圍第 12 項所述之液晶顯示裝置，其中該等開關元件係分別至少包含一薄膜電晶體。
- 15、如申請專利範圍第 1 項所述之液晶顯示裝置，其中該液晶顯示裝置係為一多域垂直配向 (MVA、Multi-Domain Vertically Aligned) 型液晶顯示裝置、一扭曲向列 (Twisted-Nematic) 型液晶顯示裝置、一光學補償彎曲 OCB (Optically Compensated Bend) 型液晶顯示裝置、一 ASM (Axisymmetric aligned) 型液晶顯示裝置、或一 IPS (In-plane Switching) 型液晶顯示裝置。
- 16、如申請專利範圍第 1 項所述之液晶顯示裝置，其中該液晶顯示裝置係為一點反轉 (dot inversion) 式液晶顯示裝置、一圖框反轉 (frame inversion) 式液晶顯示裝

置或多點反轉(many dots inversion)式液晶顯示裝置。

17、一種液晶面板，包括：

- 一資料線，以一第一方向形成於該液晶面板上並提供一輸入電壓；
- 一掃描線，以一第二方向形成於該液晶面板上，該第一方向與該第二方向垂直；
- 一畫素，係形成於該資料線與該掃描線之交叉處，包括：
 - 一第一子畫素，包括一第一開關、一第一液晶電容與一第一儲存電容，其中，該第一開關之一第一端連接於該掃描線，該第一開關之一第二端連接於該資料線，該第一開關之一第三端連接於該第一液晶電容之一第一端與該第一儲存電容之一第一端，以及
 - 一第二子畫素，包括一第二開關、一第二液晶電容與一第二儲存電容，其中，該第二開關之一第一端連接於該掃描線，該第二開關之一第二端連接於該資料線，該第二開關之一第三端連接於該第二液晶電容之一第一端與該第二儲存電容之一第一端；
 - 一第一儲存電容線，電性連結該第一儲存電容之一第二端；以及

一 第二儲存電容線，電性連結該第二儲存電容之一第二端；

其中，當該掃瞄線致能時，該第一開關元件及該第二開關元件係為導通，以使該資料線之信號傳入該第一子畫素及該第二子畫素，接著，當該掃瞄線解能後，該第一儲存電容線及該第二儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有一第二偏移電壓，以使得該第一子畫素之畫素電壓與該第二子畫素之畫素電壓不同，且該第一偏移電壓與該第二偏移電壓不同。

18、如申請專利範圍第 17 項所述之液晶面板，更包括一偏壓產生電路，形成於該液晶面板之基板上，並產生一偏壓信號以於該第一掃瞄線解能後驅動該第一儲存電容線及該第二儲存電容線。

19、如申請專利範圍第 18 項所述之液晶面板，其中該偏壓產生電路包括至少一偏壓單元，電性連接於該第一掃瞄線，並與該第一儲存電容線及該第二儲存電容線電性連接。

20、如申請專利範圍第 17 項所述之液晶面板，其中該畫素更包含一第三子畫素，其包括一第三開關、一第三液晶電容與一第三儲存電容，該第三開關之一第一端連接於該掃描線，該第三開關之一第

二端連接於該資料線，該第三開關之一第三端連接於該第三液晶電容之一第一端與該第三儲存電容之一第一端，該第二儲存電容線電性連結該第三儲存電容之一第二端，當該掃描線致能時，該第一開關元件、該第二開關元件及該第三開關元件係為導通，以使該資料線之信號傳入該第一子畫素、該第二子畫素及該第三子畫素，接著，當該掃描線解能後，該第一儲存電容線、該第二儲存電容線及該第三儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與該輸入電壓有該第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有該第二偏移電壓，該第三子畫素之畫素電壓與該輸入電壓有一第三偏移電壓，以使得該第一子畫素之畫素電壓、該第二子畫素之畫素電壓與該第三子畫素之畫素電壓互不相同，且該第一偏移電壓、該第二偏移電壓與該第三偏移電壓互不相同。

- 21、如申請專利範圍第 20 項所述之液晶面板，其中該畫素更包含一第四子畫素，其包括一第四開關、一第四液晶電容與一第四儲存電容，該第四開關之一第一端連接於該掃描線，該第四開關之一第四端連接於該資料線，該第四開關之一第三端連接於該第四液晶電容之一第一端與該第四儲

存電容之一第一端，該第一儲存電容線電性連結該第四儲存電容之一第二端，當該掃瞄線致能時，該第一開關元件、該第二開關元件、該第三開關元件及該第四開關元件係為導通，以使該資料線之信號傳入該第一子畫素、該第二子畫素、該第三子畫素及該第四子畫素，接著，當該掃瞄線解能後，該第一儲存電容線、該第二儲存電容線、該第三儲存電容線及該第四儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與該輸入電壓有該第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有該第二偏移電壓，該第三子畫素之畫素電壓與該輸入電壓有該第三偏移電壓，該第四子畫素之畫素電壓與該輸入電壓有一第四偏移電壓，以使得該第一子畫素之畫素電壓、該第二子畫素之畫素電壓、該第三子畫素之畫素電壓與該第四子畫素之畫素電壓互不相同，且該第一偏移電壓、該第二偏移電壓、該第三偏移電壓與該第四偏移電壓互不相同。

- 22、如申請專利範圍第 17 項所述之液晶面板，其中該等開關元件係分別至少包含一薄膜電晶體。
- 23、如申請專利範圍第 17 項所述之液晶面板，其中該液晶面板係為一多域垂直配向（MVA、Multi-Domain Vertically Aligned）型液晶面板、一扭曲向列

(Twisted-Nematic)型液晶顯示裝置、一光學補償彎曲 OCB(Optically Compensated Bend)型液晶顯示裝置、一 ASM (Axisymmetric aligned) 型液晶面板、或一 IPS (In-plane Switching) 型液晶面板。

24、如申請專利範圍第 17 項所述之液晶面板，其中該液晶面板係為一點反轉 (dot inversion) 式液晶面板、一圖框反轉 (frame inversion) 式液晶面板或多點反轉 (many dots inversion) 式液晶面板。

25、一種液晶面板之驅動方法，其係應用於一液晶面板，該液晶面板包含一資料線、一掃描線、一畫素、一第一儲存電容線及一第二儲存電容線，該資料線以一第一方向形成於該液晶面板上，該掃描線以一第二方向形成於該液晶面板上，該第一方向與該第二方向垂直，該畫素係形成於該資料線與該掃描線之交叉處，且該畫素包括一第一子畫素及一第二子畫素，該第一子畫素包括一第一開關、一第一液晶電容與一第一儲存電容，該第一開關之一第一端連接於該掃描線，該第一開關之一第二端連接於該資料線，該第一開關之一第三端連接於該第一液晶電容之一第一端與該第一儲存電容之一第一端，該第二子畫素包括一第二開關、一第二液晶電容與一第二儲存電容，其中，該第二開關之一第一端連接於該掃描線，該第二開關之一

第二端連接於該資料線，該第二開關之一第三端連接於該第二液晶電容之一第一端與該第二儲存電容之一第一端，該第一儲存電容線電性連結該第一儲存電容之一第二端，該第二儲存電容線，電性連結該第二儲存電容之一第二端，其中該驅動方法包含下列步驟：

致能該掃瞄線以使得該第一開關元件及該第二開關元件為導通；

將該資料線之信號傳入該第一子畫素及該第二子畫素；以及

解能該掃瞄線，其中當該掃瞄線解能後，該第一儲存電容線及該第二儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與一輸入電壓有一第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有一第二偏移電壓，以使得該第一子畫素之畫素電壓與該第二子畫素之畫素電壓不同，且該第一偏移電壓與該第二偏移電壓不同。

26、如申請專利範圍第 25 項所述之驅動方法，其中該液晶面板更包括一偏壓產生電路，形成於該液晶面板之基板上，該驅動方法更包括下列步驟：

由該偏壓產生電路產生一偏壓信號以於該第一掃瞄線解能後驅動該第一儲存電容線及該第

二儲存電容線。

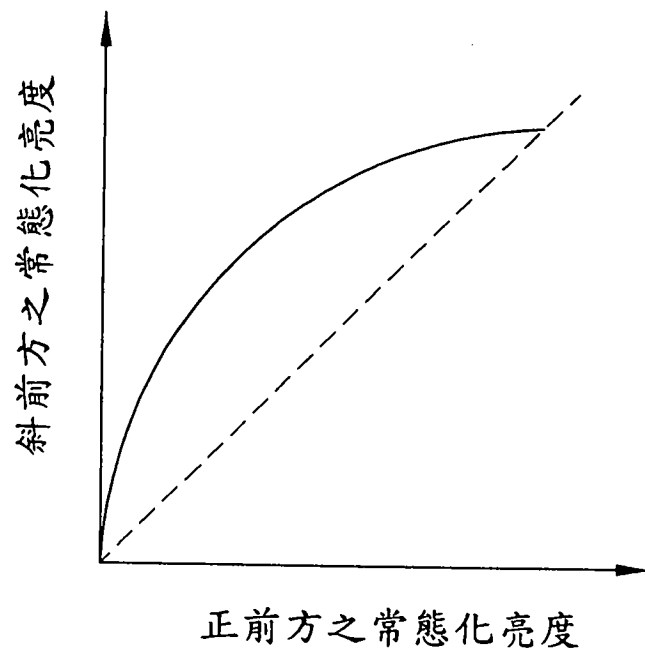
- 27、如申請專利範圍第 26 項所述之驅動方法，其中該偏壓產生電路包括至少一偏壓單元，電性連接於該第一掃描線，並與該第一儲存電容線及該第二儲存電容線電性連接。
- 28、如申請專利範圍第 25 項所述之驅動方法，其中該畫素更包含一第三子畫素，其包括一第三開關、一第三液晶電容與一第三儲存電容，該第三開關之一第一端連接於該掃描線，該第三開關之一第二端連接於該資料線，該第三開關之一第三端連接於該第三液晶電容之一第一端與該第三儲存電容之一第一端，該第二儲存電容線電性連結該第三儲存電容之一第二端，當該掃描線致能時，該第一開關元件、該第二開關元件及該第三開關元件係為導通，以使該資料線之信號傳入該第一子畫素、該第二子畫素及該第三子畫素，當該掃描線解能後，該第一儲存電容線、該第二儲存電容線及該第三儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與該輸入電壓有該第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有該第二偏移電壓，該第三子畫素之畫素電壓與該輸入電壓有一第三偏移電壓，以使得該第一子畫素之畫素電壓、該第二子畫素之畫素電壓與該第三子畫

素之畫素電壓互不相同，且該第一偏移電壓、該第二偏移電壓與該第三偏移電壓互不相同。

- 29、如申請專利範圍第 28 項所述之驅動方法，其中該畫素更包含一第四子畫素，其包括一第四開關、一第四液晶電容與一第四儲存電容，該第四開關之一第一端連接於該掃描線，該第四開關之一第四端連接於該資料線，該第四開關之一第三端連接於該第四液晶電容之一第一端與該第四儲存電容之一第一端，該第一儲存電容線電性連結該第四儲存電容之一第二端，當該掃描線致能時，該第一開關元件、該第二開關元件、該第三開關元件及該第四開關元件係為導通，以使該資料線之信號傳入該第一子畫素、該第二子畫素、該第三子畫素及該第四子畫素，接著，當該掃描線解能後，該第一儲存電容線、該第二儲存電容線、該第三儲存電容線及該第四儲存電容線之位準係分別改變，以使得該第一子畫素之畫素電壓與該輸入電壓有該第一偏移電壓，該第二子畫素之畫素電壓與該輸入電壓有該第二偏移電壓，該第三子畫素之畫素電壓與該輸入電壓有該第三偏移電壓，該第四子畫素之畫素電壓與該輸入電壓有一第四偏移電壓，以使得該第一子畫素之畫素電壓、該第二子畫素之畫素電壓、該第三子畫素之畫素電壓與該

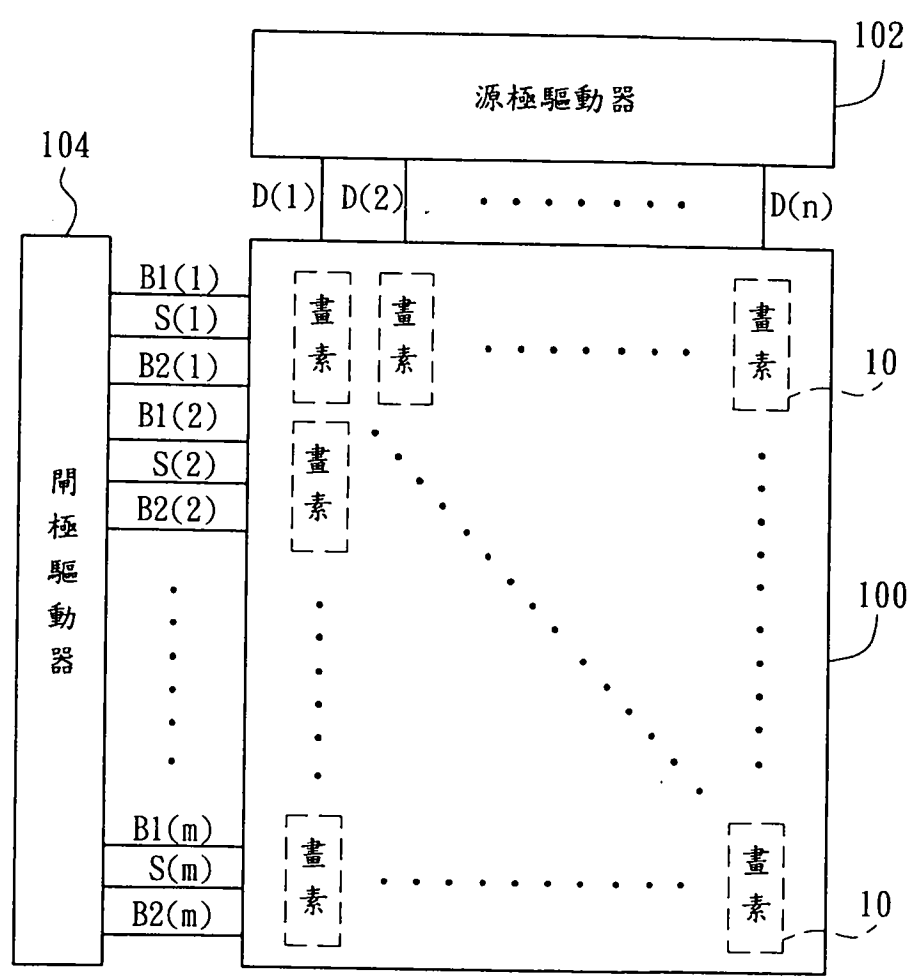
第四子畫素之畫素電壓互不相同，且該第一偏移電壓、該第二偏移電壓、該第三偏移電壓與該第四偏移電壓互不相同。

- 30、如申請專利範圍第 25 項所述之驅動方法，其中該等開關元件係分別至少包含一薄膜電晶體。
- 31、如申請專利範圍第 25 項所述之驅動方法，其中該液晶面板係為一多域垂直配向 (MVA、Multi-Domain Vertically Aligned) 型液晶面板、一扭曲向列 (Twisted-Nematic) 型液晶顯示裝置、一光學補償彎曲 OCB (Optically Compensated Bend) 型液晶顯示裝置、一 ASM (Axisymmetric aligned) 型液晶面板、或一 IPS (In-plane Switching) 型液晶面板。
- 32、如申請專利範圍第 25 項所述之驅動方法，其中該液晶面板係為一點反轉 (dot inversion) 式液晶面板、一圖框反轉 (frame inversion) 式液晶面板或多點反轉 (many dots inversion) 式液晶面板。



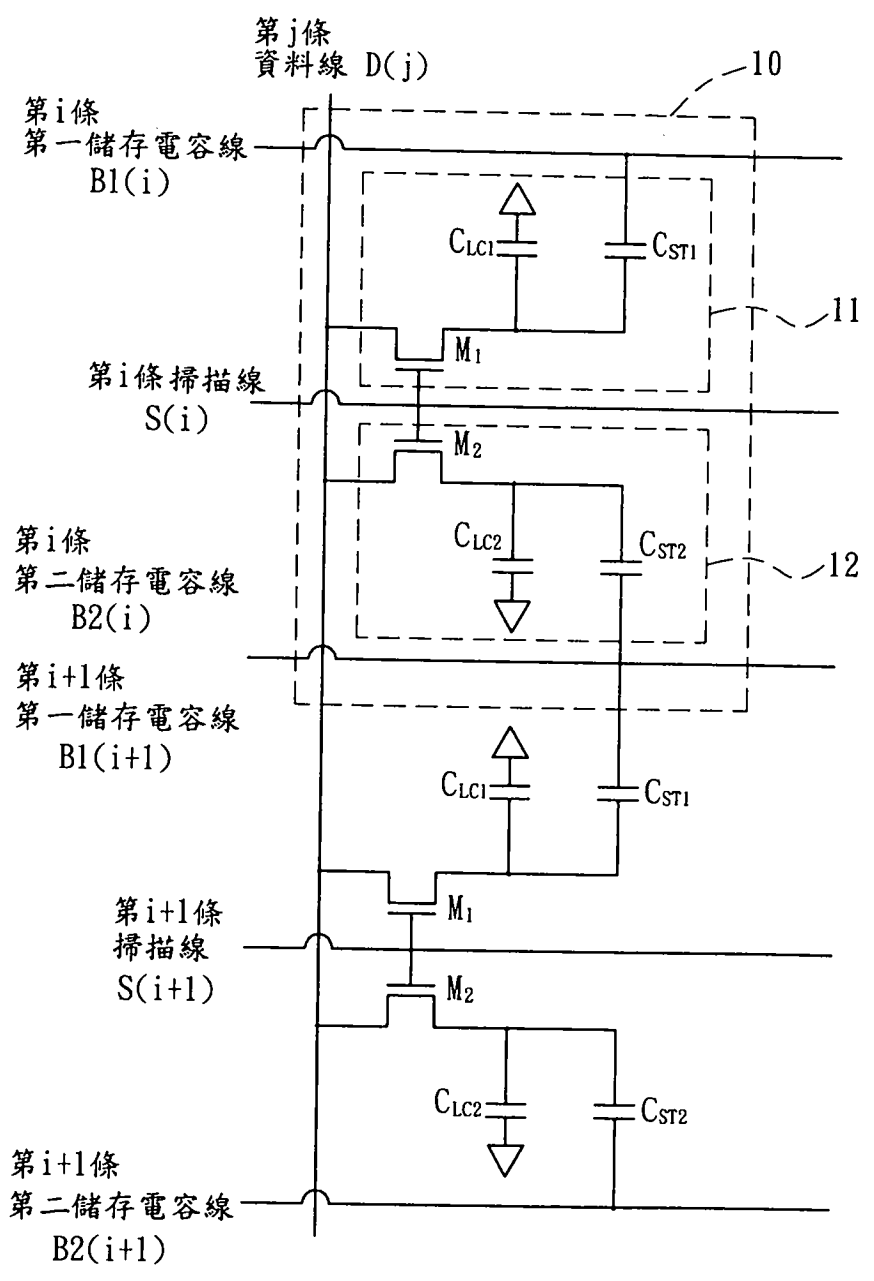
第 2 圖

1

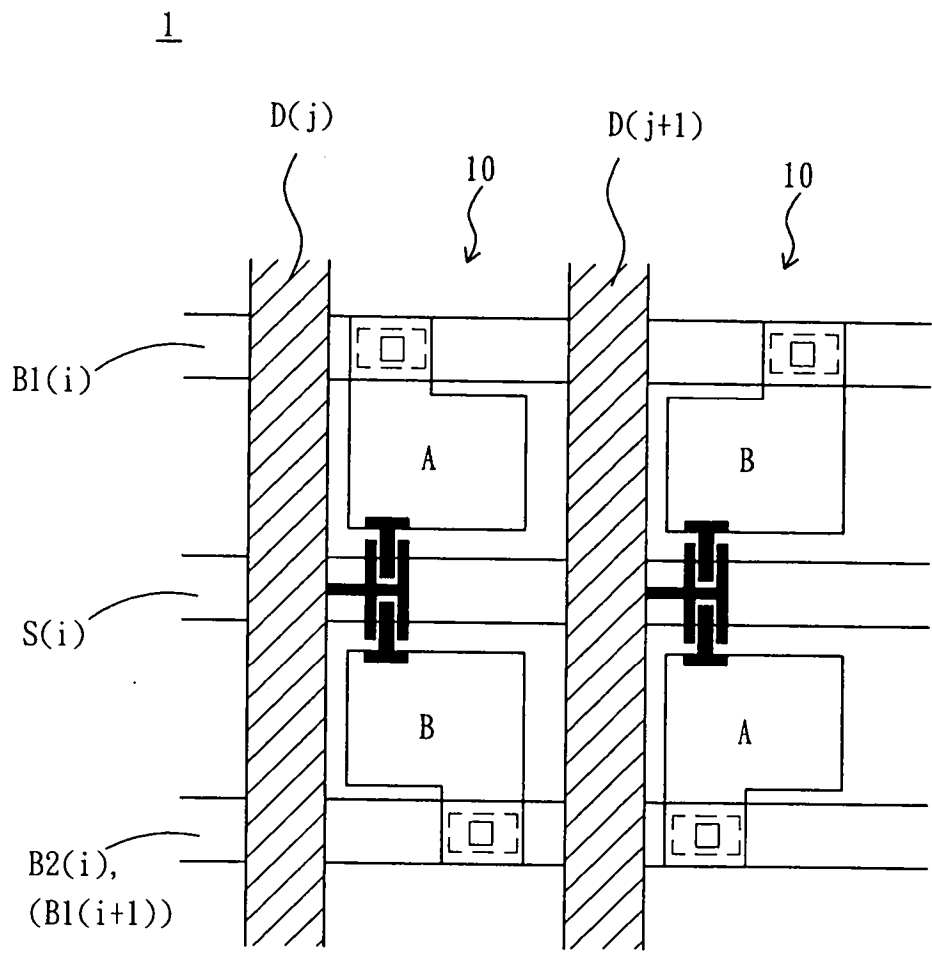


第 3 圖

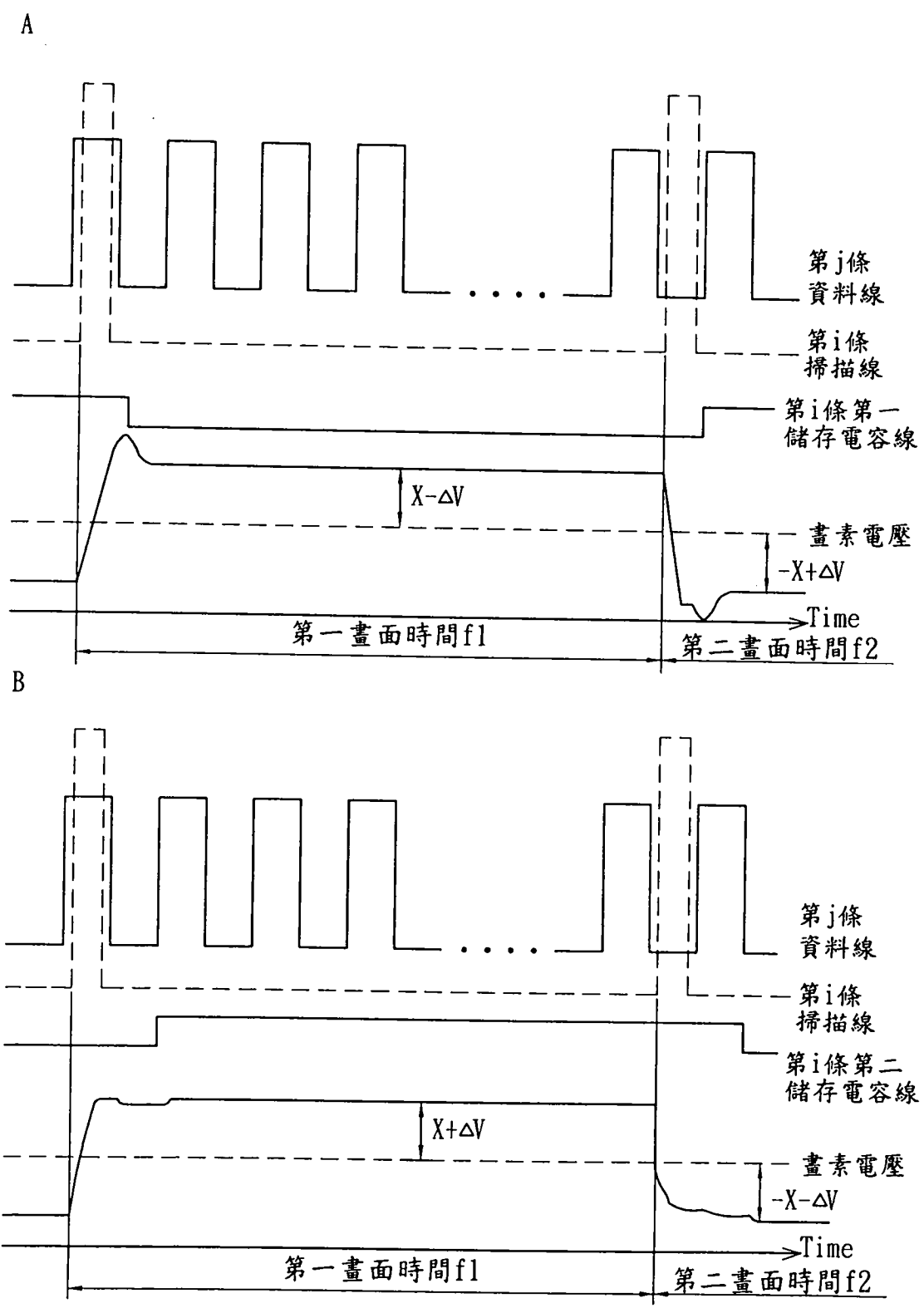
1



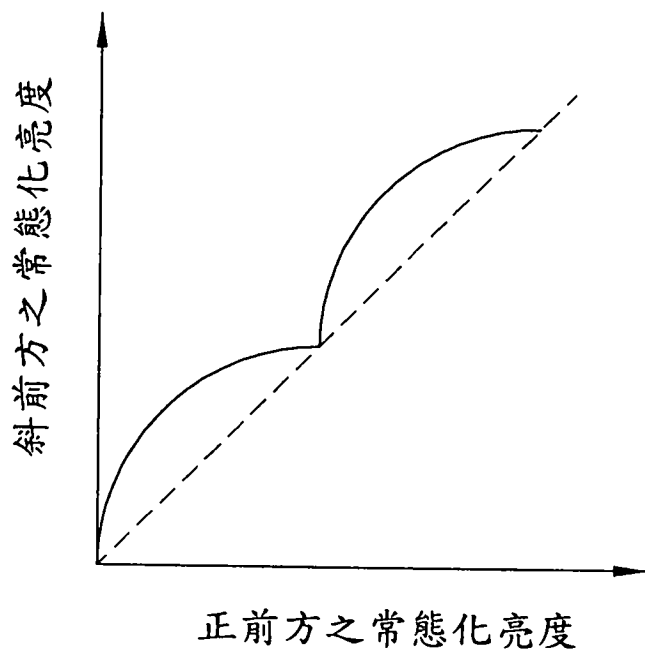
第 4 圖



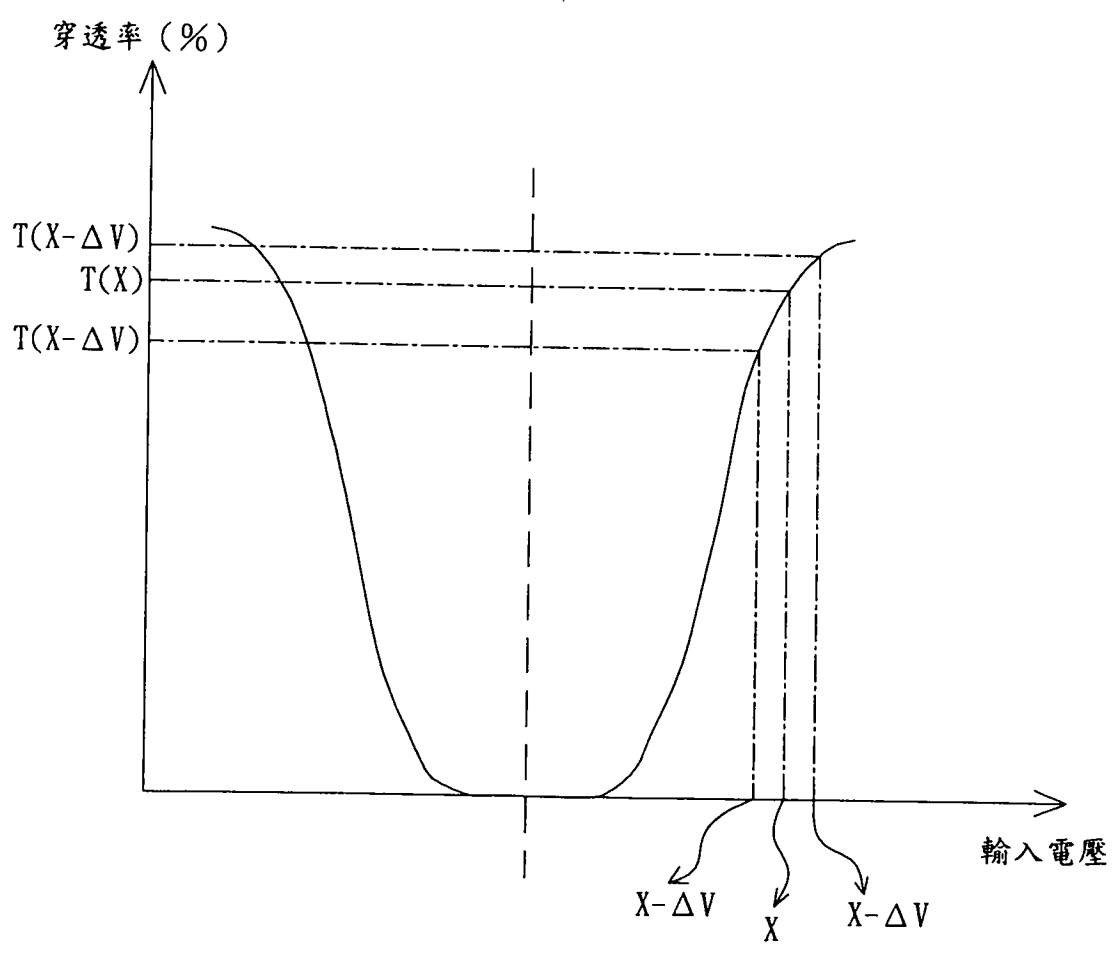
第 5 圖



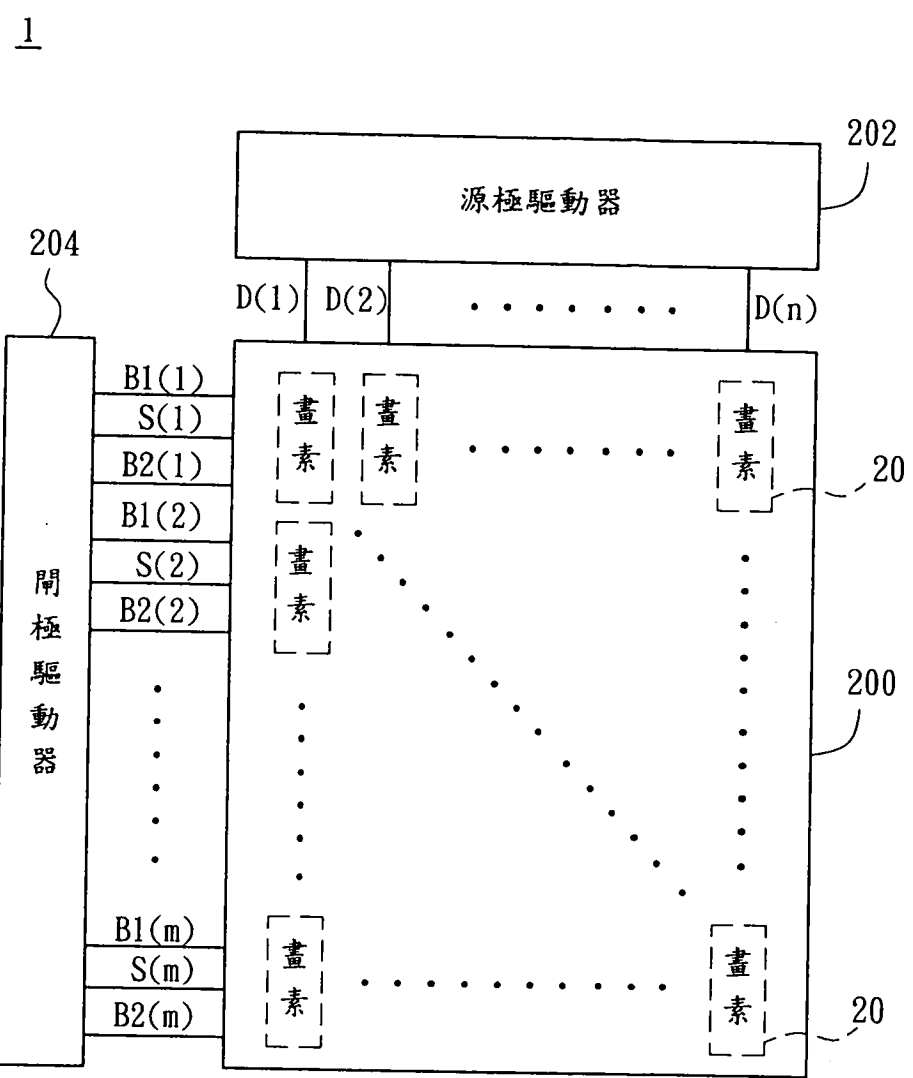
第 6 圖



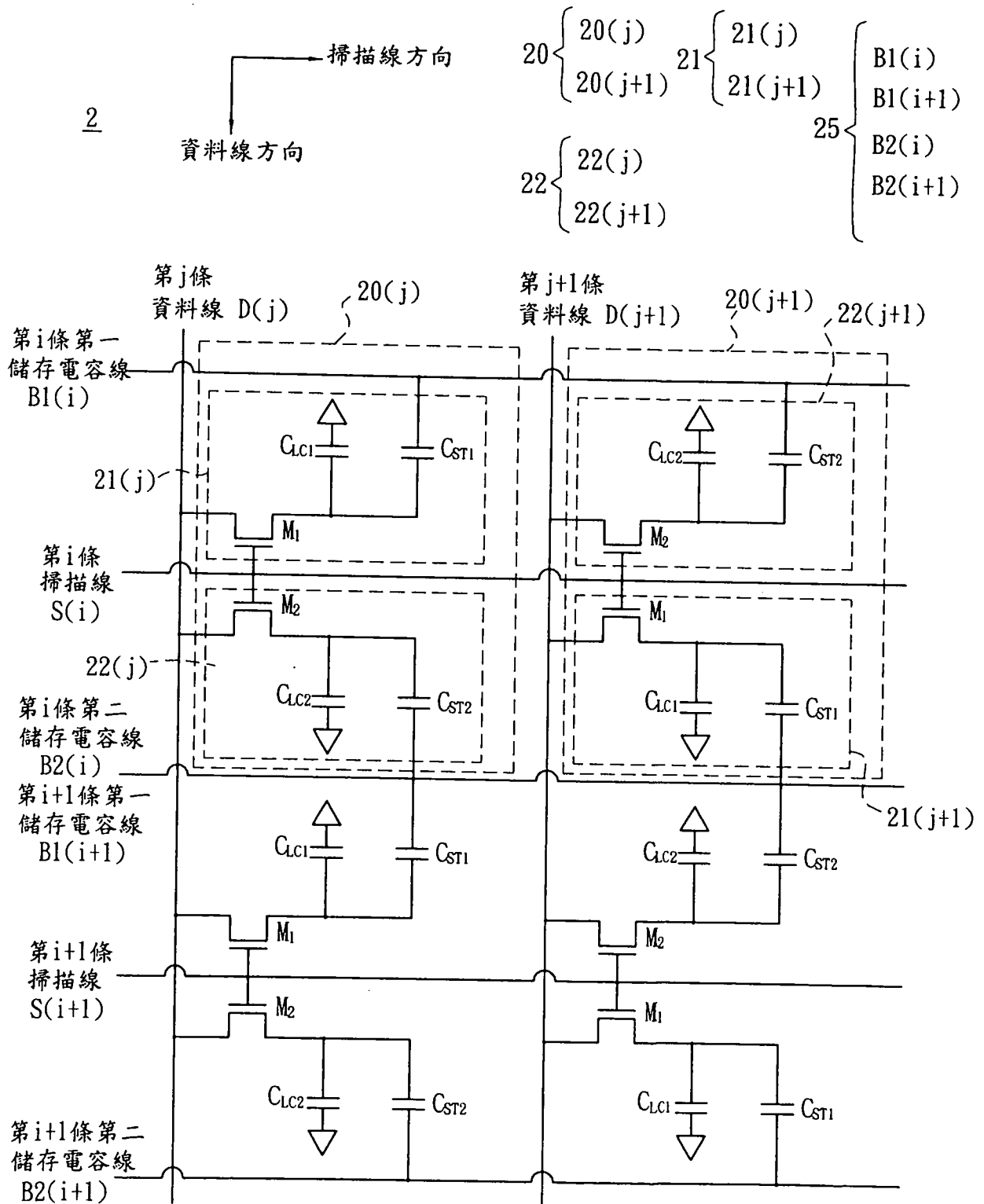
第 7 圖



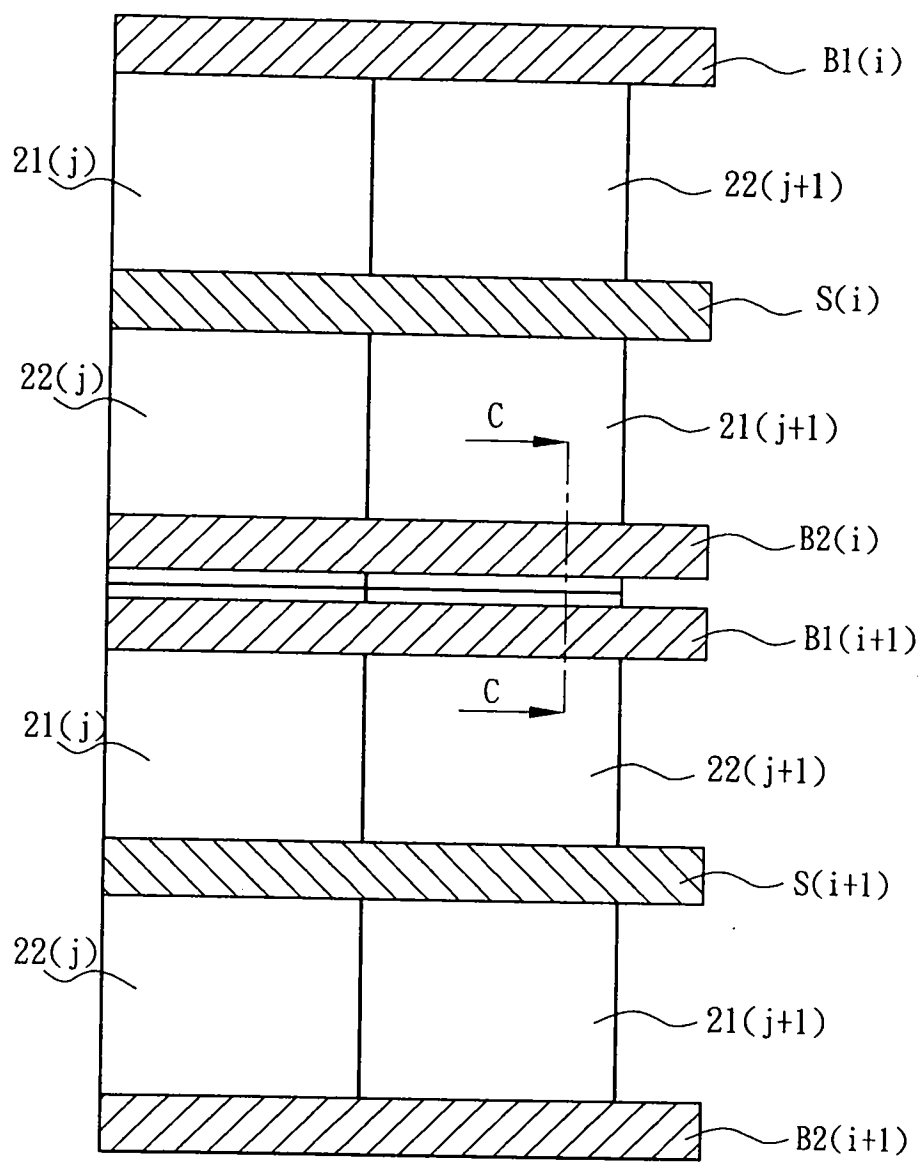
第 8 圖



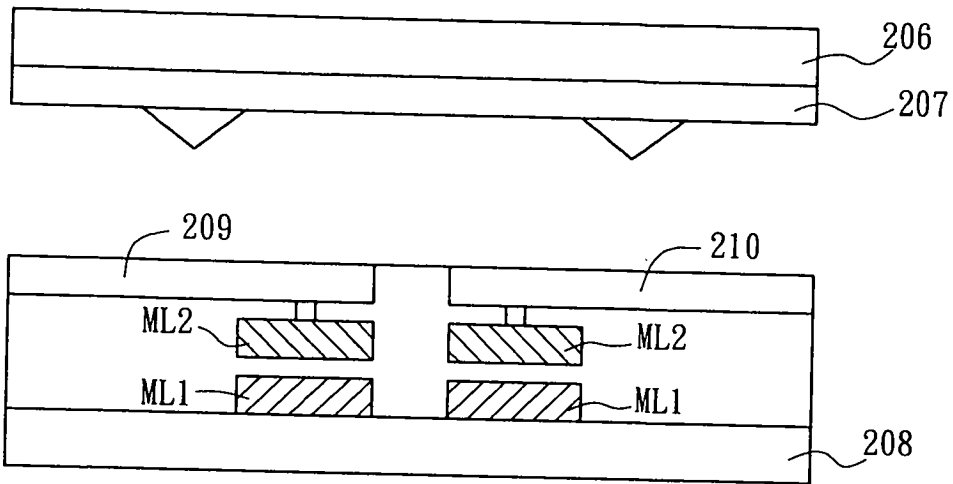
第 9 圖



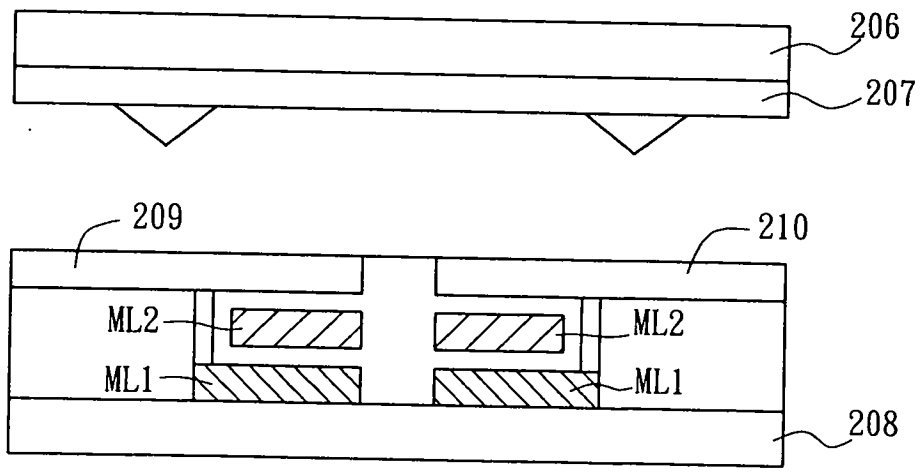
第 10 圖



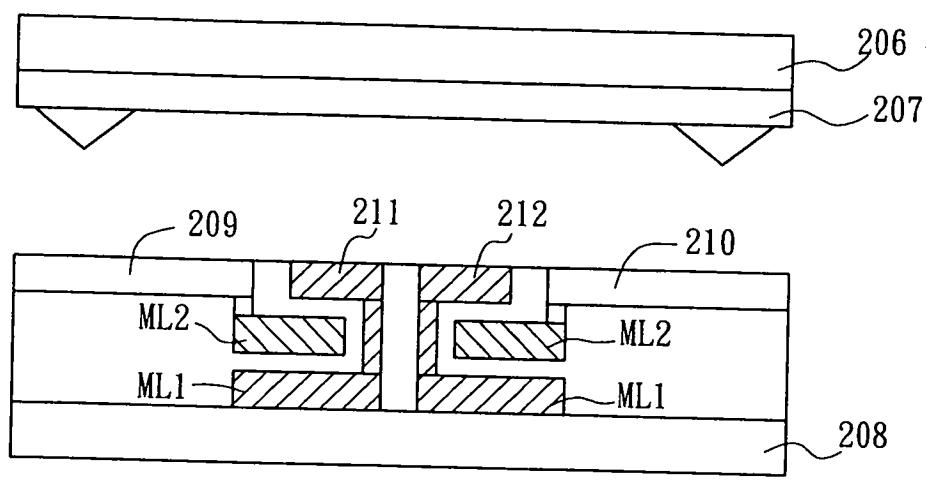
第 11A 圖



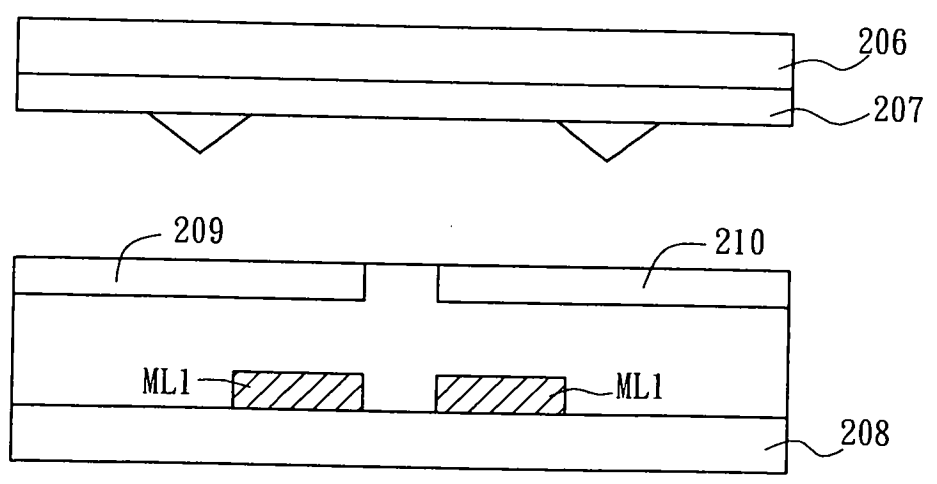
第 11B 圖



第 11C 圖

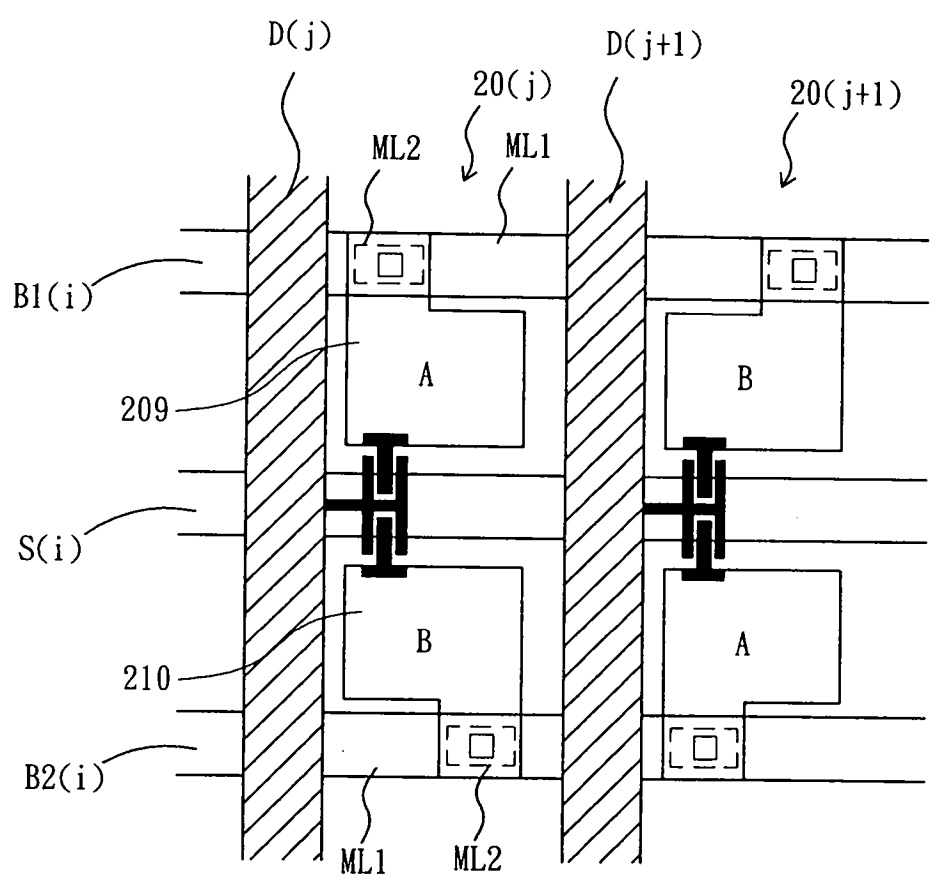


第 11D 圖

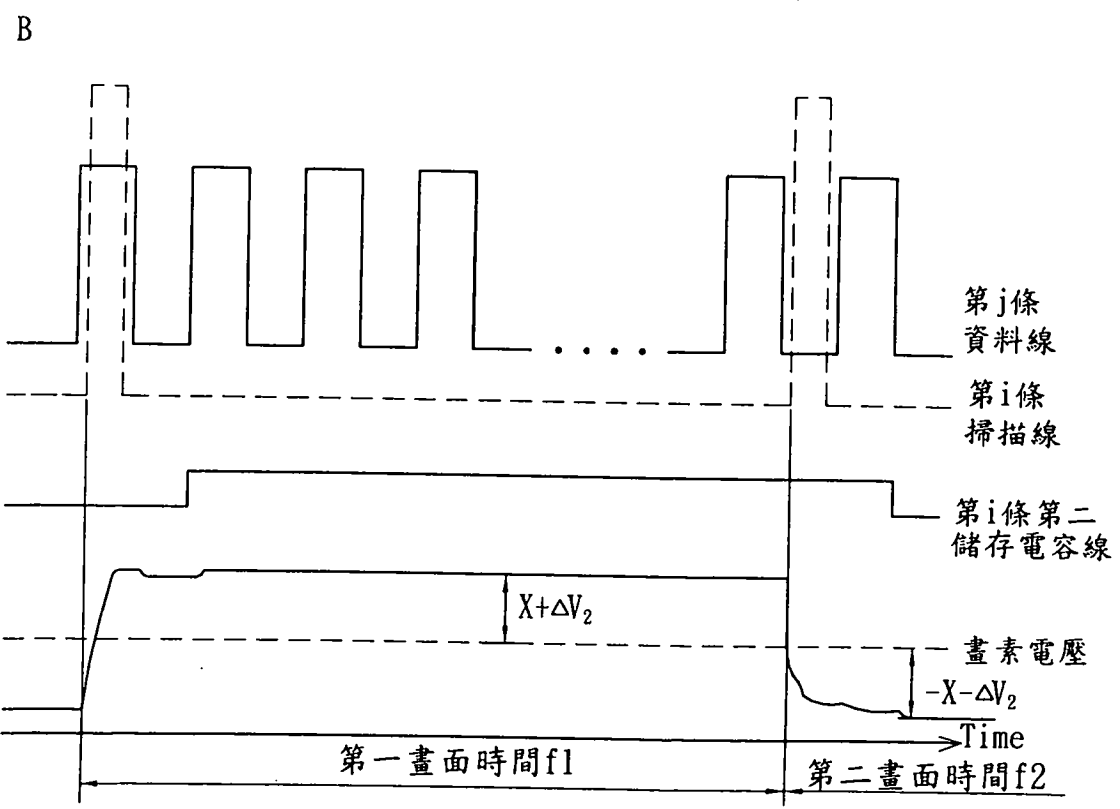
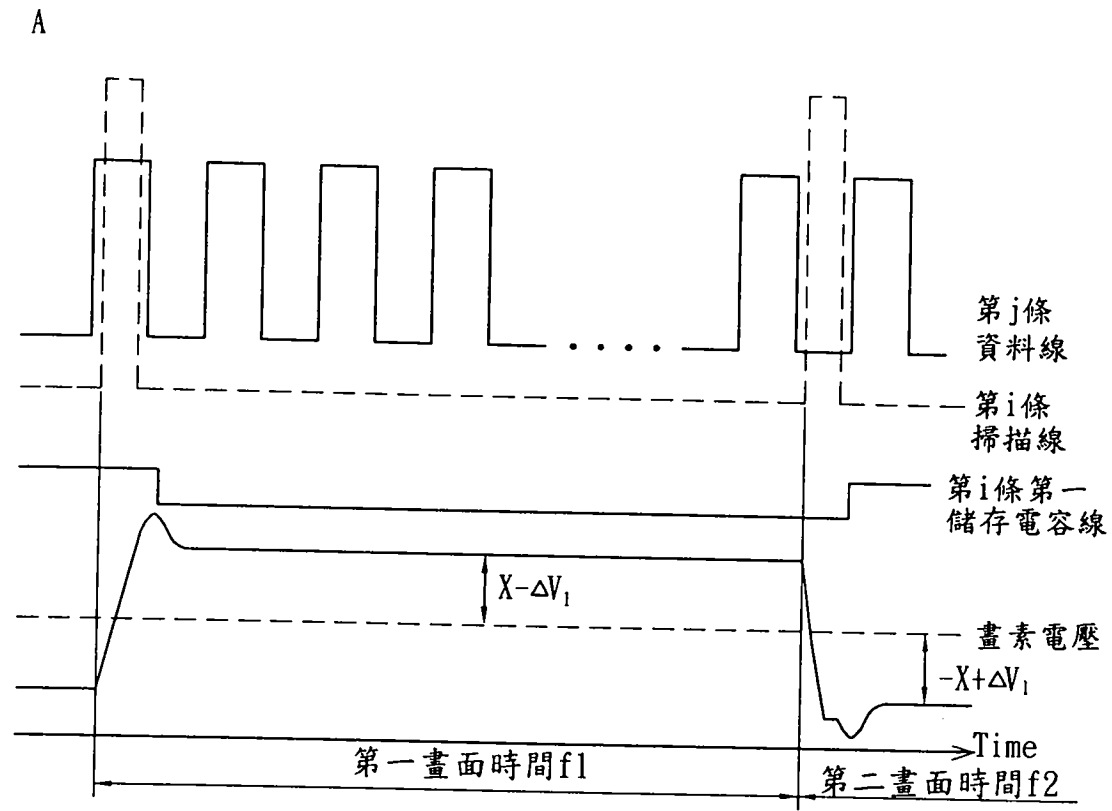


第 11E 圖

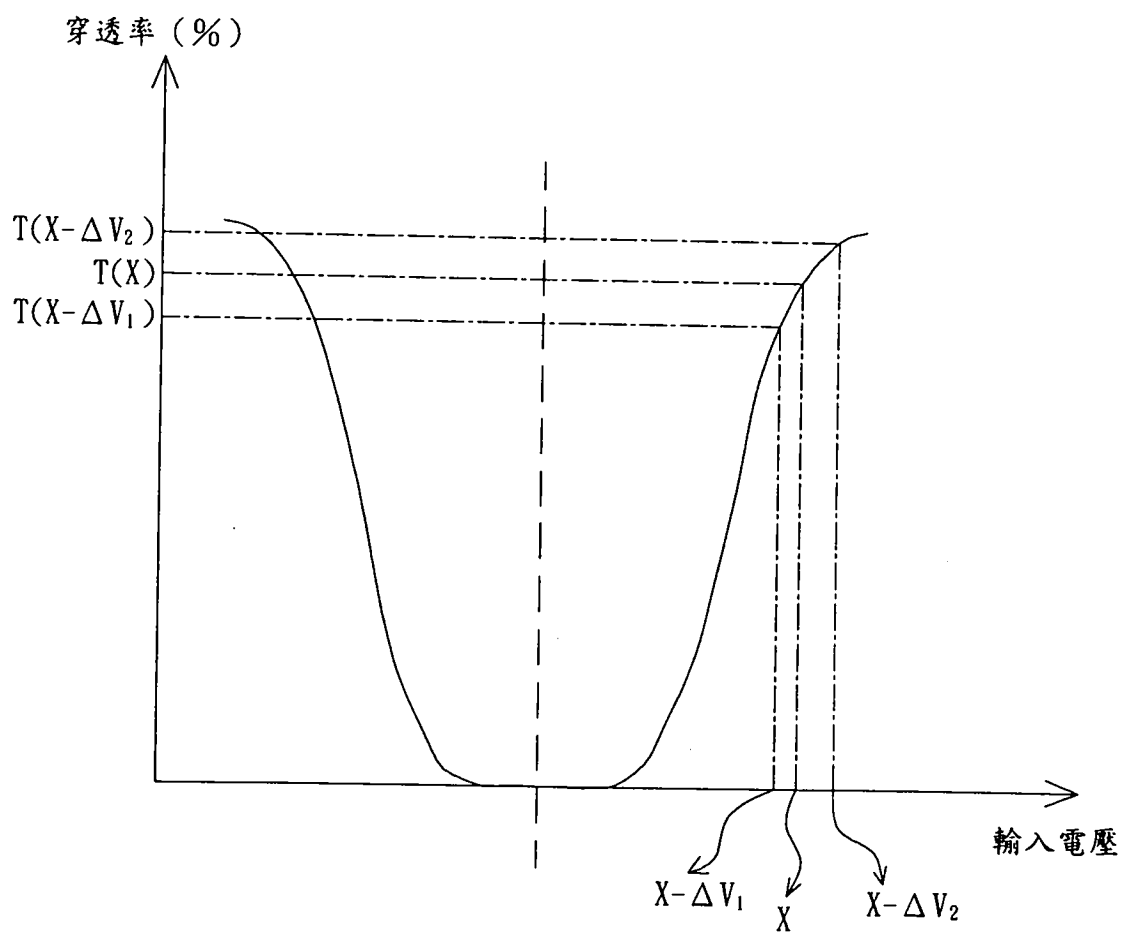
2



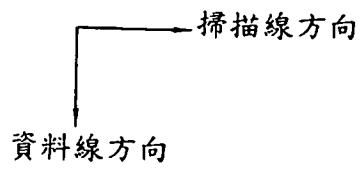
第 12 圖



第 13 圖

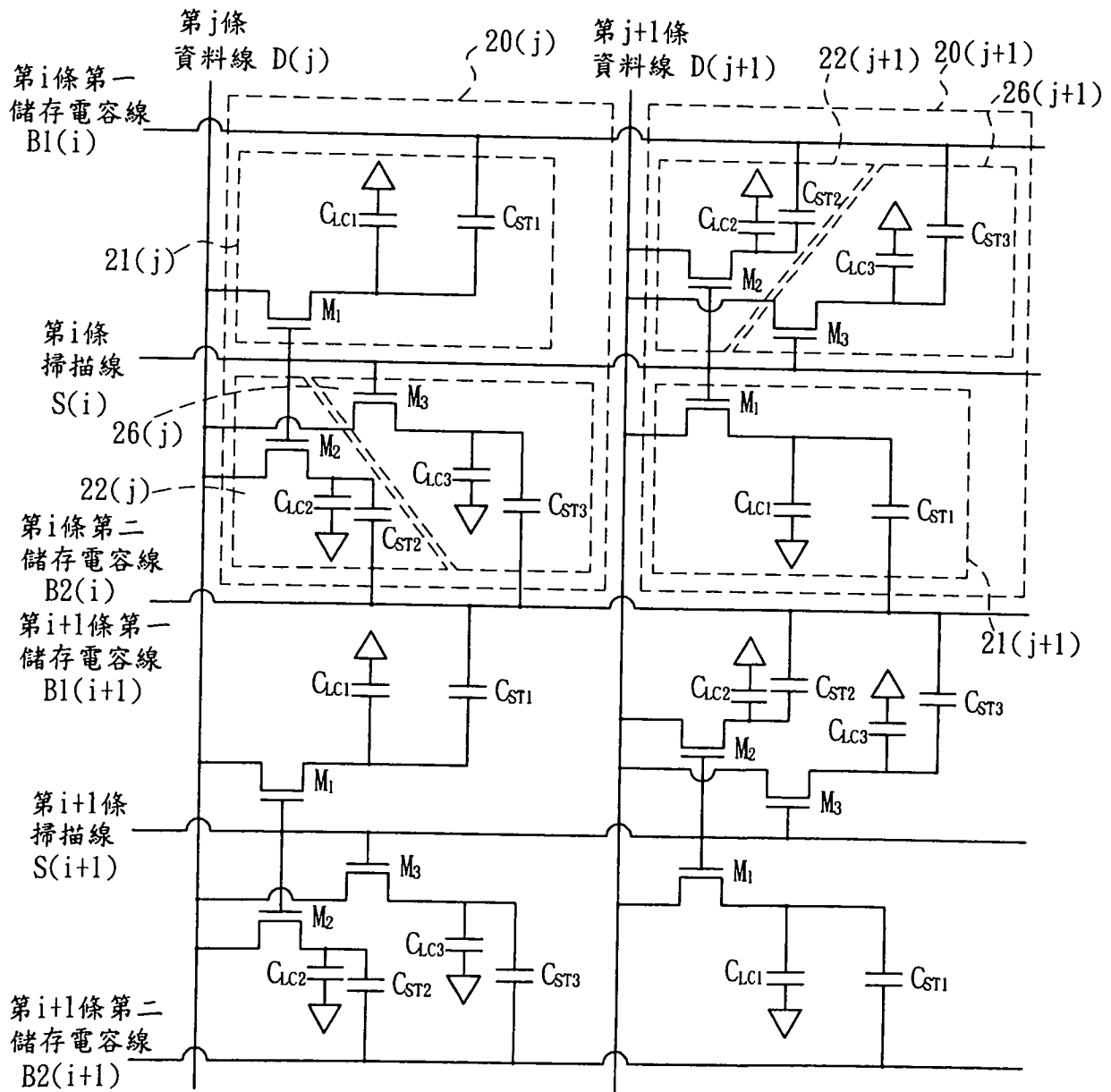


第 14 圖



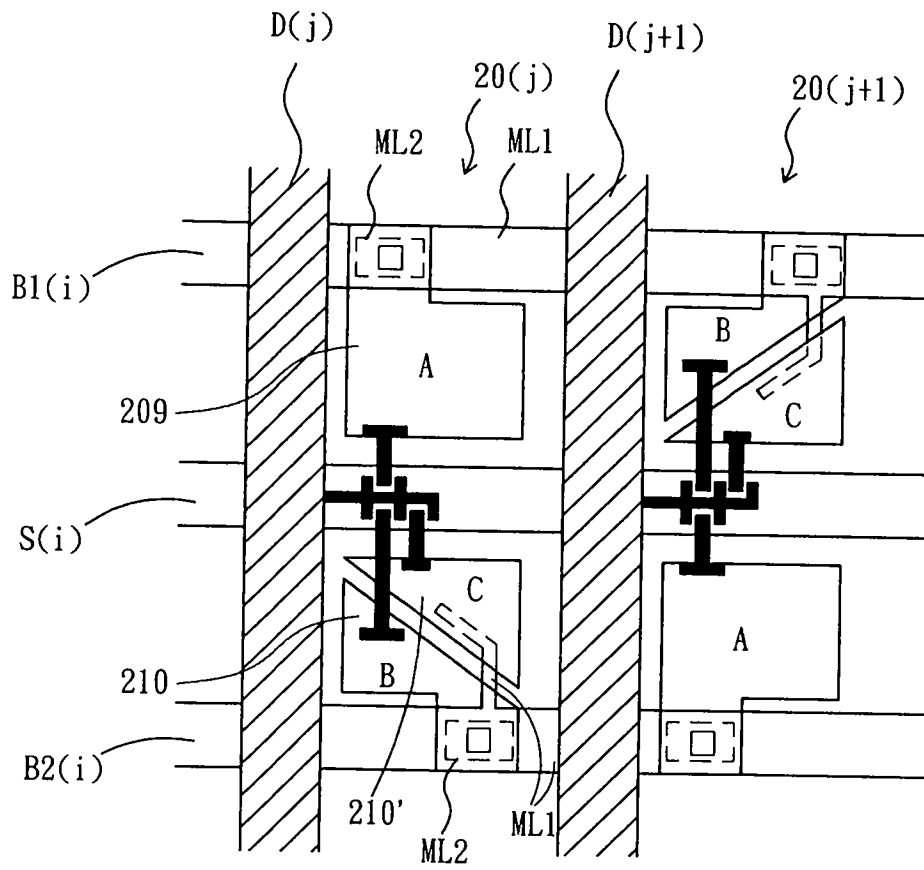
$$20 \begin{cases} 20(j) \\ 20(j+1) \end{cases} \quad 21 \begin{cases} 21(j) \\ 21(j+1) \end{cases}$$

$$22 \begin{cases} 22(j) \\ 22(j+1) \end{cases} \quad 26 \begin{cases} 26(j) \\ 26(j+1) \end{cases}$$

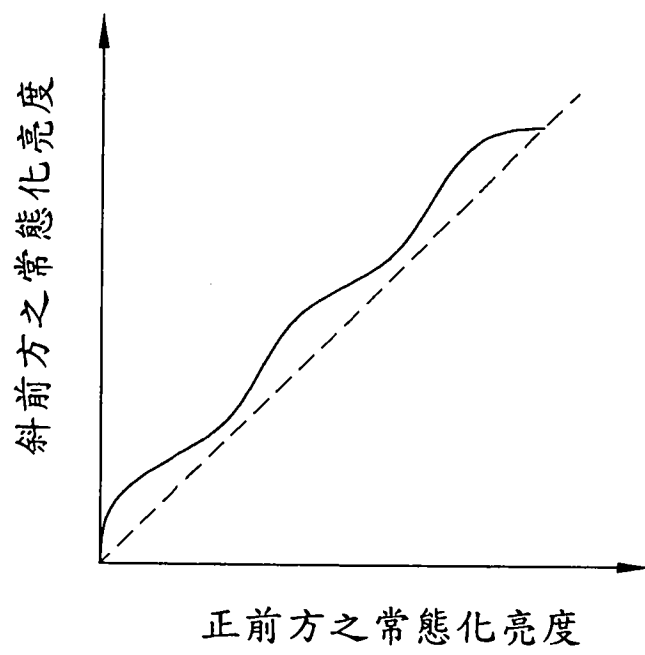


第 15 圖

3

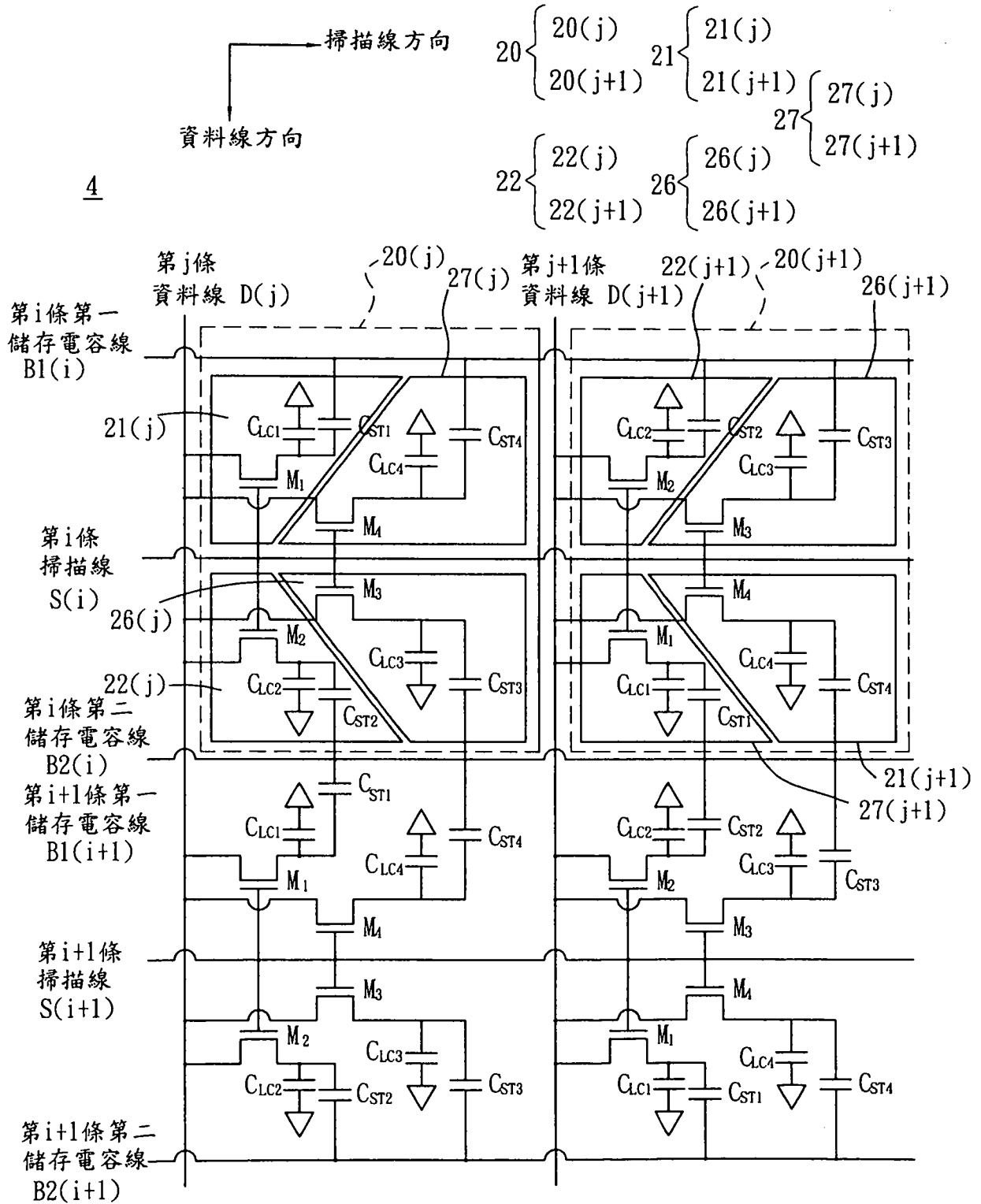


第 16 圖

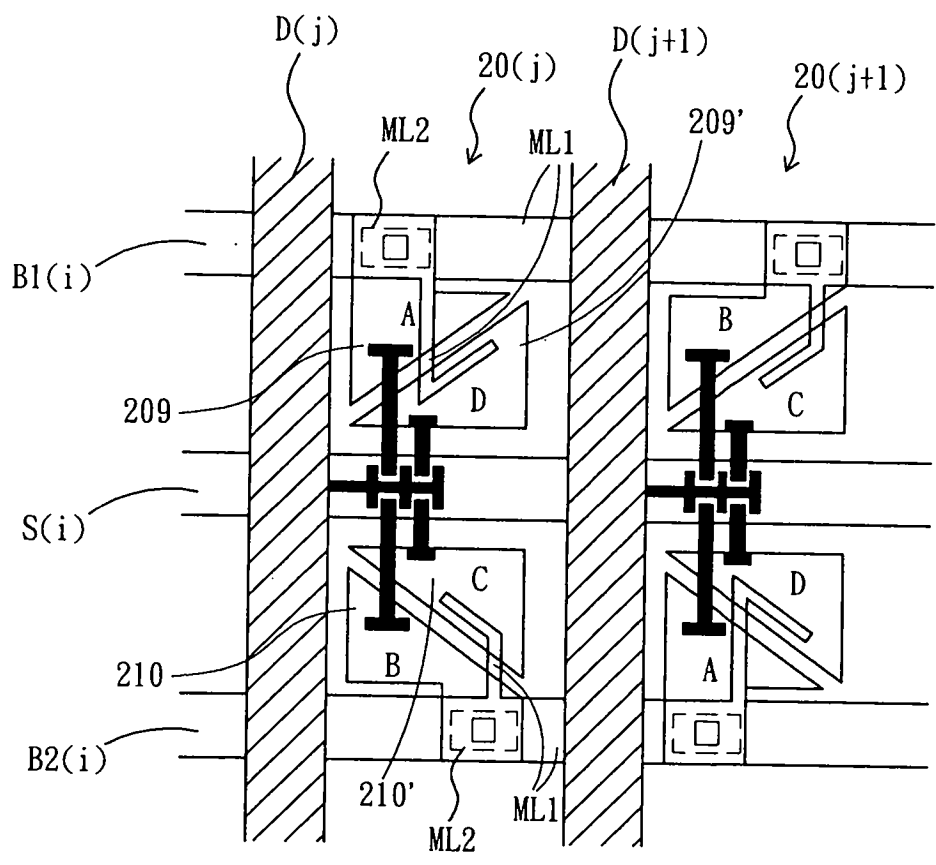


第 17 圖

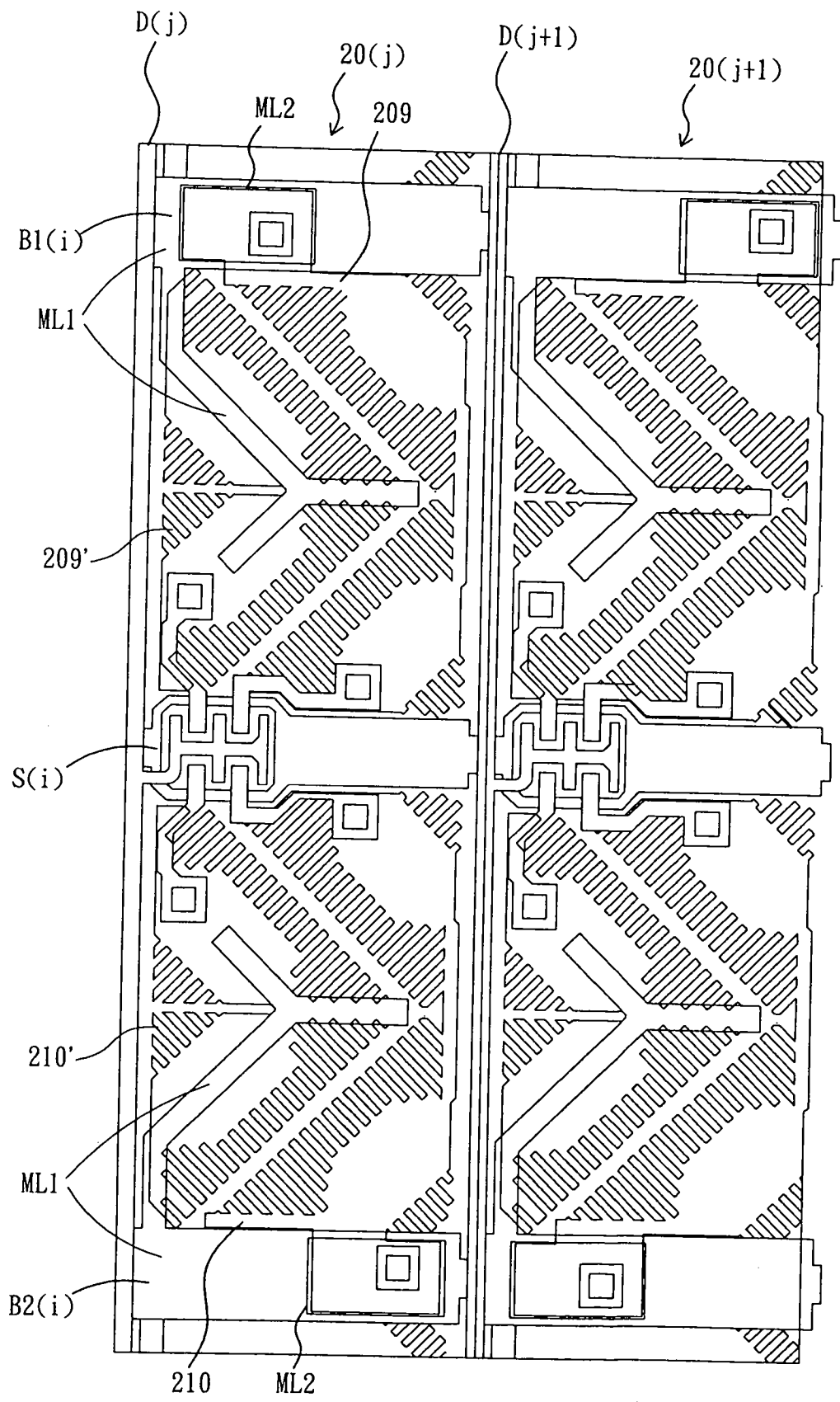
4



第 18 圖



第 19 圖



第 20 圖