

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-219936
(P2015-219936A)

(43) 公開日 平成27年12月7日(2015.12.7)

(5) Int.Cl.	F I	テーマコード (参考)
G11C 11/4093 (2006.01)	G11C 11/34 354Q	5F038
G11C 11/401 (2006.01)	G11C 11/34 362Z	5F048
H03K 19/0175 (2006.01)	H03K 19/00 101Q	5J056
H01L 21/822 (2006.01)	H03K 19/00 101F	5M024
H01L 27/04 (2006.01)	H01L 27/04 V	

審査請求 未請求 請求項の数 21 O L (全 45 頁) 最終頁に続く

(21) 出願番号 特願2014-105195 (P2014-105195)
(22) 出願日 平成26年5月21日 (2014.5.21)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデ
ラル ウェイ 8000
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(72) 発明者 新井 鉄也
東京都中央区八重洲二丁目2番1号 マイ
クロンメモリジャパン株式会社内

最終頁に続く

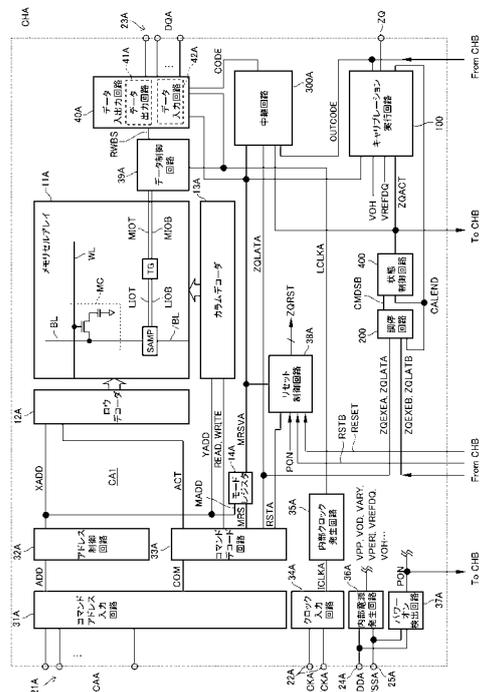
(54) 【発明の名称】 半導体装置及びこれを備える半導体システム

(57) 【要約】 (修正有)

【課題】 キャリブレーションコマンドの競合による誤動作を防止する。

【解決手段】 調整コードCODEに応じて出力インピーダンスが調整されるデータ出力回路41Aを含むチャンネルCHAと、調整コードCODEに応じて出力インピーダンスが調整されるデータ出力回路を含むチャンネルCHBと、キャリブレーション実行信号ZQEXEA, ZQEXEBを調停する調停回路200と、調停回路200の制御により調整コードCODEを生成するキャリブレーション実行回路100とを備える。いずれのチャンネルに対してキャリブレーションコマンドが発行された場合であっても、各チャンネルに共通の調整コードを生成していることから、キャリブレーションコマンドが競合した場合であっても調整コードを正しく生成することが可能となる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

第 1 コマンドアドレス制御回路と、前記第 1 コマンドアドレス制御回路によってアクセスされる第 1 メモリセルアレイと、調整コードに応じて出力インピーダンスが調整され、前記第 1 メモリセルアレイから読み出されたデータを出力する第 1 データ出力回路とを含む第 1 チャンネルと、

第 2 コマンドアドレス制御回路と、前記第 2 コマンドアドレス制御回路によってアクセスされる第 2 メモリセルアレイと、前記調整コードに応じて出力インピーダンスが調整され、前記第 2 メモリセルアレイから読み出されたデータを出力する第 2 データ出力回路とを含む第 2 チャンネルと、

前記第 1 コマンド制御回路からの第 1 キャリブレーション実行信号及び前記第 2 コマンド制御回路からの第 2 キャリブレーション実行信号のそれぞれに応じて前記調整コードを生成するキャリブレーション回路と、を備えることを特徴とする半導体装置。

【請求項 2】

前記第 1 チャンネルは、前記第 1 データ出力回路に接続された第 1 データ端子をさらに含み、

前記第 2 チャンネルは、前記第 1 データ端子とは別個に設けられ、前記第 2 データ出力回路に接続された第 2 データ端子をさらに含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 チャンネルは、前記第 1 コマンドアドレス制御回路に接続された第 1 コマンドアドレス端子をさらに含み、

前記第 2 チャンネルは、前記第 1 コマンドアドレス端子とは別個に設けられ、前記第 2 コマンドアドレス制御回路に接続された第 2 コマンドアドレス端子をさらに含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 コマンドアドレス制御回路は、前記第 1 コマンドアドレス端子を介してキャリブレーションコマンドを受信したことに応答して、前記第 1 キャリブレーション実行信号を前記キャリブレーション回路に供給し、

前記第 2 コマンドアドレス制御回路は、前記第 2 コマンドアドレス端子を介して前記キャリブレーションコマンドを受信したことに応答して、前記第 2 キャリブレーション実行信号を前記キャリブレーション回路に供給することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

キャリブレーション回路に接続されたキャリブレーション端子をさらに備え、前記キャリブレーション端子は前記第 1 及び第 2 チャンネルに共有されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記キャリブレーション回路は、キャリブレーション動作を実行するキャリブレーション実行回路と、前記第 1 及び第 2 キャリブレーション実行信号に基づいて前記キャリブレーション実行回路を活性化させる調停回路とを含み、

前記調停回路は、前記第 1 キャリブレーション実行信号に応じて前記キャリブレーション実行回路が活性化されている場合、前記第 2 キャリブレーション実行信号を無効化することを特徴とする請求項 3 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記調停回路は、前記第 2 キャリブレーション実行信号に応じて前記キャリブレーション実行回路が活性化されている場合、前記第 1 キャリブレーション実行信号を無効化することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記調停回路は、前記第 1 キャリブレーション実行信号と前記第 2 キャリブレーション

10

20

30

40

50

実行信号が同時に入力された場合、前記第 1 キャリブレーション実行信号に基づいて前記キャリブレーション実行回路を活性化させることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記キャリブレーション回路は、前記第 1 チャンネルに割り当てられ前記調整コードを保持する第 1 中継回路と、前記第 2 チャンネルに割り当てられ前記調整コードを保持する第 2 中継回路とをさらに含むことを特徴とする請求項 6 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記第 1 中継回路に保持された前記調整コードは、前記第 1 コマンド制御回路からの第 1 コード更新信号に応じて前記第 1 データ出力回路に出力され、

前記第 2 中継回路に保持された前記調整コードは、前記第 2 コマンド制御回路からの第 2 コード更新信号に応じて前記第 2 データ出力回路に出力されることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 1 コマンドアドレス制御回路は、前記第 1 コマンドアドレス端子を介してコード更新コマンドを受信したことに応答して、前記第 1 コード更新信号を前記キャリブレーション回路に供給し、

前記第 2 コマンドアドレス制御回路は、前記第 2 コマンドアドレス端子を介して前記コード更新コマンドを受信したことに応答して、前記第 2 コード更新信号を前記キャリブレーション回路に供給することを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記第 1 コマンドアドレス制御回路、前記第 1 データ出力回路及び前記第 1 中継回路は、第 1 周辺回路領域に配置され、

前記第 2 コマンドアドレス制御回路、前記第 2 データ出力回路及び前記第 2 中継回路は、第 2 周辺回路領域に配置され、

前記第 1 及び第 2 メモリセルアレイは、前記第 1 周辺回路領域と前記第 2 周辺回路領域に挟まれたメモリセルアレイ領域に配置されていることを特徴とする請求項 9 乃至 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記調停回路及び前記キャリブレーション実行回路は、前記第 1 周辺回路領域に配置されていることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

請求項 4 乃至 13 のいずれか一項に記載の半導体装置と、前記半導体装置を制御するコントローラとを備え、

前記コントローラは、第 1 クロック信号に同期して前記第 1 コマンドアドレス端子に前記キャリブレーションコマンドを供給し、第 2 クロック信号に同期して前記第 2 コマンドアドレス端子に前記キャリブレーションコマンドを供給することを特徴とする半導体システム。

【請求項 15】

第 1 キャリブレーションコマンド及び第 1 コード更新コマンドが入力される第 1 コマンドアドレス端子と、第 1 データ端子と、前記第 1 データ端子を駆動する第 1 データ出力回路とを含む第 1 チャンネルと、

第 2 キャリブレーションコマンド及び第 2 コード更新コマンドが入力される第 2 コマンドアドレス端子と、第 2 データ端子と、前記第 2 データ端子を駆動する第 2 データ出力回路とを含む第 2 チャンネルと、

前記第 1 及び第 2 キャリブレーションコマンドのそれぞれに応答してキャリブレーション動作を実行することにより調整コードを生成するキャリブレーション実行回路と、

前記第 1 コード更新コマンドに応答して前記調整コードを保持する第 1 レジスタを含む第 1 中継回路と、

10

20

30

40

50

前記第 2 コード更新コマンドに応答して前記調整コードを保持する第 2 レジスタを含む第 2 中継回路と、を備え、

前記第 1 データ出力回路は、前記第 1 レジスタに保持された前記調整コードによって出力インピーダンスが指定され、

前記第 2 データ出力回路は、前記第 2 レジスタに保持された前記調整コードによって出力インピーダンスが指定されることを特徴とする半導体装置。

【請求項 16】

前記第 1 中継回路は第 3 レジスタをさらに含み、

前記第 2 中継回路は第 4 レジスタをさらに含み、

前記キャリブレーション動作の完了に応答して、前記キャリブレーション実行回路によって生成された前記調整コードが前記第 3 及び第 4 レジスタに保持され、

前記第 1 コード更新コマンドに応答して前記調整コードが前記第 3 レジスタから前記第 1 レジスタに転送され、

前記第 2 コード更新コマンドに応答して前記調整コードが前記第 4 レジスタから前記第 2 レジスタに転送されることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】

前記第 1 中継回路は第 5 レジスタをさらに含み、

前記第 2 中継回路は第 6 レジスタをさらに含み、

第 1 動作モードが指定されている場合には、前記キャリブレーション動作の完了に応答して、前記キャリブレーション実行回路によって生成された前記調整コードが前記第 3 及び第 4 レジスタに保持され、

第 2 動作モードが指定されている場合には、前記キャリブレーション動作の完了に応答して、前記キャリブレーション実行回路によって生成された前記調整コードが前記第 5 及び第 6 レジスタに保持され、

前記第 1 コード更新コマンドに応答して前記調整コードが前記第 3 又は第 5 レジスタから前記第 1 レジスタに転送され、

前記第 2 コード更新コマンドに応答して前記調整コードが前記第 4 又は第 6 レジスタから前記第 2 レジスタに転送されることを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】

前記第 1 動作モードが指定されている場合、前記第 1 及び第 2 データ出力回路は第 1 の振幅で動作し、

前記第 2 動作モードが指定されている場合、前記第 1 及び第 2 データ出力回路は前記第 1 の振幅とは異なる第 2 の振幅で動作することを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】

前記第 1 中継回路は、前記調整コードの初期値を保持する第 7 レジスタをさらに含み、

前記第 2 中継回路は、前記調整コードの前記初期値を保持する第 8 レジスタをさらに含むことを特徴とする請求項 17 又は 18 に記載の半導体装置。

【請求項 20】

前記第 1 キャリブレーションコマンドに応答して前記キャリブレーション動作が実行されている期間は前記第 2 キャリブレーションコマンドを無効化し、前記第 2 キャリブレーションコマンドに応答して前記キャリブレーション動作が実行されている期間は前記第 1 キャリブレーションコマンドを無効化する調停回路をさらに備えることを特徴とする請求項 15 乃至 19 のいずれか一項に記載の半導体装置。

【請求項 21】

前記第 1 キャリブレーションコマンドに応答して前記キャリブレーション動作が実行されている期間であっても前記第 2 コード更新コマンドは無効化されず、前記第 2 キャリブレーションコマンドに応答して前記キャリブレーション動作が実行されている期間であっても前記第 1 コード更新コマンドは無効化されないことを特徴とする請求項 20 に記載の半導体装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びこれを備える半導体システムに関し、特に、データ出力回路のインピーダンスを制御するキャリブレーション回路を備えた半導体装置及びこれを備える半導体システムに関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) などの半導体装置は、データを外部に出力するためのデータ出力回路を備えている。データ出力回路は、活性化時に所望のインピーダンスが得られるよう設計されているが、プロセスばらつきや温度変化などの影響により、必ずしも設計通りのインピーダンスが得られるとは限らない。このため、データ出力回路のインピーダンスを高精度に制御する必要のある半導体装置においては、キャリブレーション回路と呼ばれるインピーダンス調整回路が内蔵されている(特許文献1, 2参照)。

10

【0003】

ところで、近年、複数のチャンネルに分割されたタイプの半導体装置が提案されている。チャンネルとは、独立してアクセス可能な回路ブロックであり、チャンネルごとにメモリセルアレイ、アクセス制御回路、外部端子などを備えている。チャンネル間においては、基本的に全ての回路が分離されており、互いに異なるクロック信号に同期して動作するとともに、コマンドアドレス信号の受信やデータの入出力についても、互いに異なる外部端子が用いられる。つまり、各チャンネルはそれぞれ独立した1個の半導体装置と見なすことができ、この点においてバンクと呼ばれるアクセス単位とは区別される。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-119632号公報

【特許文献2】特開2006-203405号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

しかしながら、複数のチャンネルを備える半導体装置であっても、キャリブレーション回路など一部の回路については共有されることがある。この場合、それぞれのチャンネルに対して発行されたキャリブレーションコマンドが競合することが考えられる。このため、この種の半導体装置においては、共有されたキャリブレーション回路をどのように動作させるかが問題となる。

【課題を解決するための手段】

【0006】

本発明の一側面による半導体装置は、第1コマンドアドレス制御回路と、前記第1コマンドアドレス制御回路によってアクセスされる第1メモリセルアレイと、調整コードに応じて出力インピーダンスが調整され、前記第1メモリセルアレイから読み出されたデータを出力する第1データ出力回路とを含む第1チャンネルと、第2コマンドアドレス制御回路と、前記第2コマンドアドレス制御回路によってアクセスされる第2メモリセルアレイと、前記調整コードに応じて出力インピーダンスが調整され、前記第2メモリセルアレイから読み出されたデータを出力する第2データ出力回路とを含む第2チャンネルと、前記第1コマンド制御回路からの第1キャリブレーション実行信号及び前記第2コマンド制御回路からの第2キャリブレーション実行信号のそれぞれに応じて前記調整コードを生成するキャリブレーション回路と、を備えることを特徴とする。

40

【0007】

本発明の他の側面による半導体装置は、第1キャリブレーションコマンド及び第1コー

50

ド更新コマンドが入力される第1コマンドアドレス端子と、第1データ端子と、前記第1データ端子を駆動する第1データ出力回路とを含む第1チャンネルと、第2キャリアレーションコマンド及び第2コード更新コマンドが入力される第2コマンドアドレス端子と、第2データ端子と、前記第2データ端子を駆動する第2データ出力回路とを含む第2チャンネルと、前記第1及び第2キャリアレーションコマンドのそれぞれにตอบสนองしてキャリアレーション動作を実行することにより調整コードを生成するキャリアレーション実行回路と、前記第1コード更新コマンドにตอบสนองして前記調整コードを保持する第1レジスタを含む第1中継回路と、前記第2コード更新コマンドにตอบสนองして前記調整コードを保持する第2レジスタを含む第2中継回路と、を備え、前記第1データ出力回路は、前記第1レジスタに保持された前記調整コードによって出力インピーダンスが指定され、前記第2データ出力回路は、前記第2レジスタに保持された前記調整コードによって出力インピーダンスが指定されることを特徴とする。

10

【0008】

本発明による半導体システムは、前記半導体装置と、前記半導体装置を制御するコントローラとを備える。

【発明の効果】

【0009】

本発明によれば、いずれのチャンネルに対してキャリアレーションコマンドが発行された場合であっても、各チャンネルに共通の調整コードを生成していることから、キャリアレーションコマンドが競合した場合であっても調整コードを正しく生成することが可能となる。

20

【図面の簡単な説明】

【0010】

【図1】本発明の好ましい実施形態による半導体装置10を備えた半導体システム1の構成を示すブロック図である。

【図2】半導体装置10のレイアウトを説明するための模式的な平面図である。

【図3】キャリアレーション回路のレイアウトを説明するための模式的な平面図である。

【図4】チャンネルCHAの構成を示すブロック図である。

【図5】チャンネルCHBの構成を示すブロック図である。

【図6】動作モードによるリードデータDQAの波形の違いを説明するための図であり、符号V30は第1動作モードが指定されている場合におけるリードデータDQAの波形を示し、符号V25は第2動作モードが指定されている場合におけるリードデータDQAの波形を示す。

30

【図7】(a)はリードデータをハイレベルとする方法を説明するための模式図であり、(b)はライトデータをハイレベルとする方法を説明するための模式図である。

【図8】チャンネルCHAに含まれるデータ出力回路41Aの構成を示すブロック図である。

【図9】プルアップユニットPUの回路図である。

【図10】プルダウンユニットPDの回路図である。

【図11】キャリアレーション動作に関連する回路ブロックを抜き出して示すブロック図である。

40

【図12】リセット要求の種類とキャリアレーション回路内のリセット対象となる回路ブロックとの関係を説明するための表である。

【図13】調停回路200の回路図である。

【図14】調停回路200の動作を説明するための第1の動作波形図である。

【図15】調停回路200の動作を説明するための第2の動作波形図である。

【図16】調停回路200の動作を説明するための第3の動作波形図である。

【図17】調停回路200の動作を説明するための第4の動作波形図である。

【図18】変形例による優先回路250の回路図である。

【図19】一般的なSRラッチ回路260の回路図である。

50

- 【図20】SRラッチ回路260の動作を説明するための波形図である。
- 【図21】優先回路250の動作を説明するための波形図である。
- 【図22】状態制御回路400の回路図である。
- 【図23】状態制御回路400の動作を説明するための波形図である。
- 【図24】キャリブレーション主回路110のブロック図である。
- 【図25】マルチプレクサ130の回路図である。
- 【図26】ラッチ回路132の回路図である。
- 【図27】中継回路300Aの構成を示すブロック図である。
- 【図28】中継回路300Bの構成を示すブロック図である。
- 【図29】マルチプレクサ130及び中継回路300Aの動作を説明するためのタイミング図である。 10
- 【図30】各レジスタに保持される調整コードの変化の一例を示す図である。
- 【図31】各レジスタに保持される調整コードの変化の他の例を示す図である。
- 【図32】変形例によるキャリブレーション主回路110の一部を示す回路図である。
- 【図33】変形例による中継回路300Aの構成を示すブロック図である。
- 【発明を実施するための形態】
- 【0011】
以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。
- 【0012】
図1は、本発明の好ましい実施形態による半導体装置10を備えた半導体システム1の構成を示すブロック図である。 20
- 【0013】
図1に示す半導体システム1は、複数の半導体装置10及びこれを制御するコントローラ2を備えている。特に限定されるものではないが、各半導体装置10は単一の半導体チップに集積されたDDR4(Double Data Rate 4)型のDRAMである。各半導体装置10は、互いに別個の外部端子が割り当てられた2つのチャンネルCHA, CHBを備えている。そして、チャンネルCHAは、コントローラ2から供給されるコマンドアドレス信号CAA及び外部クロック信号CKA, /CKAに基づいてリード動作及びライト動作を行い、チャンネルCHBは、コントローラ2から供給されるコマンドアドレス信号CAB及び外部クロック信号CKB, /CKBに基づいてリード動作及びライト動作を行う。 30
- 【0014】
コマンドアドレス信号CAA及び外部クロック信号CKA, /CKAは、それぞれコマンドアドレスバス3A及びクロックバス4Aを介して、複数の半導体装置10のコマンドアドレス端子21A及びクロック端子22Aに共通に供給される。コマンドアドレス信号CAA及び外部クロック信号CKA, /CKAはチャンネルCHAに供給され、これによりチャンネルCHAに含まれるメモリセルアレイに対してアクセス動作が行われる。
- 【0015】
コマンドアドレス信号CAB及び外部クロック信号CKB, /CKBは、それぞれコマンドアドレスバス3B及びクロックバス4Bを介して、複数の半導体装置10のコマンドアドレス端子21B及びクロック端子22Bに共通に供給される。コマンドアドレス信号CAB及び外部クロック信号CKB, /CKBはチャンネルCHBに供給され、これによりチャンネルCHBに含まれるメモリセルアレイに対してアクセス動作が行われる。 40
- 【0016】
但し、コマンドアドレス信号CAA, CABのうち、チップセレクト信号など一部の信号については、1又は2以上の半導体装置10に対して個別に供給される。
- 【0017】
各半導体装置10のチャンネルCHAから読み出されたリードデータDQAは、データ端子23Aを介して出力される。データ端子23Aはデータバス5Aに接続されており、これにより、チャンネルCHAから読み出されたリードデータDQAがコントローラ2に転送される。逆に、チャンネルCHAに書き込むべきライトデータDQAは、コントローラ2か 50

らデータバス5Aを介してデータ端子23Aに入力される。

【0018】

各半導体装置10のチャンネルCHBから読み出されたリードデータDQBは、データ端子23Bを介して出力される。データ端子23Bはデータバス5Bに接続されており、これにより、チャンネルCHBから読み出されたリードデータDQBがコントローラ2に転送される。逆に、チャンネルCHBに書き込むべきライトデータDQBは、コントローラ2からデータバス5Bを介してデータ端子23Bに入力される。

【0019】

尚、本発明における半導体装置がデータの入力(ライト動作)の可能な半導体装置である必要はなく、ROM系の半導体メモリデバイスのように、データの出力(リード動作)のみが可能であっても構わない。

10

【0020】

半導体装置10には、キャリブレーション端子ZQが設けられている。キャリブレーション端子ZQは、各半導体装置10に1つだけ設けられており、したがってチャンネルCHA, CHBで共有される。キャリブレーション端子ZQは、メモリモジュール基板あるいはマザーボードに設けられたリファレンス抵抗素子RZQを介して電源電位VDDに接続されている。リファレンス抵抗素子RZQは、後述するキャリブレーション動作において参照される抵抗である。尚、本明細書においては、リファレンス抵抗素子RZQの抵抗値についても「RZQ」と表記することがある。他の素子又は回路の抵抗値についても、リファレンス抵抗素子RZQの抵抗値と同じ抵抗値であれば、「RZQ」と表記する。

20

【0021】

図2は、半導体装置10のレイアウトを説明するための模式的な平面図である。

【0022】

図2に示すように、半導体装置10は平面形状が矩形である半導体基板6に集積されており、半導体基板6をY方向に区画する境界線Lを境界としてチャンネルCHA, CHBが配置されている。また、半導体基板6は、Y方向における一方のエッジEG1に沿って設けられた第1周辺回路領域PEAと、Y方向における他方のエッジEG2に沿って設けられた第2周辺回路領域PEBと、これらに挟まれるように設けられたメモリセルアレイ領域ARYを有している。

【0023】

そして、チャンネルCHAに属する外部端子及び周辺回路は、第1周辺回路領域PEAに配置され、チャンネルCHBに属する外部端子及び周辺回路は、第2周辺回路領域PEBに配置される。また、チャンネルCHA, CHBに含まれるメモリセルアレイは、メモリセルアレイ領域ARYに配置される。

30

【0024】

チャンネルCHAに属する外部端子には、上述したコマンドアドレス端子21A、クロック端子22A、データ端子23Aが含まれ、これらはX方向に延在するパッド列PAに配列される。同様に、チャンネルCHBに属する外部端子には、上述したコマンドアドレス端子21B、クロック端子22B、データ端子23Bが含まれ、これらはX方向に延在するパッド列PBに配列される。

40

【0025】

さらに、第1周辺回路領域PEAに設けられたパッド列PAには、キャリブレーション端子ZQが含まれる。キャリブレーション端子ZQは、チャンネルCHA, CHBに共有される。一方、第2周辺回路領域PEBに設けられたパッド列PBには、リセット端子26Bが含まれる。リセット端子26Bは、コントローラ2からリセット信号RESETが入力される端子であり、チャンネルCHA, CHBに共有される。

【0026】

図3は、キャリブレーション回路のレイアウトを説明するための模式的な平面図である。

【0027】

50

図3に示すように、キャリブレーション回路は、キャリブレーション実行回路100、調停回路200及び2つの中継回路300A, 300Bを含む。このうち、キャリブレーション実行回路100、調停回路200及び中継回路300Aは第1周辺回路領域PEAに配置され、中継回路300Bは第2周辺回路領域PEBに配置される。

【0028】

キャリブレーション実行回路100は、キャリブレーション端子ZQの電位を参照することによって調整コードOUTCODEを生成する回路であり、その動作は調停回路200によって制御される。調停回路200は、コマンドデコード回路33Aから供給されるキャリブレーション実行信号ZQEXEA及びコード更新信号ZQLATAと、コマンドデコード回路33Bから供給されるキャリブレーション実行信号ZQEXEB及びコード更新信号ZQLATBを受け、これらに基づいてキャリブレーション実行回路100の動作を制御する。キャリブレーション実行回路100及び調停回路200の詳細については後述する。

10

【0029】

キャリブレーション実行回路100によって生成された調整コードOUTCODEは、中継回路300A, 300Bに転送され、保持される。そして、中継回路300A, 300Bに保持された調整コードCODEは、それぞれデータ出力回路41A, 41Bに供給され、これによりデータ出力回路41A, 41Bの出力インピーダンスが調整される。

【0030】

ここで、キャリブレーション実行回路100から出力される調整コードOUTCODEを直接データ出力回路41A, 41Bに供給するのではなく、中継回路300A, 300Bを経由させているのは、キャリブレーション実行回路100とデータ出力回路41Bとの距離が離れているからである。つまり、キャリブレーション実行回路100は、半導体基板6のエッジEG1に近い第1周辺回路領域PEAに配置されているのに対し、データ出力回路41Bは、半導体基板6のエッジEG2に近い第2周辺回路領域PEBに配置されているため、両者を接続する配線の配線長は、半導体基板6のY方向における長さに近い長距離配線となる。このため、キャリブレーション実行回路100とデータ出力回路41Bを直接接続すると、キャリブレーション動作中に調整コードOUTCODE(後述するCALCODE)の値が変化する度に、長距離配線が充放電されるため消費電流が増大してしまう。これを防止すべく、本実施形態ではキャリブレーション動作が完了した後、値の確定した調整コードOUTCODE(CALCODE)をキャリブレーション実行回路100から中継回路300A, 300Bに転送し、中継回路300A, 300Bに保持された調整コードCODEに基づいてデータ出力回路41A, 41Bの出力インピーダンスを調整する構成としている。

20

30

【0031】

図4は、チャンネルCHAの構成を示すブロック図である。

【0032】

図4に示すように、チャンネルCHAはメモリセルアレイ11Aを有している。メモリセルアレイ11Aは、複数のワード線WLと複数のビット線BL, /BLを備え、これらの交点にメモリセルMCが配置された構成を有している。ワード線WLの選択はロウデコーダ12Aによって行われ、ビット線BL, /BLの選択はカラムデコーダ13Aによって行われる。

40

【0033】

対を成すビット線BL, /BLは、メモリセルアレイ11A内に設けられたセンスアンプSAMPに接続されている。センスアンプSAMPは、ビット線BL, /BL間に生じている電位差を増幅し、これにより得られたリードデータを相補のローカルIO線LIOT/LIOBに供給する。ローカルIO線LIOT/LIOBに供給されたリードデータは、スイッチ回路TGを介して、相補のメインIO線MIOT/MIOBに転送される。そして、メインIO線MIOT/MIOB上のリードデータは、データ制御回路39Aによってシングルエンド形式の信号に変換され、リードライトバスRWBSを介してデータ

50

入出力回路 40 A に供給される。データ入出力回路 40 A は、データ出力回路 41 A とデータ入力回路 42 A を含む。

【0034】

また、チャンネル CHA には外部端子としてコマンドアドレス端子 21 A、クロック端子 22 A、データ端子 23 A、電源端子 24 A、25 A 及びキャリブレーション端子 ZQ が設けられている。

【0035】

コマンドアドレス端子 21 A には、外部からコマンドアドレス信号 CAA が入力される。コマンドアドレス端子 21 A に入力されたコマンドアドレス信号 CAA は、コマンドアドレス入力回路 31 A に供給される。コマンドアドレス信号 CAA は、アドレス信号 ADD とコマンド信号 COM を含む。このうち、アドレス信号 ADD はアドレス制御回路 32 A に供給され、コマンド信号 COM はコマンドデコード回路 33 A に供給される。コマンドアドレス入力回路 31 A、アドレス制御回路 32 A、コマンドデコード回路 33 A、ロウデコード 12 A、カラムデコード 13 A など、メモリセルアレイ 11 A にアクセスする回路ブロックは、第 1 コマンドアドレス制御回路 CA1 を構成する。

10

【0036】

アドレス制御回路 32 A は、アドレス信号 ADD のうち、ロウアドレス XADD についてはロウデコード 12 A に供給し、カラムアドレス YADD についてはカラムデコード 13 A に供給する。また、モードレジスタセットにエントリしている場合、モード信号 MADD をモードレジスタ 14 A に供給する。

20

【0037】

モードレジスタ 14 A は、チャンネル CHA の動作モードを示すパラメータが設定される回路である。モードレジスタ 14 A から出力されるモード信号としては、出力レベル選択信号 MRSVA が含まれる。出力レベル選択信号 MRSVA は、データ入出力回路 40 A に供給される。出力レベル選択信号 MRSVA は、リードデータ DQA の出力レベルを選択するための信号である。

【0038】

コマンドデコード回路 33 A は、コマンド信号 COM をデコードすることによって各種内部コマンドを生成する回路である。内部コマンドとしては、アクティブ信号 ACT、リード信号 READ、ライト信号 WRITE、モードレジスタセット信号 MRS、キャリブレーション実行信号 ZQEXEA、コード更新信号 ZQLATA、リセット信号 RSTA などがある。

30

【0039】

アクティブ信号 ACT は、コマンド信号 COM がロウアクセス（アクティブコマンド）を示している場合に活性化される信号である。アクティブ信号 ACT が活性化すると、アドレス制御回路 32 A にラッチされたロウアドレス XADD がロウデコード 12 A に供給される。これにより、当該ロウアドレス XADD により指定されるワード線 WL が選択される。

【0040】

リード信号 READ 及びライト信号 WRITE は、コマンド信号 COM がリードコマンド及びライトコマンドを示している場合にそれぞれ活性化される信号である。リード信号 READ 又はライト信号 WRITE が活性化すると、アドレス制御回路 32 A にラッチされたカラムアドレス YADD がカラムデコード 13 A に供給される。これにより、当該カラムアドレス YADD により指定されるビット線 BL 又は /BL が選択される。

40

【0041】

したがって、アクティブコマンド及びリードコマンドを入力するとともに、これらに同期してロウアドレス XADD 及びカラムアドレス YADD を入力すれば、これらロウアドレス XADD 及びカラムアドレス YADD によって指定されるメモリセル MC からリードデータ DQA が読み出される。リードデータ DQA は、データ制御回路 39 A 及びデータ入出力回路 40 A に含まれるデータ出力回路 41 A を介して、データ端子 23 A から外部

50

に出力される。

【0042】

一方、アクティブコマンド及びライトコマンドを入力するとともに、これらに同期してロウアドレスXADD及びカラムアドレスYADDを入力し、その後、データ端子23AにライトデータDQAを入力すれば、ライトデータDQAはデータ入出力回路40Aに含まれるデータ入力回路42A及びデータ制御回路39Aを介してメモリセルアレイ11Aに供給され、ロウアドレスXADD及びカラムアドレスYADDによって指定されるメモリセルMCに書き込まれる。

【0043】

モードレジスタセット信号MRSは、コマンド信号COMがモードレジスタセットコマンドを示している場合に活性化される信号である。したがって、モードレジスタセットコマンドを入力するとともに、これに同期してコマンドアドレス端子21Aからモード信号MADDを入力すれば、モードレジスタ14Aの設定値を書き換えることができる。

【0044】

キャリブレーション実行信号ZQEXEAは、コマンド信号COMがキャリブレーションコマンドを示している場合に活性化される信号である。キャリブレーション実行信号ZQEXEAが活性化すると、キャリブレーション実行回路100はキャリブレーション動作を実行し、これによって調整コードOUTCODEを生成する。キャリブレーション実行回路100によって生成された調整コードOUTCODEは、キャリブレーション動作の終了後、中継回路300A, 300Bに転送される。

【0045】

コード更新信号ZQLATAは、コマンド信号COMがコード更新コマンドを示している場合に活性化される信号である。コード更新信号ZQLATAが活性化すると、中継回路300Aに保持された調整コードCODEがデータ入出力回路40Aに供給される。これにより、データ入出力回路40Aに含まれるデータ出力回路41Aの出力インピーダンスが調整コードCODEに応じて変化する。

【0046】

リセット信号RSTAは、コマンド信号COMがリセットコマンドを示している場合に活性化される信号である。リセット信号RSTAは、リセット制御回路38Aに入力される。リセット制御回路38Aは、半導体装置10内の各種リセット要求に基づいて、対応する回路ブロックの状態を制御する。リセット要求としては、上述したリセット信号RSTAの他、チャンネルCHBから供給されるリセット信号RSTB, RESET、パワーオンリセット信号PONなどが含まれる。出力レベル選択信号MRSVAもリセット制御回路38Aに入力される。

【0047】

クロック端子22Aには、外部クロック信号CKA, /CKAが入力される。外部クロック信号CKAと外部クロック信号/CKAは互いに相補の信号であり、いずれもクロック入力回路34Aに供給される。クロック入力回路34Aは、外部クロック信号CKA, /CKAを受けて内部クロック信号ICKAを生成する。内部クロック信号ICKAは、アドレス制御回路32Aやコマンドデコード回路33Aなど、チャンネルCHAに含まれる各回路ブロックの動作タイミングを規定するタイミング信号として用いられる。

【0048】

内部クロック信号ICKAは、内部クロック発生回路35Aにも供給され、これによって位相制御された内部クロック信号LCLKAが生成される。特に限定されるものではないが、内部クロック発生回路35AとしてはDLL回路を用いることができる。内部クロック信号LCLKAはデータ入出力回路40Aに供給され、リードデータDQAの出力タイミングを決めるタイミング信号として用いられる。

【0049】

電源端子24A, 25Aは、それぞれ電源電位VDDA, VSSAが供給される端子である。電源端子24A, 25Aに供給される電源電位VDDA, VSSAは、内部電源発

10

20

30

40

50

生回路 36A に供給される。内部電源発生回路 36A は、電源電位 V_{DDA} , V_{SSA} に基づいて各種の内部電位 V_{PP} , V_{OD} , V_{ARY} , V_{PERI} や、リファレンス電位 $ZQVREF$, VOH を発生させる。内部電位 V_{PP} は主にロウデコーダ 12A において使用される電位であり、内部電位 V_{OD} , V_{ARY} はメモリセルアレイ 11A 内のセンスアンプ $SAMP$ において使用される電位であり、内部電位 V_{PERI} は他の多くの回路ブロックにおいて使用される電位である。一方、リファレンス電位 $ZQVREF$, VOH は、キャリブレーション実行回路 100 にて使用される基準電位である。

【0050】

また、電源端子 24A , 25A はパワーオン検出回路 37A にも接続されている。パワーオン検出回路 37A は、電源端子 24A , 25A に電源が投入されたことを検出する回路であり、電源の投入が検出されると、パワーオンリセット信号 PON を活性化させる。パワーオンリセット信号 PON は、チャンネル CHA , CHB の各回路ブロックに供給され、これらの回路をリセットする。

10

【0051】

キャリブレーション端子 ZQ は、キャリブレーション実行回路 100 に接続されている。キャリブレーション実行回路 100 は、キャリブレーション状態信号 $ZQACT$ によって活性化されると、リファレンス抵抗素子 RZQ のインピーダンス及びリファレンス電位 $ZQVREF$, VOH を参照してキャリブレーション動作を行う。キャリブレーション動作によって得られた調整コード $OUTCODE$ はデータ入出力回路 40A に供給され、これによって、データ入出力回路 40A に含まれるデータ出力回路 41A の出力インピーダンスが指定される。キャリブレーション動作が終了すると、キャリブレーション実行回路 100 からキャリブレーション終了信号 $CALEND$ が出力される。

20

【0052】

キャリブレーション状態信号 $ZQACT$ は、状態制御回路 400 によって生成される。詳細については後述するが、状態制御回路 400 は、調停回路 200 から供給されるキャリブレーション開始信号 $CMDSB$ に応答してキャリブレーション状態信号 $ZQACT$ を活性化させ、キャリブレーション実行回路 100 から供給されるキャリブレーション終了信号 $CALEND$ に応答してキャリブレーション状態信号 $ZQACT$ を非活性化させる。

【0053】

調停回路 200 は、キャリブレーション実行信号 $ZQEXEA$ 及びコード更新信号 $ZQLATA$ と、チャンネル CHB から供給されるキャリブレーション実行信号 $ZQEXEB$ 及びコード更新信号 $ZQLATB$ を受け、これらに基づいてキャリブレーション開始信号 $CMDSB$ を生成する。調停回路 200 の詳細については後述する。

30

【0054】

図 5 は、チャンネル CHB の構成を示すブロック図である。

【0055】

図 5 に示すように、チャンネル CHB は、一部の回路ブロックが追加又は削除されている点を除き、図 4 に示したチャンネル CHA と同様の回路構成を有している。図 5 に示す各回路ブロックの符号には末尾に「B」が付されている。これらの回路ブロックは、図 4 に示した回路ブロックのうち、末尾に「A」が付された対応する回路ブロックに相当する。コマンドアドレス入力回路 31B、アドレス制御回路 32B、コマンドデコード回路 33B、ロウデコーダ 12B、カラムデコーダ 13B など、メモリセルアレイ 11B にアクセスする回路ブロックは、第 2 コマンドアドレス制御回路 $CA2$ を構成する。

40

【0056】

尚、チャンネル CHB を構成する各回路ブロックの基本的な機能及び接続関係は、図 4 に示したチャンネル CHA と同じであることから、重複する説明は省略し、チャンネル CHA と相違する部分に着目して説明する。

【0057】

チャンネル CHB は、図 4 に示したパワーオン検出回路 37A、リセット制御回路 38A、キャリブレーション実行回路 100 及び調停回路 200 に相当する回路ブロックを備え

50

ていない。その代わりに、チャンネルCHBは、リセット信号RESETが入力されるリセット端子26Bを備えている。リセット信号RESETは、チャンネルCHAに含まれるリセット制御回路38Aに供給される。また、中継回路300Bには、キャリブレーション実行回路100から調整コードOUTCODEが転送される。

【0058】

チャンネルCHBに属する電源端子24B, 25Bには、それぞれ電源電位VDD B, VSS Bが供給される。電源電位VDD Aと電源電位VDD Bは同電位であり、特に区別する必要のない場合には単にVDDと表記する。同様に、電源電位VSS Aと電源電位VSS Bは同電位であり、特に区別する必要のない場合には単にVSSと表記する。

【0059】

図6は、動作モードによるリードデータDQAの波形の違いを説明するための図であり、符号V30は第1動作モードが指定されている場合におけるリードデータDQAの波形を示し、符号V25は第2動作モードが指定されている場合におけるリードデータDQAの波形を示す。

【0060】

図6に示すように、コマンドアドレス端子21Aを介してリードコマンドREADを入力すると、所定のレイテンシが経過した後、データ端子23AからリードデータDQAがバースト出力される。尚、図6には複数のデータ端子23Aのうちいずれか一つのデータ端子23Aから出力されるリードデータDQAを示している。

【0061】

リードデータDQAは2値信号であり、図6に示す例ではローレベル(L)とハイレベル(H)のリードデータが交互に出力されている。ここで、ローレベル(L)の具体的な電位はVSSであり、ハイレベル(H)の具体的な電位はVOHである。VOHのレベルは、第1動作モードが指定されている場合には符号V30で示すようにVDD/3のレベルとなり、第2動作モードが指定されている場合には符号V25で示すようにVDD/2.5のレベルとなる。また、ローレベル(L)であるVSSとハイレベル(H)であるVOHの中間電位がリファレンス電位VREFDQとなる。したがって、リファレンス電位VREFDQのレベルは、第1動作モードが指定されている場合には符号V30で示すようにVDD/6のレベルとなり、第2動作モードが指定されている場合には符号V25で示すようにVDD/5のレベルとなる。つまり、第1動作モードが指定されている場合と、第2動作モードが指定されている場合とで、リードデータDQAの振幅が異なる。

【0062】

そして、実際にローレベル(L)のリードデータを出力するためには、データ端子23AをVSSレベルに駆動すればよい。一方、実際にハイレベル(H)のリードデータを出力するためには、図7(a)に示すように、終端動作を行うコントローラ2のデータ端子7はVSSレベルで駆動されているので、リード動作を行う半導体装置10aのデータ端子23AをVDDレベルで駆動すればよい。

【0063】

ここで、第1動作モードが選択されている場合は、リード動作を行う半導体装置10aにおけるデータ出力回路41Aのインピーダンスを2RZQとし、終端動作を行うコントローラ2におけるデータ出力回路8のインピーダンスをRZQとすれば、リードデータのレベルはVDD/3となる。一方、第2動作モードが選択されている場合は、リード動作を行う半導体装置10aにおけるデータ出力回路41Aのインピーダンスを1.5RZQとし、終端動作を行うコントローラ2におけるデータ出力回路8のインピーダンスをRZQとすれば、リードデータのレベルはVDD/2.5となる。

【0064】

同様に、半導体装置10aに対するライト動作の際には、図7(b)に示すように、終端動作を行う半導体装置10bにおけるデータ出力回路41AのインピーダンスをRZQとしてVSSレベルで駆動し、コントローラ2のデータ出力回路8のインピーダンスを2RZQ又は1.5RZQとしてVDDレベルで駆動すればよい。ここで、半導体装置10

10

20

30

40

50

bでなくライト動作を受ける10aそのものが終端動作を行っても構わない。

【0065】

第1動作モードは、動作周波数が高い場合（例えば1.6GHz）に選択することが好ましい。一方、第2動作モードは、動作周波数が低い場合（例えば0.8GHz）に選択することが好ましい。動作モードは、出力レベル選択信号MRSVAによって指定され、変更する場合にはモードレジスタ14Aの設定値を書き換えればよい。

【0066】

図8は、チャンネルCHAに含まれるデータ出力回路41Aの構成を示すブロック図であり、1個のデータ端子23Aに割り当てられた部分を示している。

【0067】

図8に示すように、データ出力回路41Aは、1個のデータ端子23A当たり、7つのプルアップユニットPU0～PU6と、7つのプルダウンユニットPD0～PD6を備えている。プルアップユニットPU0～PU6及びプルダウンユニットPD0～PD6の出力ノードは、データ端子23Aに共通に接続されている。プルアップユニットPU0～PU6は互いに同じ回路構成を有しており、特に区別する必要がない場合は単に「プルアップユニットPU」と総称する。同様に、プルダウンユニットPD0～PD6は互いに同じ回路構成を有しており、特に区別する必要がない場合は単に「プルダウンユニットPD」と総称する。

【0068】

プルアップユニットPU i ($i = 0 \sim 6$)とプルダウンユニットPD i ($i = 0 \sim 6$)は対を成す。そして、何対のユニットを使用するかは、モードレジスタ14Aから出力されるインピーダンス選択信号MODEによって指定される。また、プルアップユニットPU0～PU6及びプルダウンユニットPD0～PD6にはデータ制御回路39Aから内部データDATAが供給されており、内部データDATAがハイレベルを示している場合には、プルアップユニットPU0～PU6のうち、インピーダンス選択信号MODEによって指定される1又は2以上のプルアップユニットが活性化され、これによりデータ端子23Aがハイレベルに駆動される。一方、内部データDATAがローレベルを示している場合には、プルダウンユニットPD0～PD6のうち、インピーダンス選択信号MODEによって指定される1又は2以上のプルダウンユニットが活性化され、これによりデータ端子23Aがローレベルに駆動される。

【0069】

活性化されたプルアップユニットPU0～PU6のそれぞれのインピーダンスは、調整コードCODEの一部であるプルアップコードCODEPUによって指定される。同様に、活性化されたプルダウンユニットPD0～PD6のそれぞれのインピーダンスは、調整コードCODEの一部であるプルダウンコードCODEPDによって指定される。

【0070】

本実施形態においては、プルアップユニットPU0～PU6のインピーダンス目標値は例えば2RZQであり、プルダウンユニットPD0～PD6のインピーダンス目標値は例えばRZQである。この場合、インピーダンス選択信号MODEによってj対のユニットが使用される場合、ハイレベル出力時のインピーダンスは2RZQ/jとなり、ローレベル出力時のインピーダンスはRZQ/jとなる。

【0071】

チャンネルCHBに含まれるデータ出力回路41Bについても、図8に示したデータ出力回路41Aと同様の回路構成を有しているため、重複する説明は省略する。

【0072】

図9は、プルアップユニットPUの回路図である。

【0073】

図9に示すように、プルアップユニットPUは、並列接続された5つのNチャンネル型MOSトランジスタTNU0～TNU4からなるトランジスタ部TRUと、高抵抗配線部RWによって構成されている。トランジスタTNU0～TNU4のドレインは、電源電位

10

20

30

40

50

VDDを供給する電源配線VLに共通に接続され、トランジスタTNU0～TNU4のソースは、高抵抗配線部RWを介してデータ端子23Aに接続されている。高抵抗配線部RWはタンゲステン配線などからなる例えば40程度の抵抗である。

【0074】

トランジスタTNU0～TNU4のゲート電極には、コード信号DCODEPUを構成する各ビットDCODEPU0～DCODEPU4がそれぞれ供給される。これにより、5つのトランジスタTNU0～TNU4は、コード信号DCODEPUの値に基づいて個別にオン/オフ制御されることになる。図9に示すように、コード信号DCODEPUは、コード信号CODEPUの各ビットと内部データDATAをANDゲート回路によって論理合成した信号である。これにより、内部データDATAがローレベルを示している場合は、コード信号CODEPUの値にかかわらず、コード信号DCODEPUを構成するビットDCODEPU0～DCODEPU4が全てローレベルとなるため、トランジスタTNU0～TNU4は全てオフとなる。一方、内部データDATAがハイレベルを示している場合は、コード信号CODEPUの値がそのままコード制御信号DCODEPUの値となり、いくつかのトランジスタTNU0～TNU4がオンとなる。

10

【0075】

ここで、トランジスタTNU0～TNU4のチャンネル幅(W)とチャンネル長(L)の比(W/L比)、つまり電流供給能力には、2のべき乗の重み付けがされている。具体的には、トランジスタTNU0のW/L比を $1WLnu$ とした場合、トランジスタTNUk(k=0～4)のW/L比は、 $2^k \times WLnu$ に設計されている。これにより、プルアップユニットPUのインピーダンスを最大で32段階に調整することが可能となる。

20

【0076】

図10は、プルダウンユニットPDの回路図である。

【0077】

図10に示すように、プルダウンユニットPDは、並列接続された5つのNチャンネル型MOSトランジスタTND0～TND4からなるトランジスタ部TRDと、高抵抗配線部RWによって構成されている。トランジスタTND0～TND4のソースは、接地電位VSSQを供給する電源配線SLに共通に接続され、トランジスタTND0～TND4のドレインは、高抵抗配線部RWを介してデータ端子23Aに接続されている。

30

【0078】

トランジスタTND0～TND4のゲート電極には、コード信号DCODEPDを構成する各ビットDCODEPD0～DCODEPD4がそれぞれ供給される。これにより、5つのトランジスタTND0～TND4は、コード信号DCODEPDの値に基づいて個別にオン/オフ制御されることになる。図10に示すように、コード信号DCODEPDは、コード信号CODEPDの各ビットと内部データDATAの反転信号をANDゲート回路によって論理合成した信号である。これにより、内部データDATAがハイレベルを示している場合は、コード信号CODEPDの値にかかわらず、コード信号DCODEPDを構成するビットDCODEPD0～DCODEPD4が全てローレベルとなるため、トランジスタTND0～TND4は全てオフとなる。一方、内部データDATAがローレベルを示している場合は、コード信号CODEPDの値がそのままコード信号DCODEPDの値となり、いくつかのトランジスタTND0～TND4がオンとなる。

40

【0079】

ここで、トランジスタTND0～TND4のチャンネル幅(W)とチャンネル長(L)の比(W/L比)、つまり電流供給能力には、2のべき乗の重み付けがされている。具体的には、トランジスタTND0のW/L比を $1WLnd$ とした場合、トランジスタTNDk(k=0～4)のW/L比は、 $2^k \times WLnd$ に設計されている。これにより、プルダウンユニットPDのインピーダンスについても32段階に調整することが可能となる。

【0080】

このように、プルアップユニットPU及びプルダウンユニットPDのインピーダンスは、コード信号CODEPU, CODEPDによってそれぞれ調整することができる。コー

50

ド信号CODEPU, CODEPDは、図3及び図4に示したキャリブレーション実行回路100によるキャリブレーション動作によって生成される。

【0081】

図11は、キャリブレーション動作に関連する回路ブロックを抜き出して示すブロック図である。

【0082】

図11に示すように、キャリブレーション実行回路100は、キャリブレーション主回路110、コードレジスタ121, 122及びマルチプレクサ130を備えている。キャリブレーション主回路110は、実際にキャリブレーション動作を行うことによって調整コードCALCODEを生成する回路である。コードレジスタ121は、第1動作モードが選択されている場合における調整コードCALCODEの初期値であるデフォルトコードDEF CODE 1が設定されるレジスタである。また、コードレジスタ122は、第2動作モードが選択されている場合における調整コードCALCODEの初期値であるデフォルトコードDEF CODE 2が設定されるレジスタである。

10

【0083】

キャリブレーション主回路110及びコードレジスタ121, 122から出力される調整コードCALCODE, DEF CODE 1, DEF CODE 2は、マルチプレクサ130に入力される。マルチプレクサ130は、キャリブレーション開始信号CMD SB及び出力レベル選択信号MRSVAに基づき、いずれかの調整コードCALCODE, DEF CODE 1, DEF CODE 2を中継回路300A, 300Bに出力する。

20

【0084】

図11に示すように、キャリブレーション実行回路100及び中継回路300A, 300Bには、リセット制御回路38Aからリセット信号群ZQRSTが供給される。リセット信号群ZQRSTは、リセット要求に応じたリセット状態を示す信号群である。リセット要求としては、リセット信号RSTA, RSTB, RESETによるリセット要求、パワーオンリセット信号PONによるリセット要求、出力レベル選択信号MRSVAの切り替えによるリセット要求が含まれる。そして、リセット制御回路38Aは、これらリセット要求に応じてリセット信号群ZQRSTを構成する所定のリセット信号を活性化させる。リセット信号群ZQRSTは、調停回路200及び状態制御回路400にも入力される。

30

【0085】

図12は、リセット要求の種類とキャリブレーション回路内のリセット対象となる回路ブロックとの関係を説明するための表である。

【0086】

まず、パワーオンリセット信号PON又はリセット信号RESETによるリセット要求がなされた場合、キャリブレーション回路を構成する全ての回路ブロックがリセットされる。この場合、中継回路300Aにおいては、デフォルトレジスタ303Aの内容が入力レジスタ301A, 302A及び出力レジスタ304Aに上書きされる。同様に、中継回路300Bにおいては、デフォルトレジスタ303Bの内容が入力レジスタ301B, 302B及び出力レジスタ304Bに上書きされる。

40

【0087】

これに対し、出力レベル選択信号MRSVAの切り替えによるリセット要求がなされた場合は、調停回路200、キャリブレーション主回路110及び中継回路300A, 300Bの一部がリセットされる。この場合、コードレジスタ121, 122など残りの回路ブロックはリセットされない。

【0088】

また、リセット信号RSTAによるリセット要求がなされた場合は、キャリブレーション実行回路100及び調停回路200はリセットされず、中継回路300Aに含まれる一部の回路ブロックだけがリセットされる。同様に、リセット信号RSTBによるリセット要求がなされた場合は、キャリブレーション実行回路100及び調停回路200はリセッ

50

トされず、中継回路300Bに含まれる一部の回路ブロックだけがリセットされる。中継回路300A, 300Bの詳細については後述する。

【0089】

図13は、調停回路200の回路図である。

【0090】

図13に示すように、調停回路200は、チャンネルCHAに割り当てられたSR(セット・リセット)ラッチ回路201と、チャンネルCHBに割り当てられたSRラッチ回路202を備えている。SRラッチ回路201は、キャリブレーション実行信号ZQEXEAによってセットされ、コード更新信号ZQLATAによってリセットされる。同様に、SRラッチ回路202は、キャリブレーション実行信号ZQEXEBによってセットされ、

10

【0091】

SRラッチ回路201から出力される信号A1は、保護回路203に入力される。保護回路203は、SRラッチ回路201がセットされた後、キャリブレーション終了信号CALENDがハイレベルに活性化するまでの期間、信号A2をローレベルに維持する役割を果たす。このため、上記の期間内にSRラッチ回路201がリセットされた場合であっても、キャリブレーション終了信号CALENDがハイレベルに活性化するまでは信号A2がローレベルに維持される。

【0092】

SRラッチ回路202から出力される信号B1は、保護回路204に入力される。保護回路204は、SRラッチ回路202がセットされた後、キャリブレーション終了信号CALENDがハイレベルに活性化するまでの期間、信号B2をローレベルに維持する役割を果たす。このため、上記の期間内にSRラッチ回路202がリセットされた場合であっても、キャリブレーション終了信号CALENDがハイレベルに活性化するまでは信号B2がローレベルに維持される。

20

【0093】

信号A2, B2は、優先回路210に供給される。優先回路210は、信号A2を受け取るインバータ回路211と、インバータ回路211の出力を受けて信号GETAを生成するインバータ回路212と、信号B2及びインバータ回路211の出力信号を受け取るNORゲート回路213と、NORゲート回路213の出力を受けて信号GETBを生成する

30

【0094】

かかる構成により、信号A2がローレベルに活性すると信号GETAがローレベルに活性化し、信号B2がローレベルに活性すると信号GETBがローレベルに活性化する。但し、信号A2がすでにローレベルである場合には、信号B2がローレベルに変化しても、信号GETBは活性化しない。一方、その逆は成立せず、信号B2がすでにローレベルであっても、信号A2がローレベルに変化すれば、信号GETBがハイレベルに非活性化するとともに、信号GETAは活性化する。このように、優先回路210では、信号B2よりも信号A2の優先度が高められている。これにより、キャリブレーション実行信号ZQEXEA, ZQEXEBが競合した場合であっても、キャリブレーション実行信号ZQEXEAが優先される構成となっている。ここで、これら信号GETA, GETBを外部のコントローラに出力する構成としても良い。その様な構成とすることで、コントローラは半導体装置10の状態を認識することが出来るためである。

40

【0095】

信号GETA, GETBは、NANDゲート回路221に入力される。NANDゲート回路221から出力される信号C4は、ディレイ回路222を経由して信号C3となった後、ワンショットパルス生成回路223に入力される。ワンショットパルス生成回路223は、信号C3の立ち上がりエッジに应答して、ワンショットのキャリブレーション開始信号CMDSBを生成する。これにより、SRラッチ回路201, 202のいずれか一方がセットされると、キャリブレーション開始信号CMDSBが活性化される。

50

【0096】

また、優先回路210から出力される信号GETA, GETBは、SRラッチ回路201, 202にフィードバックされる。より具体的に説明すると、信号GETAは、インバータ回路231及びNANDゲート回路232を介してSRラッチ回路201のリセット側にフィードバックされ、NANDゲート回路233を介してSRラッチ回路201のセット側にフィードバックされ、NANDゲート回路234を介してSRラッチ回路202のセット側にフィードバックされ、さらに、インバータ回路235及びNORゲート回路236を介してSRラッチ回路202のリセット側にフィードバックされる。また、信号GETBは、インバータ回路237及びNANDゲート回路238を介してSRラッチ回路202のリセット側にフィードバックされ、NANDゲート回路233を介してSRラッチ回路201のセット側にフィードバックされ、さらに、NANDゲート回路234を介してSRラッチ回路202のセット側にフィードバックされる。

10

【0097】

NANDゲート回路233は、キャリブレーション実行信号ZQEXEA及び信号GETA, GETBを受け、その出力信号によってSRラッチ回路201をセットする。これにより、信号GETA, GETBがいずれもハイレベルに非活性化していることを条件として、キャリブレーション実行信号ZQEXEAの活性化にตอบสนองしてSRラッチ回路201がセットされ、信号A1がハイレベルとなる。

【0098】

NANDゲート回路232は、信号GETAの反転信号及びコード更新信号ZQLATAを受け、その出力信号によってSRラッチ回路201をリセットする。これにより、信号GETAがローレベルに活性化していることを条件として、コード更新信号ZQLATAの活性化にตอบสนองしてSRラッチ回路201がリセットされ、信号A1がローレベルとなる。但し、SRラッチ回路201のリセット側には、インバータ回路239を介してリセット信号群ZQRSTの一部(ZQRST1)が入力されているため、リセット信号ZQRST1が活性化すると、SRラッチ回路201は強制的にリセットされる。

20

【0099】

NANDゲート回路234は、キャリブレーション実行信号ZQEXEB及び信号GETA, GETBを受け、その出力信号によってSRラッチ回路202をセットする。これにより、信号GETA, GETBがいずれもハイレベルに非活性化していることを条件として、キャリブレーション実行信号ZQEXEBの活性化にตอบสนองしてSRラッチ回路202がセットされ、信号B1がハイレベルとなる。

30

【0100】

NANDゲート回路236は、信号GETBの反転信号及びコード更新信号ZQLATBを受け、その出力信号によってSRラッチ回路202をリセットする。これにより、信号GETBがローレベルに活性化していることを条件として、コード更新信号ZQLATBの活性化にตอบสนองしてSRラッチ回路202がリセットされ、信号B1がローレベルとなる。但し、SRラッチ回路202のリセット側には、NORゲート回路236の出力信号が入力されるため、NORゲート回路236の出力信号がローレベルになるとSRラッチ回路202は強制的にリセットされる。NORゲート回路236には、リセット信号群ZQRSTの一部(ZQRST1)と信号GETAの反転信号が入力されるため、リセット信号ZQRST1又は信号GETAが活性化すると、SRラッチ回路202は強制的にリセットされる。

40

【0101】

これに対し、SRラッチ回路201は、信号GETBが活性化しても、これにตอบสนองしてリセットされることはない。これは、SRラッチ回路201のリセット側には、NORゲート回路236に対応する回路が設けられていないからである。

【0102】

かかる構成により、信号GETAが活性化するとSRラッチ回路202が強制的にリセットされる一方、信号GETBが活性化してもSRラッチ回路201はリセットされない

50

。これにより、キャリブレーション実行信号 Z Q E X E A , Z Q E X E B が競合した場合であっても、キャリブレーション実行信号 Z Q E X E A が優先される構成となっている。

【 0 1 0 3 】

図 1 4 は、調停回路 2 0 0 の動作を説明するための第 1 の動作波形図である。

【 0 1 0 4 】

図 1 4 に示す例では、時刻 t 1 1 にキャリブレーション実行信号 Z Q E X E A が活性化している。キャリブレーション実行信号 Z Q E X E A が活性化すると、調停回路 2 0 0 に含まれる S R ラッチ回路 2 0 1 がセットされるため、信号 A 1 がハイレベルとなる。これにより、信号 A 2 がローレベルに変化し、信号 G E T A がローレベルに活性化する。

【 0 1 0 5 】

信号 G E T A がローレベルに活性化すると、信号 C 4 が活性化し、ディレイ回路 2 2 2 による遅延を経た後、信号 C 3 が活性化する。これにより、キャリブレーション開始信号 C M D S B のワンショットパルスが生成され、キャリブレーション実行回路 1 0 0 によるキャリブレーション動作が開始される。キャリブレーション動作が開始されると、キャリブレーション終了信号 C A L E N D が一旦ローレベルに変化する。キャリブレーション動作には所定の時間 T c a l が必要であり、キャリブレーション動作が完了すると、キャリブレーション終了信号 C A L E N D はハイレベルに戻る。キャリブレーション終了信号 C A L E N D がハイレベルになると、調整コード C A L C O D E の値が確定する。

【 0 1 0 6 】

その後、時刻 t 1 2 にコード更新信号 Z Q L A T A が活性化すると、S R ラッチ回路 2 0 1 がリセットされ、時刻 t 1 1 以前の状態に戻る。後述するように、コード更新信号 Z Q L A T A が活性化すると、調整コード C O D E がチャンネル C H A のデータ出力回路 4 1 A に供給され、これにより出力インピーダンスが更新される。

【 0 1 0 7 】

このように、キャリブレーション実行信号 Z Q E X E A 及びコード更新信号 Z Q L A T A がこの順に活性化すると、データ出力回路 4 1 A の出力インピーダンスが更新される。

【 0 1 0 8 】

図 1 5 は、調停回路 2 0 0 の動作を説明するための第 2 の動作波形図である。

【 0 1 0 9 】

図 1 5 に示す例では、時刻 t 2 1 にキャリブレーション実行信号 Z Q E X E B が活性化している。キャリブレーション実行信号 Z Q E X E B が活性化すると、調停回路 2 0 0 に含まれる S R ラッチ回路 2 0 2 がセットされるため、信号 B 1 がハイレベルとなる。これにより、信号 B 2 がローレベルに変化し、信号 G E T B がローレベルに活性化する。

【 0 1 1 0 】

信号 G E T B がローレベルに活性化すると、信号 C 4 が活性化するため、キャリブレーション開始信号 C M D S B のワンショットパルスが生成され、キャリブレーション実行回路 1 0 0 によるキャリブレーション動作が開始される。

【 0 1 1 1 】

その後、時刻 t 2 2 にコード更新信号 Z Q L A T B が活性化すると、S R ラッチ回路 2 0 2 がリセットされ、時刻 t 2 1 以前の状態に戻る。後述するように、コード更新信号 Z Q L A T B が活性化すると、調整コード C O D E がチャンネル C H B のデータ出力回路 4 1 B に供給され、これにより出力インピーダンスが更新される。

【 0 1 1 2 】

このように、キャリブレーション実行信号 Z Q E X E B 及びコード更新信号 Z Q L A T B がこの順に活性化すると、データ出力回路 4 1 B の出力インピーダンスが更新される。

【 0 1 1 3 】

図 1 6 は、調停回路 2 0 0 の動作を説明するための第 3 の動作波形図である。

【 0 1 1 4 】

図 1 6 に示す例では、時刻 t 3 1 にキャリブレーション実行信号 Z Q E X E A , Z Q E X E B が同時に活性化している。キャリブレーション実行信号 Z Q E X E A はチャンネル C

10

20

30

40

50

H A のコマンドデコード回路 3 3 A によって生成され、キャリブレーション実行信号 Z Q E X E B はチャンネル C H B のコマンドデコード回路 3 3 B によって生成されるため、これらの信号は互いに非同期となる。このため、例えばチャンネル C H A に入力される外部クロック信号 C K A , / C K A とチャンネル C H B に入力される外部クロック信号 C K B , / C K B の位相がほぼ一致している場合、図 1 4 に示すようにキャリブレーション実行信号 Z Q E X E A , Z Q E X E B が同時に活性化するケースが考えられる。

【 0 1 1 5 】

キャリブレーション実行信号 Z Q E X E A , Z Q E X E B が活性化すると、調停回路 2 0 0 に含まれる S R ラッチ回路 2 0 1 , 2 0 2 がいずれもセットされるため、信号 A 1 , B 1 がいずれもハイレベルとなる。これに回答して信号 A 2 , B 2 はローレベルに変化するが、上述した優先回路 2 1 0 の機能により信号 A 2 が優先されるため、信号 G E T A はローレベルに活性化する一方、信号 G E T B はハイレベルに保持される。

10

【 0 1 1 6 】

さらに、信号 G E T A がローレベルに活性化すると、N O R ゲート回路 2 3 6 を介して S R ラッチ回路 2 0 2 がリセットされる。これにより、信号 B 1 はローレベルに戻る。以上により、同時に入力されたキャリブレーション実行信号 Z Q E X E A , Z Q E X E B は、キャリブレーション実行信号 Z Q E X E A 側が有効となり、キャリブレーション実行信号 Z Q E X E B は無効化される。

【 0 1 1 7 】

信号 G E T A がローレベルに活性化すると、信号 C 4 が活性化するため、キャリブレーション開始信号 C M D S B のワンショットパルスが生成され、キャリブレーション実行回路 1 0 0 によるキャリブレーション動作が開始される。

20

【 0 1 1 8 】

その間、図 1 6 に示す例では、キャリブレーション実行信号 Z Q E X E A , Z Q E X E B やコード更新信号 Z Q L A T B が入力されている。図 1 4 に示したように、データ出力回路 4 1 A の出力インピーダンスを更新する場合、キャリブレーション実行信号 Z Q E X E A 及びコード更新信号 Z Q L A T A をこの順に入力する必要があるが、図 1 6 に示す例では、キャリブレーション実行信号 Z Q E X E A が入力された後、コード更新信号 Z Q L A T A が入力される前に、時刻 t 3 2 , t 3 4 において、イリーガルなキャリブレーション実行信号 Z Q E X E A が入力されている。時刻 t 3 2 , t 3 4 においては、キャリブレーション実行信号 Z Q E X E B も入力され、時刻 t 3 3 においては、コード更新信号 Z Q L A T B も入力されている。

30

【 0 1 1 9 】

しかしながら、これらの信号は、符号 2 4 0 で示すように無効化される。まず、時刻 t 3 2 , t 3 4 に入力されたキャリブレーション実行信号 Z Q E X E A , Z Q E X E B については、信号 G E T A がローレベルであることから、N A N D ゲート回路 2 3 3 , 2 3 4 によって無効化される。また、時刻 t 3 3 に入力されたコード更新信号 Z Q L A T B については、信号 G E T B がハイレベルであることから、N A N D ゲート回路 2 3 8 によって無効化される。

【 0 1 2 0 】

その後、時刻 t 3 5 にコード更新信号 Z Q L A T A が活性化すると、S R ラッチ回路 2 0 1 がリセットされ、時刻 t 3 1 以前の状態に戻る。尚、図 1 6 に示す例では、時刻 t 3 5 にコード更新信号 Z Q L A T B も同時に活性化している。しかしながら、時刻 t 3 5 に入力されたコード更新信号 Z Q L A T B についても、信号 G E T B がハイレベルであることから、N A N D ゲート回路 2 3 8 によって無効化される。

40

【 0 1 2 1 】

このように、キャリブレーション実行信号 Z Q E X E A , Z Q E X E B が競合し、或いは、イリーガルなキャリブレーション実行信号 Z Q E X E A , Z Q E X E B 又はコード更新信号 Z Q L A T A , Z Q L A T B が入力された場合であっても、調停回路 2 0 0 によってこれらの信号の調停が行われる。図 1 6 に示す例では、時刻 t 3 1 に入力されたキャリ

50

ブレーション実行信号 Z Q E X E A と、時刻 t 3 5 に入力されたコード更新信号 Z Q L A T A だけが有効となり、これにより、データ出力回路 4 1 A の出力インピーダンスが更新される。

【 0 1 2 2 】

尚、調停回路 2 0 0 においてコード更新信号 Z Q L A T A , Z Q L A T B が無効化された場合であっても、コード更新信号 Z Q L A T A , Z Q L A T B の元となるコード更新コマンド自体が無効になるわけではない。したがって、調停回路 2 0 0 においてコード更新信号 Z Q L A T A が無効化された場合であっても、中継回路 3 0 0 A においてはコード更新信号 Z Q L A T A が有効であり、後述するラッチ動作が行われる。同様に、調停回路 2 0 0 においてコード更新信号 Z Q L A T B が無効化された場合であっても、中継回路 3 0 0 B においてはコード更新信号 Z Q L A T B が有効であり、後述するラッチ動作が行われる。

10

【 0 1 2 3 】

図 1 7 は、調停回路 2 0 0 の動作を説明するための第 4 の動作波形図である。

【 0 1 2 4 】

図 1 7 に示す例では、時刻 t 4 1 にキャリブレーション実行信号 Z Q E X E B が活性化した直後、時刻 t 4 2 にキャリブレーション実行信号 Z Q E X E A が活性化している。キャリブレーション実行信号 Z Q E X E A , Z Q E X E B は、チャンネル C H A , C H B によって非同期に生成されるため、このような入力パターンも考えられる。

20

【 0 1 2 5 】

この場合、キャリブレーション実行信号 Z Q E X E B に応答して S R ラッチ回路 2 0 2 がセットされ、信号 B 1 がハイレベルとなった後、キャリブレーション実行信号 Z Q E X E A に応答して S R ラッチ回路 2 0 1 がセットされ、信号 A 1 がハイレベルとなる。これにより、信号 G E T B , G E T A がこの順に活性化する。そして、最初に活性化した信号 G E T B に応答して信号 C 4 が活性化するため、キャリブレーション開始信号 C M D S B のワンショットパルスが生成され、キャリブレーション実行回路 1 0 0 によるキャリブレーション動作が開始される。

【 0 1 2 6 】

一方、信号 G E T A がローレベルに活性化すると、N O R ゲート回路 2 3 6 の出力信号がローレベルになるため、S R ラッチ回路 2 0 2 は強制的にリセットされる。これにより、キャリブレーション実行信号 Z Q E X E B は実質的に取り消され、キャリブレーション実行信号 Z Q E X E A だけが有効となる。

30

【 0 1 2 7 】

このように、キャリブレーション実行信号 Z Q E X E A , Z Q E X E B が同時に入力された場合のみならず、短い時間差をもってこれらの信号が入力された場合であっても、チャンネル C H A に対応するキャリブレーション実行信号 Z Q E X E A が優先されることになる。但し、キャリブレーション実行信号 Z Q E X E B が入力された後、一定以上の時間差をもってキャリブレーション実行信号 Z Q E X E A が入力された場合は、信号 G E T B によって N A N D ゲート回路 2 3 3 の出力信号が固定されるため、キャリブレーション実行信号 Z Q E X E A は無効化される。

40

【 0 1 2 8 】

図 1 8 は、変形例による優先回路 2 5 0 の回路図である。

【 0 1 2 9 】

図 1 8 に示す優先回路 2 5 0 は、信号 A 2 によってセットされ、信号 B 2 によってリセットされる一種の S R ラッチ回路である。出力される信号 y , z は、上述した信号 G E T A , G E T B に対応する。

【 0 1 3 0 】

優先回路 2 5 0 は、信号 A 2 を反転させるインバータ回路 2 5 1 と、信号 B 2 を反転させるインバータ回路 2 5 2 と、反転された信号 A 2 及び信号 z を受ける N A N D ゲート回路 2 5 3 と、反転された信号 B 2 及び信号 y を受ける N A N D ゲート回路 2 5 4 を備えて

50

いる。NANDゲート回路253の出力信号は、インバータ回路255, 256を介し、信号yとして出力される。一方、NANDゲート回路254の出力信号とインバータ回路255の出力信号は、NORゲート回路257に入力される。NORゲート回路257の出力信号は、インバータ回路258を介し、信号zとして出力される。

【0131】

かかる構成により、信号A2がローレベルに変化すると信号yがローレベルに変化するとともに、NANDゲート回路254の出力信号が固定されるため、その後、信号B2がローレベルに変化しても信号zはハイレベルを維持する。同様に、信号B2がローレベルに変化すると信号zがローレベルに変化するとともに、NANDゲート回路253の出力信号が固定されるため、その後、信号A2がローレベルに変化しても信号yはハイレベルを維持する。

10

【0132】

但し、信号A2, B2がローレベルに変化する時間差が非常に短い場合、具体的には、信号y, zのフィードバック時間未満の時間差で両者がハイレベルに変化する場合は、信号A2が優先される。例えば、信号B2が先にローレベルとなり、その後、信号zがNANDゲート回路253にフィードバックされる前に信号A2がローレベルに変化すると、NORゲート回路257によって信号zが取り消され、信号A2が有効に受信される。これにより、信号zの代わりに信号yがローレベルとなる。

【0133】

このような動作は、信号A2, B2の入力順序が逆である場合は発生しない。つまり、信号A2が先にローレベルとなり、その後、信号yがNANDゲート回路254にフィードバックされる前に信号B2がローレベルに変化しても、ローレベルに変化した信号yが取り消されることはない。つまり、優先回路210と同様、信号B2よりも信号A2の優先度が高められている。

20

【0134】

尚、図18に示す優先回路250は、図13に示した優先回路210の代わりに用いられるだけでなく、調停回路200全体の代わりに用いることも可能である。例えば、キャリアレーション実行信号ZQEXEA, ZQEXEBがいわゆるレベル信号である場合、図18に示す優先回路250によって両者を調停することが可能である。

【0135】

図19は、一般的なSRラッチ回路260の回路図である。

30

【0136】

図19に示すSRラッチ回路260は、入力信号IN1, IN2を反転させるインバータ回路261, 262と、インバータ回路261, 262の出力信号を受けるとともに循環接続されたNANDゲート回路263, 264によって構成されている。このようなSRラッチ回路260は、入力信号IN1, IN2に優先順位が付けられていないため、入力信号IN1, IN2が短い時間差を持って変化した場合、一時的にメタステーブル状態となる。

【0137】

図20は、SRラッチ回路260の動作を説明するための波形図である。

40

【0138】

図20においては、入力信号IN1を所定のタイミングでハイレベルからローレベルに変化させるとともに、入力信号IN2がハイレベルからローレベルに変化するタイミングを入力信号IN1に対して変化させている。図20には、図19に示したノードn1~n4のレベルも示されている。出力信号OUTは、ノードn4のレベルをバッファ265によってバッファリングした信号である。

【0139】

図20に示すように、入力信号IN2の変化タイミングによっては、ノードn3, n4のレベルが正常に変化せず、いわゆるメタステーブル状態となっていることが分かる。このため、入力信号IN2の変化タイミングによっては、出力信号OUTが変化するタイミ

50

ングが大幅に遅れてしまう。

【0140】

図21は、優先回路250の動作を説明するための波形図である。

【0141】

図21においても、信号A2を所定のタイミングでハイレベルからローレベルに変化させるとともに、信号B2がハイレベルからローレベルに変化するタイミングを信号A2に対して変化させている。図21には、図18に示したノードn11～n16のレベルも示されている。出力信号OUTは、出力信号zをバッファ259によってバッファリングした信号である。

【0142】

図21に示すように、信号B2の変化タイミングによっては、各ノードのレベルが正常に変化せず、いわゆるメタステーブル状態になりかけているが、メタステーブル状態は短時間で解消されていることが分かる。このため、出力信号OUTが変化するタイミングが遅れることはない。

【0143】

図22は、状態制御回路400の回路図である。

【0144】

図22に示すように、状態制御回路400はSRラッチ回路401を備えている。SRラッチ回路401のセット側にはキャリブレーション開始信号CMD SBが入力され、リセット側にはワンショットパルス発生回路402を介してキャリブレーション終了信号CALENDが入力される。かかる構成により、図23に示すように、ワンショットのキャリブレーション開始信号CMD SBが活性化した後、キャリブレーション終了信号CALENDがハイレベルに変化するまでの期間、キャリブレーション状態信号ZQACTはハイレベルとなる。キャリブレーション状態信号ZQACTは、キャリブレーション主回路110がキャリブレーション動作中であることを示すステート信号として用いられる。

【0145】

また、SRラッチ回路401のリセット側には、インバータ回路403を介してリセット信号群ZQRSTの一部(ZQRST1)も入力される。このため、リセット信号群ZQRST1が活性化するとSRラッチ回路401は強制的にリセットされ、キャリブレーション状態信号ZQACTはローレベルとなる。

【0146】

図24は、キャリブレーション主回路110のブロック図である。

【0147】

図24に示すように、キャリブレーション主回路110は、プルアップユニットPUのレプリカであるプルアップユニットPURと、プルダウンユニットPDのレプリカであるプルダウンユニットPDR0～PDR5を備えている。プルアップユニットPURはプルアップユニットPUと同じ回路構成を有しており、そのインピーダンスは、コード信号CODEPUによって制御される。同様に、プルダウンユニットPDR0～PDR5はいずれもプルダウンユニットPDと同じ回路構成を有しており、そのインピーダンスは、コード信号CODEPDによって制御される。

【0148】

図24に示すように、プルダウンユニットPDR1～PUR5の出力ノードは、キャリブレーション端子ZQに共通接続されるとともに、比較回路COMP Dに接続される。比較回路COMP Dは、キャリブレーション状態信号ZQACTの活性化に应答して、キャリブレーション端子ZQの電位とリファレンス電位VREFDQとを比較し、その結果に基づいてアップダウン信号UDDを生成する。アップダウン信号UDDはカウンタ回路CNT Dに供給され、これに基づいてカウンタ回路CNT Dのカウント値であるコード信号CODEPDがカウントアップ又はカウントダウンされる。カウンタ回路CNT Dのカウントアップ又はカウントダウンは、更新信号UPDATEDに同期して行われる。更新信号UPDATEDは、キャリブレーション状態信号ZQACTが活性化していることを条

10

20

30

40

50

件として、オシレータ信号OSCCLKに同期してタイミング発生回路TMDにより生成される。オシレータ信号OSCCLKは、キャリブレーション状態信号ZQACTによって活性化されるオシレータ回路OSCによって生成される。オシレータ回路OSCは、キャリブレーション終了信号CALENDによって非活性化される。

【0149】

さらに、プルアップユニットPUR及びプルダウンユニットPDR0の出力ノードは、接続点Aに接続される。接続点Aは、比較回路COMP Uに接続されている。比較回路COMP Uは、キャリブレーション状態信号ZQACTの活性化にตอบสนองして、接続点Aの電位とリファレンス電位VOHとを比較し、その結果に基づいてアップダウン信号UDUを生成する。アップダウン信号UDUはカウンタ回路CNTUに供給され、これに基づいてカウンタ回路CNTUのカウント値であるコード信号CODEPUがカウントアップ又はカウントダウンされる。カウンタ回路CNTUのカウントアップ又はカウントダウンは、更新信号UPDATEUに同期して行われる。更新信号UPDATEUは、キャリブレーション状態信号ZQACT及びプルダウン終了信号ENDPDが活性化していることを条件として、オシレータ信号OSCCLKに同期してタイミング発生回路TMUにより生成される。

10

【0150】

キャリブレーション主回路110を用いたキャリブレーション動作は、次の手順により行われる。

【0151】

20

まず、キャリブレーション状態信号ZQACTが活性化すると、比較回路COMP Dが活性化され、キャリブレーション端子ZQの電位とリファレンス電位VREFDQの比較が行われる。その結果、キャリブレーション端子ZQの電位がリファレンス電位VREFDQよりも低い場合には、アップダウン信号UDDを用いてカウンタ回路CNTDをカウントダウンし、コード信号CODEPDの値を小さくする。これにより、プルダウンユニットPDR1～PDR5のインピーダンスが高くなることから、キャリブレーション端子ZQの電位が上昇する。逆に、キャリブレーション端子ZQの電位がリファレンス電位VREFDQよりも高い場合には、アップダウン信号UDDを用いてカウンタ回路CNTDをカウントアップし、コード信号CODEPDの値を大きくする。これにより、プルダウンユニットPDR1～PDR5のインピーダンスが低くなることから、キャリブレーション端子ZQの電位が低下する。

30

【0152】

このような動作を更新信号UPDATEDが活性化するたびに実行すれば、キャリブレーション端子ZQの電位はリファレンス電位VREFDQとほぼ一致した状態となる。ここで、リファレンス電位VREFDQのレベルは例えばVDDQ/6であり、且つ、キャリブレーション端子ZQには5つのプルダウンユニットPDR1～PDR5が並列に接続されていることから、キャリブレーション端子ZQの電位がリファレンス電位VREFDQとほぼ一致した状態になると、プルダウンユニットPDR1～PDR5はいずれもリファレンス抵抗素子RZQと同じ抵抗値(RZQ)に調整されたことになる。尚、プルダウンユニットPDR0のインピーダンスについてもRZQに調整される。

40

【0153】

プルダウンユニットPDR1～PDR5のキャリブレーション動作が完了すると、カウンタ回路CNTDからプルダウン終了信号ENDPDが出力され、続いてプルアップユニットPURのキャリブレーション動作が開始される。

【0154】

プルダウン終了信号ENDPDが活性化すると、比較回路COMP Uが活性化され、接続点Aの電位とリファレンス電位VOHの比較が行われる。その結果、接続点Aの電位がリファレンス電位VOHよりも高い場合には、アップダウン信号UDUを用いてカウンタ回路CNTUをカウントダウンし、コード信号CODEPDの値を小さくする。これにより、プルアップユニットPURのインピーダンスが高くなることから、接続点Aの電位が

50

低下する。逆に、接続点 A の電位がリファレンス電位 V_{OH} よりも低い場合には、アップダウン信号 UDU を用いてカウンタ回路 $CNTU$ をカウントアップし、コード信号 $CODEPU$ の値を大きくする。これにより、プルアップユニット PUR のインピーダンスが低くなることから、接続点 A の電位が上昇する。

【0155】

このような動作を更新信号 $UPDATEU$ が活性化するたびに実行すれば、接続点 A の電位はリファレンス電位 V_{OH} とほぼ一致した状態となる。ここで、リファレンス電位 V_{OH} のレベルは例えば $V_{DDQ}/3$ であり、且つ、プルダウンユニット $PDR0$ のインピーダンスは既に RZQ に調整されていることから、接続点 A の電位がリファレンス電位 V_{OH} とほぼ一致した状態になると、プルアップユニット PUR はリファレンス抵抗素子 RZQ の 2 倍の抵抗値 ($2RZQ$) に調整されたことになる。

10

【0156】

プルアップユニット PUR のキャリブレーション動作が完了すると、カウンタ回路 $CNTU$ からキャリブレーション終了信号 $CALEND$ が出力され、オシレータ回路 OSC の動作が停止する。これにより、一連のキャリブレーション動作が完了する。そして、キャリブレーション動作によって生成されたコード信号 $CODEPU$, $CODEPD$ (調整コード $CALCODE$) は、図 11 に示したマルチプレクサ 130 に供給される。

【0157】

図 25 は、マルチプレクサ 130 の回路図である。

【0158】

20

図 25 に示すように、マルチプレクサ 130 はセレクト回路 131 とラッチ回路 132 を備えている。セレクト回路 131 は、3 つの入力ノード 0 , 1 , 2 と 3 つの選択ノード 0 , 1 , 2 を備えており、活性化された選択ノードに対応する入力ノードの信号が出力される。入力ノード 0 にはキャリブレーション主回路 110 から供給される調整コード $CALCODE$ が入力される。また、入力ノード 1 , 2 には、図 11 に示したコードレジスタ 121 , 122 から供給されるデフォルトコード $DEF CODE 1$, $DEF CODE 2$ がそれぞれ入力される。デフォルトコード $DEF CODE 1$ は、第 1 動作モードが選択されている場合における調整コード $CALCODE$ の初期値であり、デフォルトコード $DEF CODE 2$ は、第 2 動作モードが選択されている場合における調整コード $CALCODE$ の初期値である。

30

【0159】

セレクト回路 131 から出力された調整コード $ZQVALUEP$ は、ラッチ回路 132 を介して出力され、中継回路 300A , 300B に転送される。図 23 では、ラッチ回路 132 の出力信号を調整コード $OUTCODE$ と表記している。

【0160】

図 26 は、ラッチ回路 132 の回路図である。図 26 に示す回路構成から明らかなように、ラッチ回路 132 は、選択ノード G がハイレベルである場合には入力ノード D に入力される信号をそのまま出力ノード Q に出力する。一方、選択ノード G がローレベルである場合には、入力ノード D と出力ノード Q が遮断され、直前まで入力されていた信号を出力ノード Q から出力する。

40

【0161】

そして、選択ノード G には、図 25 に示すようにキャリブレーション状態信号 $ZQACT$ の反転信号が入力される。このため、キャリブレーション状態信号 $ZQACT$ がハイレベルに活性化している期間は、選択ノード G がローレベルとなるため、入力ノード D と出力ノード Q が遮断される。これにより、キャリブレーション動作中は調整コード $CALCODE$ (つまり調整コード $ZQVALUEP$) の値がオシレータ信号 $OSCLK$ に同期して刻々と変化するものの、これがそのまま中継回路 300A , 300B に転送されることがない。上述の通り、キャリブレーション実行回路 100 と中継回路 300B を接続する配線は長距離配線であるため充放電電流が大きいのが、キャリブレーション動作中は、長距離配線のレベルが変化しないため、消費電流の増大を防止することができる。

50

【0162】

その後、キャリブレーション動作の終了によってキャリブレーション状態信号ZQACTがローレベルに変化すると、調整コードZQVALUEPの値が調整コードOUTCODEに反映され、中継回路300A, 300Bに転送される。

【0163】

また、セレクト回路131の選択ノード0, 1, 2に入力される信号は、論理回路133によって生成される。まず、デフォルト選択信号DEFCODESELがローレベルに非活性化している場合は、キャリブレーション状態信号ZQACTに応答して選択信号CALCODEGが活性化する。これにより、キャリブレーション主回路110によって生成された調整コードCALCODEが選択される。

10

【0164】

これに対し、デフォルト選択信号DEFCODESELがローレベルに非活性化している場合は、出力レベル選択信号MRSVAに応じて選択信号DEFCODE1G又はDEFCODE2Gが活性化する。具体的には、出力レベル選択信号MRSVAがハイレベルであり、第1動作モードが選択されている場合は、選択信号DEFCODE1Gが活性化し、これによりコードレジスタ121から供給されるデフォルトコードDEFCODE1が選択される。一方、出力レベル選択信号MRSVAがローレベルであり、第2動作モードが選択されている場合は、選択信号DEFCODE2Gが活性化し、これによりコードレジスタ122から供給されるデフォルトコードDEFCODE2が選択される。

【0165】

20

デフォルト選択信号DEFCODESELは、キャリブレーション実行回路100がリセットされると活性化し、その後、キャリブレーション動作が開始されると非活性化する。これにより、キャリブレーション実行回路100がリセットされた後、キャリブレーション動作が開始されるまでの期間は、デフォルトコードDEFCODE1又はDEFCODE2が中継回路300A, 300Bに供給されることになる。

【0166】

図27は、中継回路300Aの構成を示すブロック図である。

【0167】

図27に示すように、中継回路300Aは、入力レジスタ301A, 302A、デフォルトレジスタ303A及び出力レジスタ304Aを備えている。入力レジスタ301A, 302A及びデフォルトレジスタ303Aは、キャリブレーション実行回路100から転送される調整コードOUTCODE(CALCODE、DEFCODE1又はDEFCODE2)をラッチする。具体的には、出力レベル選択信号MRSVAがハイレベルであり、第1動作モードが選択されている場合は、キャリブレーション状態信号ZQACTに
30
応答して入力レジスタ301Aに調整コードOUTCODEがラッチされる。一方、出力レベル選択信号MRSVAがローレベルであり、第2動作モードが選択されている場合は、キャリブレーション状態信号ZQACTに
40
応答して入力レジスタ302Aに調整コードOUTCODEがラッチされる。また、出力レベル選択信号MRSVAが変化した場合は、この変化が検出回路306Aによって検出される。この場合は、キャリブレーション状態
40
信号ZQACTに
40
応答してデフォルトレジスタ303Aに調整コードOUTCODEがラ
40
ッチされる。

【0168】

但し、レジスタの選択には、動作タイミングを調整すべく、出力レベル選択信号MRSVAを遅延した出力レベル選択信号MRSVADが用いられるとともに、キャリブレーション状態信号ZQACTを遅延したキャリブレーション状態信号ZQACTDが用いられる。

【0169】

入力レジスタ301A, 302Aにラッチされた調整コードOUTCODEは、マルチプレクサ305Aを介して出力レジスタ304Aに供給される。マルチプレクサ305Aは、出力レベル選択信号MRSVADが第1動作モードを示している場合には入力レジス
50
50

タ301Aから出力される調整コードOUTCODEを選択し、出力レベル選択信号MRSVADが第2動作モードを示している場合には入力レジスタ302Aから出力される調整コードOUTCODEを選択する。

【0170】

出力レジスタ304Aは、コード更新信号ZQLATAの活性化にตอบสนองして、入力された調整コードOUTCODE(CALCODE、DEF CODE 1又はDEF CODE 2)をラッチする。出力レジスタ304Aにラッチされた調整コードCODEは、データ出力回路41Aに供給され、これによりデータ出力回路41Aの出力インピーダンスが調整される。したがって、キャリブレーション動作が完了した後、コード更新信号ZQLATAが活性化したことにตอบสนองして、更新された調整コードCODEがデータ出力回路41Aに供給されることになる。

10

【0171】

図28は、中継回路300Bの構成を示すブロック図である。

【0172】

図28に示すように、中継回路300Bは、入力レジスタ301B、302B、デフォルトレジスタ303B、出力レジスタ304B、マルチプレクサ305B及び検出回路306Bを備える。中継回路300Bの動作は、コード更新信号ZQLATAの代わりにコード更新信号ZQLATBが用いられる他は、上述した中継回路300Aの動作と同じであることから、重複する説明は省略する。

20

【0173】

したがって、キャリブレーション動作が完了した後、コード更新信号ZQLATBが活性化すると、更新された調整コードCODEがデータ出力回路41Bに供給されることになる。

【0174】

図29は、マルチプレクサ130及び中継回路300Aの動作を説明するためのタイミング図である。

【0175】

図29に示す例では、時刻t53に出力レベル選択信号MRSVAがハイレベルからローレベルに変化している。このため、時刻t53以前は第1動作モードが指定され、時刻t53以降は第2動作モードが指定される。第1動作モードが指定されている期間においては、時刻t51にキャリブレーション状態信号ZQACTがハイレベルに変化し、その後、時刻t52にキャリブレーション状態信号ZQACTがローレベルに変化している。また、第2動作モードが指定されている期間においては、時刻t54にキャリブレーション状態信号ZQACTがハイレベルに変化し、その後、時刻t55にキャリブレーション状態信号ZQACTがローレベルに変化している。

30

【0176】

時刻t51においてキャリブレーション状態信号ZQACTがハイレベルに変化すると、所定の遅延時間を経た後、選択信号CALCODEGがハイレベルとなる。これにより、セレクト回路131は入力ノード0を選択するため、セレクト回路131から出力される調整コードZQVALUEPは、キャリブレーション主回路110によって生成される調整コードCALCODEとなる。但し、この時点ではキャリブレーション状態信号ZQACTがハイレベルであるため、ラッチ回路132から出力される調整コードOUTCODEはデフォルトコードDEF CODE 1を示している。

40

【0177】

キャリブレーション状態信号ZQACTがハイレベルである期間は、キャリブレーション主回路110によってキャリブレーション動作が実行される。本例では、このとき第1動作モードが選択されていることから、リファレンス電位VREFDQのレベルをVDD/6とし、リファレンス電位VOHのレベルをVDD/3としてキャリブレーション動作が行われる。

【0178】

50

また、遅延されたキャリブレーション状態信号 Z Q A C T D がハイレベルに変化すると、デフォルトレジスタ 3 0 3 A , 3 0 3 B がラッチ動作を行う。これにより、デフォルトレジスタ 3 0 3 A には、デフォルトコード D E F C O D E 1 がラッチされる。

【 0 1 7 9 】

その後、時刻 t 5 2 においてキャリブレーション状態信号 Z Q A C T がローレベルに変化すると、ラッチ回路 1 3 2 から出力される調整コード O U T C O D E は、デフォルトコード D E F C O D E 1 から調整コード C A L C O D E に切り替わる。これにより、調整コード C A L C O D E が中継回路 3 0 0 A , 3 0 0 B に転送される。そして、遅延されたキャリブレーション状態信号 Z Q A C T D がローレベルに変化すると、入力レジスタ 3 0 1 A , 3 0 1 B がラッチ動作を行う。これにより、入力レジスタ 3 0 1 A , 3 0 1 B には、調整コード C A L C O D E がラッチされる。

10

【 0 1 8 0 】

その後、選択信号 D E F C O D E 1 G がハイレベルとなり、時刻 t 5 1 以前の状態に戻る。

【 0 1 8 1 】

そして、時刻 t 5 3 に出力レベル選択信号 M R S V A が変化すると、選択信号 D E F C O D E 1 G の代わりに選択信号 D E F C O D E 2 G がハイレベルとなる。これにより、セレクト回路 1 3 1 から出力される調整コード Z Q V A L U E P は、デフォルトコード D E F C O D E 2 に変化し、これがラッチ回路 1 3 2 を介し、調整コード O U T C O D E としてそのまま出力される。

20

【 0 1 8 2 】

また、遅延された出力レベル選択信号 M R S V A がハイレベルに変化すると、中継回路 3 0 0 A に含まれるデフォルトレジスタ 3 0 3 A がラッチ動作を行う。これにより、デフォルトレジスタ 3 0 3 A , 3 0 3 B には、デフォルトコード D E F C O D E 2 がラッチされる。

【 0 1 8 3 】

次に、時刻 t 5 4 においてキャリブレーション状態信号 Z Q A C T がハイレベルに変化すると、所定の遅延時間を経た後、選択信号 C A L C O D E G がハイレベルとなる。これにより、セレクト回路 1 3 1 は入力ノード 0 を選択するため、セレクト回路 1 3 1 から出力される調整コード Z Q V A L U E P は、キャリブレーション主回路 1 1 0 によって生成される調整コード C A L C O D E となる。但し、この時点ではキャリブレーション状態信号 Z Q A C T がハイレベルであるため、ラッチ回路 1 3 2 から出力される調整コード O U T C O D E はデフォルトコード D E F C O D E 2 を示している。

30

【 0 1 8 4 】

キャリブレーション状態信号 Z Q A C T がハイレベルである期間は、キャリブレーション主回路 1 1 0 によってキャリブレーション動作が実行される。本例では、このとき第 2 動作モードが選択されていることから、リファレンス電位 V R E F D Q のレベルを V D D / 5 とし、リファレンス電位 V O H のレベルを V D D / 2 . 5 としてキャリブレーション動作が行われる。

【 0 1 8 5 】

40

また、遅延されたキャリブレーション状態信号 Z Q A C T D がハイレベルに変化すると、中継回路 3 0 0 A に含まれるデフォルトレジスタ 3 0 3 A がラッチ動作を行う。これにより、デフォルトレジスタ 3 0 3 A , 3 0 3 B には、デフォルトコード D E F C O D E 2 がラッチされる。

【 0 1 8 6 】

その後、時刻 t 5 5 においてキャリブレーション状態信号 Z Q A C T がローレベルに変化すると、ラッチ回路 1 3 2 から出力される調整コード O U T C O D E は、デフォルトコード D E F C O D E 2 から調整コード C A L C O D E に切り替わる。これにより、調整コード C A L C O D E が中継回路 3 0 0 A , 3 0 0 B に転送される。そして、遅延されたキャリブレーション状態信号 Z Q A C T D がローレベルに変化すると、入力レジスタ 3 0 2

50

A, 302Bがラッチ動作を行う。これにより、入力レジスタ302A, 302Bには、調整コードCALCODEがラッチされる。

【0187】

その後、選択信号DEF CODE 2Gがハイレベルとなり、時刻t54以前の状態に戻る。

【0188】

このように、本実施形態では、中継回路300A, 300Bにデフォルトレジスタ303A, 303Bが設けられていることから、キャリブレーション実行回路100がリセットされた直後においても、デフォルトコードDEF CODE 1又はDEF CODE 2を直ちにデータ出力回路41A, 41Bに供給することができる。また、中継回路300A, 300Bには、第1動作モード用の入力レジスタ301A, 301Bと、第2動作モード用の入力レジスタ302A, 302Bが設けられていることから、動作モードが切り替えられた場合であっても、従前の動作モードでキャリブレーションすることによって得られた調整コードCALCODEが保存される。

10

【0189】

図30は、各レジスタに保持される調整コードの変化の一例を示す図である。

【0190】

まず、電源投入後のイニシャル状態である時刻t61においては、第1動作モードが選択される。そして、初期化動作により、コードレジスタ121にはデフォルトコードDEF CODE 1が格納され、コードレジスタ122にはデフォルトコードDEF CODE 2が格納される。また、キャリブレーション実行回路100及び中継回路300A, 300Bに含まれる他のレジスタには全てデフォルトコードDEF CODE 1が転送される。これにより、データ出力回路41A, 41Bは、デフォルトコードDEF CODE 1によって指定される出力インピーダンスに設定される。

20

【0191】

次に、時刻t62において、モードレジスタセットコマンドの発行により、第1動作モードから第2動作モードに切り替えられると、コードレジスタ122に保持されているデフォルトコードDEF CODE 2がデフォルトレジスタ303A, 303Bに転送され、さらに、出力レジスタ304A, 304Bに転送される。これにより、データ出力回路41A, 41Bは、デフォルトコードDEF CODE 2によって指定される出力インピーダンスに設定される。

30

【0192】

その後、時刻t63においてキャリブレーションコマンドが発行されると、キャリブレーション主回路110はキャリブレーション動作を実行し、調整コードCALCODEを生成する。そして、キャリブレーション動作が完了すると、調整コードCALCODEが中継回路300A, 300Bに転送され、入力レジスタ302A, 302Bに保持される。この時点では、データ出力回路41A, 41Bの出力インピーダンスは、デフォルトコードDEF CODE 2によって指定される出力インピーダンスである。

【0193】

さらに、時刻t64においてコード更新コマンドが発行されると、入力レジスタ302A, 302Bに保持されている調整コードCALCODEが出力レジスタ304A, 304Bに転送される。これにより、データ出力回路41A, 41Bは、キャリブレーション動作で得られた調整コードCALCODEによって指定される出力インピーダンスに設定される。

40

【0194】

次に、時刻t65においてリセットコマンドが発行されると、キャリブレーション実行回路100は全てリセットされ、時刻t61と同じ状態となる。これに対し、中継回路300A, 300Bに含まれる入力レジスタ301A, 302A, 301B, 302B及びデフォルトレジスタ303A, 303Bはリセットされず、デフォルトレジスタ303A, 303Bに保持されているデフォルトコードDEF CODE 2が出力レジスタ304A

50

、304Bに転送される。これにより、リセット後においても、データ出力回路41A、41Bは、デフォルトコードDEF CODE 2によって指定される出力インピーダンスに直ちに設定される。

【0195】

そして、時刻t66において、モードレジスタセットコマンドの発行により、第2動作モードから第1動作モードに切り替えられると、コードレジスタ121に保持されているデフォルトコードDEF CODE 1がデフォルトレジスタ303A、303Bに転送され、さらに、出力レジスタ304A、304Bに転送される。これにより、データ出力回路41A、41Bは、デフォルトコードDEF CODE 1によって指定される出力インピーダンスに設定される。

10

【0196】

以上説明したように、本実施形態による半導体装置10は、互いに非同期に発生するキャリブレーション実行信号ZQEXEA、ZQEXEBを調停する調停回路200を備えていることから、どのようなタイミングでキャリブレーション実行信号ZQEXEA、ZQEXEBが発生しても、正しくキャリブレーション動作を実行することが可能となる。

【0197】

しかも、キャリブレーション動作によって調整コードCAL CODEの値が確定した後、値の確定した調整コードCAL CODEが中継回路300A、300Bに転送されることから、キャリブレーション動作中における調整コードCAL CODEの値の変動による消費電流の増大を抑制することが可能となる。

20

【0198】

さらに、キャリブレーション実行回路100にはデフォルトコードDEF CODE 1、DEF CODE 2を格納するコードレジスタ121、122が設けられていることから、リセット直後や動作モードの切り替え直後においても、デフォルトコードDEF CODE 1又はDEF CODE 2をデータ出力回路41A、41Bに直ちに供給することが可能となる。

【0199】

尚、コードレジスタ121、122については、中継回路300A、300B側に配置しても構わない。この場合、中継回路300A、300Bからデフォルトレジスタ303A、303Bを削除し、その代わりにコードレジスタ121、122を設ければよい。この場合において、各レジスタに保持される調整コードの変化の一例を図31に示す。

30

【0200】

図31に示すように、本例においては、第1動作モードから第2動作モードに切り替えられると(時刻t61)、中継回路300A、300B内のコードレジスタ122から出力レジスタ304A、304BにデフォルトコードDEF CODE 2が転送される。同様に、リセットコマンドが発行されると(時刻t65)、中継回路300A、300B内のコードレジスタ122から出力レジスタ304A、304BにデフォルトコードDEF CODE 2が転送される。その後、第2動作モードから第1動作モードに切り替えられると(時刻t66)、中継回路300A、300B内の入力レジスタ301A、301Bから出力レジスタ304A、304BにデフォルトコードDEF CODE 1が転送される。その他の動作については、図30に示した動作と基本的に同じである。

40

【0201】

図32は、変形例によるキャリブレーション主回路110の一部を示す回路図である。

【0202】

図32には、変形例によるキャリブレーション主回路110のうち、キャリブレーション端子ZQとプルダウンユニットPDR1~PDR5との間に設けられた回路だけを示している。他の回路部分は、図24に示したとおりであるから、図示を省略する。

【0203】

図32に示すように、変形例によるキャリブレーション主回路110は、キャリブレーション端子ZQとプルダウンユニットPDR1~PDR5との間にトランスファゲート1

50

18が設けられているとともに、プルダウンユニットPDR1～PDR5の出力ノードを電源電位VDDに固定するトランジスタ119を有している。そして、キャリブレーション状態信号ZQACTがハイレベルに活性化すると、トランスファゲート118がオンするため、キャリブレーション動作が可能となる。これに対し、キャリブレーション状態信号ZQACTがローレベルである期間は、トランスファゲート118がオフするため、キャリブレーション端子ZQとプルダウンユニットPDR1～PDR5が切断されるとともに、プルダウンユニットPDR1～PDR5の出力ノードが電源電位VDDに固定される。これにより、リファレンス抵抗素子RZQを複数チップで共有する場合であっても、キャリブレーション動作を行うチップのトランスファゲート118のみがオンするため、キャリブレーション動作を行わないチップの内部回路はキャリブレーション端子ZQの負荷容量とはならず、キャリブレーション動作時の負荷容量、具体的には比較回路COMP Dの比較動作の時の負荷容量が一定となり、安定したキャリブレーション動作を保證できる。

10

20

30

40

50

【0204】

図33は、変形例による中継回路300Aの構成を示すブロック図である。

【0205】

変形例による中継回路300Aは、図33に示すように、優先回路250、ORゲート回路307A、補助レジスタ308A及び、マルチプレクサ309Aが追加されている点において、図27に示した中継回路300Aと相違する。その他の構成は、基本的に図27に示した中継回路300Aと同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。また、本変形例を用いる場合、中継回路300Bについても図32に準じた回路構成を採用することができる。

【0206】

変形例による中継回路300Aは、図27に示した中継回路300Aの機能に加え、キャリブレーション動作の終了タイミングと、コード更新信号ZQLATAの活性化タイミングが僅差である場合であっても、調整コードCODEが正しく出力される機能を有している。具体的には、キャリブレーション動作の終了直前にコード更新信号ZQLATAが活性化した場合、現在のキャリブレーション動作によって生成される調整コードCODEではなく、前回の調整コードCODEを出力する機能を有している。一方、キャリブレーション動作の終了後にコード更新信号ZQLATAが活性化した場合は、現在のキャリブレーション動作によって生成された調整コードCODEを出力する。

【0207】

図33に示すように、ORゲート回路307Aは遅延されたキャリブレーション状態信号ZQACTDとコード更新信号ZQLATAを受け、コード更新信号ZQLATLAを生成する。このため、遅延されたキャリブレーション状態信号ZQACTDとコード更新信号ZQLATAの少なくとも一方がハイレベルであれば、コード更新信号ZQLATLAはハイレベルを維持する。このことは、キャリブレーション動作の終了直前にコード更新信号ZQLATAが活性化した場合、コード更新信号ZQLATLAがハイレベルを維持することを意味する。一方、キャリブレーション動作の終了後にコード更新信号ZQLATAが活性化するケースでは、コード更新信号ZQLATLAが一旦ローレベルに変化する。コード更新信号ZQLATLAは、補助レジスタ308Aに入力される。

【0208】

優先回路250は、図18に示した回路である。優先回路250は、遅延されたキャリブレーション状態信号ZQACTDと反転されたコード更新信号ZQLATAが入力されており、遅延されたキャリブレーション状態信号ZQACTDを優先する回路構成を有している。これにより、遅延されたキャリブレーション状態信号ZQACTDの立下がりよりコード更新信号ZQLATAの立ち上がりよりも早い場合は、選択信号LATCMDFASTAをローレベルに維持し、遅延されたキャリブレーション状態信号ZQACTDの立下がりよりもコード更新信号ZQLATAの立ち上がりの方が早い場合は、選択信号LATCMDFASTAがハイレベルとなる。

【 0 2 0 9 】

そして、優先回路 250 は、遅延されたキャリブレーション状態信号 Z Q A C T D を優先する回路構成を有しているため、両者のタイミングが重なった場合、選択信号 L A T C M D F A S T A はローレベルとなる。

【 0 2 1 0 】

選択信号 L A T C M D F A S T A は、マルチプレクサ 309 A に入力される。マルチプレクサ 309 A は、選択信号 L A T C M D F A S T A がローレベルであればマルチプレクサ 305 A の出力を選択し、選択信号 L A T C M D F A S T A がハイレベルであれば補助レジスタ 308 A の出力を選択する。補助レジスタ 308 A は、コード更新信号 Z Q L A T L A がローレベルである場合には入力信号をそのままスルーして出力し、コード更新信号 Z Q L A T L A がハイレベルに変化すると入力信号をラッチする回路である。

10

【 0 2 1 1 】

以上の構成により、選択信号 L A T C M D F A S T A がハイレベルに変化すると、マルチプレクサ 305 A の出力ではなく、補助レジスタ 308 A の出力が選択されるため、前回の値をそのまま調整コード C O D E として出力することができる。つまり、値が変化するタイミングでマルチプレクサ 305 A の出力を選択することが無くなる。また、優先回路 250 自体のメタステーブル時間も短いことから、回路動作の安全性が高められる。

【 0 2 1 2 】

また、図 13 の信号 G E T A , G E T B の情報を半導体装置 10 の外部に出力すれば、この情報を用いて半導体装置 10 のユーザがその状態を判断することができ、より確実な調停動作が可能になる。すなわち、この情報により、現在の演算結果が自身の指示によるものなのか、他者によるものなのかをユーザが判別できる。加えて、本実施形態による半導体装置 10 は、あるユーザが占有権を得ている間はそのユーザは確実に演算装置を占有できるため、本発明の構成の半導体装置に対して、「自身が占有権を得るまで要求を続け、自身が占有権を得たら、然る時間の後に演算結果を取り出し、値を得る」というシーケンスを繰り返せば、演算装置を用いたユーザが確実に所望の計算結果を得ることができる。このように、半導体装置内の演算要素を共有しているユーザが、平等にその演算要素を使用することが可能になる。

20

【 0 2 1 3 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

30

【 符号の説明 】

【 0 2 1 4 】

- 1 半導体システム
- 2 コントローラ
- 3 A , 3 B コマンドアドレスバス
- 4 A , 4 B クロックバス
- 5 A , 5 B データバス
- 6 半導体基板
- 7 データ端子
- 8 データ出力回路
- 10 , 10 a , 10 b 半導体装置
- 11 A , 11 B メモリセルアレイ
- 12 A , 12 B ロウデコーダ
- 13 A , 13 B カラムデコーダ
- 14 A , 14 B モードレジスタ
- 21 A , 21 B コマンドアドレス端子
- 22 A , 22 B クロック端子
- 23 A , 23 B データ端子

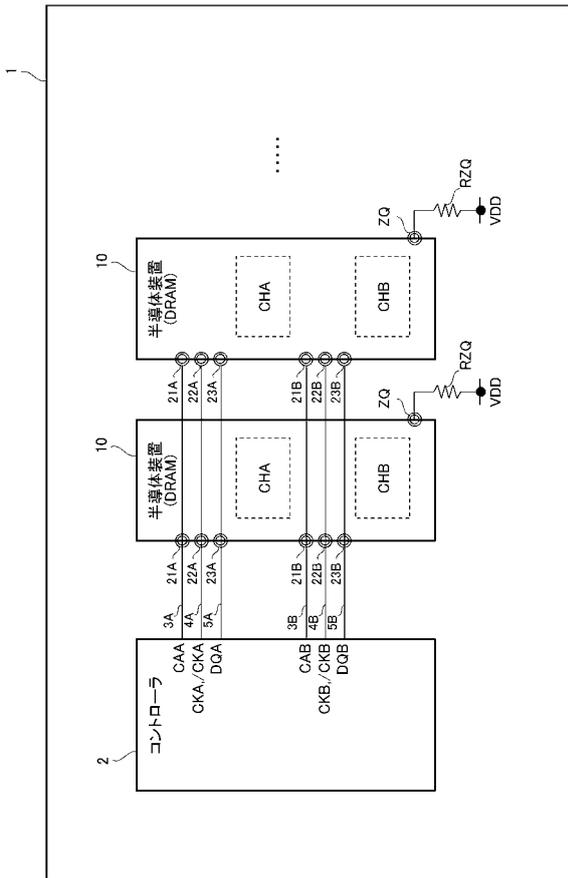
40

50

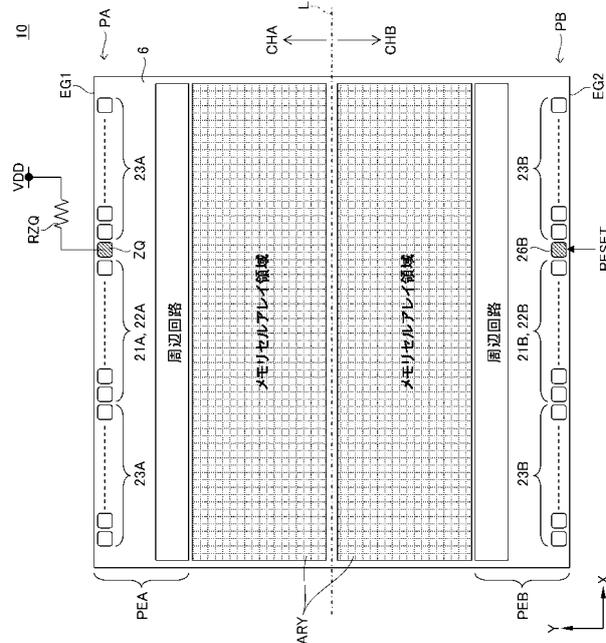
2 4 A , 2 5 A , 2 4 B , 2 5 B	電源端子	
2 6 B	リセット端子	
3 1 A , 3 1 B	コマンドアドレス入力回路	
3 2 A , 3 2 B	アドレス制御回路	
3 3 A , 3 3 B	コマンドデコード回路	
3 4 A , 3 4 B	クロック入力回路	
3 5 A , 3 5 B	内部クロック発生回路	
3 6 A , 3 6 B	内部電源発生回路	
3 7 A	パワーオン検出回路	
3 8 A	リセット制御回路	10
3 9 A , 3 9 B	データ制御回路	
4 0 A , 4 0 B	データ入出力回路	
4 1 A , 4 1 B	データ出力回路	
4 2 A , 4 2 B	データ入力回路	
1 0 0	キャリブレーション実行回路	
1 1 0	キャリブレーション主回路	
1 1 8	トランスマフゲート	
1 1 9	トランジスタ	
1 2 1 , 1 2 2	コードレジスタ	
1 3 0	マルチプレクサ	20
1 3 1	セレクト回路	
1 3 2	ラッチ回路	
1 3 3	論理回路	
2 0 0	調停回路	
2 0 1 , 2 0 2	S Rラッチ回路	
2 0 3 , 2 0 4	保護回路	
2 1 0	優先回路	
2 1 1 , 2 1 2 , 2 1 4 , 2 3 1 , 2 3 5 , 2 3 7 , 2 3 9	インバータ回路	
2 1 3 , 2 3 6	N O Rゲート回路	
2 2 1 , 2 3 2 , 2 3 4 , 2 3 8	N A N Dゲート回路	30
2 2 2	ディレイ回路	
2 2 3	ワンショットパルス生成回路	
2 4 0	無効化された信号	
2 5 0	優先回路	
2 5 1 , 2 5 2 , 2 5 5 , 2 5 6 , 2 5 8	インバータ回路	
2 5 3 , 2 5 4	N A N Dゲート回路	
2 5 7	N O Rゲート回路	
2 5 9	バッファ	
2 6 0	S Rラッチ回路	
2 6 1 , 2 6 2	インバータ回路	40
2 6 3 , 2 6 4	N A N Dゲート回路	
2 6 5	バッファ	
3 0 0 A , 3 0 0 B	中継回路	
3 0 1 A , 3 0 2 A , 3 0 1 B , 3 0 2 B	入力レジスタ	
3 0 3 A , 3 0 3 B	デフォルトレジスタ	
3 0 4 A , 3 0 4 B	出力レジスタ	
3 0 5 A , 3 0 5 B	マルチプレクサ	
3 0 6 A , 3 0 6 B	検出回路	
3 0 7 A	O Rゲート回路	
3 0 8 A	補助レジスタ	50

309A	マルチプレクサ	
400	状態制御回路	
401	SRラッチ回路	
402	ワンショットパルス発生回路	
403	インバータ回路	
A	接続点	
ARY	メモリセルアレイ領域	
BL, /BL	ビット線	
CA1, CA2	コマンドアドレス制御回路	
CHA, CHB	チャンネル	10
CNTD, CNTU	カウンタ回路	
COMP D, COMP U	比較回路	
EG1, EG2	エッジ	
MC	メモリセル	
OSC	オシレータ回路	
PA, PB	パッド列	
PD0 ~ PD6, PDR0 ~ PDR5	ブルダウンユニット	
PEA, PEB	周辺回路領域	
PU0 ~ PU6, PUR	ブルアップユニット	
RW	高抵抗配線部	20
RWBS	リードライトバス	
RZQ	リファレンス抵抗素子	
SAMP	センスアンプ	
SL, VL	電源配線	
TG	スイッチ回路	
TMD, TMU	タイミング発生回路	
TND0 ~ TND4, TNU0 ~ TNU4	トランジスタ	
TRD, TRU	トランジスタ部	
WL	ワード線	
ZQ	キャリブレーション端子	30

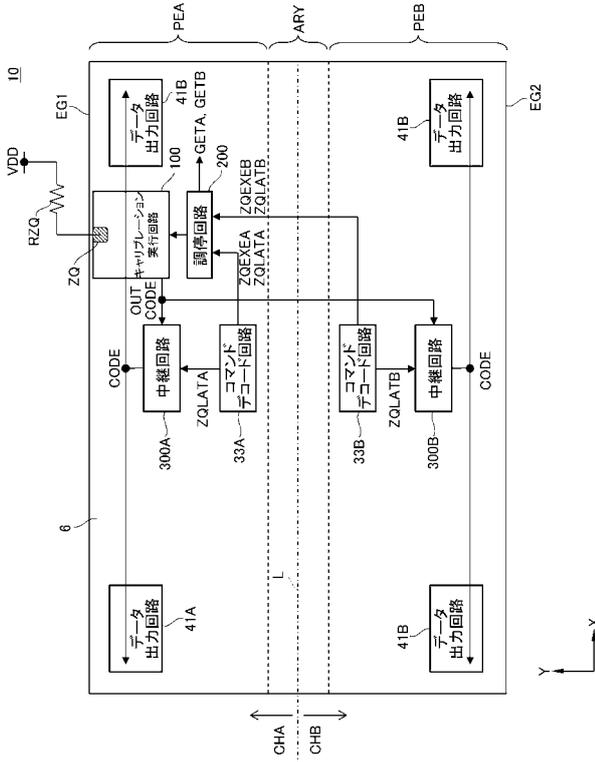
【図 1】



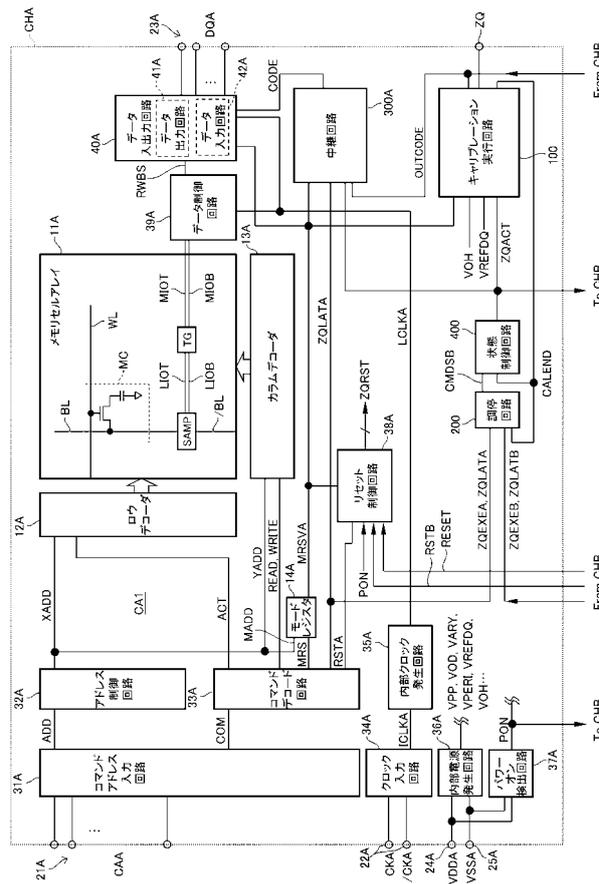
【図 2】



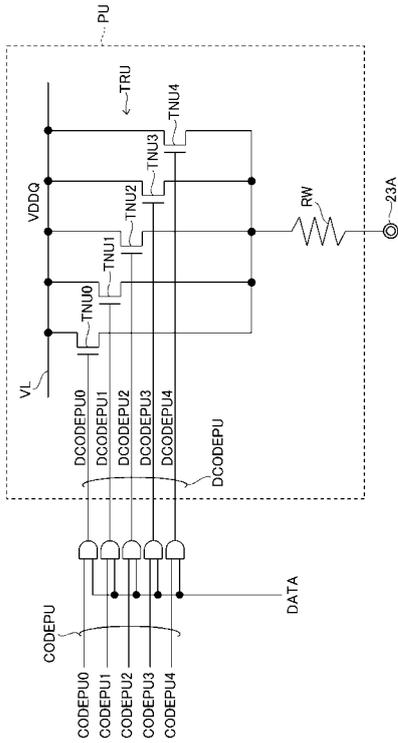
【図 3】



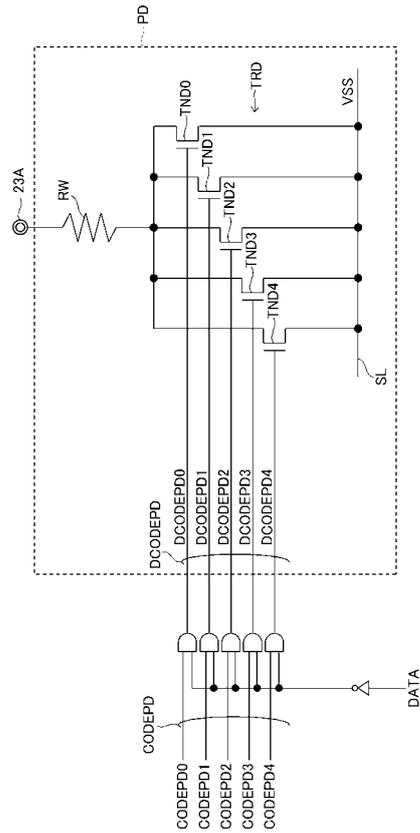
【図 4】



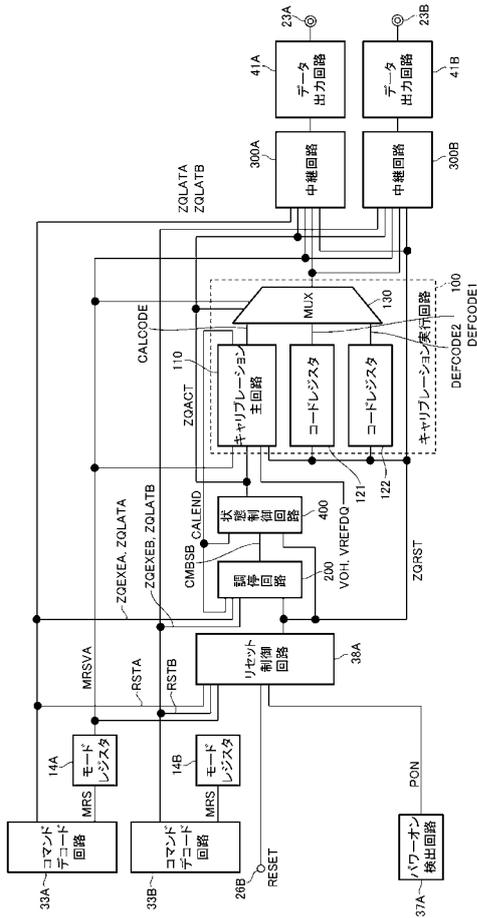
【図 9】



【図 10】



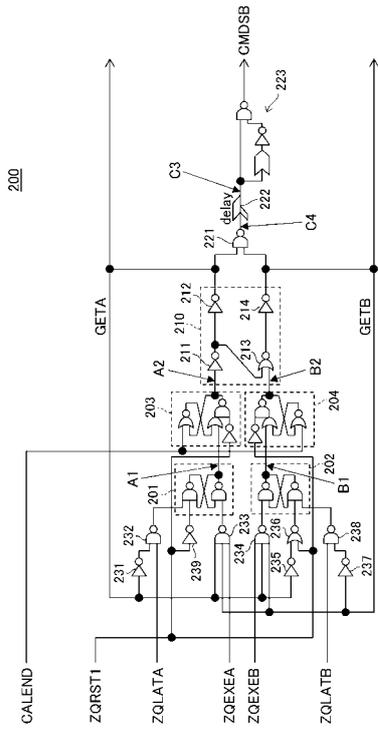
【図 11】



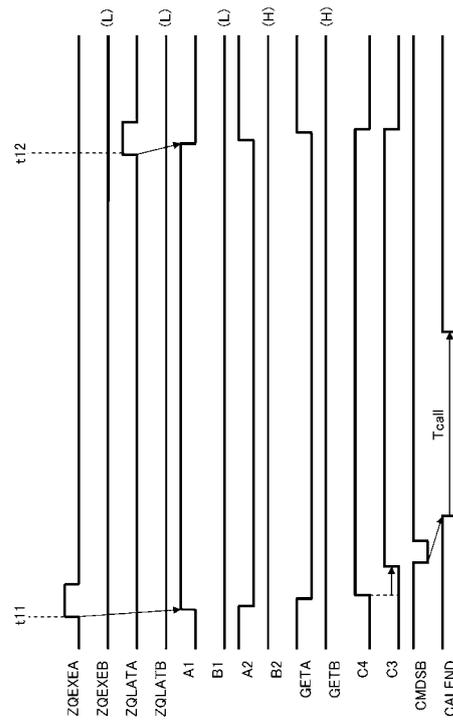
【図 12】

リセット対象	PON	RESET	MRSVA	RSTA	RSTB
リセット要求	○	○	○	×	×
リセット対象	○	○	○	×	×
リセット対象	○	○	×	×	×
リセット対象	○	○	×	×	×
リセット対象	○	○	○	○	×
リセット対象	○	○	○	○	×
リセット対象	○	○	×	×	×
リセット対象	○	○	○	×	○
リセット対象	○	○	○	×	○

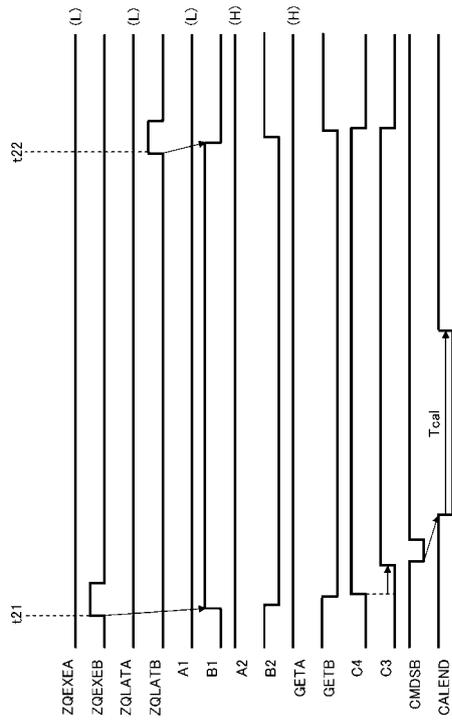
【 図 1 3 】



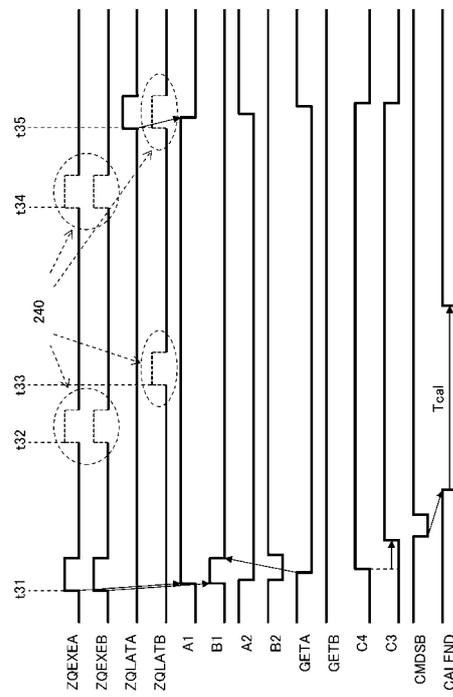
【 図 1 4 】



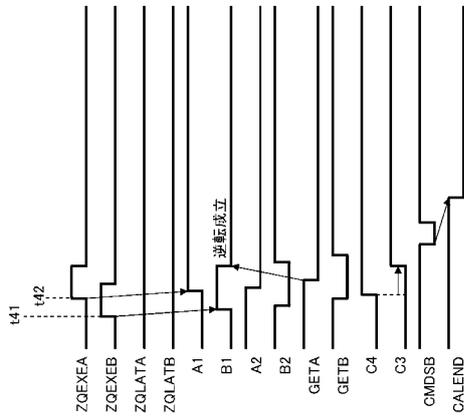
【 図 1 5 】



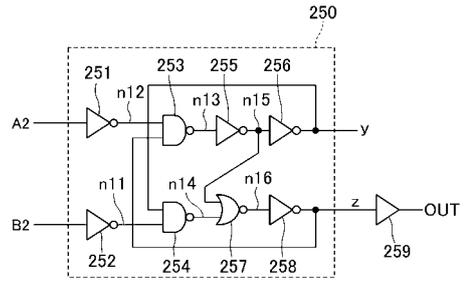
【 図 1 6 】



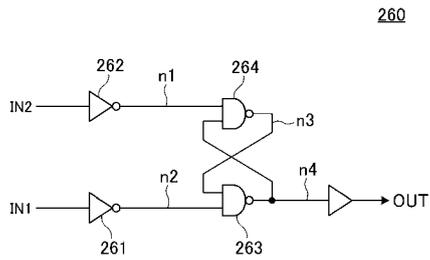
【 図 1 7 】



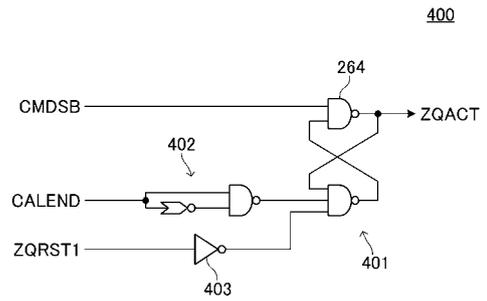
【 図 1 8 】



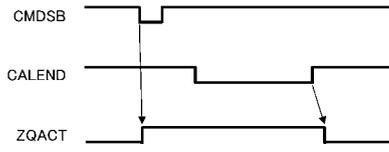
【 図 1 9 】



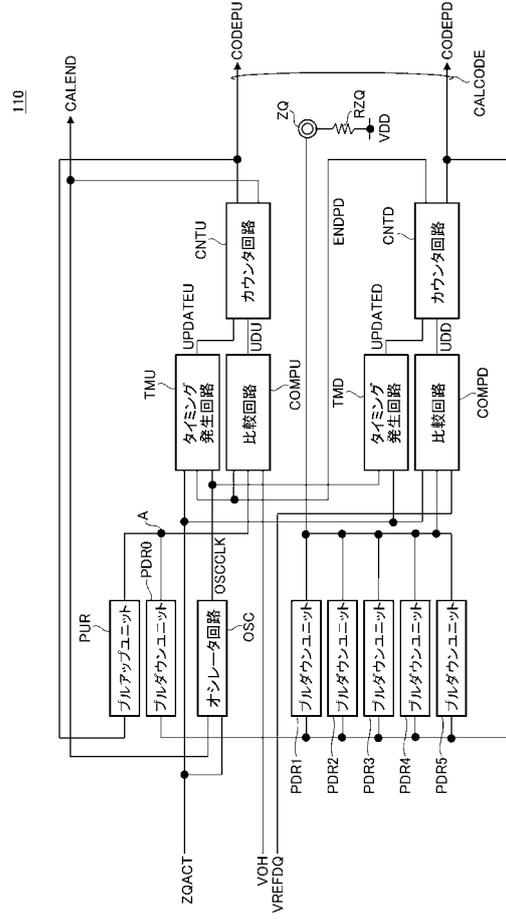
【 図 2 2 】



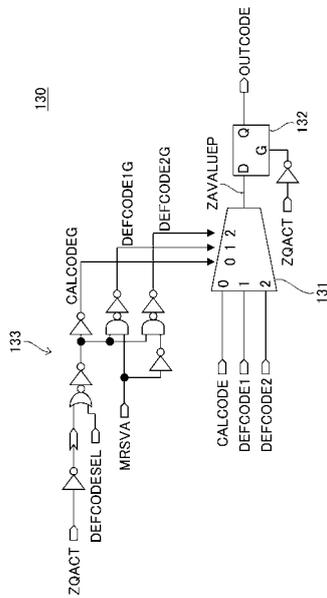
【図 2 3】



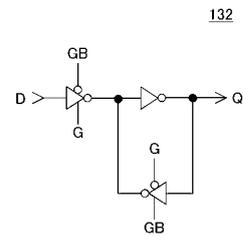
【図 2 4】



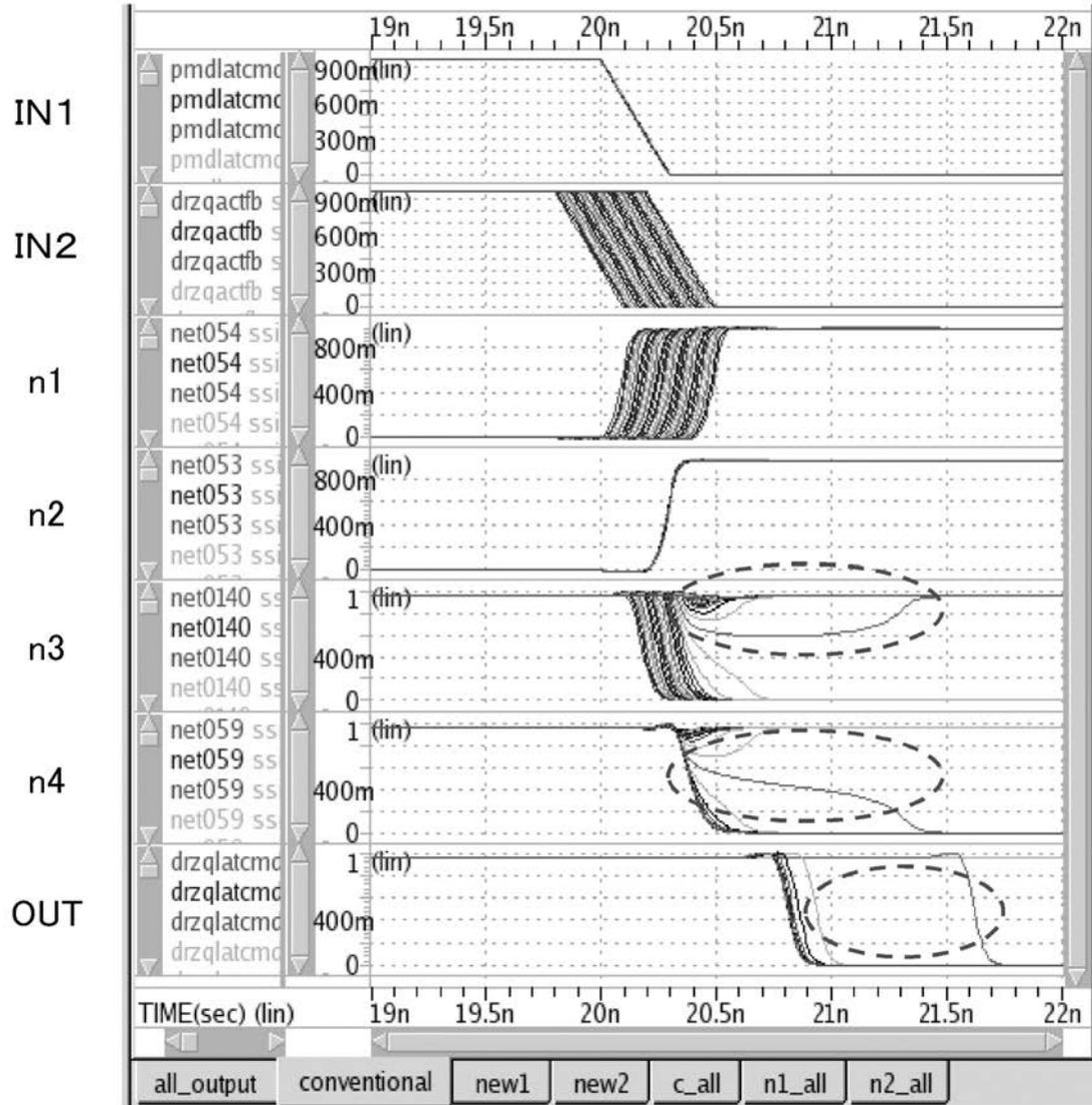
【図 2 5】



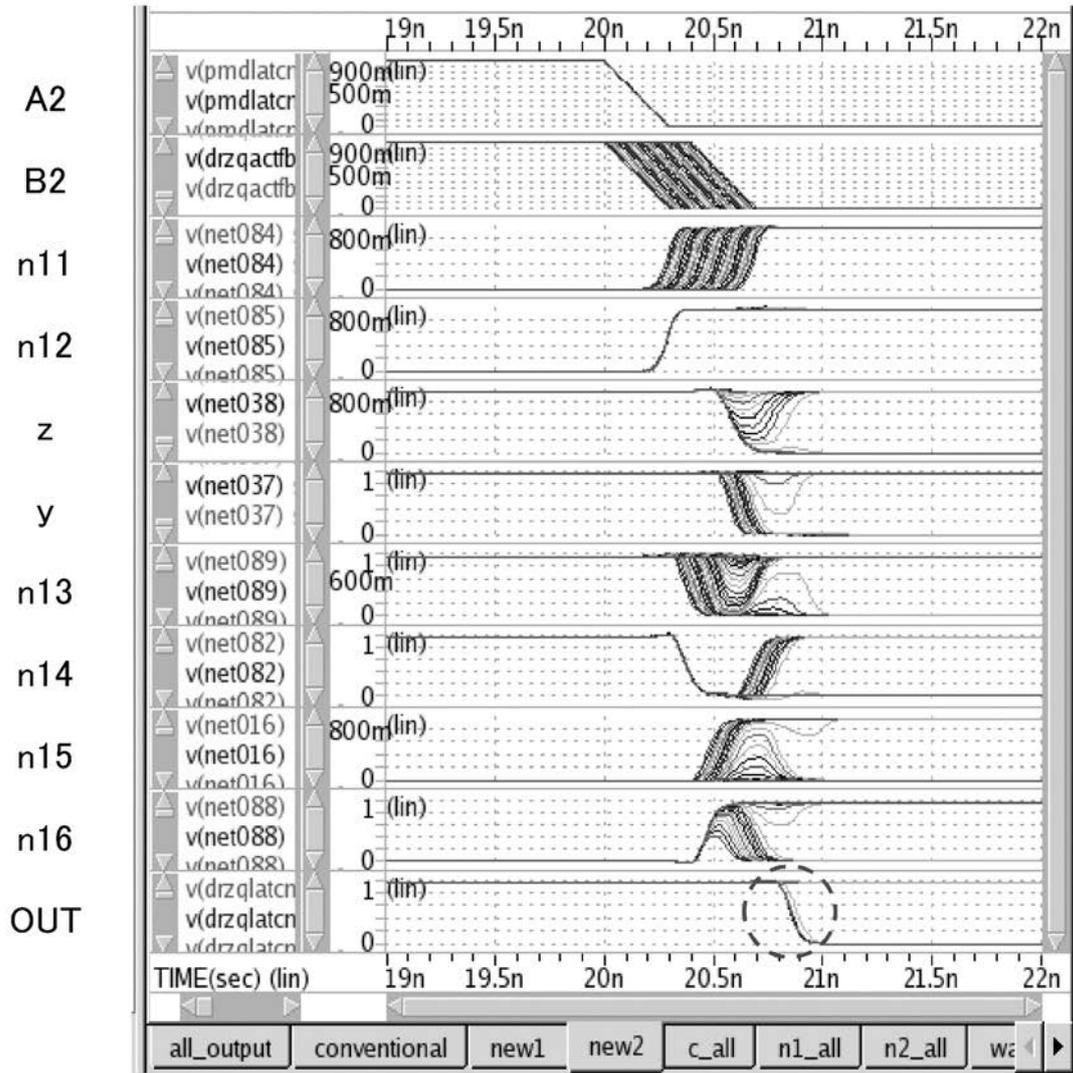
【図 2 6】



【 図 20 】



【 図 2 1 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)		
H 0 1 L 21/8234 (2006.01)	H 0 1 L	27/08		1 0 2 H		
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/04		E		

(72)発明者 谷口 淳紀

東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

Fターム(参考) 5F038 AR07 AV13 AV17 AV18 BE08 BE09 CA03 CA05 CA10 CD06
CD13 CD18 DF05 DF08 EZ20
5F048 AB01 AB03 AC01 AC10 BD02
5J056 AA04 CC09 CC17 CC18 DD28 KK01
5M024 AA55 AA90 BB04 BB33 DD52 HH09 JJ03 JJ52 JJ56 JJ58
JJ59 KK08 LL18 PP01 PP02 PP03 PP07