

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成18年2月9日(2006.2.9)

【公開番号】特開2001-6375(P2001-6375A)  
 【公開日】平成13年1月12日(2001.1.12)  
 【出願番号】特願平11-176027  
 【国際特許分類】

**G 1 1 C 16/02 (2006.01)**

【F I】

G 1 1 C 17/00 6 4 1

【手続補正書】  
 【提出日】平成17年12月16日(2005.12.16)

【手続補正1】

【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】

【特許請求の範囲】

【請求項1】 不揮発性半導体装置であって、  
 複数のメモリセルが配置されたメモリセルアレイを備え、  
 前記メモリセルの各々は、 $2^n$ 個( $n$ :自然数、 $n \geq 2$ )のしきい値レベルに応じて $n$ ビットの2値データを保持する記憶素子を含み、  
 前記しきい値レベルは、前記 $n$ ビットの2値データの集合を  
 i)  $n$ 個のビットポインタ変数 $B P(i)$ ( $i$ :自然数、 $1 \leq i \leq n$ )を、任意の順番で並べられた0から $(n-1)$ の $n$ 個の整数とそれぞれ対応させ、  
 i i) 第1のステップでは、前記 $n$ ビットの2値データの集合を、第 $B P(1)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つデータグループに分けて並べ替え、  
 i i i) 第 $j$ のステップ( $j$ :自然数、 $2 \leq j \leq n$ )では、第 $(j-1)$ のステップまでで $2^{j-1}$ 個に分けられている前記 $n$ ビットの2値データの集合の各グループを、さらに、第 $B P(j)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つのデータグループに分けて並べ替える、  
 という手順に相当する手続きで並べ替えたものとそれぞれ対応し、  
 アドレス信号に応じて、前記メモリセルアレイから複数の前記メモリセルを一括して選択するセル選択回路と、  
 前記データグループに対応する前記しきい値レベルのグループ間の境界に相当する $(2^n - 1)$ 個の判定レベルに基づいて、前記選択された複数のメモリセルに対して記憶データの読出/書込動作を行なうデータ読出/書込回路と、  
 前記不揮発性半導体装置の外部と前記メモリセルとの間で、前記記憶データを2値データとして $k$ ビット( $k$ :自然数)ごとに $k$ 個の入出力ノードを介して授受するためのデータ入出力回路とをさらに備え、  
 各前記メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の前記入出力ノードを介して授受される $n$ 個のビットデータから生成される、不揮発性半導体記憶装置。

【請求項2】 前記 $n$ は2であって、  
 $2^2 = 4$ 個の前記しきい値レベルは、それぞれ、2ビットデータの集合の要素の“11”、“10”、“00”、“01”に昇順に対応する、請求項1記載の不揮発性半導体記憶装置。

【請求項 3】 要素の“11”は消去状態に対応し、  
前記データ読出/書込回路は、前記選択された複数のメモリセルの前記しきい値レベルを上げることによって書込み動作を行なう、請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記データ読出/書込回路は、前記選択された複数のメモリセルの前記しきい値レベルを 1 方向に変更することによって書込み動作を行なう、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記データ読出/書込回路は、  
前記記憶素子に保持される前記記憶データの前記第 B P ( 1 ) ビットの前記データを識別するための前記判定レベルで読み出したデータを保持し、前記データを前記データ入出力回路に与えるための第 1 の読出データ保持回路と、

前記第 B P ( 1 ) ビット以外の前記第 B P ( j ) ビットの前記データを識別するための前記判定レベルで読み出したデータを保持する第 2 の読出データ保持回路とを含む、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記データ読出/書込回路は、

前記記憶素子に保持される前記記憶データの前記第 B P ( 1 ) ビットのデータを識別するための前記判定レベルで読み出したデータを保持し、前記データ入出力回路に与えるための第 1 の読出データ保持回路と、

前記第 1 のデータ保持回路が前記入出力回路にデータ出力を行なっている期間中に、前記第 B P ( 1 ) ビット以外の第 B P ( j ) ビットのデータを識別するための前記判定レベルで読み出したデータを保持する第 2 の読出データ保持回路を含む、請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記データ読出/書込回路は、

前記記憶データの前記第 B P ( 1 ) ビットのデータが前記データ入出力回路から出力される期間中から、前記記憶データの前記第 B P ( 1 ) ビット以外のビットデータを識別するための前記判定レベルでの読み出し動作を順次行なう読出データ識別回路を含む、請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記読出データ識別回路は、

前記判定レベルで読み出したデータを保持するセンスラッチ回路を含み、

前記第 1 および第 2 の読出データ保持回路は、前記センスラッチ回路に保持されたデータを転送可能であり、

異なる前記判定レベルで読み出され、前記センスラッチ回路、第 1 および第 2 の読出データ保持回路に保持されるデータに基づいて、前記データ入出力回路に与えるデータ変換する読出データ変換回路をさらに含む、請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】 前記読出データ識別回路は、前記記憶データの前記第 B P ( 1 ) ビットのデータが前記データ入出力回路から出力される期間中で、前記記憶データの前記第 B P ( 1 ) ビット以外のビットデータの識別処理を完了する、請求項 7 記載の不揮発性半導体記憶装置。

【請求項 10】 前記メモリセルアレイは、

前記メモリセルの行に属する前記メモリセルにそれぞれ接続される、複数のワード線を含み、

前記セル選択回路は、

前記アドレス信号に応じて、前記ワード線を選択的に活性化し、

前記第 1 および第 2 のデータ保持回路ならびにセンスラッチ回路の各々は、

各ワード線が活性化されるごとに選択されるメモリセルのデータを一括して保持可能である、請求項 8 記載の不揮発性半導体記憶装置。

【請求項 11】 前記セル選択回路が一括して選択するメモリセルの個数は、 $m$  個 ( $m$  : 自然数) であり、

前記データ読出/書込回路は、前記一括して選択される  $m$  個のメモリセルに書込まれるべき、前記データ入出力回路から順次与えられる  $n \times m$  ビットのデータのうち、最初の  $m$  ビットのデータが与えられた時点で、前記第 B P ( 1 ) ビットのデータを識別するための

前記判定レベルで、前記一括して選択される $m$ 個のメモリセルにデータ書込みを行なう、請求項1記載の不揮発性半導体記憶装置。

【請求項12】 前記セル選択回路が一括して選択するメモリセルの個数は、 $m$ 個（ $m$ ：自然数）であり、

前記データ読出/書込回路は、前記一括して選択される $m$ 個のメモリセルに書込まれるべき、前記データ入出力回路から順次与えられる $n \times m$ ビットのデータのうち、 $m$ ビット分のデータが与えられるごとに、 $p$ の値（ $p$ ：自然数）を1から1ずつ更新して、前記第 $BP(p)$ ビットのデータを識別するための前記判定レベルで、前記一括して選択される $m$ 個のメモリセルにデータ書込みを行なう、請求項1記載の不揮発性半導体記憶装置。

【請求項13】 前記データ読出/書込回路は、

前記 $m$ ビット分のデータをそれぞれ保持するための複数の書込みデータ保持回路と、前記第 $BP(p)$ ビットのデータを識別するための前記判定レベルで、前記一括して選択される $m$ 個のメモリセルに書込み変換データを保持し、書込みを行なうセンスラッチ回路と、

前記複数のデータ保持回路に保持されるデータ間の演算により、前記書込み変換データを生成するための書込みデータ変換回路とを含む、請求項12記載の不揮発性半導体記憶装置。

【請求項14】 前記記憶素子は、フローティングゲートトランジスタであり、

前記データ読出/書込回路は、前記第 $BP(p)$ ビットのデータを識別するための前記判定レベルのうち少なくとも2つでの書込みを一括して行なうために、前記一括して選択される $m$ 個のメモリセルのフローティングゲートトランジスタのドレインに複数の電位レベルを選択的に供給する、請求項13記載の不揮発性半導体記憶装置。

【請求項15】 前記センスラッチ回路は、前記第 $BP(p)$ ビットのデータを識別するための前記判定レベルでの書込みを行なう前に、前記第 $BP(p-1)$ ビットのデータを識別するための前記判定レベルで書込まれたデータを読み出し、

前記書込みデータ変換回路は、前記センスラッチ回路と前記複数のデータ保持回路とに保持されるデータ間の演算により、前記書込み変換データを生成する、請求項13記載の不揮発性半導体記憶装置。

【請求項16】 前記書込データ変換回路は、読み出し動作を行わずに前記書込変換データを生成する、請求項13記載の不揮発性半導体記憶装置。

【請求項17】 前記データ読出/書込回路は、

前記 $m$ ビット分のデータをそれぞれ保持するための複数の書込みデータ保持回路と、前記複数の書込データ保持回路に保持される前記データ間の演算により、前記一括して選択された $m$ 個のメモリセルに書込みを行なうための書込み変換データを生成するための書込データ変換回路とを含む、請求項12記載の不揮発性半導体記憶装置。

【請求項18】 前記書込データ変換回路は、読み出し動作を行わずに前記書込変換データを生成する、請求項17記載の不揮発性半導体記憶装置。

【請求項19】 前記データ読出/書込回路は、

前記 $m$ ビット分のデータをそれぞれ保持するための書込みデータ保持回路と、前記第 $BP(p)$ ビットの前記データを識別するための前記判定レベルでの書込みを行なう前に、前記第 $BP(p-1)$ ビットのデータを識別するための前記判定レベルで書込まれたデータを読み出すためのセンスラッチ回路と、

前記センスラッチ回路と前記書込データ保持回路とに保持される前記データ間の演算により、前記書込み変換データを生成するための書込みデータ変換回路とを含む、請求項12記載の不揮発性半導体記憶装置。

【請求項20】 不揮発性半導体記憶装置であって、

複数のメモリセルが配置されたメモリセルアレイを備え、前記メモリセルの各々は、 $2^2$ 個のしきい値レベルに基づいて2ビットの2値データを保持する記憶素子を含み、前記しきい値レベルは、それぞれ、2ビットデータの集合を形成する要素の“11”、

“ 1 0 ”、“ 0 0 ”、“ 0 1 ”に昇順に対応し、前記不揮発性半導体記憶装置はさらに、アドレス信号に応じて、前記メモリセルアレイから複数の前記メモリセルを一括して選択するセル選択回路と、

前記しきい値レベル間の境界に相当する  $(2^2 - 1)$  個の判定レベルに基づいて、前記選択された複数のメモリセルに対して記憶データの読出動作を行なうデータ読出回路と、

前記不揮発性半導体記憶装置の外部と前記メモリセルとの間で、前記記憶データを2値データとして  $k$  ビット ( $k$  : 自然数) ごとに  $k$  個の入出力ノードを介して授受するためのデータ入出力回路とを備え、

各前記メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の前記入出力ノードを介して授受される2ビットデータから生成され、

前記データ読出回路は、前記記憶素子に保持される前記記憶データの第2ビットのデータを識別するための前記判定レベルのうちの第2の判定レベルに基づいて第1の判定データを判定し、前記記憶データの第1ビットのデータを識別するために前記第2の判定データに演算を行なうための前記判定レベルのうちの第1および第3の判定レベルに基づいて第2の判定データを判定する、不揮発性半導体記憶装置。

【請求項21】 不揮発性半導体記憶装置であって、

複数のメモリセルが配置されたメモリセルアレイを備え、

前記メモリセルの各々は、 $2^2$  個のしきい値レベルに応じて2ビットの2値データを保持する記憶素子を含み、

前記しきい値レベルは、それぞれ、2ビットデータの集合を形成するデータ要素の“ 1 1 ”、“ 1 0 ”、“ 0 0 ”、“ 0 1 ”に昇順に対応し、前記不揮発性半導体記憶装置はさらに、

アドレス信号に応じて、前記メモリセルアレイから複数の前記メモリセルを一括して選択するセル選択回路と、

前記しきい値レベル間の境界に相当する  $(2^2 - 1)$  個の判定レベルに基づいて、前記選択された複数のメモリセルに対して記憶データの読出動作を行なうデータ読出回路と、

前記不揮発性半導体記憶装置の外部および前記メモリセルから、前記記憶データを2値データとして  $k$  ビット ( $k$  : 自然数) ごとに  $k$  個の入出力ノードに転送するためのデータ入出力回路とを備え、

各前記メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の前記入出力ノードを介して転送される2ビットデータから生成され、前記データ読出回路は、

前記記憶素子に保持される前記記憶データの第2ビットのデータを識別するための前記判定レベルのうちの第2の判定レベルで判定される第1の判定データを保持し、前記データを前記データ入出力回路に与えるための第1の読出データ保持回路と、

前記記憶データの第1ビットのデータを識別するために前記第2の判定データに演算を行なうための前記判定レベルのうちの第1および第3の判定レベルで判定される第2の判定データを保持するための第2の読出データ保持回路とを含む、不揮発性半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

【課題を解決するための手段】

この発明に係る不揮発性半導体装置は、複数のメモリセルが配置されたメモリセルアレイを備え、メモリセルの各々は、 $2^n$  個 ( $n$  : 自然数、 $n \geq 2$ ) のしきい値レベルに応じて  $n$  ビットの2値データを保持する記憶素子を含み、しきい値レベルは、 $n$  ビットの2値データの集合を  $i$ )  $n$  個のビットポインタ変数  $B P ( i )$  ( $i$  : 自然数、 $1 \leq i \leq n$ ) を、任意の順番で並べられた0から  $(n - 1)$  の  $n$  個の整数とそれぞれ対応させ、 $i$ )  $i$ ) 第

1のステップでは、 $n$ ビットの2値データの集合を、第 $BP(1)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つデータグループに分けて並べ替え、 $i$ 個のステップ( $j$ :自然数、 $2 \leq j \leq n$ )では、第 $(j-1)$ のステップまでで $2^{j-1}$ 個に分けられている $n$ ビットの2値データの集合の各グループを、さらに、第 $BP(j)$ ビットのデータが“0”および“1”のいずれであるかに応じて2つのデータグループに分けて並べ替える、という手順に相当する手続きで並べ替えたものとそれぞれ対応し、アドレス信号に応じて、メモリセルアレイから複数のメモリセルを一括して選択するセル選択回路と、データグループに対応するしきい値レベルのグループ間の境界に相当する( $2^n - 1$ )個の判定レベルに基づいて、選択された複数のメモリセルに対して記憶データの読出/書込動作を行なうデータ読出/書込回路と、不揮発性半導体装置の外部とメモリセルとの間で、記憶データを2値データとして $k$ ビット( $k$ :自然数)ごとに $k$ 個の入出力ノードを介して授受するためのデータ入出力回路とをさらに備え、各メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の入出力ノードを介して授受される $n$ 個のビットデータから生成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

また、この発明に係る他の不揮発性半導体記憶装置は、複数のメモリセルが配置されたメモリセルアレイを備え、メモリセルの各々は、 $2^2$ 個のしきい値レベルに基づいて2ビットの2値データを保持する記憶素子を含み、しきい値レベルは、それぞれ、2ビットデータの集合を形成する要素の“11”、“10”、“00”、“01”に昇順に対応し、不揮発性半導体記憶装置はさらに、アドレス信号に応じて、メモリセルアレイから複数のメモリセルを一括して選択するセル選択回路と、しきい値レベル間の境界に相当する( $2^2 - 1$ )個の判定レベルに基づいて、選択された複数のメモリセルに対して記憶データの読出動作を行なうデータ読出回路と、不揮発性半導体記憶装置の外部とメモリセルとの間で、記憶データを2値データとして $k$ ビット( $k$ :自然数)ごとに $k$ 個の入出力ノードを介して授受するためのデータ入出力回路とを備え、各メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の入出力ノードを介して授受される2ビットデータから生成され、データ読出回路は、記憶素子に保持される記憶データの第2ビットのデータを識別するための判定レベルのうちの第2の判定レベルに基づいて第1の判定データを判定し、記憶データの第1ビットのデータを識別するために第2の判定データに演算を行なうための判定レベルのうちの第1および第3の判定レベルに基づいて第2の判定データを判定する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

また、この発明に係るさらに他の不揮発性半導体記憶装置は、複数のメモリセルが配置されたメモリセルアレイを備え、メモリセルの各々は、 $2^2$ 個のしきい値レベルに応じて2ビットの2値データを保持する記憶素子を含み、しきい値レベルは、それぞれ、2ビットデータの集合を形成するデータ要素の“11”、“10”、“00”、“01”に昇順に対応し、不揮発性半導体記憶装置はさらに、アドレス信号に応じて、前記メモリセルアレイから複数の前記メモリセルを一括して選択するセル選択回路と、しきい値レベル間の境界に相当する( $2^2 - 1$ )個の判定レベルに基づいて、選択された複数のメモリセルに対して記憶データの読出動作を行なうデータ読出回路と、不揮発性半導体記憶装置の外部

およびメモリセルから、記憶データを2値データとしてkビット(k:自然数)ごとにk個の入出力ノードに転送するためのデータ入出力回路とを備え、各メモリセルに保持される記憶データは、それぞれ異なるタイミングで同一の入出力ノードを介して転送される2ビットデータから生成され、データ読出回路は、記憶素子に保持される記憶データの第2ビットのデータを識別するための判定レベルのうちの第2の判定レベルで判定される第1の判定データを保持し、データをデータ入出力回路に与えるための第1の読出データ保持回路と、記憶データの第1ビットのデータを識別するために第2の判定データに演算を行なうための判定レベルのうちの第1および第3の判定レベルで判定される第2の判定データを保持するための第2の読出データ保持回路とを含む。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】削除

【補正の内容】

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】削除

【補正の内容】

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】削除

【補正の内容】

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】削除

【補正の内容】

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】削除

【補正の内容】

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】削除

【補正の内容】

【手続補正13】

【補正対象書類名】明細書  
【補正対象項目名】0066  
【補正方法】削除  
【補正の内容】  
【手続補正14】  
【補正対象書類名】明細書  
【補正対象項目名】0120  
【補正方法】変更  
【補正の内容】  
【0120】

このデータ入出力端子群10から最初に出力される1バイト分のデータを含むデータ列を保持するメモリセル列MC0～MC7には、それぞれデータ“11”，“00”，“01”，“10”，“00”，“01”，“10”，“11”が保持されているものとする。したがって、データラッチ回路DL-Lの1バイト分の領域に保持されるデータは、16進数表示で、C9hである。

【手続補正15】  
【補正対象書類名】明細書  
【補正対象項目名】0231  
【補正方法】変更  
【補正の内容】  
【0231】

【表 2】

書込みモード		ゲート電圧 (ワード線電圧)	ドレイン電圧	ソース電圧
レベル4の書込み	書込みビット センスラッチ: "0" データラッチ: DL-Lが"0" または DL-Rが"1"	VW4 (例えば17V)	V1 (例えば0V)	開放
	書込み阻止ビット	VW4 (例えば17V)	V3 (例えば6V)	開放
レベル2の書込み	書込みビット センスラッチ: "0" データラッチ: DL-Lが"1" または DL-Rが"0"	VW4 (例えば17V)	V2 (例えば2V)	開放
	書込み阻止ビット	VW4 (例えば17V)	V3 (例えば6V)	開放

【補正対象書類名】明細書

【補正対象項目名】0372

【補正方法】変更

【補正の内容】

【0372】

【発明の効果】

この発明に係る不揮発性半導体装置では、1つのメモリセルに格納される多値データが、異なるタイミングで授受されるデータから生成されるので、読出動作では、各ビットデータの確定することにデータ出力を行なうことが可能で、データ出力時間を短縮できる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0373

【補正方法】変更

【補正の内容】

【0373】

また、1つのメモリセルに格納される多値データが、異なるタイミングで授受されるデータから生成されるので、書込み動作では、各ビットデータの確定することにデータ書込みを行なうことが可能で、データ入力時間を短縮できる。