

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6855700号  
(P6855700)

(45) 発行日 令和3年4月7日(2021.4.7)

(24) 登録日 令和3年3月22日(2021.3.22)

(51) Int. Cl.	F I
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 2 D
請求項の数 35 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2016-155088 (P2016-155088)	(73) 特許権者	000005234
(22) 出願日	平成28年8月5日(2016.8.5)		富士電機株式会社
(65) 公開番号	特開2018-22851 (P2018-22851A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成30年2月8日(2018.2.8)	(74) 代理人	100104190
審査請求日	令和1年7月12日(2019.7.12)		弁理士 酒井 昭徳
		(72) 発明者	小林 勇介
			茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
		(72) 発明者	大西 泰彦
			茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
最終頁に続く			

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、

前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層と、を有し、

前記半導体層の底面と前記第2導電型の第2半導体層の底面の深さが同じであることを特徴とする半導体装置。

【請求項2】

前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層、を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、

前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、

10

20

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板の表面とは接触しない第2導電型の第2半導体層と、

前記第2半導体層よりおもて面側に配置され、少なくとも一部が前記第2半導体層と接し前記活性領域から離れた方向の端部が前記第2半導体層とは異なる位置の第2導電型の第4半導体層と、

を有することを特徴とする半導体装置。

【請求項4】

前記第4半導体層は前記半導体基板の表面に接していないことを特徴とする請求項3に記載の半導体装置。

10

【請求項5】

前記第4半導体層は前記半導体層と接することを特徴とする請求項3または4に記載の半導体装置。

【請求項6】

前記第4半導体層より前記半導体基板のおもて面側に配置され、少なくとも一部が前記第4半導体層と接し活性領域から離れた方向の端部が前記第4半導体層とは異なる位置の第2導電型の第5半導体層を有することを特徴とする請求項3～5のいずれか一つに記載の半導体装置。

【請求項7】

前記第5半導体層は前記半導体層と接することを特徴とする請求項6に記載の半導体装置。

20

【請求項8】

前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層を有することを特徴とする請求項3～7のいずれか一つに記載の半導体装置。

【請求項9】

前記第4半導体層と接しており、かつ、前記第4半導体層より不純物濃度が低い第2導電型の第6半導体層を有することを特徴とする請求項3～8のいずれか一つに記載の半導体装置。

【請求項10】

前記第5半導体層と接しており、かつ前記第5半導体層より不純物濃度が低い第2導電型の第7半導体層を有することを特徴とする請求項6または7に記載の半導体装置。

30

【請求項11】

前記第3半導体層は前記第4半導体層に接することを特徴とする請求項8に記載の半導体装置。

【請求項12】

前記第4半導体層より前記半導体基板のおもて面側に配置され、少なくとも一部が前記第4半導体層と接し活性領域から離れた方向の端部が前記第4半導体層とは異なる位置の第2導電型の第5半導体層を有し、

前記第6半導体層は前記第5半導体層に接することを特徴とする請求項9に記載の半導体装置。

40

【請求項13】

前記第2導電型の各半導体層の不純物の基板深さ方向の積分値が前記半導体層から端部にかけての各位置a線、b線、c線において、次第に小さくなりa線>b線>c線の関係であることを特徴とする請求項8に記載の半導体装置。

【請求項14】

第2導電型の各半導体層の不純物の基板深さ方向の積分値が前記半導体層から端部にかけての各位置a線、b線、c線、d線、e線、f線において、次第に小さくなりa線>b線>c線>d線>e線>f線の関係であることを特徴とする請求項12に記載の半導体装置。

50

## 【請求項 15】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、

前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と、

前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層と、

を有し、

前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接しない第2導電型の第4半導体層を有することを特徴とする半導体装置。

10

## 【請求項 16】

前記高濃度半導体層は複数配置されていることを特徴とする請求項 15 に記載の半導体装置。

## 【請求項 17】

前記第4半導体層は前記高濃度半導体層に少なくとも一部が接することを特徴とする請求項 15 または 16 に記載の半導体装置。

## 【請求項 18】

前記第4半導体層は前記半導体層に少なくとも一部が接することを特徴とする請求項 15 ~ 17 のいずれか一つに記載の半導体装置。

20

## 【請求項 19】

前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接しない第2導電型の第4半導体層を有し、

前記第4半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面と接する第2導電型の第5半導体層を有することを特徴とする請求項 15 に記載の半導体装置。

## 【請求項 20】

前記第5半導体層は前記半導体層に少なくとも一部が接することを特徴とする請求項 19 に記載の半導体装置。

## 【請求項 21】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、

前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と、

前記半導体基板の表面に接する第2導電型の高濃度半導体層と、

前記高濃度半導体層よりも前記半導体基板の内部に位置し、前記半導体基板の表面と接することなく前記高濃度半導体層よりも不純物濃度が低い第2導電型の第2半導体層と、を有することを特徴とする半導体装置。

30

## 【請求項 22】

前記第2半導体層は前記半導体層に少なくとも一部が接することを特徴とする請求項 21 に記載の半導体装置。

40

## 【請求項 23】

前記高濃度半導体層は前記半導体層に接しないことを特徴とする請求項 21 または 22 に記載の半導体装置。

## 【請求項 24】

前記第2半導体層と前記高濃度半導体層の間に位置し、前記活性領域から前記第2半導体層よりも離れた位置に端部が位置し、前記高濃度半導体層よりも不純物濃度が低い第2導電型の第4半導体層を有することを特徴とする請求項 21 ~ 23 のいずれか一つに記載の半導体装置。

50

## 【請求項 25】

前記第4半導体層は前記半導体層に少なくとも一部が接することを特徴とする請求項24に記載の半導体装置。

## 【請求項 26】

前記第4半導体層は前記第2半導体層に少なくとも一部が接することを特徴とする請求項24または25に記載の半導体装置。

## 【請求項 27】

前記第4半導体層は前記高濃度半導体層に少なくとも一部が接することを特徴とする請求項24～26のいずれか一つに記載の半導体装置。

## 【請求項 28】

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層を有し、

前記第2半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2\mu\text{m}$ に位置することを特徴とする請求項1～27のいずれか一つに記載の半導体装置。

## 【請求項 29】

前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を有し、

前記高濃度半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2\mu\text{m}$ に位置することを特徴とする請求項3～27のいずれか一つに記載の半導体装置。

## 【請求項 30】

前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層を有し、

前記第3半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2\mu\text{m}$ に位置することを特徴とする請求項8～12のいずれか一つに記載の半導体装置。

## 【請求項 31】

前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を有し、

前記高濃度半導体層の不純物濃度は前記半導体層と同じであることを特徴とする請求項3～30のいずれか一つに記載の半導体装置。

## 【請求項 32】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、

前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接し、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層を形成し、

前記半導体層の底面と前記第2導電型の第2半導体層の底面とを同じ深さに形成する、

工程を含むことを特徴とする半導体装置の製造方法。

## 【請求項 33】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、

前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層を形成し、

前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を形成し、

前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接触しない第2導電型の第4半導体層を形成する、

工程を含むことを特徴とする半導体装置の製造方法。

## 【請求項 34】

10

20

30

40

50

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、

前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接し、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板の表面とは接触しない第2導電型の第2半導体層を形成し、

前記第2半導体層よりおもて面側に配置され、少なくとも一部が前記第2半導体層と接し前記活性領域から離れた方向の端部が前記第2半導体層とは異なる位置の第2導電型の第4半導体層を形成する、

工程を含むことを特徴とする半導体装置の製造方法。

【請求項35】

電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、

前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、

前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層を形成し、

前記半導体基板の表面に接する第2導電型の高濃度半導体層を形成し、

前記高濃度半導体層よりも前記半導体基板の内部に位置し、前記半導体基板の表面と接さず前記高濃度半導体層よりも不純物濃度が低い第2導電型の第2半導体層を形成する、

工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ワイドバンドギャップ半導体縦型MOSFET等の半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン(Si)が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT(Insulated Gate Bipolar Transistor:絶縁ゲート型バイポーラトランジスタ)、MOSFET(Metal Oxide Semiconductor Field Effect Transistor:絶縁ゲート型電界効果トランジスタ)など複数種類あり、これらは用途に合わせて使い分けられている。

【0003】

例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

【0004】

市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製(製造)可能な半導体材料として炭化珪素(SiC)が注目を集めている。

【0005】

炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップが3eVと広

10

20

30

40

50

く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、炭化珪素以外の、シリコンよりもバンドギャップが広い半導体（以下、ワイドバンドギャップ半導体とする）である例えば窒化ガリウム（GaN）にもあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の低抵抗化および高耐圧化を図ることができる。

【0006】

ワイドバンドギャップ半導体を用いたパワー半導体装置において、オフ状態で耐圧を保持するために素子外周部に終端構造部に耐圧構造を設ける必要がある。代表的な例としてメサ部に接合終端構造（JTE: Junction Termination Extension）を形成する方法がある（例えば、下記非特許文献1、2参照）。なお終端構造部領域は横幅が短いほど素子面積を小さくできるため好ましい。

10

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】Ranbir Singh, et al., "SiC Power Schottky and PIN Diodes", IEEE Transactions on Electron Devices, Vol. 49, No. 4, APRIL, 2002.

【非特許文献2】Dai Okamoto, et al., "13-kV, 20-A 4H-SiC PIN Diodes for Power System Applications", Materials Science Forum, Vol. 778-780, pp 855-858, 2014

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

図17は、従来の半導体装置の終端構造部の構成を示す断面図である。従来の終端構造部101においてメサ部のように活性領域（活性部）102と高さが異なる領域でパターニングを実施する際に、フォトリソグラフィの焦点深度が異なるためにプロセス難易度が向上してしまう。このため、終端構造部101は活性部102と同じ高さにする方が好ましい。図17の半導体装置は、 $n^+$ 型炭化珪素基板2上に形成された $n^-$ 型炭化珪素エピタキシャル層1のおもて面側に形成された $p^+$ 型ベース層3、 $n^+$ 型チャネルストップ領域4、層間絶縁膜5、第1JTE領域（ $p$ 型層）6、第2JTE領域（ $p^-$ 型層）7を有している。

30

【0009】

図18は、従来のメサ部を形成しない場合の半導体装置の終端構造部の構成を示す断面図である。終端構造部101と活性部102を同じ高さにした場合、活性部102端に形成される $p^+$ 型ベース層3のコーナー部に電界集中が生じて耐圧低下を招いてしまう。

【0010】

図19は、従来の終端構造部のシミュレーションによる耐圧計算結果を示す図である。図19(a)は、1200V耐圧クラスの図17の終端構造部101の耐圧、図19(b)は、1200V耐圧クラスの図18の終端構造部101の耐圧を示す。図17の構造よりも図18の構造の方が耐圧低下していることがわかる。

40

【0011】

また、終端構造部101を短くする目的においては、縦方向の $p$ 型層6,7ドーズ量を活性部102の端から素子端部に向けて濃度が低くなるように次第にグラデーションを設けることが好ましい。しかしながら、従来の終端構造部101で横方向グラデーションを実現する例として、空間変調構造を用いるとパターニング精度の関係でプロセスバラつきが生じやすくプロセス難易度が高くなる問題が生じる。

【0012】

50

この発明は上述した従来技術による問題点を解消するため、簡単な構造で耐圧を向上させることができ、かつ終端構造部の長さを短縮できる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層と、を有し、前記半導体層の底面と前記第2導電型の第2半導体層の底面の深さが同じであることを特徴とする。

10

【0014】

また、上記発明において、前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層、を有することを特徴とする。

【0017】

また、この発明の半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置であって、前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板の表面とは接触しない第2導電型の第2半導体層と、前記第2半導体層よりおもて面側に配置され、少なくとも一部が前記第2半導体層と接し前記活性領域から離れた方向の端部が前記第2半導体層とは異なる位置の第2導電型の第4半導体層と、を有することを特徴とする。

20

【0018】

また、上記発明において、前記第4半導体層は前記半導体基板の表面に接していないことを特徴とする。

30

【0019】

また、上記発明において、前記第4半導体層は前記半導体層と接することを特徴とする。

【0020】

また、上記発明において、前記第4半導体層より前記半導体基板のおもて面側に配置され、少なくとも一部が前記第4半導体層と接し活性部から離れた方向の端部が前記第4半導体層とは異なる位置の第2導電型の第5半導体層を有することを特徴とする。

【0021】

また、上記発明において、前記第5半導体層は前記半導体層と接することを特徴とする。

40

【0022】

また、上記発明において、前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層を有することを特徴とする。

【0023】

また、上記発明において、前記第4半導体層と接しており、かつ、前記第4半導体層より不純物濃度が低い第2導電型の第6半導体層を有することを特徴とする。

【0024】

また、上記発明において、前記第5半導体層と接しており、かつ前記第5半導体層より不純物濃度が低い第2導電型の第7半導体層を有することを特徴とする。

50

## 【0025】

また、上記発明において、前記第3半導体層は前記第4半導体層に接することを特徴とする。

## 【0026】

また、上記発明において、前記第4半導体層より前記半導体基板のおもて面側に配置され、少なくとも一部が前記第4半導体層と接し活性領域から離れた方向の端部が前記第4半導体層とは異なる位置の第2導電型の第5半導体層を有し、前記第6半導体層は前記第5半導体層に接することを特徴とする。

## 【0028】

また、上記発明において、前記第2導電型の各半導体層の不純物の基板深さ方向の積分値が前記半導体層から端部にかけての各位置 a線, b線, c線 において、次第に小さくなり  $a線 > b線 > c線$  の関係であることを特徴とする。

10

## 【0029】

また、上記発明において、第2導電型の各半導体層の不純物の基板深さ方向の積分値が前記半導体層から端部にかけての各位置 a線, b線, c線, d線, e線, f線 において、次第に小さくなり  $a線 > b線 > c線 > d線 > e線 > f線$  の関係であることを特徴とする。

## 【0030】

また、上記発明において、電流が流れる活性領域と、前記活性領域の外側に配置され、耐压構造が形成された終端構造部と、を有する半導体装置であって、前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と、前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層と、を有し、前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接しない第2導電型の第4半導体層を有することを特徴とする。

20

また、前記高濃度半導体層は複数配置されていることを特徴とする。

## 【0031】

また、上記発明において、前記第4半導体層は前記高濃度半導体層に少なくとも一部が接することを特徴とする。

## 【0032】

また、上記発明において、前記第4半導体層は前記半導体層に少なくとも一部が接することを特徴とする。

30

## 【0033】

また、上記発明において、前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接しない第2導電型の第4半導体層を有し、前記第4半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面と接する第2導電型の第5半導体層を有することを特徴とする。

## 【0034】

また、上記発明において、前記第5半導体層は前記半導体層に少なくとも一部が接することを特徴とする。

## 【0035】

また、この発明の半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐压構造が形成された終端構造部と、を有する半導体装置であって、前記終端構造部には、第1導電型の高濃度の半導体基板のおもて面に形成された低濃度の第1導電型の低濃度半導体層と、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と、前記半導体基板の表面に接する第2導電型の高濃度半導体層と、前記高濃度半導体層よりも前記半導体基板の内部に位置し、前記半導体基板の表面と接することなく前記高濃度半導体層よりも不純物濃度が低い第2導電型の第2半導体層と、を有することを特徴とする。

40

## 【0036】

また、上記発明において、前記第2半導体層は前記半導体層に少なくとも一部が接する

50

ことを特徴とする。

【0037】

また、上記発明において、前記高濃度半導体層は前記半導体層に接しないことを特徴とする。

【0038】

また、上記発明において、前記第2半導体層と前記高濃度半導体層の間に位置し、前記活性領域から前記第2半導体層よりも離れた位置に端部が位置し、前記高濃度半導体層よりも不純物濃度が低い第2導電型の第4半導体層を有することを特徴とする。

【0039】

また、上記発明において、前記第4半導体層は前記半導体層に少なくとも一部が接することを特徴とする。

10

【0040】

また、上記発明において、前記第4半導体層は前記第2半導体層に少なくとも一部が接することを特徴とする。

【0041】

また、上記発明において、前記第4半導体層は前記高濃度半導体層に少なくとも一部が接することを特徴とする。

【0042】

また、上記発明において、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接しており、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層を有し、前記第2半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2 \mu\text{m}$ に位置することを特徴とする。

20

【0043】

また、上記発明において、前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を有し、前記高濃度半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2 \mu\text{m}$ に位置することを特徴とする。

【0044】

また、上記発明において、前記第2半導体層と接しており、かつ、前記第2半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第3半導体層を有し、前記第3半導体層の下部は前記半導体層の下部に対して深さ $\pm 0.2 \mu\text{m}$ に位置することを特徴とする。

30

【0045】

また、上記発明において、前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を有し、前記高濃度半導体層の不純物濃度は前記半導体層と同じであることを特徴とする。

【0049】

また、この発明の半導体装置の製造方法は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接し、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板表面とは接触しない第2導電型の第2半導体層を形成し、前記半導体層の底面と前記第2導電型の第2半導体層の底面とを同じ深さに形成する、工程を含むことを特徴とする。

40

【0050】

また、この発明の半導体装置の製造方法は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、前記活性領域内の第2導電型の半導体層、もしくはソ

50

ース電極と接する第2導電型の半導体層を形成し、前記低濃度半導体層に囲まれた第2導電型の高濃度半導体層を形成し、前記高濃度半導体層よりも前記半導体基板のおもて面側に前記半導体基板の表面とは接しない第2導電型の第4半導体層を形成する、工程を含むことを特徴とする。

【0051】

また、この発明の半導体装置の製造方法は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層と接し、かつ、前記半導体層よりも不純物濃度が低く、前記半導体基板の表面とは接触しない第2導電型の第2半導体層を形成し、前記第2半導体層よりおもて面側に配置され、少なくとも一部が前記第2半導体層と接し前記活性領域から離れた方向の端部が前記第2半導体層とは異なる位置の第2導電型の第4半導体層を形成する、工程を含むことを特徴とする。

10

【0052】

また、この発明の半導体装置の製造方法は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する半導体装置の製造方法であって、前記終端構造部に、第1導電型の高濃度の半導体基板のおもて面に低濃度の第1導電型の低濃度半導体層を形成し、前記活性領域内の第2導電型の半導体層、もしくはソース電極と接する第2導電型の半導体層を形成し、前記半導体基板の表面に接する第2導電型の高濃度半導体層を形成し、前記高濃度半導体層よりも前記半導体基板の内部に位置し、前記半導体基板の表面と接さず前記高濃度半導体層よりも不純物濃度が低い第2導電型の第2半導体層を形成する、工程を含むことを特徴とする。

20

【0053】

上記構成によれば、活性領域端の第2導電型の半導体層のコーナー部に集中する電界を緩和することができ耐圧が向上できるようになる。

【発明の効果】

【0054】

本発明にかかる半導体装置および半導体装置の製造方法によれば、メサ部を設けない終端構造部の耐圧を向上させることができ、かつ終端構造部の横方向長さを短くできる効果を有する。

30

【図面の簡単な説明】

【0055】

【図1】図1は、実施の形態1にかかる半導体装置の終端構造部の構成を示す断面図である。

【図2】図2は、実施の形態1の終端構造部のシミュレーションによる耐圧計算結果を示す図である。

【図3】図3は、実施の形態1にかかる半導体装置の活性部の構造例を示す断面図である。

【図4】図4は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。(その1)

40

【図5】図5は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。(その2)

【図6】図6は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。(その3)

【図7】図7は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。(その4)

【図8】図8は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。(その5)

【図9】図9は、実施の形態2にかかる半導体装置の終端構造部の構成を示す断面図であ

50

る。

【図 1 0】図 1 0 は、実施の形態 3 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 1】図 1 1 は、実施の形態 4 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 2】図 1 2 は、実施の形態 5 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 3】図 1 3 は、実施の形態 6 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 4】図 1 4 は、実施の形態 7 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 5】図 1 5 は、実施の形態 8 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 6】図 1 6 は、実施の形態 9 にかかる半導体装置の終端構造部の構成を示す断面図である。

【図 1 7】図 1 7 は、従来の半導体装置の終端構造部の構成を示す断面図である。

【図 1 8】図 1 8 は、従来のメサ部を形成しない場合の半導体装置の終端構造部の構成を示す断面図である。

【図 1 9】図 1 9 は、従来の終端構造部のシミュレーションによる耐圧計算結果を示す図である。

【発明を実施するための形態】

【0056】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 $n$  または  $p$  を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 $n$  や  $p$  に付す + および - は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+ および - を含めた  $n$  や  $p$  の表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につく

【0057】

(実施の形態 1)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態 1 においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。また、第 1 導電型を  $n$  型とし、第 2 導電型を  $p$  型とした例について説明する。

【0058】

図 1 は、実施の形態 1 にかかる炭化珪素半導体装置の終端構造部の構成を示す断面図である。 $n^+$  型炭化珪素基板 (ワイドバンドギャップ半導体基板) 2 の第 1 主面、例えば (0001) 面 (Si 面)、に  $n^-$  型炭化珪素エピタキシャル層 (ワイドバンドギャップ半導体堆積層) 1 が堆積されている。

【0059】

$n^+$  型炭化珪素基板 2 は、例えば窒素 (N) がドーピングされた炭化珪素単結晶基板である。 $n^-$  型炭化珪素エピタキシャル層 1 は、 $n^+$  型炭化珪素基板 2 よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度  $n$  型ドリフト層である。以下、 $n^+$  型炭化珪素基板 2 単体、または  $n^+$  型炭化珪素基板 2 と  $n^-$  型炭化珪素エピタキシャル層 1 を併せて炭化珪素半導体基板とする。

【0060】

そして、 $n^-$  型炭化珪素エピタキシャル層 1 のおもて面側には、活性領域 102 に  $p^+$  型

10

20

30

40

50

ベース層（ $p^+$ 層）3が形成され、終端構造部101には、 $p^+$ 型ベース層3に接する第1 JTE領域6、第2 JTE領域7（ $p$ 型層6、 $p^-$ 型層7）が形成され、終端構造部101の端部には $n^+$ 型チャンネルストップ領域4が形成される。そして、活性部102端の $p^+$ 層3の下部とJTE領域である $p$ 型層6、 $p^-$ 型層7の下部の高さを $\pm 0.3 \mu\text{m}$ 以内に配置する。 $p$ 型層6、 $p^-$ 型層7は、 $p^+$ 層3の高さ（深さ）方向でみて底部が $p^+$ 層3と同じ位置であり、 $p^+$ 層3よりも高さが低い。

【0061】

図2は、実施の形態1の終端構造部のシミュレーションによる耐圧計算結果を示す図である。図1に示した終端構造部101の構造によれば、活性部101端の $p^+$ 層3のコーナー部に集中する電界を緩和することができ耐圧が向上できる。なお、JTE領域である $p$ 型層6の方が $p^-$ 型層7よりも不純物濃度が濃い方が好ましい。

10

【0062】

図3は、実施の形態1にかかる半導体装置の活性部の構造例を示す断面図である。 $n^-$ 型炭化珪素エピタキシャル層1の第1主面側には濃い $n$ 層（第1 $n$ 型CSL領域）15aが形成されており、濃い $n$ 型領域15aは $n^+$ 型炭化珪素基板2よりも低く $n$ 型炭化珪素エピタキシャル層1よりも高い不純物濃度で、例えば窒素がドーピングされている。

【0063】

$n^+$ 型炭化珪素基板2の $n^-$ 型炭化珪素エピタキシャル層1側に対して反対側の表面（炭化珪素半導体基体の裏面）には、裏面電極が設けられドレイン電極を構成する。炭化珪素基板表面にフォトリソグラフィによるパターニングと窒素をイオン注入することで終端構造部101には形成されないように $n$ 層15aを形成する。

20

【0064】

$n$ 層15a部分には、パターニングとアルミニウムをイオン注入により複数の $p^+$ 層3aが形成されている。 $p^+$ 層3aの活性化不純物濃度は、 $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。そして、窒素を添加したエピタキシャル成長により $n^-$ 層1と同等の濃度の炭化珪素を $0.1 \sim 1.5 \mu\text{m}$ 堆積してII領域を形成する。

【0065】

また、フォトリソグラフィによるパターニングと窒素をイオン注入することで、終端構造部101には形成されないように、第2 $n$ 型CSL領域（ $n$ 層）15bが $n$ 層15a上に形成されている。この際、 $n$ 層15bは、 $n^-$ 層1と同じ程度の濃度領域ができないように形成されている。

30

【0066】

また、パターニングとアルミニウムをイオン注入することで $p^+$ 層3aと電氣的に接続されるように $p^+$ 層3bが形成されている。 $p^+$ 層3bの活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは $0.2 \sim 2.0 \mu\text{m}$ 程度が好ましい。窒素、もしくはアルミニウムを添加したエピタキシャル成長により炭化珪素を $0.1 \sim 1.5 \mu\text{m}$ 堆積してIII領域を形成する。

【0067】

そして、フォトリソグラフィによるパターニングとアルミニウムをイオン注入することで終端構造部101には形成させないように $p$ 型チャンネル領域（ $p$ 層）16が形成されている。 $p$ 層16の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは $0.3 \sim 1.5 \mu\text{m}$ 程度が好ましい。また、フォトリソグラフィによるパターニングとリン、もしくは砒素、もしくは窒素をイオン注入することで $n$ 型ソース領域（ $n^+$ 層）17が形成されている。 $n^+$ 層17の活性化不純物濃度は $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さは $0.05 \sim 0.5 \mu\text{m}$ 程度が好ましい。

40

【0068】

また、フォトリソグラフィによるパターニングとアルミニウムをイオン注入することで $p^+$ 層3bに電氣的に接続されるように $p$ 型領域（ $p^+$ 層）18が形成されている。 $p^+$ 層18の活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さは $0.2 \sim$

50

2.0  $\mu\text{m}$ 程度が好ましい。

【0069】

また、カーボン膜を0.01~5.0  $\mu\text{m}$ 程度堆積させた後にアニールを1500 ~ 1900 で実施し、イオン注入した不純物を活性化する。フォトリソグラフィによるパターンニングとドライエッチングによりトレンチ19を $p^+$ 層3aを貫かないように形成されている。トレンチ19は幅0.1~1.5  $\mu\text{m}$ 、深さ0.2~2.0  $\mu\text{m}$ 程度が好ましい。トレンチ19内を覆うようにポリシリコンの絶縁膜が堆積され、絶縁膜は例えば減圧CVD法により600~900 程度の高温で成膜するHTO (High Temperature Oxide) 膜を厚さ30nm~200nmで形成されている。

【0070】

トレンチ19内を埋めるように絶縁膜を堆積した後、トレンチ19内の少なくとも2/3の深さのポリシリコンを残すようにエッチングしてゲート電極20が形成されている。また、酸化膜を厚さ0.1~3.0  $\mu\text{m}$ 程度堆積した後パターンニングとエッチングにより層間絶縁膜21が形成されている。

【0071】

また、蒸着もしくはスパッタ法によりチタン、ニッケル、タンゲステン、アルミニウムのいずれか一種以上を総厚さ0.5~8.0  $\mu\text{m}$ 程度堆積し、パターンニングとエッチングによりソース電極22が形成されている。以上により、実施の形態1に示される活性部が構成されている。

【0072】

図3では、3つのトレンチ構造のみを図示しているが、さらに多くのトレンチMOS構造が並列に配置されていてもよい。なお、活性領域102内の $p^+$ 層18、もしくはソース電極22は、終端構造部101の半導体層3と接する。

【0073】

図1に示した炭化珪素半導体装置の終端構造部101の $p^+$ 層3は図3に示した活性部102の $p^+$ 層3aと同じものを想定しているが、異なっても構わない。

【0074】

図4~図8は、実施の形態1にかかる半導体装置の終端構造部の製造工程を示す断面図である。これらの図を用いて終端構造部の製造工程を順に説明する。

【0075】

はじめに、図4に示すように、 $n^+$ 型炭化珪素基板2に窒素を添加したエピタキシャル成長法により $n^-$ 層1aを形成する。 $n^-$ 層1aの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度、厚さ4  $\mu\text{m} \sim 100 \mu\text{m}$ 程度が好ましい。 $n^+$ 型炭化珪素基板2側の表面(炭化珪素半導体基体の裏面)には、裏面電極が設けられドレイン電極を構成する。

【0076】

つぎに、図5に示すように、炭化珪素半導体基体の第1主面側にパターンニングとアルミニウムをイオン注入することで $p^+$ 型ベース層( $p^+$ 層)3aを形成する。 $p^+$ 層3aの活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは0.1~1.5  $\mu\text{m}$ 程度が好ましい。また、 $p^+$ 層3aの側部の位置にパターンニングとアルミニウムをイオン注入することで $p^-$ 層6を形成する。 $p^-$ 層6の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは0.1~1.5  $\mu\text{m}$ 程度が好ましい。さらに、 $p^-$ 層6の側部にパターンニングとアルミニウムをイオン注入することで $p^-$ 層6よりも活性化不純物濃度が低くなるように $p^-$ 層7を形成する。 $p^-$ 層7の活性化不純物濃度は $8.0 \times 10^{15} \sim 8.0 \times 10^{17} \text{ cm}^{-3}$ 程度、深さは0.1~1.5  $\mu\text{m}$ 程度が好ましい。

【0077】

つぎに、図6に示すように、炭化珪素基板1側のおもて面側に窒素を添加したエピタキシャル成長法により $n^-$ 層1bを形成することでIIの領域を形成する。 $n^-$ 層1bの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度で $n^-$ 層1aと同等の濃度、厚さ0.1  $\mu\text{m} \sim 1.5 \mu\text{m}$ 程度が好ましい。そして、 $p^+$ 層3a上の位置には、パターンニングとアルミニウムをイオン注入により $p^+$ 層3aと電気的に接続されるように $p^+$ 層3bを形成する

10

20

30

40

50

。p<sup>+</sup>層3 bの活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは $0.2 \sim 2.0 \mu\text{m}$ 程度が好ましい。

【0078】

つぎに、図7に示すように、炭化珪素基板1側のおもて面側に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1 cを形成することでIIIの領域を形成する。n<sup>-</sup>層1 cの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度でn<sup>-</sup>層1 aと同等の濃度、厚さ $0.1 \mu\text{m} \sim 1.5 \mu\text{m}$ 程度が好ましい。そして、p<sup>+</sup>層3 b上の位置には、パターニングとアルミニウムをイオン注入によりp<sup>+</sup>層3 a, 3 bと電氣的に接続されるようにp<sup>+</sup>層3 cを形成する。p<sup>+</sup>層3 cの活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さは $0.2 \sim 2.0 \mu\text{m}$ 程度が好ましい。なお、p<sup>+</sup>層3 cは、活性部102のp<sup>+</sup>層18と同時に形成しても構わない。

10

【0079】

この後、フォトリソグラフィによるパターニングとリン、もしくは砒素、もしくは窒素をイオン注入することでn<sup>-</sup>層1 cの端部にn<sup>+</sup>型チャネルストップ領域(n<sup>+</sup>層)4を形成する。n<sup>+</sup>層4の活性化不純物濃度は $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さは $0.05 \sim 0.5 \mu\text{m}$ 程度が好ましい。なお、n<sup>+</sup>層4は、活性部のn<sup>+</sup>層17と同時に形成しても構わない。そして、カーボン膜を $0.01 \sim 5.0 \mu\text{m}$ 程度堆積させた後にアニールを1500 ~ 1900 で実施し、イオン注入した不純物を活性化する。

【0080】

つぎに、図8に示すように酸化膜を厚さ $0.1 \sim 3.0 \mu\text{m}$ 程度堆積し層間絶縁膜5を形成する。なお、層間絶縁膜5は、活性部の層間絶縁膜21と同時に形成しても構わない。以上説明した工程により実施の形態1の終端構造部101を形成できる。

20

【0081】

(実施の形態2)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態2においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。

【0082】

図9は、実施の形態2にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態2においても活性部102の構造例は、実施の形態1(図3)と同様であり、活性部102の作製方法についても実施の形態1と同様である。

30

【0083】

また、終端構造部101の作製方法について、実施の形態1で説明したp<sup>+</sup>層3 a形成までの工程(図4および図5の一部)と同様である。

【0084】

図9に示すように、p<sup>+</sup>層3 aの底部の位置を同じとし、パターニングとアルミニウムをイオン注入することで端部の方向に複数のp型ガードリング領域(p<sup>+</sup>層)8を形成する。p<sup>+</sup>層8の活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。なお、p<sup>+</sup>層8はp<sup>+</sup>層3 aと同時に形成しても構わない。

40

【0085】

この後、炭化珪素基板1側の表面に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1 bを形成することでIIの領域を形成する。その後は実施の形態1と同様の工程で作製する。以上説明した工程により実施の形態2の終端構造部101を形成できる。

【0086】

図9に示すように、活性部102端のp<sup>+</sup>層3と離してp<sup>+</sup>層8が配置され、p<sup>+</sup>層3とp<sup>+</sup>層8の下部の高さは $\pm 0.3 \mu\text{m}$ 以内である。p<sup>+</sup>層8はガードリング構造として機能し、p<sup>+</sup>層8のコーナー部の電界集中を緩和することで耐圧向上できる。なお、p<sup>+</sup>層8の濃度はp<sup>+</sup>層3と同じ濃度であれば1回のイオン注入で形成できるため好ましい。p<sup>+</sup>層8の間の横方向間隔は狭い方が好ましく、最も活性部102の端に近い箇所は $0.01 \mu\text{m}$

50

～1.0 μm程度がよい。また、活性部102の端から離れるにつれて間隔を段階的に広くすることがより好ましい。

【0087】

(実施の形態3)

図10は、実施の形態3にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態3においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。実施の形態3においても活性部102の構造例は、実施の形態1(図3)と同様であり、活性部102の作製方法についても実施の形態1と同様である。

【0088】

また、終端構造部101の作製方法は、実施の形態1で説明したp<sup>-</sup>層6形成までの工程(図4および図5)と同様である。つぎに、炭化珪素基板1側の表面に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1b(図6参照)を形成する。n<sup>-</sup>層1bの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度でn<sup>-</sup>層1aと同等の濃度、厚さ0.1 μm～1.5 μm程度が好ましい。つぎに、p<sup>+</sup>層3aの位置にパターニングとアルミニウムをイオン注入によりp<sup>+</sup>層3aと電氣的に接続されるようにp<sup>+</sup>層3bを形成する(図6参照)。

【0089】

つぎに、図10に示すように、パターニングとアルミニウムをイオン注入により第3 JTE領域(p<sup>-</sup>層)9を少なくとも一部がp<sup>-</sup>層6の上部に位置するように形成する。p<sup>-</sup>層9の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは0.1～1.5 μm程度が好ましい。

【0090】

そして、炭化珪素基板1側の表面に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1c(図7参照)を形成する。n<sup>-</sup>層1cの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度でn<sup>-</sup>層1aと同等の濃度、厚さ0.1 μm～1.5 μm程度が好ましい。つぎに、図10に示すように、パターニングとアルミニウムをイオン注入により第4 JTE領域(p<sup>-</sup>層)10を少なくとも一部がp<sup>-</sup>層6の上部に位置するように形成する。p<sup>-</sup>層9の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは0.1～1.5 μm程度が好ましい。その後は実施の形態1と同様の工程で作製する。以上説明した工程により実施の形態2の終端構造部101を形成できる。

【0091】

図10に示す構造によれば、実施の形態1(図1)と同様の効果が得られる。図10では、実施の形態1(図1)と異なり終端構造部101内で横方向にp<sup>-</sup>濃度を変えずに高さ方向に濃度勾配をつけて耐圧保持できる構造である。p<sup>-</sup>層6は活性部端のp<sup>+</sup>層3の下部の高さと±0.3 μm以内に配置する。なお、p<sup>-</sup>層のドーズ量で示される高さ方向のアクセプタ濃度の積分値は、図中のa線ドーズ量>b線ドーズ量>c線ドーズ量、とすることで終端構造部101の横方向にグラデーションが形成され、実施の形態1(図1)と同様の耐圧が得られる。

【0092】

(実施の形態4)

図11は、実施の形態4にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態4においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。実施の形態4においても活性部102の構造例は、実施の形態1(図3)と同様であり、活性部102の作製方法についても実施の形態1と同様である。

【0093】

また、終端構造部101の作製方法は、実施の形態1で説明したp<sup>+</sup>層3b形成までの工程(図4～図6)と同様である。つぎに、図11に示すように、パターニングとアルミニウムをイオン注入によりp<sup>-</sup>層9を少なくとも一部がp<sup>-</sup>層6の上部に位置するように形

10

20

30

40

50

成する。p<sup>-</sup>層9の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。つぎに、パターニングとアルミニウムをイオン注入により第5 JTE領域(p<sup>-</sup>層)12を少なくとも一部がp<sup>-</sup>層7の上部に位置しp<sup>-</sup>層9と連結するように形成する。p<sup>-</sup>層12の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。

【0094】

つぎに、炭化珪素基板1側の表面に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1cを形成する(図7参照)。n<sup>-</sup>層1cの濃度は $1.0 \times 10^{14} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ 程度でn<sup>-</sup>層1aと同等の濃度、厚さ $0.1 \mu\text{m} \sim 1.5 \mu\text{m}$ 程度が好ましい。パターニングとアルミニウムをイオン注入によりp<sup>+</sup>層3aと電氣的に接続されるようにp<sup>+</sup>層3cを形成する(図7参照)。p<sup>+</sup>層3cの活性化不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 程度、深さは $0.2 \sim 2.0 \mu\text{m}$ 程度が好ましい。なお、p<sup>+</sup>層3cは、活性部102のp<sup>+</sup>層18と同時に形成しても構わない。

【0095】

この後、パターニングとアルミニウムをイオン注入によりp<sup>-</sup>層10を少なくとも一部がp<sup>-</sup>層9の上部に位置するように形成する。p<sup>-</sup>層10の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。つぎに、パターニングとアルミニウムをイオン注入により第6 JTE領域(p<sup>-</sup>層)14を少なくとも一部がp<sup>-</sup>層12の上部に位置しp<sup>-</sup>層10と連結するように形成する。p<sup>-</sup>層14の活性化不純物濃度は $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度、深さは $0.1 \sim 1.5 \mu\text{m}$ 程度が好ましい。その後は実施の形態1と同様の工程で作製する。以上説明した工程により実施の形態4の終端構造部101を形成できる。

【0096】

図11に示す終端構造部101の例では、p<sup>-</sup>層7のおもて面側はp<sup>-</sup>層9, 12に接している。また、p<sup>-</sup>層12のおもて面側はp<sup>-</sup>層10, 14に接している。

【0097】

図11に示す終端構造部101によれば、実施の形態1(図4)に示した構造に加えてp<sup>-</sup>層6, 7よりもおもて面側にp<sup>-</sup>層9, 10, 12, 14を形成している。なお、p<sup>-</sup>層のドーザ量で示される高さ方向のアクセプタ濃度の積分値は、図11に示すa線ドーザ量 > b線ドーザ量 > c線ドーザ量 > d線ドーザ量 > e線ドーザ量 > f線ドーザ量、となるようにp<sup>-</sup>層6, 7, 9, 12, 10, 14を形成することで、ドーザ量が活性部102の端から離れるほど低くなるために好ましい。

【0098】

例えば、p<sup>-</sup>層6よりもp<sup>-</sup>層9を活性部102の端から離す、p<sup>-</sup>層9よりもp<sup>-</sup>層10を活性部102の端から離す、p<sup>-</sup>層7よりもp<sup>-</sup>層12を活性部101の端から離す、p<sup>-</sup>層12よりもp<sup>-</sup>層14を活性部102の端から離すように形成することが好ましい。また、高さ方向領域に少なくとも2段以上の濃度勾配を持つことで耐圧保持の効果が得られる。このような実施の形態4によれば、実施の形態1(図1)よりも終端構造部101の横方向の長さを短くできる。

【0099】

(実施の形態5)

図12は、実施の形態5にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態5においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。実施の形態5においても活性部102の構造例は、実施の形態1(図3)と同様であり、活性部102の作製方法についても実施の形態1と同様である。

【0100】

また、終端構造部101の作製方法は、実施の形態1で説明したp<sup>+</sup>層3b形成までの工程(図4~図6)と同様である。つぎに、炭化珪素基板1側の表面に窒素を添加したエピタキシャル成長法によりn<sup>-</sup>層1cを形成する(図7参照)。その後、実施の形態4と

10

20

30

40

50

同様に  $p^-$ 層 10 と、 $p^-$ 層 14 を形成する。その後は実施の形態 1 と同様の工程で作製する。以上説明した工程により実施の形態 5 の終端構造部 101 を形成できる。

【0101】

図 12 の構造によれば、終端構造部 101 の高さ方向領域の濃度勾配を最小の 2 段として、構造及び製造を簡単に行え、かつ耐圧を保持できる。

【0102】

(実施の形態 6)

図 13 は、実施の形態 6 にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態 6 においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。実施の形態 6 においても活性部 102 の構造例は、実施の形態 1 (図 3) と同様であり、活性部 102 の作製方法についても実施の形態 1 と同様である。

10

【0103】

また、終端構造部 101 の作製方法は実施の形態 1 で説明した  $p^+$ 層 3c 形成までの工程 (図 4 ~ 図 6) と同様である。つぎに、パターニングとアルミニウムをイオン注入により  $p^-$ 層 10 を形成する。 $p^-$ 層 10 の活性化不純物濃度は  $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$  程度、深さは  $0.1 \sim 1.5 \mu\text{m}$  程度が好ましい。その後は実施の形態 1 と同様の工程で作製する。以上説明した工程により実施の形態 6 の終端構造部 101 を形成できる。

【0104】

20

図 13 の終端構造部 101 の構造によれば、実施の形態 (図 1) に加えて、横方向に単一の濃度の  $p^-$ 層 10 を設けるのみであり、横方向にグラデーションを設けなくても同様に耐圧保持の効果が得られる。

【0105】

(実施の形態 7)

図 14 は、実施の形態 7 にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態 7 においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。実施の形態 7 においても活性部 102 の構造例は、実施の形態 1 (図 3) と同様であり、活性部 102 の作製方法についても実施の形態 1 と同様である。

30

【0106】

また、終端構造部 101 の作製方法は実施の形態 1 で説明した  $p^+$ 層 3c 形成までの工程 (図 4 ~ 図 6) と同様である。つぎに、炭化珪素基板 1 側の表面に窒素を添加したエピタキシャル成長法により  $n^-$ 層 1c を形成する (図 7 参照)。その後は実施の形態 1 と同様の工程で作成する。以上説明した工程により実施の形態 6 の終端構造部 101 を形成できる。

【0107】

図 14 の終端構造部 101 の構造に示すように、実施の形態 1 (図 1) に対し、 $p^-$ 層層の上下の位置関係が入れ変わった場合でも、同様に耐圧保持でき横方向の長さを短くできる効果が得られる。

40

【0108】

(実施の形態 8)

図 15 は、実施の形態 8 にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態 8 においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。実施の形態 8 においても活性部 102 の構造例は、実施の形態 1 (図 3) と同様であり、活性部 102 の作製方法についても実施の形態 1 と同様である。

【0109】

また、終端構造部 101 の作製方法は実施の形態 2 の  $p^+$ 層 3b の形成までの工程 (図 9) と同様である。この後、 $p^+$ 層 3b のおもて面側にパターニングとアルミニウムをイ

50

オン注入により p<sup>-</sup>層 9 を形成する。p<sup>-</sup>層 9 の活性化不純物濃度は  $1.0 \times 10^{16} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$  程度、深さは  $0.1 \sim 1.5 \mu\text{m}$  程度が好ましい。その後は実施の形態 3 と同様に作成する（図 10 参照、p<sup>-</sup>層 9 のおもて面側に p<sup>-</sup>層 10 などを作成）。以上説明した工程により実施の形態 8 の終端構造部 101 を形成できる。

【0110】

図 15 に示した終端構造部 101 の構造では、p<sup>+</sup>層 8 に p<sup>-</sup>層 9 が接し、p<sup>-</sup>層 9 に p<sup>-</sup>層 10 が接し、p<sup>-</sup>層 9 よりも p<sup>-</sup>層 10 の方が端部位置まで伸びて形成されている。

【0111】

図 15 に示した終端構造部 101 の構造によれば、実施の形態 2（図 9）に比して横方向の長さを短くできる。すなわち、p<sup>+</sup>層 8 よりもおもて面側に配置された p<sup>-</sup>層 9、10 により下部の p<sup>+</sup>層 8 で緩和する電界を調整することができるために終端構造部 101 の横方向長さを短くすることができる。

【0112】

（実施の形態 9）

図 16 は、実施の形態 9 にかかる半導体装置の終端構造部の構成を示す断面図である。実施の形態 9 においては、ワイドバンドギャップ半導体として例えば炭化珪素（SiC）を用いて作製された炭化珪素半導体装置について、MOSFET を例に説明する。実施の形態 9 においても活性部 102 の構造例は、実施の形態 1（図 3）と同様であり、活性部 102 の作製方法についても実施の形態 1 と同様である。

【0113】

また、終端構造部 101 の作製方法は実施の形態 3 の p<sup>+</sup>層 3c の形成までの工程（図 10）と同様である。この後、p<sup>-</sup>層 9 のおもて面側パターニングとアルミニウムをイオン注入することで複数の p<sup>+</sup>層 8 を形成する。p<sup>+</sup>層 8 の活性化不純物濃度は  $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$  程度、深さは  $0.1 \sim 1.5 \mu\text{m}$  程度が好ましい。なお、p<sup>+</sup>層 8 は p<sup>+</sup>層 3c、もしくは活性部 102 の p<sup>+</sup>層 18 と同時に形成しても構わない。

【0114】

この後、フォトリソグラフィによるパターニングとリン、もしくは砒素、もしくは窒素をイオン注入することで n<sup>+</sup>層 4 を形成する。n<sup>+</sup>層 4 の活性化不純物濃度は  $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$  程度、深さは  $0.05 \sim 0.5 \mu\text{m}$  程度が好ましい。なお、n<sup>+</sup>層 4 は、活性部 102 の n<sup>+</sup>層 17 と同時に形成しても構わない。その後は実施の形態 1 と同様の工程で作製する。以上説明した工程により実施の形態 9 の終端構造部 101 を形成できる。

【0115】

図 16 に示した終端構造部 101 の構造では、下層からみて p<sup>-</sup>層 6 のおもて面側に p<sup>-</sup>層 9 が接し、p<sup>-</sup>層 6 よりも p<sup>-</sup>層 9 の方が端部位置まで伸びて形成されている。また、p<sup>-</sup>層 9 のおもて面側に複数の p<sup>+</sup>層 8 が接して形成されている。p<sup>+</sup>層 8 は、p<sup>+</sup>層 3 に接していない。

【0116】

図 16 に示した終端構造部 101 の構造によれば、実施の形態 2（図 9）と比べて p<sup>+</sup>層 8 と p<sup>-</sup>層 9 の上下の位置関係が入れ変わった場合でも、同様に耐圧保持でき横方向の長さを短くできる効果が得られる。

【0117】

以上において本発明では、炭化珪素でできた炭化珪素基板の主面を（0001）面とし当該（0001）面上に MOS を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体、基板主面の面方位などを種々変更可能である。

【0118】

また、本発明では、各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。

【産業上の利用可能性】

【0119】

10

20

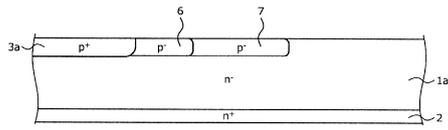
30

40

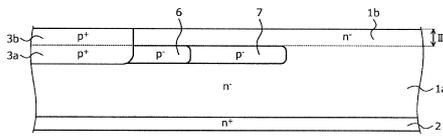
50



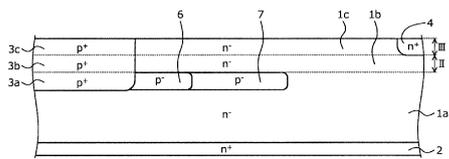
【図5】



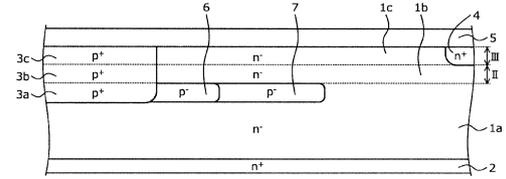
【図6】



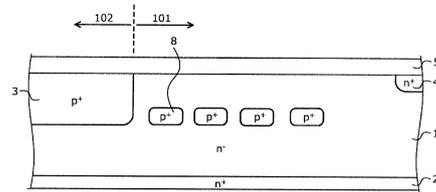
【図7】



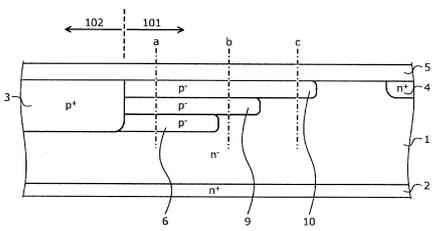
【図8】



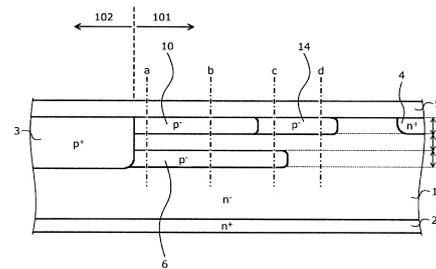
【図9】



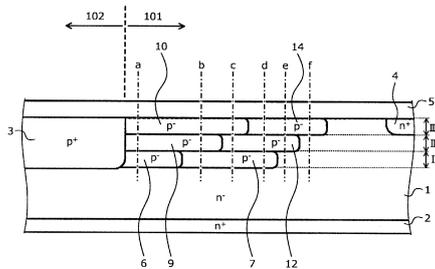
【図10】



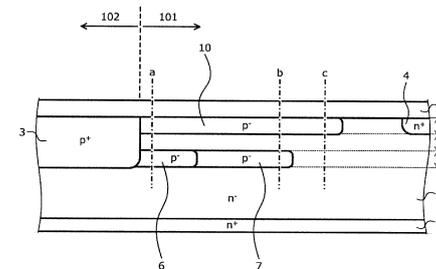
【図12】



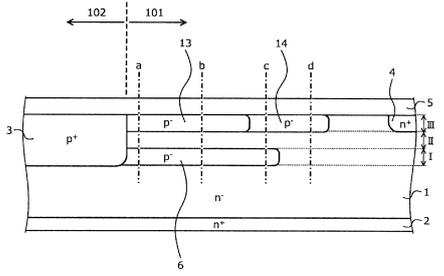
【図11】



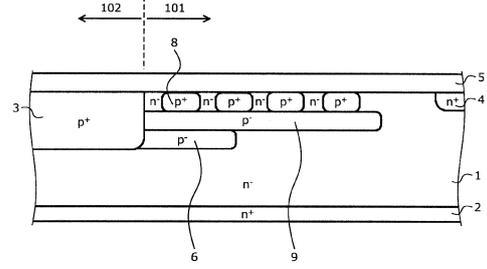
【図13】



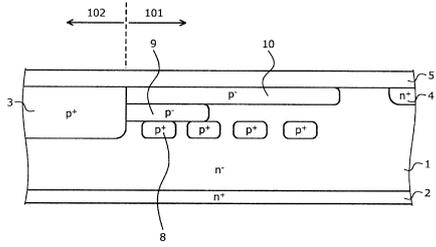
【 14 】



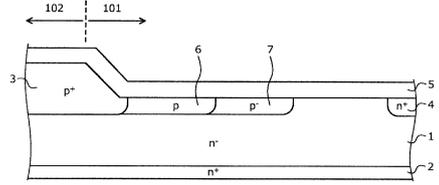
【 16 】



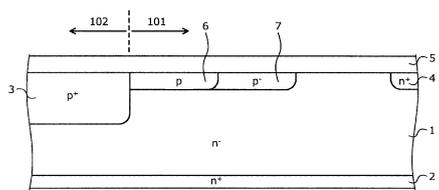
【 15 】



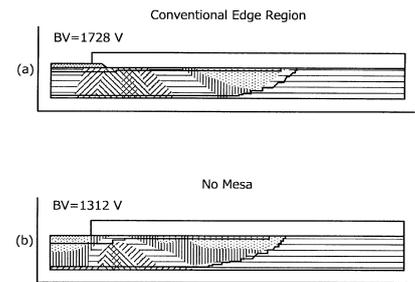
【 17 】



【 18 】



【 19 】



	3.701e+00
	6.472e-03
	1.132e-05
	1.979e-08
	3.462e-11
	6.054e-14
	1.059e-16

## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 2 J  
H 0 1 L 29/06 3 0 1 V  
H 0 1 L 29/06 3 0 1 G  
H 0 1 L 29/78 6 5 8 E

(72)発明者 岩谷 将伸  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 恩田 和彦

(56)参考文献 国際公開第2015/166608(WO,A1)  
米国特許出願公開第2010/0044825(US,A1)  
特開2002-033479(JP,A)  
米国特許出願公開第2014/0231969(US,A1)  
特開2010-153622(JP,A)  
特開2009-141185(JP,A)  
特開2017-168501(JP,A)  
特開2009-260253(JP,A)  
特開2000-183350(JP,A)  
特開2008-227151(JP,A)  
米国特許出願公開第2015/0333168(US,A1)

(58)調査した分野(Int.Cl.,DB名)  
H 0 1 L 2 9 / 0 6  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 1 2  
H 0 1 L 2 9 / 7 8