



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201742278 A

(43)公開日：中華民國 106 (2017) 年 12 月 01 日

(21)申請案號：106105776 (22)申請日：中華民國 106 (2017) 年 02 月 21 日
 (51)Int. Cl. : *H01L43/08 (2006.01)* *G11C11/02 (2006.01)*
 (30)優先權：2016/03/30 世界智慧財產權組織 PCT/US16/24898
 (71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
 美國
 (72)發明人：奧勒帝 丹尼爾 OUELLETTE, DANIEL G. (US)；威根 克里斯多福 WIEGAND,
 CHRISTOPHER J. (US)；拉漢 敏德 RAHMAN, MD TOFIZUR (BD)；馬提茲
 布萊恩 MAERTZ, BRIAN (US)；果倫茲卡 歐勒 GOLONZKA, OLEG (US)；布克
 曼 賈斯汀 BROCKMAN, JUSTIN S. (US)；歐布萊恩 凱文 O'BRIEN, KEVIN
 (US)；道爾 布萊恩 DOYLE, BRIAN S. (IE)；歐固茲 肯恩 OGUZ, KAAAN
 (TR)；甘尼 塔何 GHANI, TAHIR (US)；達克西 馬克 DOCZY, MARK L. (US)
 (74)代理人：林志剛
 申請實體審查：無 申請專利範圍項數：23 項 圖式數：8 共 47 頁

(54)名稱

用於垂直磁性穿隧接面之應變工程的方法及所得結構

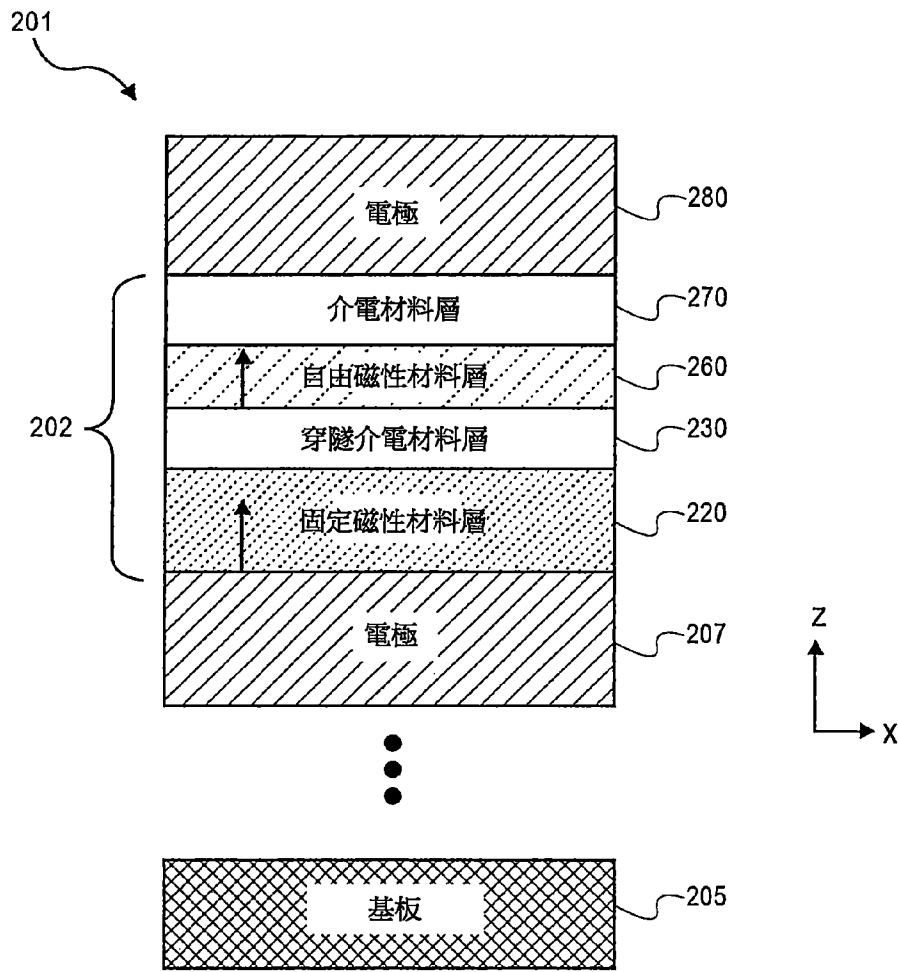
APPROACHES FOR STRAIN ENGINEERING OF PERPENDICULAR MAGNETIC TUNNEL
JUNCTIONS (PMTJS) AND THE RESULTING STRUCTURES

(57)摘要

描述一種用於垂直磁性穿隧接面(pMTJ)之應變工程的方法，及所得結構。在範例中，記憶體結構包含設置在基板上的垂直磁性穿隧接面(pMTJ)元件。側向應變誘發材料層係設置在該 pMTJ 元件上。層間介電(ILD)層係側向相鄰於該 pMTJ 元件和該側向應變誘發材料層兩者設置。該 ILD 層具有與該側向應變誘發材料層的最上表面共面或實質上共面的最上表面。

Approaches for strain engineering of perpendicular magnetic tunnel junctions (pMTJs), and the resulting structures, are described. In an example, a memory structure includes a perpendicular magnetic tunnel junction (pMTJ) element disposed above a substrate. A lateral strain-inducing material layer is disposed on the pMTJ element. An inter-layer dielectric (ILD) layer is disposed laterally adjacent to both the pMTJ element and the lateral strain-inducing material layer. The ILD layer has an uppermost surface co-planar or substantially co-planar with an uppermost surface of the lateral strain-inducing material layer.

指定代表圖：



符號簡單說明：

- 201 . . . pMTJ 裝置
- 202 . . . pMTJ 材料堆疊
- 205 . . . 基板
- 207 . . . 電極
- 220 . . . 固定磁性材料層或堆疊
- 230 . . . 穿隧介電材料層
- 260 . . . 自由磁性材料層(或堆疊)
- 270 . . . 介電材料層
- 280 . . . 電極

圖 2

發明摘要

※申請案號：106105776

※申請日：106年02月21日

※IPC分類：*H01L 43/08* (2006.01)
G11C 11/02 (2006.01)

【發明名稱】(中文/英文)

用於垂直磁性穿隧接面之應變工程的方法及所得結構

Approaches for strain engineering of perpendicular magnetic tunnel junctions (pMTJs) and the resulting structures

【中文】

描述一種用於垂直磁性穿隧接面 (pMTJ) 之應變工程的方法，及所得結構。在範例中，記憶體結構包含設置在基板上的垂直磁性穿隧接面 (pMTJ) 元件。側向應變誘發材料層係設置在該 pMTJ 元件上。層間介電 (ILD) 層係側向相鄰於該 pMTJ 元件和該側向應變誘發材料層兩者設置。該 ILD 層具有與該側向應變誘發材料層的最上表面共面或實質上共面的最上表面。

【英文】

Approaches for strain engineering of perpendicular magnetic tunnel junctions (pMTJs), and the resulting structures, are described. In an example, a memory structure includes a perpendicular magnetic tunnel junction (pMTJ) element disposed above a substrate. A lateral strain-inducing material layer is disposed on the pMTJ element. An inter-layer dielectric (ILD) layer is disposed laterally adjacent to both the pMTJ element and the lateral strain-inducing material layer. The ILD layer has an uppermost surface co-planar or substantially co-planar with an uppermost surface of the lateral strain-inducing material layer.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

201：pMTJ 裝置

202：pMTJ 材料堆疊

205：基板

207：電極

220：固定磁性材料層或堆疊

230：穿隧介電材料層

260：自由磁性材料層（或堆疊）

270：介電材料層

280：電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於垂直磁性穿隧接面之應變工程的方法及所得結構
Approaches for strain engineering of perpendicular magnetic tunnel
junctions (pMTJs) and the resulting structures

【技術領域】

[0001] 本發明的實施例在積體電路製造的領域，特別是，用於垂直磁性穿隧接面（pMTJ）之應變工程的方法及所得結構。

【先前技術】

[0002] 在過去的數十年中，積體電路中的特性縮放一直是不斷增長的半導體產業背後的驅動力。縮放到越來越小的特性使得能夠在半導體晶片的有限面積上增加功能單元的密度。例如，縮小電晶體尺寸使得在晶片上得以併入增加數量的記憶體裝置，導致具有增加容量之產品的製造。驅動了更大的容量，但也不是沒有問題。最佳化每個裝置的效能的必要性變得日益顯著。

[0003] 非揮發性嵌入式記憶體，例如具有非揮發性的晶片上嵌入式記憶體可以使能量和計算有效率。然而，對於傳統自旋力矩轉移磁阻隨機存取記憶體（STT-MRAM）的整合以容納大的寫入切換電流和選擇電晶體要

求可能有密度限制。具體地，由於驅動電晶體要求提供足夠的自旋電流，傳統 STT-MRAM 具有胞元的大小限制。此外，這種記憶體與傳統磁性穿隧接面（MTJ）為基的裝置的大寫入電流（ $>100\mu\text{A}$ ）和電壓（ $>0.7\text{V}$ ）需求相關。

[0004] 通常包含由穿隧屏障層分開的固定磁性層和自由磁性層的磁性穿隧接面（MTJ）裝置利用稱為穿隧磁阻（TMR）的現象。對於包含由薄絕緣穿隧層分開的兩個鐵磁層的結構，當兩個磁性層的磁化處於平行取向時，相較於它們不是處於平行取向時（非平行或反平行取向），電子將更可能穿過穿隧材料層。因此，pMTJ 可以在電阻的兩種狀態之間切換，具有低電阻的一種狀態與具有高電阻的一種狀態。電阻差愈大，TMR 比愈高： $(R_{\text{AP}}-R_{\text{P}})/R_{\text{P}}*100\%$ ，其中 R_{P} 和 R_{AP} 分別是磁化的平行和反平行對準的電阻。TMR 比愈高，位元就愈容易與 pMTJ 電阻狀態相關地可靠地儲存。因此，給定 pMTJ 的 TMR 比是採用 pMTJ 堆疊的自旋轉移力矩記憶體（STTM）的重要效能度量。

[0005] 對於 STTM 裝置，電流感應磁化切換可用於設置位元狀態。第一（自由）鐵磁層的極化狀態可以經由自旋轉移力矩現象相對於第二（固定）鐵磁層的固定極化來切換，使得 pMTJ 的狀態能夠藉由施加電流來設置。電子的角動量（自旋）可以藉由一或多種結構和技術（例如，直流電，自旋霍爾效應等）來極化。這些自旋極化的電子可以將其自旋角動量轉移到自由層的磁化並使其進

動。因此，自由磁性層的磁化可以藉由超過某臨界值的電流脈衝（例如，約 1-10 奈秒）來切換，而只要電流脈衝是低於與固定層架構相關的一些較高閾值，則固定磁性層的磁化保持不變。

[0006] 具有垂直（基板的平面外）磁性易軸的磁電極的 MTJ 具有實現比平面內變體更高密度記憶體的潛力。通常，當自由磁性層足夠薄時，垂直磁性各向異性（PMA）可以藉由由相鄰層（諸如，氧化鎂（MgO））建立的介面垂直各向異性在自由磁性層中實現。然而，薄層通常與相對低的矯頑磁場 H_c 相關。因此，可以增加給定的磁性層厚度 H_c 的技術和結構是有利的，例如為了提高 pMTJ 的穩定性。

[0007] 因此，在基於 pMTJ 的非揮發性記憶體陣列的區域中仍然需要顯著改進。

【圖式簡單說明】

[0008] 圖 1 顯示根據本發明實施例的製造包含應變工程層的 pMTJ 裝置的方法中的各種操作的橫截面圖。

[0009] 圖 2 顯示根據本發明實施例的 pMTJ 裝置的橫截面圖。

[0010] 圖 3 是顯示根據本發明實施例的，如藉由濺射壓力所控制的，毯覆 MTJ 堆疊中的自由層保磁力隨著硬掩模或頂部電極層的本徵應力而變化的曲線圖。

[0011] 圖 4 是根據本發明實施例利用不同的本徵硬

掩模或頂部電極應力製造的 pMTJ 裝置的自由層保磁力的曲線圖。

[0012] 圖 5 顯示根據本發明實施例的連同 STT-MRAM 記憶體陣列整合在共用基板上的邏輯區的橫截面圖。

[0013] 圖 6 顯示根據本發明實施例的電子系統的方塊圖。

[0014] 圖 7 顯示根據本發明實施例的計算裝置。

[0015] 圖 8 顯示包含本發明的一或多個實施例的中介層。

【發明內容與實施方式】

[0016] 描述一種用於垂直磁性穿隧接面 (pMTJ) 之應變工程的方法及所得結構。在下面的描述中，為了提供對本發明的實施例的透徹理解，許多具體的細節被闡述，如特定的磁性穿隧接面 (MTJ) 層機制。對於本領域技術人員顯而易見的，本發明的實施例可以在沒有這些具體細節的情況下實施。在其他範例中，眾所周知的特徵，例如與嵌入式記憶體相關的操作沒有被詳細描述以避免不必要地模糊本發明的實施例。此外，應當理解，圖式中所示的各種實施例是說明性表示且不一定按比例繪製。

[0017] 本發明的一或多個實施例關於包含應變工程 pMTJ 的 STT-MRAM 記憶體陣列。實施例可能關於用於磁性穿隧接面的應變工程的凹陷硬掩膜回填方法。

[0018] 根據本發明的一或多個實施例，所描述的是將應變應用施加到 MTJ 裝置以供控制磁特性的方法。該方法可包含一開始先將 MTJ 蝕刻硬掩模材料凹陷，接著用應力工程材料來再填充。該方法提供對於 MTJ 裝置，特別是 pMTJ 裝置的側向應變的直接控制，其獨立於該 MTJ 硬掩模的本徵薄膜應力。在一個實施例中，pMTJ 裝置的開關層上的側向應變可用來藉由磁性自由層的保磁力的調變來控制裝置的熱穩定性。凹部蝕刻和再填充程序的實現在接近該 MTJ 處，以應變工程材料替換了硬掩模。在具體的實施例中，該方法的實現消除了 pMTJ 效能對於硬掩模應力條件的這種敏感性。該方法可以藉由消除同時最佳化硬掩模材料的應力和蝕刻掩蔽性質兩者的需求來提供 pMTJ 應變工程增強的靈活性。

[0019] 在範例性處理方案中，圖 1 顯示根據本發明的實施例的製造包含應變工程層的 pMTJ 裝置的方法中的各種操作的橫截面圖。

[0020] 參考圖 1 的 (a) 部分，初始結構包含設置在基板 100 上的 MTJ 堆疊 102。MTJ 堆疊 102 係形成在層間介電 (ILD) 層 104 內的溝槽 108 內。硬掩模層 106 係形成在 MTJ 堆疊 102 上、在 ILD 層 104 的溝槽 108 內。可以理解的是，MTJ 堆疊 102 可以在形成 ILD 層 104 被形成，或 ILD 層 104 和溝槽 108 在形成 MTJ 堆疊 102 之前被形成。

[0021] 參考圖 1 的 (b) 部分，MTJ 堆疊 102 上的

硬掩模 106 被移除以提供在 ILD 104 內且暴露 MTJ 堆疊 102 的開口 110。在實施例中，硬掩模層 108 係使用選擇性濕式蝕刻程序被移除。在另一個實施例中，硬掩模層 108 係使用選擇性乾式或電漿蝕刻程序被移除。

[0022] 參考圖 1 的 (c) 部分，應變工程材料 112 係在圖 1 的 (b) 部分的結構上形成。在實施例中，應變工程材料 112 係形成在開口 110 內以及 ILD 層 104 上，例如，作為具有上覆部分的層。取決於應變工程材料 112 的目標屬性，應變工程材料 112 的沉積可包含諸如，但不限於物理氣相沉積 (PVD)、化學氣相沉積 (CVD)、原子層沉積 (ALD)，或電或無電鍍程序的技術。

[0023] 參考圖 1 的 (d) 部分，應變工程材料 112 被平面化以去除應變工程材料 112 的任何上覆。所述平坦化將應變工程層 114 侷限到 ILD 層 104 的開口 110，並且將 ILD 層 104 的最上表面重新暴露。在實施例中，應變工程材料 112 被平面化以使用化學機械平坦化 (CMP) 程序來形成應變工程層 114。在另一個實施例中，應變工程材料 112 被平面化以使用回蝕程序來形成應變工程層 114。

[0024] 再次參考圖 1 的 (d) 部分，在實施例中，接著，記憶體結構包含設置在基板 100 上的垂直磁性穿隧界面 (pMTJ) 元件 102。側向應變誘發材料層 114 係設置在 pMTJ 元件 102 上。層間介電 (ILD) 層 104 係相鄰於 pMTJ 元件 102 和側向應變誘發材料層 114 兩者側向設置。在實施例中，如在圖 1 的 (d) 部分中顯示的，ILD

層 104 具有與側向應變誘發材料層 114 的最上表面共面或實質上共面的最上表面。然而，在其他實施例中，沒有必要以應變誘發層來完全再填充凹陷的體積，以實現應變增強效果。在另一個實施例中，具有高應力材料的部分填充被實現以達到預期的效果。在一個這樣的實施例中，另一種覆蓋材料係形成在更有利於整合的，例如，具有更高的導電性、與隨後的通孔蝕刻更好的相容性，或提供用於氧化或擴散的阻擋層的上覆蓋層之上。

[0025] 在實施例中，圖 1 的凹陷蝕刻方法使應力工程材料的鄰近位置接近 MTJ 堆疊以求增強的 MTJ 裝置應變效果。應當理解，接縫可能致使，且最終可由顯示應力工程層中，例如，應力工程層 114 和 MTJ 堆疊 102 之間的這種接縫的橫截面透射電子顯微鏡 (TEM) 檢測。此外，應力測量可以使用奈米點 (nanospot) 繞射和測量製造 pMTJ 裝置上的保磁力來執行。應當理解，由於硬掩模被替換為具有目標性質的應變工程層，與圖 1 相關的實施例可以提供對於硬掩模材料本身 (例如，利用硬掩模之上的層) 的應變工程的改善。在這態樣，本文所描述的實施例可以被實現為放寬硬掩模材料的膜應力的要求，致使改進的蝕刻或沉積特性或降低了製造成本的硬掩模屬性的最佳化。實施例還可以實現緩和或消除硬掩模的本徵膜應力的不期望的影響。額外地，實施例可被實現以獨立於自由層厚度來設計熱穩定性或潛在臨界電流。

[0026] 再次參照圖 1，如下述的範例性的材料和結構

適合於基板 100、MTJ 堆疊 102，或 ILD 層 104。在實施例中，硬掩模 106 是在組成 MTJ 堆疊 102 的層的較早圖案化期間提供抗蝕刻性的金屬或導電硬掩模層（或層的堆疊）。合適的金屬或其他導電硬掩模材料包含但不限於氮化鈦、氮化鉭、鉭、鈦或鈮中的一或多種。然而，在其它實施例中，使用介電或絕緣硬掩模材料。合適的金屬或其它導電硬掩模材料包含但不限於氧化矽、氮化矽或碳化矽中的一或多種。在任一情況下，在實施例中，所有的硬掩模 106 係隨著從圖 1 的 (a) 部分移到 (b) 部分被去除。然而，在硬掩模 106 是金屬或導電層的情況下，在另一實施例中，只有硬掩模的一部分實際上是凹陷的，在應變工程材料 112 隨後形成於其上的硬掩模層留下導電殘留物。在金屬或導電硬掩模層 106 的殘餘被保留的情況下，為了便於本文實施例的描述，剩餘部分被認為是 MTJ 材料堆疊的一部分。因此，無論硬掩模部分是否被保留，所得到的裝置被描述為具有包含 MTJ 材料堆疊上的側向應變誘發材料層的頂部電極的 MTJ。

[0027] 在實施例中，應變工程材料 112（最終應變工程層 114）是側向應變誘發材料層。在一個實施例中，側向應變誘發材料層是壓縮的側向應變誘發材料層（例如，側向應變誘發材料層是拉伸應力材料，且對於底層 pMTJ 元件誘發壓縮應變）。在特定的此類實施例中，壓縮的側向應變誘發材料層係從由化學氣相沉積的鈦材料、原子層沉積的鈦材料，以及化學氣相沉積的鎢組成的群組中選擇

的一個。在另一個實施例中，側向應變誘發材料層是拉伸側向應變誘發材料層（例如，側向應變誘發材料層是壓縮應力材料，且對於底層 pMTJ 元件誘發拉伸應變）。在特定的此類實施例中，拉伸側向應變誘發材料層由選自鈹襯裡和銅填充材料堆疊、由物理氣相沉積形成的金屬膜，和金屬種子和電鍍金屬材料堆疊組成的群組中選擇的一個。適於用作應變工程材料 112（最終應變工程層 114）的其它材料在下面結合圖 2 進行描述。

[0028] 為了提供更多的細節，根據本發明的實施例，本文所述的是 pMTJ 材料堆疊、採用這種材料堆疊的 STTM 裝置，以及採用這種 STTM 裝置的計算平台。本文所述的實施例的應用包含嵌入式記憶體、嵌入式非揮發性記憶體（NVM）、磁性隨機存取記憶體（MRAM）和非嵌入式或獨立記憶體。

[0029] 圖 2 顯示根據本發明的一些實施例的 pMTJ 裝置 201 的橫截面圖。pMTJ 裝置 201 包含設置在兩個電極 207 和 280 之間的 pMTJ 材料堆疊 202。在示範性實施例中，金屬電極 207（例如，底部電極）係設置在基板 205 上。包含一或多層磁性材料的固定磁性材料層（或堆疊）220 係設置在電極 207 上。穿隧介電材料層 230 係設置在固定磁性材料層或堆疊 220 上。自由磁性材料層（或堆疊）260 係設置在穿隧介電材料層 230 上。在示範性實施例中所示的介電材料層 270，如金屬氧化物（例如，氧化鎂、氧化鈮、氧化鎢、氧化碲、氧化鈹、氧化鉛、氧化

鉬) 係設置在自由磁性材料層 260 上。對於自旋霍爾效應 (SHE) 實現, 這種覆蓋層可以不存在。金屬電極 280 (例如, 頂部電極) 係設置在覆蓋介電材料層 270 上。值得注意的是, 在替代實施例中, 材料層 207 至 280 的順序可以顛倒, 或者從地形特徵的側壁側向延伸離開。在實施例中, 如在下面更詳細地描述的, 頂部電極 280 是 (或包含) 側向應變誘發材料層。

[0030] 在一些實施例中, pMTJ 材料堆疊 202 是垂直的系統, 其中該磁性層的自旋係垂直於該些材料層的平面 (例如, 易磁化軸在 z 方向出基板 205 的平面)。固定磁性層 220 可以由適合於保持固定磁化方向的任何材料或材料堆疊組成, 同時自由磁性材料層 260 是磁性上較軟的 (例如, 相對於固定層, 磁化可容易旋轉到平行和反平行狀態)。在一些實施例中, 增強應變的 pMTJ 裝置係由足以誘發平行於 pMTJ 材料層的平面的 pMTJ 堆疊中的應變的側向定向應力的應用來提供。在一個這樣的實施例中, 控制施加於 pMTJ 材料堆疊的膜中的應力, 以提供對應於一或多個磁性材料層的應變的磁性材料層的保磁力的顯著影響。

[0031] 如上面簡要地指出的, 在實施例中, 圖 2 的裝置的頂部電極 280 是或包含側向應變誘發材料層。在一個這種實施例中, 側向應變誘發材料層係設置在 pMTJ 材料堆疊的頂表面上。因此, 在一些實施例中, 頂側側向應變誘發材料層還用作在 pMTJ 裝置中的頂部電極 280。在

一些實施例中，頂側側向應變誘發材料層為鉭（Ta），無論是純元素形式或其合金（例如，氮化鉭等）。在其他實施例中，頂側側向應變誘發材料層為鈦（Ti），無論是純元素形式或其合金（例如，氮化鈦等）。可調諧到具有高的拉伸應力或高的壓縮應力（例如 200 兆帕或更多）的任何其它導電材料也可以被採用。在其他實施例中，應變誘發材料層被調諧以提供壓縮應力。頂側側向應變誘發材料也可以是覆蓋 pMTJ 裝置電極的介電質（例如，SiN）。對於這樣的實施例，導電通孔可以穿過側向應變誘發材料以接觸底層電極。在一些實施例中，為了增加 pMTJ 堆疊 202 內的側向應變的量，頂側側向應變誘發材料層具有比 pMTJ 堆疊中的任何材料層（例如，磁性或介電質）大的厚度。在一些其它實施例中，頂側側向應變誘發材料層具有比整個底層 pMTJ 堆疊 202 大的厚度。

[0032] 根據本發明的實施例，自由層保磁力對於側向應變的靈敏度被利用，其由（a）毯覆 MTJ 堆疊測量中或（b）整合 pMTJ 處理流程中的硬掩模或頂部電極材料本身的應力的調變所顯示。圖 3 是顯示根據本發明實施例的，如藉由濺射壓力所控制的，毯覆 MTJ 堆疊中的自由層保磁力隨著硬掩模或頂部電極層的本徵應力而變化的曲線圖 300。圖 4 是根據本發明實施例利用不同的本徵硬掩模或頂部電極應力製造的 pMTJ 裝置的自由層保磁力的曲線圖 400。參考曲線圖 400，自由層保磁力是由電阻場掃描得到的。

[0033] 在另一態樣中，直接將記憶體整合到微處理器晶片上是有利的，因為相較於具有實體上獨立的邏輯和記憶體晶片，它能夠致使更高的操作速度。不幸的是，傳統的基於電荷的儲存技術，如 DRAM 和 NAND 快閃記憶體正面臨著關於越來越精確的電荷佈置和感測需求的嚴重縮放性問題。因此，對於未來的技術節點，直接將基於電荷的記憶體嵌入到高效能邏輯晶片不是非常有吸引力。然而，相對於傳統的基於電荷的記憶體，確實有潛在縮放到小得多的幾何形狀的記憶體的技術是自旋力矩轉移磁阻隨機存取記憶體（STT-MRAM），因為它依賴於電阻率，而不是電荷作為資訊載體。然而，為了利用具有嵌入的 STT-MRAM 記憶體的高效能邏輯晶片的潛在益處，適當的積體邏輯加上 STT-MRAM 結構和製造方法是需要的。本發明的實施例包含這樣的結構和製造程序。

[0034] 根據本文描述的一或多個實施例，揭露一種包含眾多磁性穿隧界面（MTJ）的自旋轉矩隨機存取記憶體（STT-MRAM）陣列被嵌入高效能邏輯晶片的後端互連層內的結構。根據本發明的具體實施例，揭露在相鄰的邏輯區域中的互連之前，MTJ 下方的“薄通孔”的結合、MTJ 下方的 MRAM 基座材料的存在、和 MTJ 被製造的 MTJ 優先類型處理流程。

[0035] STT-MRAM 陣列可以嵌入在邏輯晶片中。作為範例性實施例，圖 5 顯示根據本發明的實施例的連同 STT-MRAM 記憶體陣列整合到共用基板上的邏輯區的橫

截面圖。參見圖 5，結構 500 包含邏輯區 502 和 STT-MRAM 陣列區 504。

[0036] 參照圖 5 的 STT-MRAM 陣列區 504，在第一層中，金屬 2 (M2) 508 與通孔 1 (V1) 510 結構係形成在基板 506 上。M2 508 和 V1 510 結構係形成在層間介電層 512 中，層間介電層 512 係設置在蝕刻停止層 514 上。

[0037] 再次參照圖 5 的 STT-MRAM 陣列區 504，在第二層中，複數個導電基座 516 和對應的 pMTJ 堆疊 518 係形成在層間介電層 520 中，層間介電層 520 係設置在蝕刻停止層 522 上。如圖 5 所示，複數個導電基座 516 可以藉由導電層 524 耦接到 M2 508 結構中對應的一些。如也在圖 5 中顯示的，介電間隔層 526 可以在 pMTJ 堆疊 518 的側壁上並在複數個導電基座 516 的上表面上形成。如圖 5 所示，pMTJ 堆疊 518 中的每一個可以包含自由層 MTJ 膜 528、介電或穿隧層 530、固定層 MTJ 膜 532，和頂部電極 534。應當理解，堆疊可以顛倒，其中層 528 可以是固定層，而層 532 可以是自由層。在實施例中，圖 5 的裝置的頂部電極 534 是或包含側向應變誘發材料層。在一個這種實施例中，側向應變誘發材料層是壓縮側向應變誘發材料層。在另一個這樣的實施例中，側向應變誘發材料層是拉伸側向應變誘發材料層。

[0038] 再次參照圖 5 的 STT-MRAM 陣列區域 504，在第三層中，蝕刻停止層 536 係設置在層間介電層 520 上。金屬 4 (M4) 538 與至接面通孔 (VTJ) 540 結構係

形成在層間介電層 542 中，層間介電層 542 係設置在蝕刻停止層 536 上。但是應當理解，額外的互連層可以被形成在圖 5 的 STT-MRAM 陣列區域 504 的 M4/VTJ 層的頂部上，例如使用本領域中眾所皆知的標準雙鑲嵌程序技術。因此，還應當理解，儘管在圖式中 MTJ 被顯示嵌入到對應的邏輯金屬 3 (M3) 層，它們可以替代地嵌入到某些其它互連層 (例如，M1、M2、M4 等)。

[0039] 現在參照圖 5 的邏輯區域 502，在第一層中，金屬 2 (M2) 550 與通孔 1 (V1) 552 結構係形成在層間介電層 512 中，層間介電層 512 係設置在蝕刻停止層 514 上。在第二層中，蝕刻停止層 522 係設置在層間介電層 512 上。金屬 3 (M3) 554 與通孔 2 (V2) 556 結構係形成在層間介電層 520 中，層間介電層 520 係設置在蝕刻停止層 522 上。在第三層中，蝕刻停止層 536 係設置在層間介電層 520 上。金屬 4 (M4) 558 與通孔 3 (V3) 560 結構係形成在層間介電層 542 中，層間介電層 542 係設置在蝕刻停止層 536 上。但是應當理解，額外的互連層可以被形成在圖 5 的邏輯區域 502 的 M4/V3 層的頂部上，例如使用本領域中眾所皆知的標準雙鑲嵌程序技術。

[0040] 再次參照圖 5，在實施例中，自由層 MTJ 膜 528 (或者，替代地，532) 根據應用是由適合於多數自旋和少數自旋之間轉變的材料組成。因此，自由磁性層 (或記憶體層) 可以被稱為鐵磁性記憶體層。在一個實施例中，自由磁性層是由鈷鐵 (CoFe) 或鈷鐵硼 (CoFeB) 層

組成。

[0041] 再次參照圖 5，在實施例中，介電或穿隧層 530 是由適於允許多數自旋的電流穿過該層，同時阻礙至少一定程度的少數自旋的電流穿過該層的材料組成。因此，介電或穿隧層 530（或自旋過濾層）可以被稱為穿隧層。在一個實施例中，介電層是由諸如的材料但不限於氧化鎂（ MgO ）或氧化鋁（ Al_2O_3 ）的材料組成。在一個實施例中，介電層具有大約 1 奈米的厚度。

[0042] 再次參照圖 5，在實施例中，固定層 MTJ 膜 532（或在 532 是自由層的情況下，528）是由適合於保持固定的多數自旋的材料或材料堆疊組成。因此，固定磁性層（或參考層）可以被稱為鐵磁層。在一個實施例中，固定磁性層是由單一鈷鐵硼（ CoFeB ）層組成。然而，在另一實施例中，固定磁性層是由鈷鐵硼（ CoFeB ）層、鈦（ Ru ）層、鈷鐵硼（ CoFeB ）層堆疊組成。在實施例中，儘管未顯示，合成反鐵磁（SAF）係設置在或鄰近於固定層 MTJ 膜 532。

[0043] 再次參照圖 5，在實施例中，複數個導電基座 516 包含厚金屬層，諸如相對厚的氮化鈦（ TiN ）層。在實施例中，導電金屬層 524 是氮化鉭（ TaN ）層。在一個實施例中，導電金屬層 524 稱作“薄通孔”層。在實施例中，頂部電極 534 是或包含側向應變誘發材料層，其範例已在上面關於圖 1 和圖 2 描述。

[0044] 再次參照圖 5，在實施例中，一或多個層間介

電 (ILD)，如層間介電材料層 512、520 和 542 被使用。ILD 層可以使用已知其在積體電路結構中的適用性的介電材料來形成，如低 k 介電材料。可使用的介電材料的範例包含但不限於二氧化矽 (SiO_2)、摻雜碳的氧化物 (CDO)、氮化矽、有機聚合物，如全氟環丁烷或聚四氟乙烯、氟矽酸鹽玻璃 (FSG)，和有機矽酸酯，如矽倍半氧烷、矽氧烷或有機矽酸鹽玻璃。ILD 層可以包含孔或氣隙以進一步降低它們的介電常數。

[0045] 再次參照圖 5，在實施例中，金屬線 (諸如 M2、M3 和 M4) 和通孔 (諸如 V1、V2、V3 和 VTJ) 係由一或多種金屬或其他導電結構組成。常見的範例是使用銅線和可以或可以不包含銅和周圍 ILD 材料之間的阻擋層的結構。如本文所使用的，用語金屬包含合金、堆疊和多種金屬的其它組合。例如，金屬互連線可以包含阻擋層，不同金屬或合金的堆疊等。互連線在本領域中有時也稱為跡線、佈線、線、金屬或簡稱互連。

[0046] 再次參照圖 5，在實施例中，蝕刻停止材料 (諸如用於層 514、522 和 536) 係由與層間介電材料不同的介電材料組成。在一些實施例中，蝕刻停止層包含矽的氮化物層 (例如，氮化矽) 或矽的氧化物層或兩者，或其組合。其它合適的材料可包含碳基材料，諸如碳化矽。可替代地，在本領域中已知的其他蝕刻停止層可以根據特定的實現來使用。該蝕刻停止層可藉由 CVD、PVD 或藉由其他沉積方法來形成。在實施例中，介電間隔層 526 為

氮化矽層。

[0047] 再次參照圖 5，在實施例中，基板 506（或下面與圖 1 和圖 2 關聯分別描述的基板 100 或 205）為半導體基板。在一種實現中，半導體基板可以是使用本體矽或絕緣體上矽子結構形成的結晶基板。在其他實現中，半導體基板可以使用替代材料來形成，該替代材料可以或可以不與矽結合，其包含但不限於鍺、銻化銮、碲化鉛、砷化銮、磷化銮、砷化鎵、砷化銮鎵、銻化鎵或 III-V 族或 IV 族材料的其它組合。雖然本文描述了可以形成基板的材料的一些範例，但是可以用作構建半導體裝置的基礎的任何材料落在本發明的精神和範圍內。

[0048] 應當理解，關聯於圖 1、圖 2 和圖 5 描述的層和材料通常形成在諸如積體電路的底層裝置層之底層半導體基板或結構上或之上。在實施例中，底層半導體基板 100、205 或 506 表示用於製造積體電路的一般工件對象。半導體基板通常包含晶圓或其它矽片或另一半導體材料。合適的半導體基板包含但不限於單晶矽、多晶矽和絕緣體上矽（SOI），以及由其它半導體材料形成的類似基板。取決於製造的階段，半導體基板通常包含電晶體、積體電路等。基板也可以包含半導體材料、金屬、介電質、摻雜物和通常在半導體基板中發現的其它材料。在一個實施例中，所示在圖 1、圖 2 和圖 5 描繪的結構被製造在底層電晶體之上或形成於基板 100、205 或 506 之中或之上的其他半導體裝置層之上。在另一個實施例中，所示在圖

1、圖 2 和圖 5 描繪的結構被製造在形成於基板 100、205 或 506 之上的底層較低層互連層之上。

[0049] 應當理解，在本發明的某些態樣和至少一些實施例中，某些用語保持某些可定義含義。例如，“自由”磁性層是儲存計算變數的磁性層。“固定”磁性層是具有固定磁化（比自由磁性層磁性更硬）的磁性層。穿隧屏障，諸如穿隧介電質或穿隧氧化物是位於自由和固定磁性層之間的一者。固定磁性層可以被圖案化以產生到相關電路的輸入和輸出。磁化可藉由自旋霍爾效應被寫入。當施加電壓時，磁化可以經由穿隧磁阻效應來讀取。在實施例中，介電層的作用是致使大的磁阻比。磁阻是當兩個鐵磁性層具有反平行磁化和具有平行磁化狀態的電阻時，電阻之間的差的比率。

[0050] 在實施例中，MTJ 基本上用作電阻器，其中穿過 MTJ 的電路徑的電阻可以存在於“高”或“低”的兩個電阻狀態中，其取決於在自由磁性層和在固定磁性層中的磁化方向或取向。在自旋方向是自由磁性層中的少數的情況下，存在高電阻狀態，其中在自由磁性層與固定磁性層中的磁化方向基本上是彼此相對或反平行。在自旋方向是自由磁性層中的多數的情況下，存在低電阻狀態，其中自由磁性層與固定磁性層中的磁化方向大致彼此對準或平行。但是應當理解，關於 MTJ 的電阻狀態用語“低”和“高”是相對於彼此的。換言之，高電阻狀態僅僅是比低電阻狀態可檢測的較高電阻，反之亦然。因此，隨著電阻的可檢測差

異，低和高電阻狀態可以表示不同的資訊位元（即“0”或“1”）。

[0051] 因此，MTJ 可藉由其磁化狀態儲存單一的資訊位元（“0”或“1”）。儲存在 MTJ 中的資訊是由穿過 MTJ 的驅動電流來感測。自由磁性層不需要電源來保持其磁性取向。因此，當裝置的電源被移除時，MTJ 的狀態被保留。因此，在實施例中，諸如圖 1 中所描繪的記憶體位元胞元是非揮發性的。

[0052] 根據本發明的實施例中，資料的每個位元被儲存在獨立的磁性穿隧接面（MTJ）中。該 MTJ 是包含由薄絕緣穿隧屏障層分隔開的兩個磁性層的磁性元件。磁性層之一者被稱為參考層、固定層，或釘扎磁性層，其提供穩定的參考磁取向。該位元被儲存在被稱為自由層的第二磁性層，並且該自由層的磁矩的取向可以是在平行於參考層或反平行於參考層的兩個狀態中的一者。因為穿隧磁電阻（TMR）效應，反平行狀態的電阻係顯著地高於平行狀態。為了將資訊寫入 STT-MRAM 裝置中，自旋轉移力矩效應被用來將自由層從平行切換到反平行狀態，反之亦然。電流流過該 MTJ 產生自旋極化的電流，這導致被施加到該自由層的磁化的力矩。當自旋極化電流足夠強時，足夠的力矩被施加到自由層以致使其磁取向改變，因此允許位元被寫入。為了讀取所儲存的位元，感測電路測量 MTJ 的電阻。由於感測電路需要確定該 MTJ 是否處於低電阻（例如，平行）狀態，或在具有可接受訊號對雜訊的

高電阻狀態（例如，反平行），該 STT-MRAM 單元需要被設計為使得該單元的總電阻和電阻變化最小化。

[0053] 有關本文所描述的一或多個實施例，應該理解的是傳統的 DRAM 記憶體面臨嚴峻的縮放問題，並且因此在電子產業中正在積極探索其它類型的記憶體裝置。一個未來的競爭者是 STT-MRAM 裝置。本文所描述的實施例包含將 STT-MRAM 位元胞元陣列嵌入到邏輯程序技術的製造方法。描述的實施例可以利於處理關於具有嵌入式記憶體陣列的邏輯處理器的製造之方案。

[0054] 在實施例中，與基板 100、205 或 206 相關的電晶體是金屬氧化物半導體場效電晶體（MOSFET 或簡稱 MOS 電晶體），其製造於基板 100、205 或 506 上。在本發明的各種實現中，MOS 電晶體可以是平面電晶體、非平面電晶體，或兩者的組合。非平面電晶體包含 FinFET 電晶體，如雙閘極電晶體和三閘極電晶體，和迴繞或全繞式閘極電晶體，諸如奈米帶和奈米線電晶體。

[0055] 在實施例中，基板 100、205 或 506 的每個 MOS 電晶體包含由至少兩層組成的閘極堆疊、閘極介電層和閘極電極層。閘極介電層可以包含一層或多層的堆疊。該一或多個層可包含氧化矽、二氧化矽（ SiO_2 ）和/或高 k 介電材料。高 k 介電材料可以包含諸如鈺、矽、氧、鈦、鉭、釩、鋁、銦、鎢、鉍、鉕、鉛、銦、銱和銻之元素。可在閘極介電層使用的高 k 材料的範例包含但不限於氧化鈺、氧化鈺矽、氧化釩、氧化釩鋁、氧化銦、氧

化銻矽、氧化鋇、氧化鈦、氧化鋇鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鈦、氧化鋁、氧化鉛銦鋇和銻酸鉛銻。在一些實施例中，當使用高 k 材料時，退火程序可以在閘極介電層上進行以提高其品質。

[0056] 基板 100、205 或 506 的每個 MOS 電晶體的閘極電極層形成在閘極介電層上，並且可以由至少一種 P 型功函數金屬或 N 型功函數金屬組成，其取決於電晶體是否為 PMOS 或 NMOS 電晶體。在一些實施例中，閘極電極層可以由兩個或多個金屬層的堆疊組成，其中一或多個金屬層為功函數金屬層，並且至少一個金屬層為填充金屬層。

[0057] 對於 PMOS 電晶體，可以被用於閘極電極的金屬包含但不限於鈦、鈮、鉑、鈷、鎳，以及導電金屬氧化物，例如，氧化鈦。P 型金屬層將致使具有約 4.9 電子伏特至約 5.2 電子伏特之間的功函數的 PMOS 閘極電極的形成。對於 NMOS 電晶體，可以被用於閘極電極的金屬包含但不限於鉛、銻、鈦、鋇、鋁、這些金屬的合金，和這些金屬的碳化物，如碳化鉛、碳化銻、碳化鈦、碳化鋇和碳化鋁。N 型金屬層將致使具有約 3.9 電子伏特至約 4.2 電子伏特之間的功函數的 NMOS 閘極電極的形成。

[0058] 在一些實現中，閘極電極可以由“U”形結構組成，其包含基本上平行於基板的表面的底部與基本上垂直於基板的頂表面的兩個側壁部分。在另一實現中，形成閘極電極的金屬層中的至少一個可以簡單地是基本上平行於

基板的頂表面，並且不包含基本上垂直於基板的頂表面的側壁部分的平面層。在本發明的其它實施例中，閘極電極可包含 U 形結構和平面、非 U 形結構的組合。例如，閘極電極可以包含形成於一或多個平面、非 U 形層上的一或多個 U 形金屬層。

[0059] 在本發明的一些實現中，一對側壁間隔件可在托住閘極堆疊的閘極堆疊之相對側上形成。側壁間隔件可以由下列材料來形成，諸如氮化矽、氧化矽、碳化矽、摻雜碳的氮化矽，和氮氧化矽。用於形成側壁間隔件的程序在本領域中是眾所周知的，並且通常包含沉積和蝕刻程序步驟。在替代實施例中，可以使用複數個間隔件對，例如，兩對、三對或四對的側壁間隔件可在閘極堆疊的相對兩側形成。

[0060] 如在本領域中眾所皆知的，源極和汲極區是相鄰於每個 MOS 電晶體的閘極堆疊在基板內形成的。源極和汲極區通常使用植入/擴散程序或者蝕刻/沉積程序來形成。在前者的程序中，摻雜劑如硼、鋁、銻、磷或砷可以離子植入到基板以形成源極和汲極區。使摻雜物活化並致使它們進一步擴散到基板的退火程序通常在離子佈植程序之後。在後者的程序中，基板可以首先被蝕刻以形成在源極和汲極區的位置處的凹部。接著磊晶沉積程序可以進行以將凹部填充被用於製造源極和汲極區的材料。在一些實現中，源極和汲極區可使用的矽合金，諸如矽鍺或矽碳化物來製造。在一些實現中，磊晶沉積矽合金可利用諸如

硼、砷或磷的摻雜物來原地摻雜。在進一步的實施例中，可以使用一或多個替代的半導體材料，諸如鍺或 III-V 族材料或合金來形成源極和汲極區。並且在其它實施例中，一或多層的金屬和/或金屬合金可用於形成源極和汲極區。

[0061] 圖 6 顯示根據本發明實施例的電子系統 600 的方塊圖。電子系統 600 可對應於，例如，可攜式系統、電腦系統、程序控制系統，或利用處理器和相關記憶體的任何其他系統。電子系統 300 可以包含微處理器 602（具有處理器 604 和控制單元 606）、記憶體裝置 608，以及輸入/輸出裝置 610（應理解的是，電子系統 600 在各種實施例中可具有複數個處理器、控制單元、記憶體裝置單元和/或輸入/輸出裝置）。在一個實施例中，電子系統 600 具有一組限定將由處理器 604 對資料執行的操作，以及處理器 604、記憶體裝置 608 和輸入/輸出裝置 610 之間的交易之指令。控制單元 606 藉由通過一組致使指令從記憶體裝置 608 被檢索並執行的操作之循環來協調處理器 604、記憶體裝置 608 和輸入/輸出裝置 610 的操作。如本文所述，記憶體裝置 608 可包含整合進邏輯處理器的 STT-MRAM 記憶體陣列。如圖 6 所示，在實施例中，記憶體裝置 608 被嵌入在微處理器 602 之中。

[0062] 圖 7 顯示根據本發明的一個實施例的計算裝置 700。計算裝置 700 容納板 702。板 702 可包括多個部件，包括但不限於處理器 704 和至少一個通訊晶片 706。

處理器 704 可以被物理地和電性地耦接到板 702。在一些實現中，至少一個通訊晶片 706 也可以被物理地和電性地耦接到板 702。在另外的實現中，通訊晶片 706 可以是處理器 704 的一部分。

[0063] 取決於其應用，計算裝置 700 可以包括可以或可以不被物理地和電性地耦接到板 702 的其他部件。這些其他部件可以包括但不限於揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位訊號處理器、密碼處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編解碼器、視頻編解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機和大容量儲存裝置（如硬碟、光碟（CD）、數位多功能光碟（DVD）等）。

[0064] 通訊晶片 706 可以致使用於資料傳送往來於計算裝置 700 的無線通訊。用語“無線”及其衍生詞可以用於描述電路、裝置、系統、方法、技術、通訊通道等，其可藉由非固態媒體、藉由使用調變的電磁輻射來傳送資料。該用語不暗示相關的裝置不包含任何佈線，儘管在一些實施例中它們可能沒有。通訊晶片 706 可以實現任何數目的無線標準或協議，其包括但不限於 Wi-Fi（IEEE 802.11 系列）、WiMAX（IEEE 802.16 系列）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、

DECT、藍芽，其衍生物以及那些被指定為 3G、4G、5G 和之後的任何其它無線協定。計算裝置 700 可以包括複數個通訊晶片 706。例如，第一通訊晶片 706 可專用於短範圍無線通訊，例如 Wi-Fi 和藍芽，並且第二通訊晶片 706 可專用於長範圍無線通訊如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 和其他。

[0065] 計算裝置 700 的處理器 704 包含封裝在處理器 704 內的積體電路晶粒。在本發明的實施例的一些實現中，該處理器的積體電路晶粒包含一或多個陣列，諸如根據本發明的實施例整合進邏輯處理器、建立的應變工程的基於 pMTJ 的 STT-MRAM 記憶體陣列。用語“處理器”可以指處理來自暫存器和/或記憶體的電子資料，以將該電子資料轉換成可儲存在暫存器和/或記憶體中的其他電子資料的任何裝置或裝置的部分。

[0066] 通訊晶片 706 也可以包括封裝在通訊晶片 706 內的積體電路晶粒。根據本發明的實施例的其他實現，該通訊晶片的積體電路晶粒包含根據本發明的實施例整合進邏輯處理器、建立的應變工程的基於 pMTJ 的 STT-MRAM 記憶體陣列。

[0067] 在進一步的實現中，容納在計算裝置 700 內的另一部件可以含有獨立的積體電路記憶體晶片，其包含一或多個陣列，諸如根據本發明的實施例整合進邏輯處理器、建立的應變工程的基於 pMTJ 的 STT-MRAM 記憶體陣列。

[0068] 在各種實現中，計算裝置 700 可以是膝上型電腦、小筆電、筆記型電腦、超輕薄電腦、智慧手機、平板電腦、個人數位助理（PDA）、超行動 PC、行動電話、桌上電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器或者數位錄影機。在另外的實現中，計算裝置 700 可以用於處理資料的任何其它電子裝置。

[0069] 因此，本發明的一或多個實施例一般關於嵌入式微電子記憶體之製造。該微電子記憶體可以是非揮發性的，其中該記憶體甚至可以在不通電時保留所儲存的資訊。本發明的一或多個實施例關於整合進邏輯處理器的應變工程之基於 pMTJ 的 STT-MRAM 記憶體陣列之製造。這樣陣列可以用來在嵌入式非揮發性記憶體，無論其非揮發性，或作為嵌入式動態隨機存取記憶體（eDRAM）之替代品。例如，這種陣列可用於在給定技術節點內之具競爭性的胞元尺寸之 1T-1X 記憶體或 2T-1X 記憶體（X = 電容器或電阻器）。

[0070] 圖 8 顯示包括本發明之一或多個實施例之中介層 800。中介層 800 是用於將第一基板 802 橋接到第二基板 804 之居間基板。第一基板 802 可以例如是積體電路晶粒。第二基板 804 可以例如是記憶體模組、電腦主機板或另一積體電路晶粒。通常，中介層 800 之目的是散佈連接到更寬之間距和/或將連接重新路由到不同之連接。例如，中介層 800 可以將積體電路晶粒耦接到可以隨後被耦

接到第二基板 804 的球閘陣列 (BGA) 806。在一些實施例中，第一和第二基板 802/804 被附接到中介層 800 的相對側。在其它實施例中，第一和第二基板 802/804 被附接到中介層 800 的相同側。並且在進一步的實施例中，三個或更多的基板係藉由中介層 800 的方式被互連。

[0071] 中介層 800 可以由環氧樹脂、玻璃纖維增強環氧樹脂、陶瓷材料或聚合物材料，如聚醯亞胺形成。在進一步的實現中，中介層可以由可以替代包括上述在半導體基板中使用的相同材料，如矽、鍺以及其它 III-V 族和 IV 族的材料的剛性或柔性材料來形成。

[0072] 中介層可以包括金屬互連 808 和通孔 810，其包含但不限於穿矽通孔 (TSV) 812。中介層 800 可以進一步包括嵌入式裝置 814，其包括被動和主動裝置。這樣的裝置包括但不限於電容、解耦電容、電阻、電感、熔斷器、二極體、變壓器、感測器和靜電放電 (ESD) 裝置。更複雜的裝置，如射頻 (RF) 裝置、功率放大器、功率管理裝置、天線、陣列、感測器和 MEMS 裝置也可以在中介層 800 上形成。根據本發明的實施例，本文揭露的設備或程序可以用於製造中介層 800。

[0073] 因此，本發明的實施例包含用於垂直磁性穿隧界面 (pMTJ) 之應變工程的方法，及所得結構。

[0074] 在實施例中，一種記憶體結構，包含設置在基板上的垂直磁性穿隧界面 (pMTJ) 元件。側向應變誘發材料層係設置在該 pMTJ 元件上。層間介電 (ILD) 層

係側向相鄰於該 pMTJ 元件和該側向應變誘發材料層兩者設置。該 ILD 層具有與該側向應變誘發材料層的最上表面共面或實質上共面的最上表面。

[0075] 在一個實施例中，該側向應變誘發材料層為壓縮側向應變誘發材料層。

[0076] 在一個實施例中，該壓縮側向應變誘發材料層包含從由鈦和鎢組成的群組中選出的材料。

[0077] 在一個實施例中，該側向應變誘發材料層為拉伸側向應變誘發材料層。

[0078] 在一個實施例中，該拉伸側向應變誘發材料層包含鉍襯裡和銅填充材料堆疊。

[0079] 在一個實施例中，該 pMTJ 元件係設置在導電基座上。

[0080] 在一個實施例中，該 ILD 層也側向相鄰於該導電基座。

[0081] 在實施例中，一種製造記憶體結構的方法，包含：形成在基板上的垂直磁性穿隧接面（pMTJ）元件，該 pMTJ 具有形成在其上的硬掩模層。該方法也包含形成側向相鄰於該 pMTJ 元件和該硬掩模層兩者的層間介電（ILD）層。該方法也包含至少部分地將該硬掩模層凹陷以形成在該 ILD 中的開口。該方法也包含形成在該 ILD 層上和該開口中的應變誘發材料。該方法也包含將該應變誘發材料平坦化以暴露該 ILD 層並形成該 pMTJ 元件上的側向應變誘發材料層。

[0082] 在一個實施例中，至少部分地將該硬掩模層凹陷包含完全去除該硬掩模層。

[0083] 在一個實施例中，該硬掩模層為金屬或導電硬掩模層。

[0084] 在一個實施例中，該硬掩模層為介電或絕緣硬掩模層。

[0085] 在一個實施例中，形成該應變誘發材料包含形成壓縮側向應變誘發材料。

[0086] 在一個實施例中，形成該壓縮側向應變誘發材料包含形成從由化學氣相沉積的鈦材料、原子層沉積的鈦材料和化學氣相沉積的鎢組成的群組中選出的材料。

[0087] 在一個實施例中，形成該應變誘發材料包含形成拉伸側向應變誘發材料。

[0088] 在一個實施例中，形成該拉伸側向應變誘發材料包含形成從由鈹襯裡和銅填充材料堆疊、藉由物理氣相沉積形成金屬膜和金屬種子與電鍍金屬材料堆疊組成的群組中選出的材料。

[0089] 在實施例中，一種半導體結構，包含設置在第一介電層中的複數個金屬 2 (M2) 線/通孔 1 (V1) 配對，該第一介電層設置在基板上。該半導體結構也包含設置在第二介電層中的複數個金屬 3 (M3) 線/通孔 2 (V2) 配對和複數個垂直磁性穿隧接面 (pMTJ)，該第二介電層設置在該第一介電層上，該複數個 M3/V2 配對耦接到該複數個 M2/V1 配對的第一部分，以及該複數個

pMTJ 耦接到該複數個 M2/V1 配對的第二部分。該複數個 pMTJ 中的每一個具有包含 MTJ 材料堆疊上的側向應變誘發材料層的頂部電極。該半導體結構也包含設置在第三介電層中的複數個金屬 4 (M4) 線/通孔 3 (V3) 配對和複數個金屬 4 (M4) 線/至接面通孔 (VTJ) 配對，該第三介電層設置在該第二介電層上，該複數個 M4/V3 配對耦接到該複數個 M3/V2 配對，以及該複數個 M4/VTJ 配對耦接到該複數個 pMTJ。

[0090] 在一個實施例中，該側向應變誘發材料層為壓縮側向應變誘發材料層。

[0091] 在一個實施例中，該側向應變誘發材料層為拉伸側向應變誘發材料層。

[0092] 在一個實施例中，該複數個 pMTJ 中的每一個係設置在複數個導電基座中的對應一個上，該複數個導電基座設置在該第二介電層中。

[0093] 在一個實施例中，該複數個導電基座中的每一個包含從由氮化鈦、氮化鋁、鋁、鈮和鈷組成的群組中選出的材料。

[0094] 在一個實施例中，該複數個導電基座中的每一個比設置在其上的該複數個 pMTJ 中的該對應一個更寬。

[0095] 在一個實施例中，該半導體結構還包含沿著該複數個 pMTJ 中的每一個的側壁設置的介電間隔層。

[0096] 在一個實施例中，該介電間隔層延伸到該複

數個導電基座中的每一個的暴露頂表面上。

【符號說明】

[0097]

- 100：基板
- 102：MTJ 堆疊
- 104：層間介電（ILD）層
- 106：硬掩模層
- 108：溝槽
- 110：開口
- 112：應變工程材料
- 114：應變工程層
- 201：pMTJ 裝置
- 202：pMTJ 材料堆疊
- 205：基板
- 207：電極
- 220：固定磁性材料層或堆疊
- 230：穿隧介電材料層
- 260：自由磁性材料層（或堆疊）
- 270：介電材料層
- 280：電極
- 300：曲線圖
- 400：曲線圖
- 500：結構

- 502 : 邏輯區
- 504 : STT-MRAM 陣列區
- 506 : 結構
- 508 : 金屬 2 (M2)
- 510 : 通孔 1 (V1)
- 512 : 層間介電層
- 514 : 蝕刻停止層
- 516 : 導電基座
- 518 : pMTJ 堆疊
- 520 : 層間介電層
- 522 : 蝕刻停止層
- 524 : 導電層
- 526 : 介電間隔層
- 528 : 自由層 MTJ 膜
- 530 : 介電或穿隧層
- 532 : 固定層 MTJ 膜
- 534 : 頂部電極
- 536 : 蝕刻停止層
- 538 : 金屬 4 (M4)
- 540 : 至接面通孔 (VTJ)
- 542 : 層間介電層
- 550 : 金屬 2 (M2)
- 552 : 通孔 1 (V1)
- 554 : 金屬 3 (M3)

- 556 : 通孔 2 (V2)
- 558 : 金屬 4 (M4)
- 560 : 通孔 3 (V3)
- 600 : 電子系統
- 602 : 微處理器
- 604 : 處理器
- 606 : 控制單元
- 608 : 記憶體裝置
- 610 : 輸入/輸出裝置
- 700 : 計算裝置
- 702 : 板
- 704 : 處理器
- 706 : 通訊晶片
- 800 : 中介層
- 802 : 第一基板
- 804 : 第二基板
- 806 : 球閘陣列 (BGA)
- 808 : 金屬互連
- 810 : 通孔
- 812 : 穿矽通孔 (TSV)
- 814 : 嵌入式裝置

申請專利範圍

1. 一種記憶體結構，包含：
設置在基板上的垂直磁性穿隧接面（pMTJ）元件；
設置在該 pMTJ 元件上的側向應變誘發材料層；以及
側向相鄰於該 pMTJ 元件和該側向應變誘發材料層兩者設置的層間介電（ILD）層，該 ILD 層具有與該側向應變誘發材料層的最上表面共面或實質上共面的最上表面。
2. 如申請專利範圍第 1 項的記憶體結構，其中該側向應變誘發材料層為壓縮側向應變誘發材料層。
3. 如申請專利範圍第 2 項的記憶體結構，其中該壓縮側向應變誘發材料層包含從由鈦和鎢組成的群組中選出的材料。
4. 如申請專利範圍第 1 項的記憶體結構，其中該側向應變誘發材料層為拉伸側向應變誘發材料層。
5. 如申請專利範圍第 4 項的記憶體結構，其中該拉伸側向應變誘發材料層包含鉍襯裡和銅填充材料堆疊。
6. 如申請專利範圍第 1 項的記憶體結構，其中該 pMTJ 元件係設置在導電基座上。
7. 如申請專利範圍第 1 項的記憶體結構，其中該 ILD 層也側向相鄰於該導電基座。
8. 一種製造記憶體結構的方法，該方法包含：
形成在基板上的垂直磁性穿隧接面（pMTJ）元件，
該 pMTJ 具有形成在其上的硬掩模層；
形成側向相鄰於該 pMTJ 元件和該硬掩模層兩者的層

間介電 (ILD) 層；

至少部分地將該硬掩模層凹陷以形成在該 ILD 中的開口；

形成在該 ILD 層上和在該開口中的應變誘發材料；以及

將該應變誘發材料平坦化以暴露該 ILD 層並形成該 pMTJ 元件上的側向應變誘發材料層。

9.如申請專利範圍第 8 項的方法，其中至少部分地將該硬掩模層凹陷包含完全去除該硬掩模層。

10.如申請專利範圍第 8 項的方法，其中該硬掩模層為金屬或導電硬掩模層。

11.如申請專利範圍第 8 項的方法，其中該硬掩模層為介電或絕緣硬掩模層。

12.如申請專利範圍第 8 項的方法，其中形成該應變誘發材料包含形成壓縮側向應變誘發材料。

13.如申請專利範圍第 12 項的方法，其中形成該壓縮側向應變誘發材料包含形成從由化學氣相沉積的鈦材料、原子層沉積的鈦材料和化學氣相沉積的鎢組成的群組中選出的材料。

14.如申請專利範圍第 8 項的方法，其中形成該應變誘發材料包含形成拉伸側向應變誘發材料。

15.如申請專利範圍第 14 項的方法，其中形成該拉伸側向應變誘發材料包含形成從由鈹襯裡和銅填充材料堆疊、藉由物理氣相沉積形成金屬膜和金屬種子與電鍍金屬

材料堆疊組成的群組中選出的材料。

16.一種半導體結構，包含：

設置在第一介電層中的複數個金屬 2 (M2) 線/通孔 1 (V1) 配對，該第一介電層設置在基板上；

設置在第二介電層中的複數個金屬 3 (M3) 線/通孔 2 (V2) 配對和複數個垂直磁性穿隧接面 (pMTJ)，該第二介電層設置在該第一介電層上，該複數個 M3/V2 配對耦接到該複數個 M2/V1 配對的第一部分，以及該複數個 pMTJ 耦接到該複數個 M2/V1 配對的第二部分，其中該複數個 pMTJ 中的每一個具有包含 MTJ 材料堆疊上的側向應變誘發材料層的頂部電極；以及

設置在第三介電層中的複數個金屬 4 (M4) 線/通孔 3 (V3) 配對和複數個金屬 4 (M4) 線/至接面通孔 (VTJ) 配對，該第三介電層設置在該第二介電層上，該複數個 M4/V3 配對耦接到該複數個 M3/V2 配對，以及該複數個 M4/VTJ 配對耦接到該複數個 pMTJ。

17.如申請專利範圍第 16 項的半導體結構，其中該側向應變誘發材料層為壓縮側向應變誘發材料層。

18.如申請專利範圍第 16 項的半導體結構，其中該側向應變誘發材料層為拉伸側向應變誘發材料層。

19.如申請專利範圍第 16 項的半導體結構，其中該複數個 pMTJ 中的每一個係設置在複數個導電基座中的對應一個上，該複數個導電基座設置在該第二介電層中。

20.如申請專利範圍第 19 項的半導體結構，其中該複

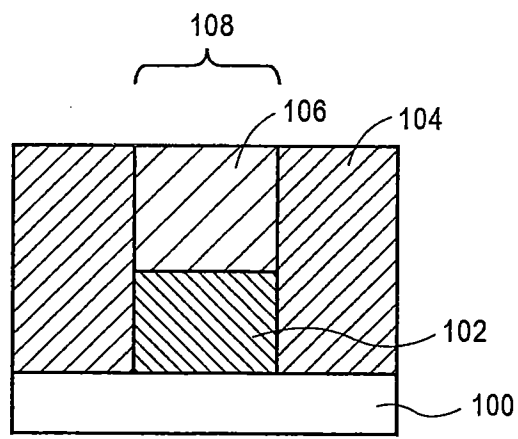
數個導電基座中的每一個包含從由氮化鈦、氮化鋁、鋁、鈦和鈷組成的群組中選出的材料。

21.如申請專利範圍第 19 項的半導體結構，其中該複數個導電基座中的每一個比設置在其上的該複數個 pMTJ 中的該對應一個更寬。

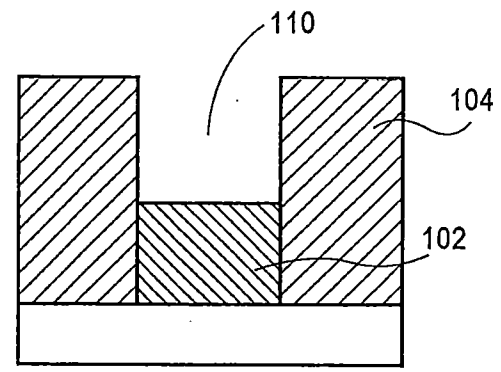
22.如申請專利範圍第 21 項的半導體結構，還包含：
沿著該複數個 pMTJ 中的每一個的側壁設置的介電間隔層。

23.如申請專利範圍第 22 項的半導體結構，其中該介電間隔層延伸到該複數個導電基座中的每一個的暴露頂表面上。

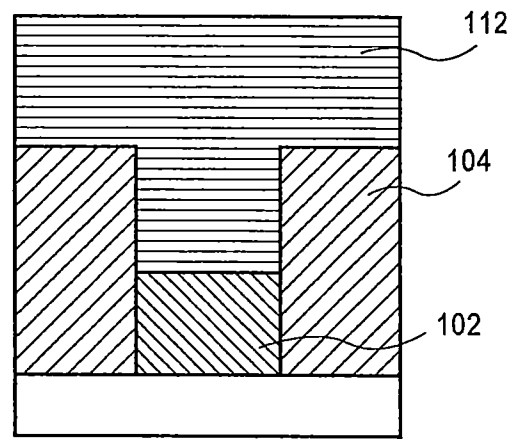
圖式



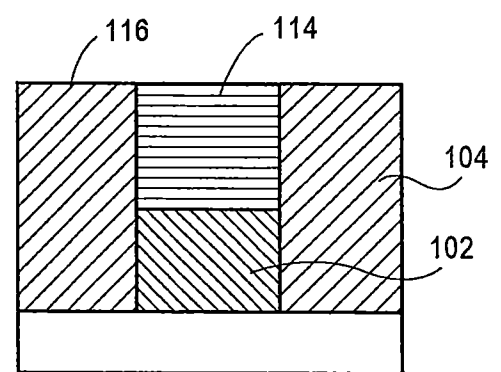
(a)



(b)



(c)



(d)

圖 1

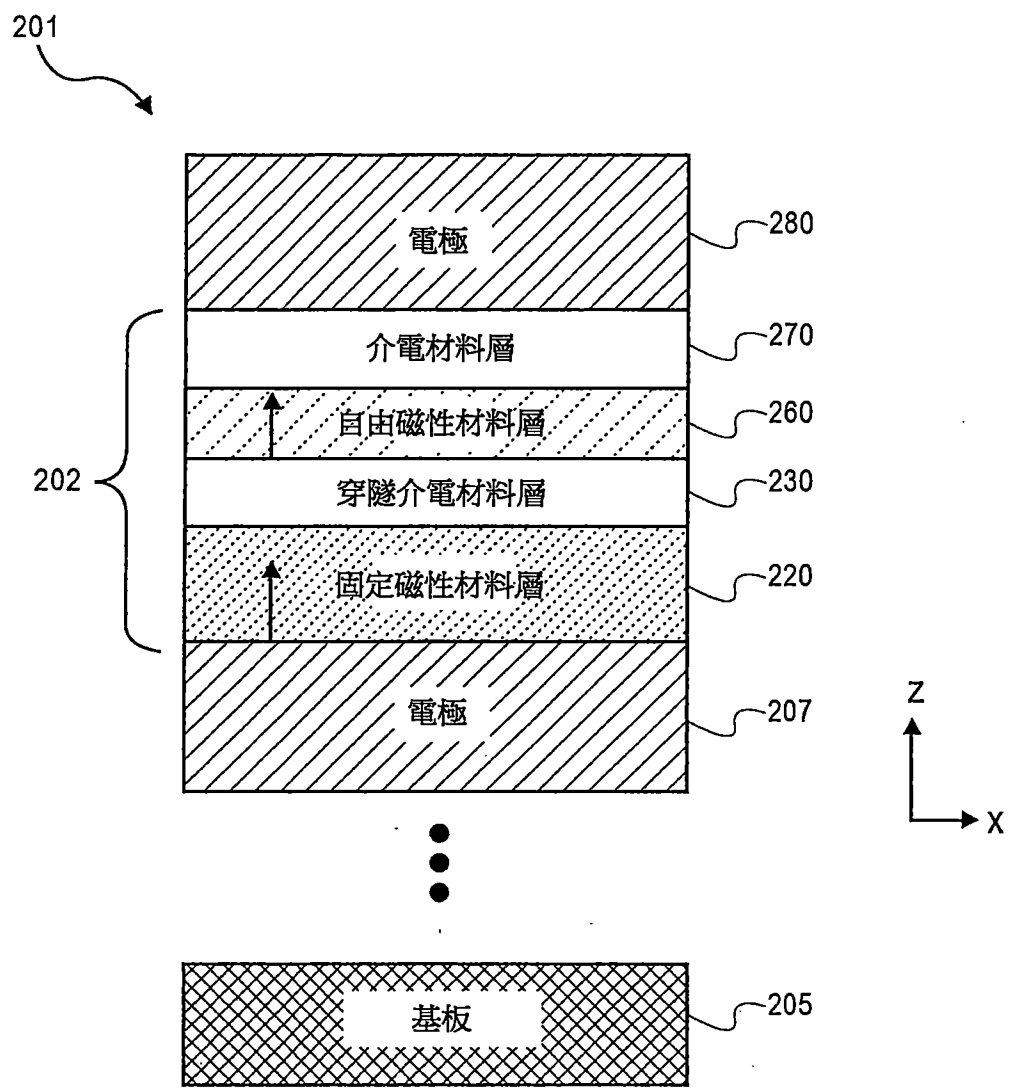
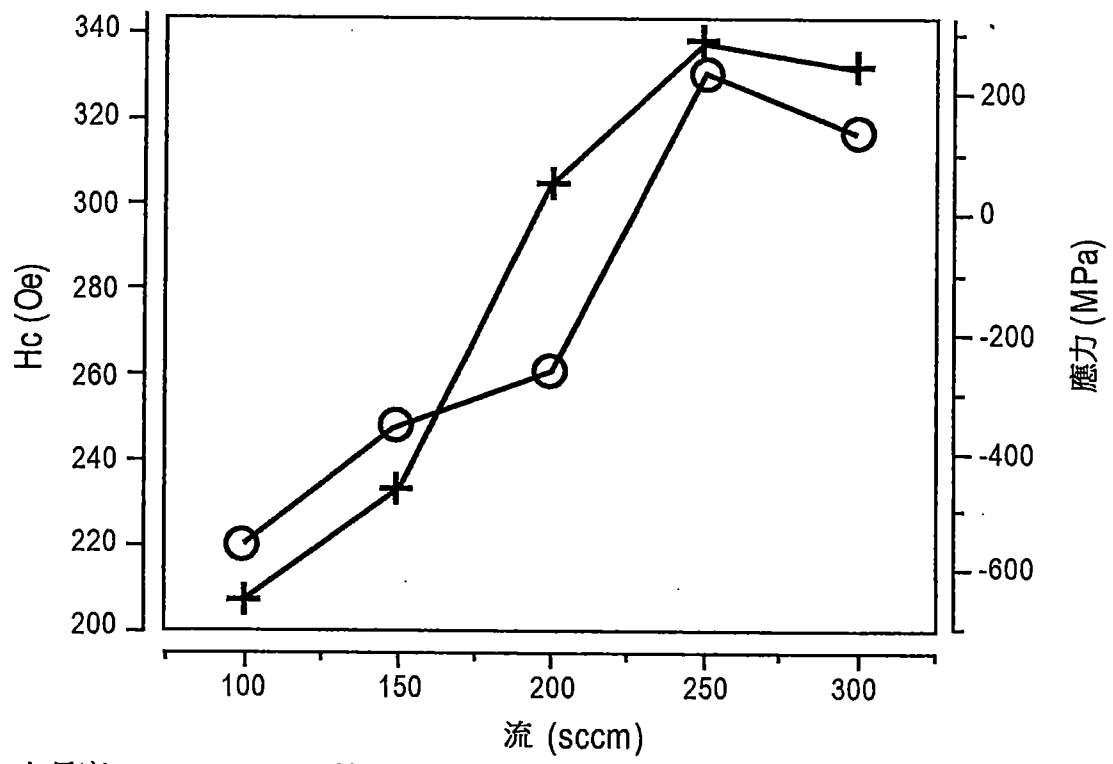


圖 2

300



左尺度:

○ — Hc (Oe)

右尺度:

+ — 應力 (MPa)

圖 3

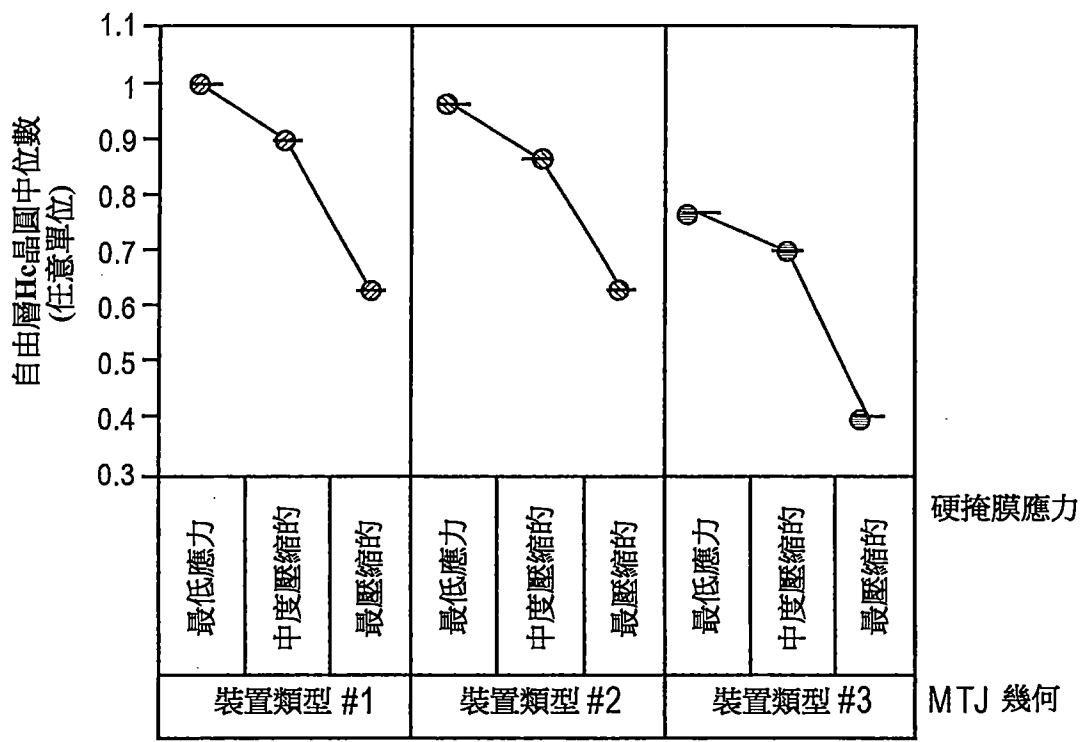


圖 4

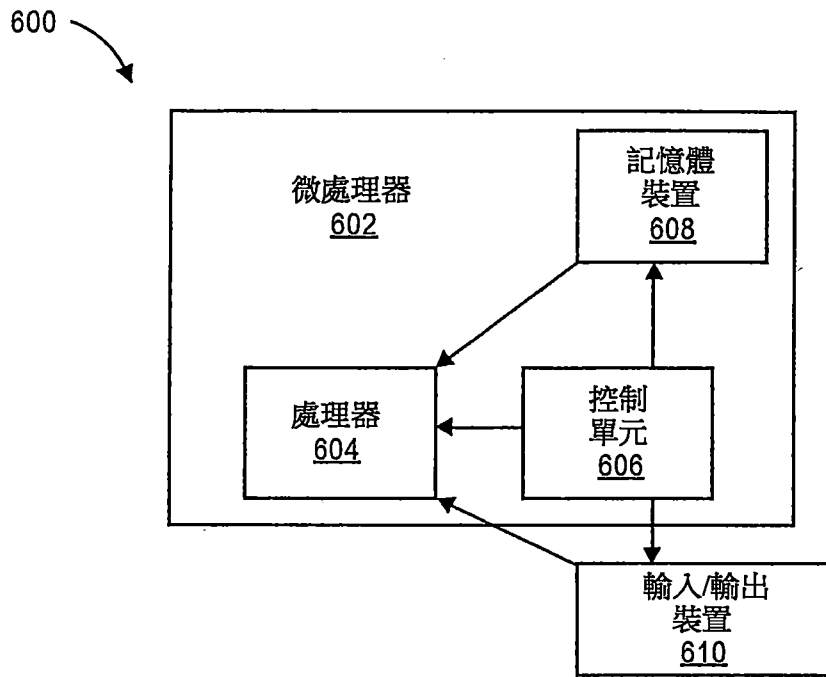


圖 6

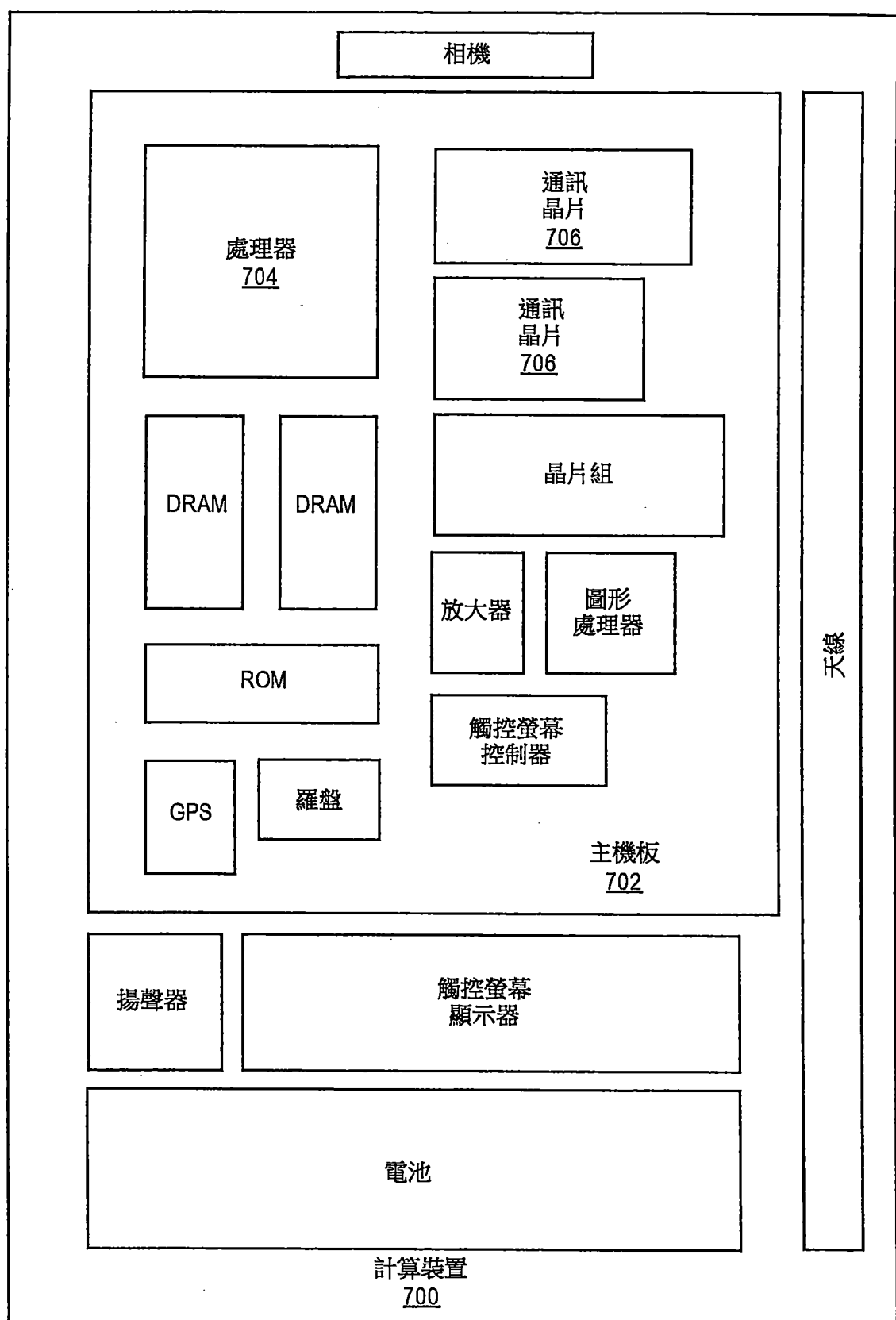


圖 7

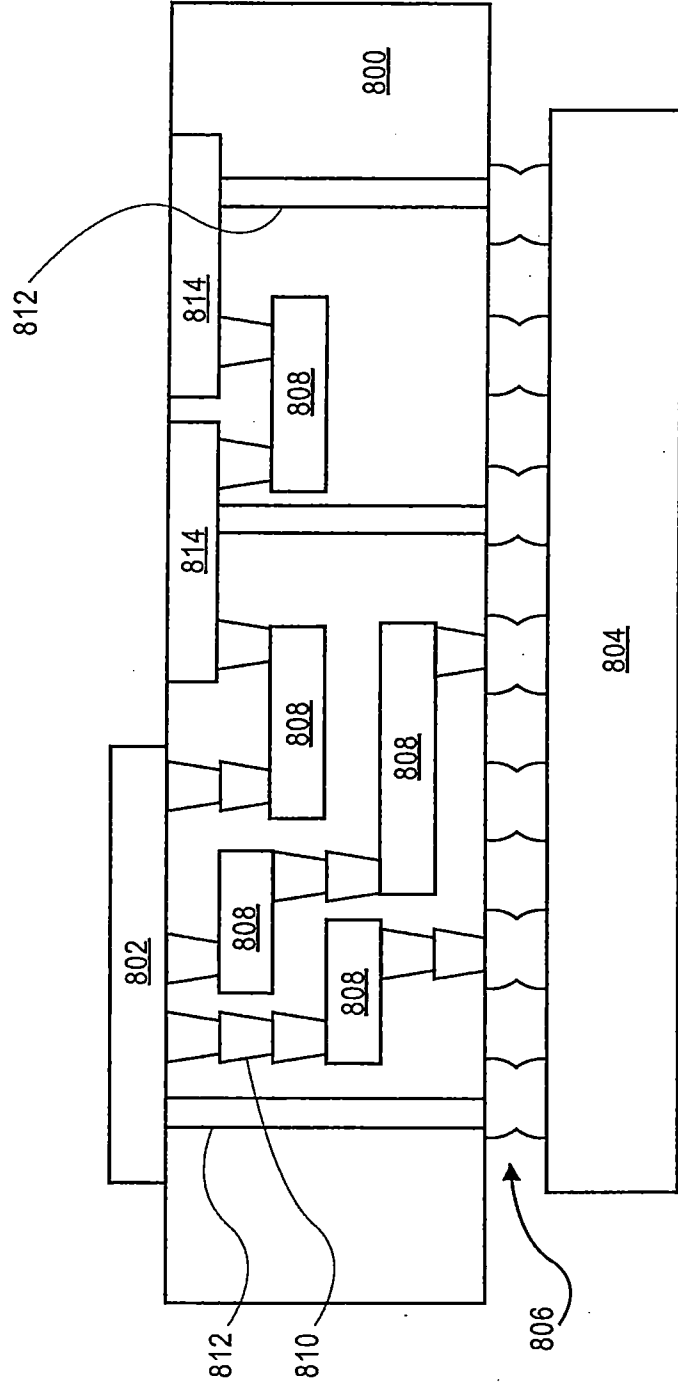


圖 8