



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) DE 11 2007 003 069 T5 2009.10.08

(12)

Veröffentlichung

der internationalen Anmeldung mit der
 (87) Veröffentlichungs-Nr.: **WO 2008/076988**
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
 (21) Deutsches Aktenzeichen: **11 2007 003 069.0**
 (86) PCT-Aktenzeichen: **PCT/US2007/087806**
 (86) PCT-Anmeldetag: **17.12.2007**
 (87) PCT-Veröffentlichungstag: **26.06.2008**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **08.10.2009**

(51) Int Cl.⁸: **G06F 12/04 (2006.01)**
G06F 12/00 (2006.01)
G11C 16/06 (2006.01)

(30) Unionspriorität:
11/645,043 21.12.2006 US

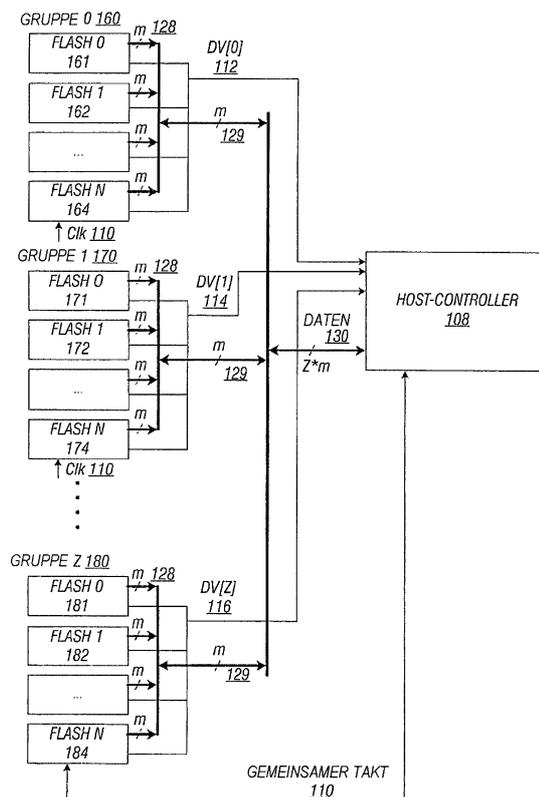
(74) Vertreter:
BOEHMERT & BOEHMERT, 28209 Bremen

(71) Anmelder:
Intel Corporation, Santa Clara, Calif., US

(72) Erfinder:
**Rozman, Rod, Placerville, Calif., US; Eilert, Sean,
 Penryn, Calif., US; Qawami, Shekoufeh, El Dorado
 Hills, Calif., US; Hinton, Glenn, Portland, Oreg., US**

(54) Bezeichnung: **Mit Hochgeschwindigkeit arbeitende, aufgefächerte Systemarchitektur und Eingabe/Ausgabe-Schaltungen für nicht flüchtigen Speicher**

(57) Hauptanspruch: System, das aufweist:
 einen Controller; und
 eine Vielzahl von Gruppen aus Speichereinheiten, die mit dem Controller über eine Kopplungsstruktur gekoppelt sind, wobei jede aus der Vielzahl der Gruppen aus Speichereinheiten eine Vielzahl von Speichereinheiten umfasst, wobei Daten, die zu oder von jeder aus der Vielzahl der Gruppen von Speichereinheiten übertragen werden soll, zeitlich auf der Kopplungsstruktur multiplexiert wird, und wobei ein Daten-gültig-Signal zwischen jeder aus der Vielzahl der Gruppen von Speichereinheiten und dem Controller zur Verfügung gestellt wird.



Beschreibung

HINTERGRUND

[0001] NAND-Flash-Speichereinheiten werden typischerweise verwendet, um Daten zu speichern, die in großen Blöcken ausgelesen werden sollen, so wie digitalisierte Bilder, Ton oder Video. Herkömmliche NAND-Speicher stellen Bandbreite über $\times 8$ oder $\times 16$ Schnittstellen im Bereich von ungefähr zehn oder mehr Megabytes pro Sekunde zur Verfügung. Typische Architekturen für NAND-Anordnungen können eine ähnliche Bandbreite für Anordnung zu Seitenpuffer unterstützen. Mit dieser relativ guten Übereinstimmung zwischen der Bandbreite der Anordnung und der Bandbreite der Schnittstelle sind Datengeschwindigkeiten zu dem Host relativ gut optimiert, wenn eine einzige NAND-Einheit in dem System realisiert ist. Wenn jedoch mehrere NAND-Einheiten eine Schnittstelle zum dem Host gemeinsam nutzen, wird die Schnittstelle zu einem Engpass.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0002] Ein besseres Verständnis für Ausführungsformen der vorliegenden Erfindung kann aus der folgenden genauen Beschreibung im Zusammenhang mit den folgenden Zeichnungen erhalten werden, wobei:

[0003] [Fig. 1](#) eine Veranschaulichung einer Speicher/Host-Controllerschnittstelle gemäß einigen Ausführungsformen ist.

[0004] [Fig. 2A](#) und [Fig. 2B](#) sind Zeitablaufdiagramme gemäß einigen Ausführungsformen.

[0005] [Fig. 3](#) ist eine Veranschaulichung eines für Hochgeschwindigkeit ausgelegten Eingangsweges gemäß einigen Ausführungsformen.

[0006] [Fig. 4](#) ist eine Veranschaulichung eines für Hochgeschwindigkeit ausgelegten Ausgangsweges gemäß einigen Ausführungsformen.

GENAUE BESCHREIBUNG

[0007] In der folgenden Beschreibung sind zu Zwecken der Erläuterung zahlreiche Einzelheiten aufgeführt, um für ein gründliches Verständnis der Ausführungsformen der vorliegenden Erfindung zu sorgen. Es wird jedoch einem Fachmann deutlich werden, dass diese bestimmten Einzelheiten nicht erforderlich sind, um die vorliegende Erfindung, wie sie hier nach beansprucht wird, in die Praxis umzusetzen. Zum Beispiel, obwohl einige Ausführungsformen mit Bezug auf Flash-Speichereinheiten und insbesondere auf eine NAND-Flash-Speichereinheit, beschrieben sind, können Ausführungsformen ebenfalls bei anderen Speichertypen anwendbar sein, einschließ-

lich, jedoch nicht darauf beschränkt, bei NOR-Flash-Speichereinheiten und bitweise änderbaren Speichern, so wie Phasenwechselspeichern. Ebenso, obwohl bestimmte Speichergrößen hierin erwähnt sind, sollte verstanden werden, dass diese lediglich zum Zwecke der Veranschaulichung als Beispiel dienen, und dass größere oder kleinere Speichergrößen, Puffergrößen, Bus- oder Kopplungsstrukturweiten etc., auch bei anderen Ausführungsformen verwendet werden können.

[0008] In der folgenden Beschreibung und in den Ansprüchen können die Ausdrücke "umfassen" und "aufweisen" zusammen mit Ableitungen verwendet werden, und es ist beabsichtigt, dass sie als Synonyme füreinander behandelt werden. Zusätzlich können in der folgenden Beschreibung und in den Ansprüchen die Ausdrücke "gekoppelt" und "verbunden" zusammen mit ihren Ableitungen verwendet werden. Es sollte verstanden werden, dass diese Ausdrücke nicht als Synonyme füreinander gedacht sind. Statt dessen kann bei bestimmten Ausführungsformen "verbunden" verwendet werden, um anzugeben, dass zwei oder mehr Elemente in direktem physikalischen oder elektrischen Kontakt miteinander sind. "Gekoppelt" kann bedeuten, dass zwei oder mehr Elemente in direktem physikalischen oder elektrischen Kontakt sind. "Gekoppelt" kann jedoch ebenfalls bedeuten, dass zwei oder mehr Elemente nicht in direktem Kontakt miteinander sind, jedoch weiterhin zusammenarbeiten oder miteinander Wechselwirken.

[0009] [Fig. 1](#) veranschaulicht eine Speicher/Host-Controllerschnittstelle nach einigen Ausführungsformen. Eine Vielzahl von Gruppen von Speichereinheiten (**160, 170, 180**) ist über einen Bus oder eine Kopplungsstruktur **130** an einen Host-Controller (**108**) gekoppelt. Jede Gruppe aus Speichereinheiten (**160, 170, 180**) kann eine Vielzahl von Speichereinheiten **161–164, 171–174** bzw. **181–184** in einer aufgefächerten Konfiguration umfassen.

[0010] Bei manchen Ausführungsformen kann die Anzahl der Gruppen aus Speichereinheiten, Z, gleich 4 sein, jedoch kann es bei anderen Ausführungsformen mehr oder weniger Gruppen geben. Die Frequenz der Schnittstelle kann weitgehend durch die Anzahl der Gruppen, Z, festgelegt sein, aufgrund der Kapazität, die durch jede zusätzliche Einheit hinzugefügt wird, welche die Datensignale mit nutzt. Somit kann die Anzahl der Gruppen, Z, durch Anforderungen der Systemgestaltung beschränkt sein, einschließlich, jedoch nicht beschränkt auf die Schnittstellenfrequenz und/oder die Datenleitungskapazität.

[0011] Bei manchen Ausführungsformen kann die Anzahl der Speichereinheiten in jeder Gruppe gleich 4 sein, jedoch kann es bei anderen Ausführungsformen mehr oder weniger Einheiten in jeder Gruppe

geben. Bei manchen Ausführungsformen ist jede der Speichereinheiten eine nicht flüchtige Speichereinheit, so wie eine NAND-Flash-Speichereinheit.

[0012] Jede Speichereinheit kann eine m Bit breite Datenschnittstelle (**128**) haben. Daten von allen Flash-Einheiten in einer Gruppe (z. B. **161–164**) können auf einer Kopplungsstruktur (**129**) mit m Bit zeitlich multiplexiert werden. Auf diese Weise kann an der Speichereinheit die Pin-Bandbreite optimiert werden. Bei manchen Ausführungsformen kann m gleich 1, 2, 4, 8, 16 oder irgendeine andere vernünftige Anzahl von Bits sein. Diese Anzahl kann basierend auf der Gestaltung des Host-Controllers bestimmt werden oder kann durch Kosten beschränkt sein.

[0013] Die Host-Controllereinheit (**108**) kann eine Datenschnittstelle (**130**) haben, die $Z \cdot m$ Bit breit ist, wobei Z gleich der Anzahl der Gruppen von Speichereinheiten ist und m gleich der Breite, in Bit, der Datenschnittstelle bei jeder Flash-Speichereinheit in der Gruppe ist.

[0014] Der Host-Controller (**108**) oder eine andere Einheit (nicht gezeigt) in dem System kann ein Taktsignal (**110**) erzeugen, das jeder Speichereinheit in dem System zur Verfügung gestellt wird. Das Taktsignal kann verwendet werden, um die Notwendigkeit einer unabhängigen Takterzeugung durch die Speichereinheiten zu beseitigen.

[0015] Um die Synchronisation zwischen den Puffer des Host-Controllers und den Puffer der Speichereinheiten zu vereinfachen, kann ein Daten-gültig(DV – Data Valid)-Signal (**112, 114, 116**) zwischen jeder Gruppe der Einheiten (**160, 170, 180**) und dem Host-Controller (**108**) zur Verfügung gestellt werden. Somit kann bei manchen Ausführungsformen die Schnittstelle zwischen den Flash-Speichereinheiten und dem Host-Controller eine asynchrone Schnittstelle sein. Verzögerungsketten können den Daten(**130**)- oder den Daten-gültig(**112, 114, 116**)-Signale am empfangenden Ende der Schnittstelle hinzugefügt werden, um sicherzustellen, dass Installation und Haltezeit für Eingabe-Auffangregister erfüllt sind. Die Daten-gültig-Signale (**112, 114, 116**) und die Datensignale (**130**) können so synchronisiert werden, dass Daten an dem empfangenden Ende der Schnittstelle mit geeigneten Zeitgebungen aufgefangen werden.

[0016] Wenn eine aufgefächerte Speicherschnittstelle verwendet wird, so wie die, die in der [Fig. 1](#) veranschaulicht ist, können Arbeitsschritte bei der Anordnung parallel bei allen Speichereinheiten in dem System geschehen. Zum Beispiel könne alle Einheiten in der Speicherbank (**161–164, 171–174, 181–184**) gleichzeitig eine Leseoperation in der Anordnung ausführen oder können gleichzeitig eine Schreiboperation in der Anordnung ausführen. Wei-

terhin können einige Einheiten eine Leseoperation in der Anordnung ausführen, während andere Einheiten gleichzeitig eine Schreiboperation in der Anordnung ausführen können.

[0017] Die Speicherschnittstelle der [Fig. 1](#) kann auch in der Lage sein, Befehle für den Modus einzelner Einheiten zu unterstützen und Befehle rundzusenden, die alle Einheiten beeinflussen.

[0018] Jede Speichereinheit kann ein oder mehrere Konfigurationsregister umfassen, um die Einheit zur Verwendung in einer aufgefächerten Konfiguration zu konfigurieren. Das/die Konfigurationsregister können in einen logischen Block innerhalb der Flash-Speichereinheit integriert sein, so wie einen Schieberegister-Steuerlogikblock, oder können von der Schieberegister-Steuerlogik unabhängig sein. Zusätzlich kann der Host-Controller (**108**) ein Konfigurationsregister umfassen, das verwendet werden kann, um alle Register der Speicher gleichzeitig zu konfigurieren.

[0019] Die [Fig. 2A](#) und [Fig. 2B](#) veranschaulichen die Beziehung zwischen den Datensignalen und dem Daten-gültig-Signal für Lesevorgänge und Schreibvorgänge in den und aus dem Speicher. Bei manchen Ausführungsformen können die Daten nur an der ansteigenden Kante des Daten-gültig-Signals aufgefangen werden. Bei anderen Ausführungsformen können die Daten sowohl an den ansteigenden als auch an den abfallenden Kanten des Daten-gültig-Signals aufgefangen werden. Bei noch weiteren Ausführungsformen können die Daten an einer ansteigenden und/oder einer abfallenden Kante eines Taktsignals aufgefangen werden. Bei noch weiteren Ausführungsformen können die Daten basierend auf einer Kombination des Daten-gültig- und des Taktsignals aufgefangen werden. Zum Beispiel können die Daten auf der ansteigenden und/oder der abfallenden Kante des Taktsignals nur dann aufgefangen werden, wenn das Daten-gültig-Signal festgestellt wird.

[0020] [Fig. 2A](#) ist ein Zeitdiagramm für einzelne Lesevorgänge und Schreibvorgänge von Daten an Kanten. Die Daten (**402**) werden nur an der ansteigenden Kante des Daten-gültig-Signals (**404**) gesperrt. Bei anderen Ausführungsformen können die Daten (**402**) nur an der abfallenden Kante des Daten-gültig-Signals (**404**) gesperrt werden.

[0021] [Fig. 2B](#) ist ein Zeitdiagramm für Lesevorgänge und Schreibvorgänge von Daten, die an beiden Kanten auftreten. Hier werden die Daten (**402**) sowohl an der ansteigenden als auch an der abfallenden Kante des Daten-gültig-Signals (**406**) aufgefangen.

[0022] Bei manchen Ausführungsformen kann die Speichereinheit der [Fig. 1](#) mit Hochgeschwindigkeit

arbeitende Eingabe- und Ausgabeschaltung haben. Die mit Hochgeschwindigkeit arbeitende Eingabe- und Ausgabeschaltung kann es der Speichereinheit erlauben, Daten mit einer höheren Datengeschwindigkeit einzugeben und auszugeben, als es die interne Lese/Schreib-Schaltung der Speichereinheit erlaubt.

[0023] [Fig. 3](#) veranschaulicht einen für Hochgeschwindigkeit ausgelegten Eingangsweg für eine Speichereinheit gemäß einigen Ausführungsformen. Die Speichereinheit kann eine NAND-Flash-Speichereinheit sein oder kann eine andere nicht flüchtige Speichereinheit sein.

[0024] Daten werden in die Speichereinheit an einem Eingangsanschluss (202) und in einen Eingabepuffer (204) eingegeben. Die Daten können dann aus dem Eingabepuffer (204) in einen aus einer Vielzahl von mit Hochgeschwindigkeit arbeitenden Eingabepuffern (240, 250, 260, 270) übertragen werden.

[0025] Jeder mit Hochgeschwindigkeit arbeitende Eingabepuffer (240, 250, 260, 270) umfasst einen Demultiplexer (246) und einen Multiplexer (248) und wenigstens zwei Schieberegister (242, 244), die parallel angeordnet sind. Eingaben in den mit Hochgeschwindigkeit arbeitenden Eingabepuffer können ein Schieberegister-Ausgabeauswahlsignal (212) und eine Schieberegister-Ladeauswahlsignal (218) umfassen, ebenso wie ein Schieberegister 0-Ladeauswahl(214)- und -Leseauswahl(216)-Signal und eine Schieberegister 1-Ladeauswahl(220)- und -Leseauswahl(222)-Signal. Diese Signale können alle von der Schieberegister-Steuerlogik 210 erzeugt werden und können so arbeiten, dass sie das erste und das zweite Schieberegister konfigurieren, um Daten zu empfangen oder zu senden. Ein Daten-gültig-Signal (208) oder ein Taktsignal (206) kann ebenfalls in den mit Hochgeschwindigkeit arbeitenden Eingabepuffer eingegeben werden.

[0026] Zu irgendeiner vorgegebenen Zeit kann das erste Schieberegister (242) Daten von dem Eingabepuffer (204) mit einer hohen Geschwindigkeit laden, während das zweite Schieberegister (244) Daten an die interne Schreiblogikschaltung (280) mit einer niedrigeren Geschwindigkeit überträgt. Die Daten, die an die Schreiblogik (280) übertragen werden, werden anschließend in die Speicheranordnung geschrieben.

[0027] Die Schieberegister-Steuerlogik (210) bestimmt, welches Schieberegister Daten aus dem Eingabepuffer lädt und welches Daten an die Schreiblogik überträgt, indem die geeigneten Schieberegister-Auswahlsignale (SR_Sel) (212, 214, 216, 218, 220, 222) erzeugt werden, um die Schieberegister zu konfigurieren, wie es oben beschrieben worden ist. Wenn jedes Schieberegister seine jeweilige Lade-

oder Übertragungsoperation beendet hat, werden die Operationen von der Schieberegister-Steuerlogik (210) vertauscht, und das erste Schieberegister (242) überträgt dann seine geladenen Daten an die Schreiblogik (280), während das zweite Schieberegister (244) mit Daten von dem Eingabepuffer (204) geladen wird. Durch Hin- und Herschalten der Schieberegister auf diese Weise, bis eine NAND-Schreiboperation beendet ist, ist die mit Hochgeschwindigkeit arbeitende Schnittstelle zwischen dem Host-Controller und der Speichereinheit nicht durch die relativ langsamen Schreiboperationen in die NAND-Flash-Speicheranordnung eingeschränkt. Bei manchen Ausführungsformen können Daten an dem Eingangsanschluss mit Geschwindigkeiten von mehr als 400 MHz empfangen werden, während Daten in die Speicheranordnung mit ungefähr 40 MHz geschrieben werden können.

[0028] Bei manchen Ausführungsformen können die Schieberegister (242, 244) Schieberegister mit 128 Bit sein. Bei anderen Ausführungsformen können die Schieberegister Schieberegister mit 64 Bit sein. Bei noch anderen Ausführungsformen können Schieberegister mit anderen Größen verwendet werden.

[0029] Die Daten-gültig(208) oder Takt(206)-Signale werden verwendet, um Daten zur geeigneten Zeit in den Schieberegistern aufzufangen.

[0030] Eine Vielzahl von mit Hochgeschwindigkeit arbeitenden Eingabepuffern (240, 250, 260, 270) kann parallel arbeiten, um der Schreiblogik Daten zur Verfügung zu stellen, die in eine NAND-Speicheranordnung geschrieben werden sollen. Bei einer Ausführungsform kann eine NAND-Speichereinheit acht mit Hochgeschwindigkeit arbeitende Eingabepuffer umfassen, um 64 Bit Daten an die Schreiblogik zu liefern, jedoch können bei anderen Ausführungsformen mehr oder weniger als acht mit Hochgeschwindigkeit arbeitende Eingabepuffer verwendet werden.

[0031] [Fig. 4](#) veranschaulicht einen für Hochgeschwindigkeit ausgelegten Ausgangsweg gemäß einigen Ausführungsformen. Der für Hochgeschwindigkeit ausgelegte Ausgangsweg arbeitet in einer ähnlichen Weise wie der für Hochgeschwindigkeit ausgelegte Eingangsweg, der oben mit Bezug auf die [Fig. 3](#) beschrieben ist.

[0032] Wenn ein Lesebefehl ausgegeben wird, werden 4 kB (oder mehr) Daten von einer Abfähllogik (302) aus der Anordnung gelesen. Ein 4 kB zu x Bit Dekodierer (308) kann verwendet werden, um aus den erfassten Daten jeweils x Bit gleichzeitig (324) zu lesen. Bei manchen Ausführungsformen kann x gleich 64, 128 oder eine andere Anzahl von Bits sein. Die Daten können dann in einen mit Hochgeschwindigkeit arbeitenden Ausgabepuffer (340, 350, 360,

370) geladen werden.

[0033] Jeder mit Hochgeschwindigkeit arbeitende Ausgabepuffer (340, 350, 360, 370) umfasst einen Demultiplexer (346) und einen Multiplexer (348) und wenigstens zwei Schieberegister (342, 344), die parallel angeordnet sind. Eingaben in den mit Hochgeschwindigkeit arbeitenden Eingabepuffer können ein Schieberegister-Ausgabeauswahlsignal (312) und ein Schieberegister-Ladeauswahlsignal (318) umfassen, ebenso wie ein Schieberegister 0-Ladeauswahl(314)- und -Leseauswahl(316)-Signal und ein Schieberegister 1-Ladeauswahl(320)- und -Leseauswahl(322)-Signal. Diese Signale können alle von einer Schieberegister-Steuerlogik (306) erzeugt werden. Ein Taktsignal (304) kann ebenfalls in den mit Hochgeschwindigkeit arbeitenden Eingabepuffer eingegeben werden und kann verwendet werden, um die Daten zur richtigen Zeit aufzufangen.

[0034] Zu irgendeiner gegebenen Zeit kann das erste Schieberegister (342) Daten aus der Anordnung (302) mit einer niedrigen Geschwindigkeit laden, während das zweite Schieberegister (344) Daten zu einem Ausgabepuffer (346) und einem Ausgabedatenanschluss (390) mit einer höheren Geschwindigkeit überträgt. Die Daten, die an den Ausgabepuffer (346) übertragen werden, werden anschließend an eine Host-Controllereinheit gesendet.

[0035] Die Speichereinheit-Steuerlogik (306) bestimmt, welches Schieberegister Daten aus dem Eingabepuffer lädt und welches Daten an die Schreiblogik überträgt, indem die zweckmäßigen Schieberegister-Auswahlsignale (SR_Sel) (312, 314, 316, 318, 320, 322) erzeugt werden, wie es oben beschrieben ist. Wenn jedes Schieberegister seinen jeweiligen Lade- oder Übertragungsarbeitsschritt beendet hat, werden die Arbeitsschritte von der Schieberegister-Steuerlogik (306) vertauscht, und das erste Schieberegister (342) überträgt dann seine geladenen Daten an den Ausgabepuffer (346), während das zweite Schieberegister (344) mit Daten aus der Anordnung (302) geladen wird. Durch das Hin- und Herschalten der Schieberegister auf diese Weise, bis eine NAND-Leseoperation beendet ist, ist die mit Hochgeschwindigkeit arbeitende Schnittstelle zwischen dem Host-Controller und der Speichereinheit durch die relativ langsame Leseoperation von der NAND-Flash-Speicheranordnung nicht eingeschränkt. Bei manchen Ausführungsformen können die Daten an den Ausgangsanschluss (390) mit Geschwindigkeiten höher als 400 MHz gesendet werden, während Daten aus der Speicheranordnung (302) mit ungefähr 40 MHz gelesen werden.

[0036] Bei manchen Ausführungsformen können die Schieberegister (342, 344) Schieberegister mit 128 Bit sein. Bei anderen Ausführungsformen können die Schieberegister Schieberegister mit 64 Bit

sein. Bei noch anderen Ausführungsformen können Schieberegister mit einer anderen Größe verwendet werden. Die Größe der Schieberegister und die Breite des Datenbus zwischen der Anordnung und den Schieberegistern kann von einer Anzahl Variablen abhängen. Zum Beispiel muss, je länger die Zeit ist, die benötigt wird, um Daten aus dem Erfassen von der NAND-Anordnung zu dem Schieberegister zu bekommen, desto größer das Schieberegister sein. Die Größe des Schieberegisters kann auch von der Geschwindigkeit des I/O-Bus der NAND-Einheit abhängen. Im Allgemeinen muss, je höher die Busgeschwindigkeit ist, desto größer das Schieberegister sein.

[0037] Die Speichereinheit kann auch einen Daten-gültig-Ausgabepuffer (380) umfassen. Der Daten-gültig-Ausgabepuffer erzeugt ein Daten-gültig-Signal an dem Daten-gültig-Anschluss (392). Die Eingaben in den Daten-gültig-Ausgabepuffer umfassen Takt(304)- und ein Daten-gültig-Auswahlsignal (326), die von der Schieberegister-Steuerlogik (306) erzeugt werden. Der Daten-gültig-Ausgabepuffer kann ein Schieberegister (382) und einen Ausgabepuffer (384) verwenden, um ein Daten-gültig-Signal zu erzeugen. Optionale Verzögerungselemente (nicht gezeigt) können verwendet werden, um sicherzustellen, dass das Daten-gültig-Signal zum zweckmäßigen Zeitpunkt ausgegeben wird. Wie oben beschrieben können das Daten-gültig-Signal (392) und die Datensignale (390) synchronisiert werden, so dass die Daten mit der geeigneten Zeitgebung am empfangenden Ende der Schnittstelle (z. B. beim Host-Controller) aufgefangen werden.

[0038] Eine Vielzahl von mit Hochgeschwindigkeit arbeitenden Ausgabepuffern (340, 350, 360, 370) kann parallel arbeiten, um Daten an die Ausgangsanschlüsse zu liefern, die an eine Host-Controllereinheit gesendet werden sollen. Bei einer Ausführungsform kann eine NAND-Speichereinheit acht mit Hochgeschwindigkeit arbeitende Ausgabepuffer umfassen.

[0039] Die oben aufgeführten Verfahren können über Befehle implementiert werden, die auf einem durch eine Maschine zugreifbares Medium gespeichert sind, welche durch einen Prozessor ausgeführt werden. Die Befehle können auf vielen verschiedenen Wegen implementiert werden, wobei irgendein Programmiercode verwendet wird, der auf irgendeinem durch eine Maschine zugreifbaren Medium gespeichert ist. Ein durch eine Maschine zugreifbares Medium umfasst irgendeinen Mechanismus, der Information in einer Form liefert (d. h. speichert und/oder sendet), die von einer Maschine, so wie einem Computer, lesbar ist. Zum Beispiel umfasst ein durch eine Maschine zugreifbares Medium Speicher mit wahlfreiem Zugriff (RAM – Random Access Memory), so wie statischen RAM (SRAM) oder dynamischen RAM (DRAM); ROM; magnetisches oder opti-

sches Speichermedium; Flash-Speichereinheiten; elektrische, optische, akustische oder andere Formen sich fortpflanzender Signale (z. B. Trägerwellen, Infrarotsignale, digitale Signale) etc.

[0040] Somit ist in verschiedenen Ausführungsformen eine mit Hochgeschwindigkeit arbeitende, aufgefächerte Systemarchitektur und Eingabe/Ausgabe-Schaltungen für nicht flüchtigen Speicher offenbart. In der obigen Beschreibung sind zahlreiche bestimmte Einzelheiten aufgeführt. Es wird jedoch verstanden, dass Ausführungsformen ohne diese bestimmten Einzelheiten in die Praxis umgesetzt werden können. In anderen Fällen sind gut bekannte Schaltungen, Strukturen und Techniken nicht in Einzelheiten gezeigt worden, um das Verständnis dieser Beschreibung nicht zu verschleiern. Ausführungsformen sind mit Bezug auf ihre bestimmten beispielhaften Ausführungsformen. Es wird jedoch Personen, die den Nutzen aus dieser Offenbarung ziehen, offensichtlich sein, dass verschiedene Modifikationen und Änderungen an diesen Ausführungsformen vorgenommen werden können, ohne dass man sich vom breiteren Gedanken und Umfang der hierin beschriebenen Ausführungsformen entfernt. Die Beschreibung und die Zeichnungen sollen demgemäß in einem veranschaulichenden anstatt einem einschränkenden Sinne betrachtet werden.

ZUSAMMENFASSUNG

[0041] Bei verschiedenen Ausführungsformen kann eine Vielzahl nicht flüchtiger Speichereinheiten, so wie eine NAND-Flash-Speichereinheit, mit einer Host-Controllereinheit in einer aufgefächerten Konfiguration verbunden werden, die es erlaubt, dass jede aus der Vielzahl der Speichereinheiten Lese- und/oder Schreiboperationen gleichzeitig ausführt. Jeder nicht flüchtige Speichereinheit kann eine Hochgeschwindigkeits-Eingabeschaltung und eine Hochgeschwindigkeits-Ausgabeschaltung umfassen, so dass Übertragungen in den und aus dem Speicher durch die Geschwindigkeit der Lese/Schreib-Schnittstelle des Flash-Speichers nicht eingeschränkt sind.

Patentansprüche

1. System, das aufweist:
einen Controller; und
eine Vielzahl von Gruppen aus Speichereinheiten, die mit dem Controller über eine Kopplungsstruktur gekoppelt sind, wobei jede aus der Vielzahl der Gruppen aus Speichereinheiten eine Vielzahl von Speichereinheiten umfasst, wobei Daten, die zu oder von jeder aus der Vielzahl der Gruppen von Speichereinheiten übertragen werden soll, zeitlich auf der Kopplungsstruktur multiplexiert wird, und wobei ein Daten-gültig-Signal zwischen jeder aus der Vielzahl der Gruppen von Speichereinheiten und dem Controller zur Verfügung gestellt wird.

2. System nach Anspruch 1, bei dem jede aus der Vielzahl der Speichereinheiten eine NAND-Flash-Speichereinheit ist.

3. System nach Anspruch 1, bei dem der Controller dazu dient, Daten, die von einer aus der Vielzahl der Gruppen von Speichereinheiten übertragen werden, an einer ansteigenden Kante des Daten-gültig-Signals, das mit der Gruppe aus Speichereinheiten verknüpft ist, aufzufangen.

4. System nach Anspruch 2, bei dem jede aus der Vielzahl der Speichereinheiten in der Lage ist, eine Leseoperation gleichzeitig auszuführen.

5. System nach Anspruch 2, bei dem jede aus der Vielzahl der Speichereinheiten in der Lage ist, eine Schreiboperation gleichzeitig auszuführen.

6. System nach Anspruch 2, bei dem die Vielzahl der Gruppen gleich vier Gruppen aus Speichereinheiten ist und bei dem jede der vier Gruppen aus Speichereinheiten vier Speichereinheiten umfasst.

7. System nach Anspruch 1, bei dem der Controller dazu dient, eines oder mehrere Konfigurationsregister in jeder aus der Vielzahl der Speichereinheiten gleichzeitig zu konfigurieren.

8. Vorrichtung, die aufweist:
ein erstes Schieberegister;
ein zweites Schieberegister;
Schieberegister-Steuerlogik, die mit dem ersten Schieberegister und dem zweiten Schieberegister gekoppelt ist, wobei die Schieberegister-Steuerlogik dazu dient, das erste Schieberegister so zu konfigurieren, dass es Daten von einem Eingabepuffer mit einer ersten Datengeschwindigkeit empfängt, und das zweite Schieberegister so zu konfigurieren, dass es Daten an eine Schreiblogik mit einer zweiten Datengeschwindigkeit überträgt, wobei die erste Datengeschwindigkeit größer als die zweite Datengeschwindigkeit ist.

9. Vorrichtung nach Anspruch 8, bei der die Schreiblogik dazu dient, die Daten in eine NAND-Flash-Speicheranordnung zu schreiben.

10. Vorrichtung nach Anspruch 8, bei der das erste Schieberegister und das zweite Schieberegister Schieberegister mit 128 Bit sind.

11. Vorrichtung nach Anspruch 8, bei der die Schieberegister-Steuerlogik weiter dazu dient, das erste Schieberegister so zu konfigurieren, dass es Daten an die Schreiblogik mit der zweiten Datengeschwindigkeit überträgt, und das zweite Schieberegister so zu konfigurieren, dass es Daten von dem Eingabepuffer mit der ersten Datengeschwindigkeit empfängt, wobei die erste Datengeschwindigkeit grö-

ßer als die zweite Datengeschwindigkeit ist.

12. Vorrichtung nach Anspruch 11, bei der die erste Datengeschwindigkeit größer als 40 MHz ist.

13. Vorrichtung, die aufweist:
ein erstes Schieberegister;
ein zweites Schieberegister;
Schieberegister-Steuerlogik, die mit dem ersten Schieberegister und dem zweiten Schieberegister gekoppelt ist, wobei die Schieberegister-Steuerlogik das erste Schieberegister so konfiguriert, dass es Daten von einer abführenden Logik mit einer ersten Datengeschwindigkeit empfängt, und das zweite Schieberegister so konfiguriert, dass es Daten an einen Ausgabepuffer mit einer zweiten Datengeschwindigkeit überträgt, wobei die zweite Datengeschwindigkeit größer als die erste Datengeschwindigkeit ist.

14. Vorrichtung nach Anspruch 13, weiter mit einem Daten-gültig-Ausgabepuffer, der an die Schieberegister-Steuerlogik gekoppelt ist, wobei der Daten-gültig-Ausgabepuffer ein Daten-gültig-Signal erzeugt, um anzugeben, waann Daten, die von dem zweiten Schieberegister übertragen werden, gültig sind.

15. Vorrichtung nach Anspruch 13, bei der die Schieberegister-Steuerlogik weiter dazu dient, das erste Schieberegister so zu konfigurieren, dass es Daten an den Ausgabepuffer mit der zweiten Datengeschwindigkeit überträgt, und das zweite Schieberegister so konfiguriert, dass es Daten von der abführenden Logik mit der ersten Datengeschwindigkeit empfängt, wobei die zweite Datengeschwindigkeit größer als die erste Datengeschwindigkeit ist.

16. Vorrichtung nach Anspruch 15, bei der die zweite Datengeschwindigkeit größer als 40 MHz ist.

17. Vorrichtung nach Anspruch 13, bei der das erste Schieberegister und das zweite Schieberegister Schieberegister mit 128 Bit sind.

18. Vorrichtung nach Anspruch 13, bei der die abführende Logik an eine NAND-Flash-Speicheranordnung gekoppelt ist.

19. Verfahren, das aufweist:
Empfangen von Daten an einem ersten Schieberegister mit einer ersten Datengeschwindigkeit, während gleichzeitig Daten von einem zweiten Schieberegister mit einer zweiten Datengeschwindigkeit übertragen werden; und
Übertragen von Daten aus dem ersten Schieberegister mit der zweiten Datengeschwindigkeit, während gleichzeitig Daten in dem zweiten Schieberegister mit der ersten Datengeschwindigkeit empfangen werden.

20. Verfahren nach Anspruch 19, bei dem die erste Datengeschwindigkeit größer als die zweite Datengeschwindigkeit ist.

21. Verfahren nach Anspruch 20, bei dem das Empfangen von Daten das Empfangen von Daten von einem Eingabepuffer oder einer NAND-Flash-Speichereinheit umfasst und bei dem das Übertragen von Daten das Übertragen von Daten an Schreiblogik in einer NAND-Flash-Speichereinheit umfasst.

22. Verfahren nach Anspruch 19, bei dem die zweite Datengeschwindigkeit größer als die erste Datengeschwindigkeit ist.

23. Verfahren nach Anspruch 22, bei dem das Empfangen von Daten das Empfangen von Daten von einer abführenden Logik einer NAND-Flash-Speicheranordnung umfasst und bei dem das Übertragen von Daten das Übertragen von Daten an eine Host-Controllereinheit umfasst.

24. Verfahren nach Anspruch 23, weiter mit dem Erzeugen eines Daten-gültig-Signales, um anzugeben, wann die Daten, die mit der zweiten Datengeschwindigkeit übertragen werden, gültig sind.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

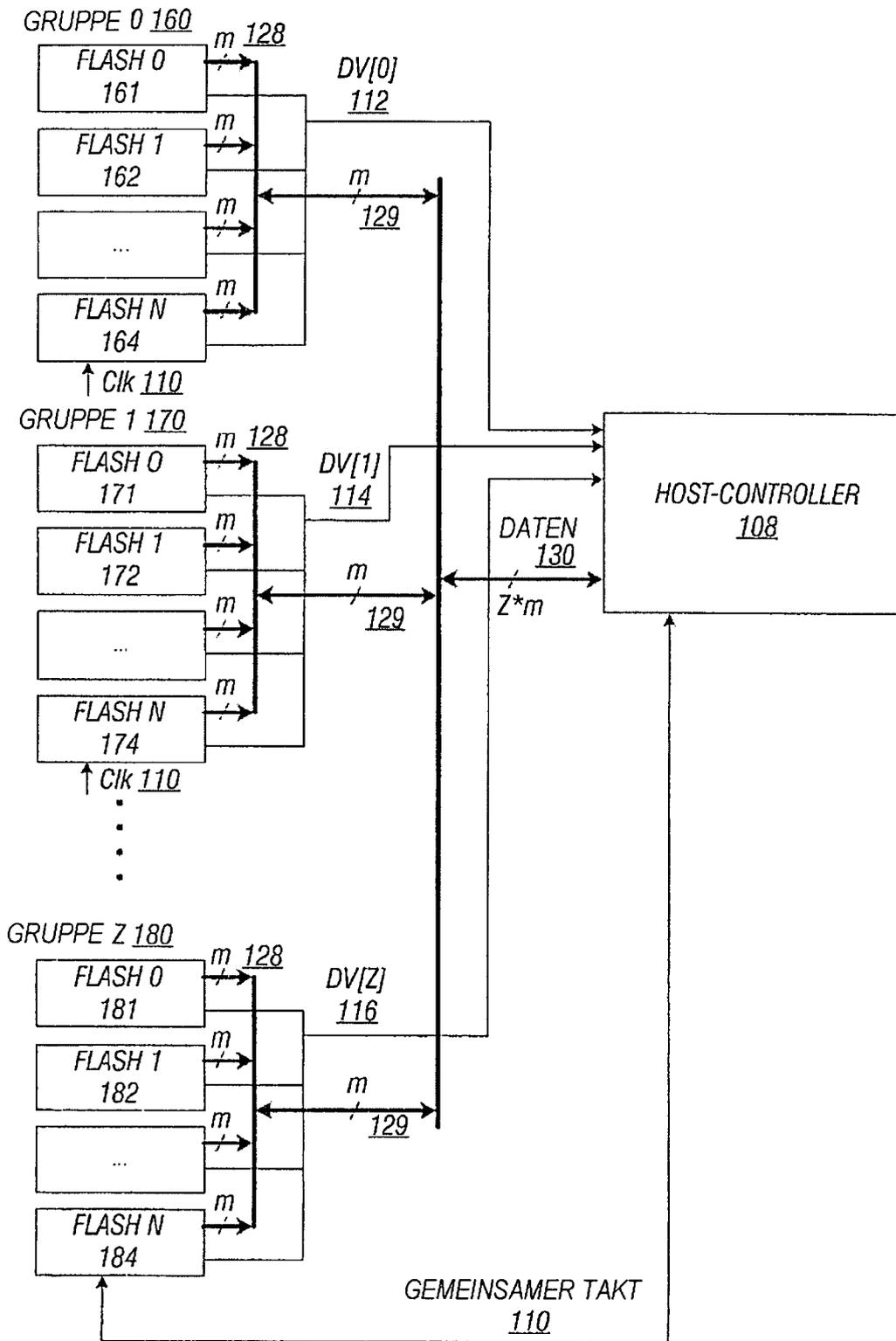


FIG. 1

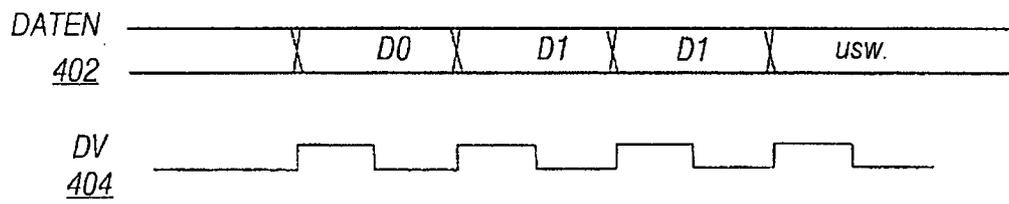


FIG. 2A

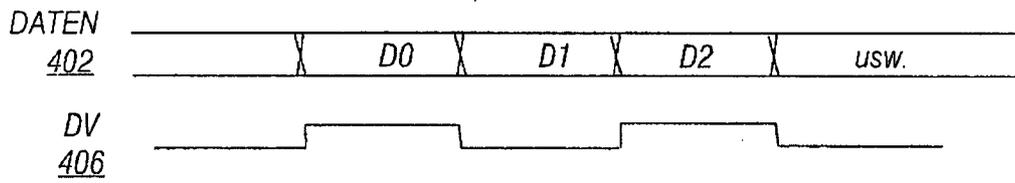


FIG. 2B

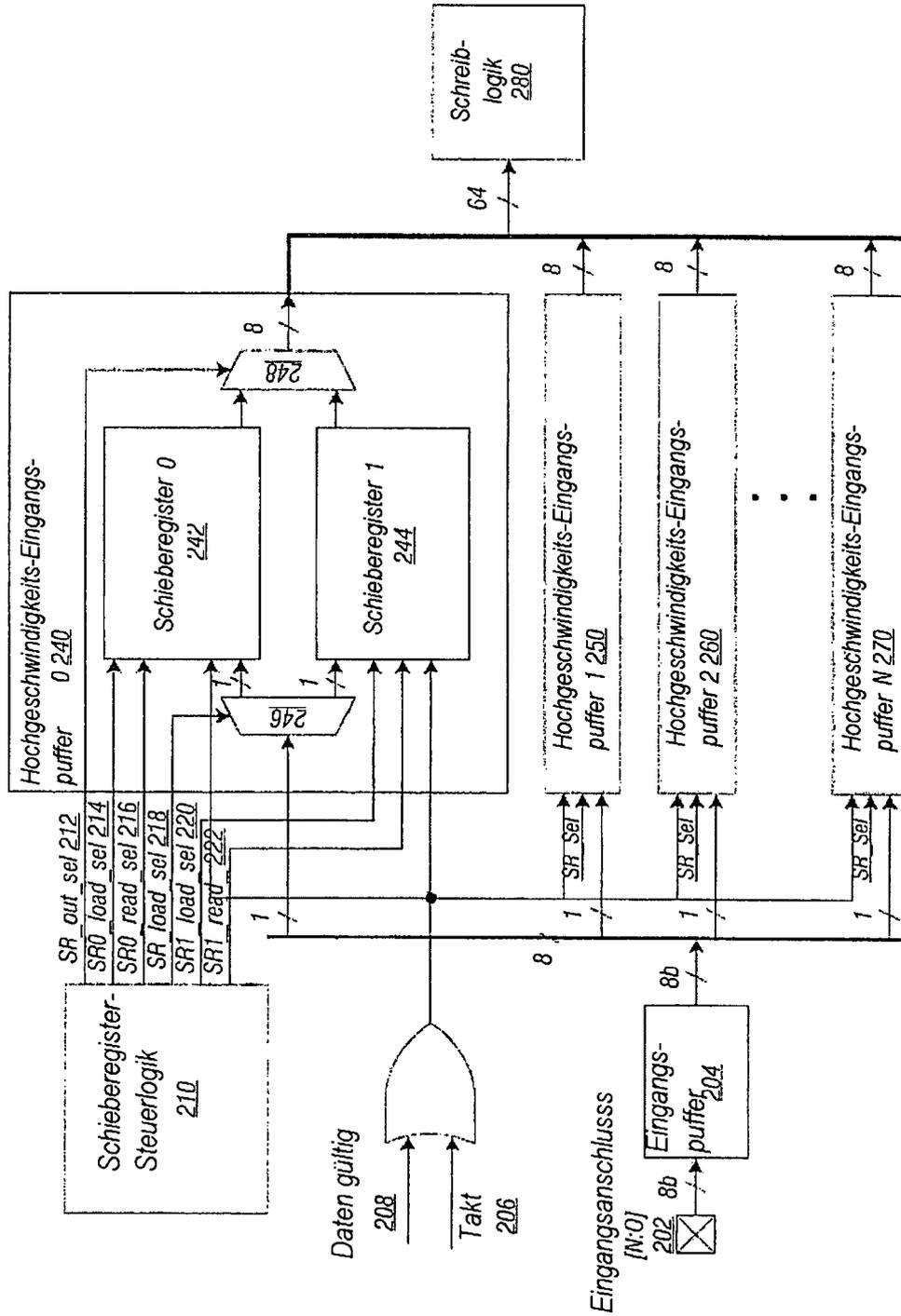


FIG. 3

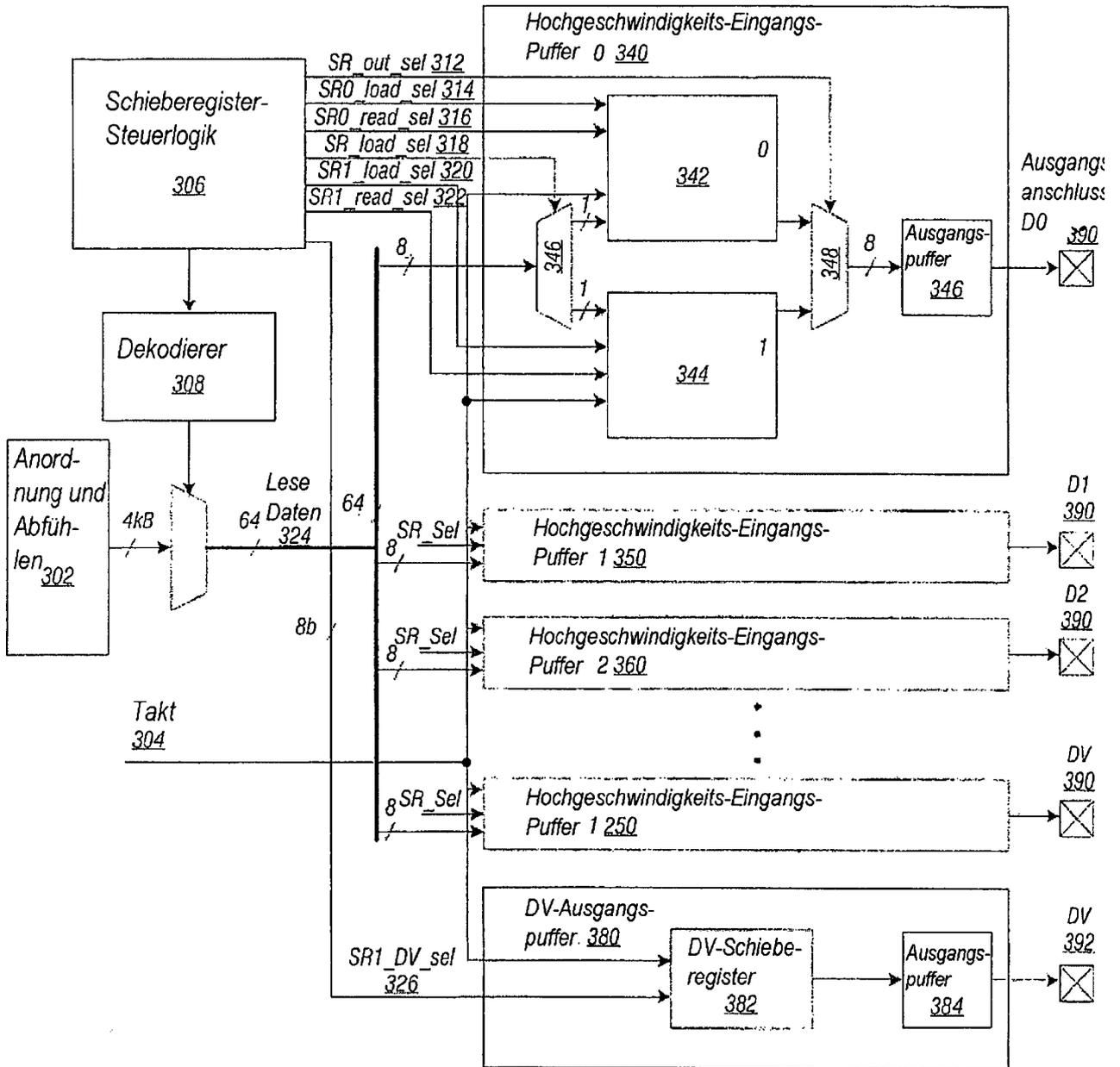


FIG. 4