



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월18일  
(11) 등록번호 10-0874284  
(24) 등록일자 2008년12월09일

(51) Int. Cl.

H02M 3/155 (2006.01)

- (21) 출원번호 10-2005-0049343
- (22) 출원일자 2005년06월09일  
심사청구일자 2005년06월09일
- (65) 공개번호 10-2006-0046391
- (43) 공개일자 2006년05월17일
- (30) 우선권주장  
10/944,263 2004년09월17일 미국(US)  
60/578,372 2004년06월09일 미국(US)
- (56) 선행기술조사문헌  
US6717388 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

오뚜 마이크로, 인코포레이티드

미합중국 캘리포니아 95054 산타클라라 3118 패트릭 헨리 드라이브

(72) 발명자

윙 풋 셴

싱가포르 530241 #02-65 후양 스트리트 22 블록 241

한 밍 광

싱가포르 570243 #09-278 비스한 스트리트 22 블록 243

포페스쿠-스타네스티 블래드 미하일

미국 캘리포니아주 95129 산 호세 베니스 웨이 4396

(74) 대리인

김원준, 김창세

전체 청구항 수 : 총 22 항

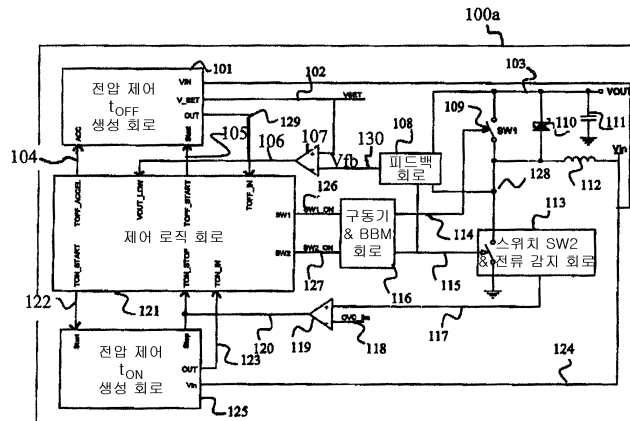
심사관 : 김연경

(54) DC-DC 변환기, 전자 디바이스, 방법 및 승압 DC-DC 변환기

(57) 요약

본 발명은 입력 DC 전압을 출력 DC 전압으로 변환하는 DC-DC 변환기에 관한 것이다. 이 변환기는 적어도 하나의 스위치와, 상기 적어도 하나의 스위치에 접속된 인덕터와, 제어 신호를 제공하는 제어기를 포함한다. 상기 적어도 하나의 스위치는 제 1 상태에서 상기 제어 신호에 반응하여 온 타임 기간(a ON time interval) 동안 온 상태(a ON state)를 입력하며, 상기 온 타임 기간은 상기 입력 DC 전압 및 상수를 기반으로 한다. 또한, 이러한 DC-DC 변환기를 포함하는 전자 디바이스 및 이와 관련된 방법이 제공된다.

대표도 - 도1b



**특허청구의 범위**

**청구항 1**

입력 DC 전압을 출력 DC 전압으로 변환하는 DC-DC 변환기에 있어서,  
 적어도 하나의 스위치와,  
 상기 적어도 하나의 스위치에 접속된 인덕터와,  
 제어 신호를 제공할 수 있는 제어기를 포함하되,  
 상기 적어도 하나의 스위치는 제 1 상태에서 상기 제어 신호에 응답하여 온 타임 기간(a ON time interval) 동안 온 상태(a ON state)가 되며,  
 상기 온 타임 기간은 상기 입력 DC 전압 및 상수를 기반으로 하는 DC-DC 변환기.

**청구항 2**

제 1 항에 있어서,  
 상기 온 타임 기간은  $T_{ON} = K/V_{IN}$  으로 주어지며,  
 상기  $T_{ON}$ 은 상기 온 타임 기간의 길이이고,  
 상기  $K$ 는 상기 상수의 값이며,  
 상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인 DC-DC 변환기.

**청구항 3**

제 2 항에 있어서,  
 상기 온 타임 기간 동안 상기 인덕터를 통한 전류 레벨의 변화 값과 동일한 전류 리플(a current ripple)은  $\Delta I_L = K/L$  으로 주어지며,  
 상기  $\Delta I_L$ 은 상기 전류 리플의 값이고,  
 상기  $K$ 는 상기 상수의 값이며,  
 상기  $L$ 은 상기 인덕터의 값인 DC-DC 변환기.

**청구항 4**

제 1 항에 있어서,  
 상기 제어기는 제 2 상태에서 상기 제어 신호를 제공할 수 있으며,  
 상기 적어도 하나의 스위치는 상기 제 2 상태에서의 상기 제어 신호에 응답하여 오프 타임 기간(a OFF time interval) 동안 오프 상태가 되며,  
 상기 오프 타임 기간은 상기 출력 DC 전압을 나타내는 신호와 설정된 전압과의 비교 결과를 기반으로 하는 길이를 갖는 DC-DC 변환기.

**청구항 5**

제 4 항에 있어서,

상기 오프 타임 기간은 상기 출력 DC 전압을 나타내는 상기 신호가 상기 설정된 전압보다 클 때에  $K/((V_{SET}*D) - V_{IN})$ 와 동일하며,

상기 K는 상기 상수의 값이며,

상기  $V_{SET}$ 는 상기 설정된 전압의 값이고,

상기 D는 상기 출력 전압을 나타내는 상기 신호로 나눈 상기 출력 전압과 동일한 피드백 계수이며,

상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인

DC-DC 변환기.

#### 청구항 6

제 4 항에 있어서,

상기 오프 타임 기간은 상기 출력 DC 전압을 나타내는 상기 신호가 상기 설정된 전압보다 작을 때에  $K/((V_{SET}*D) - V_{IN})$ 보다 작으며,

상기 K는 상기 상수의 값이며,

상기  $V_{SET}$ 는 상기 설정된 전압의 값이고,

상기 D는 상기 출력 전압을 나타내는 상기 신호로 나눈 상기 출력 전압과 동일한 피드백 계수이며,

상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인

DC-DC 변환기.

#### 청구항 7

입력 DC 전압을 출력 DC 전압으로 변환하는 DC-DC 변환기를 포함하되,

상기 DC-DC 변환기는,

적어도 하나의 스위치와,

상기 적어도 하나의 스위치에 접속된 인덕터와,

제어 신호를 제공할 수 있는 제어기를 포함하되,

상기 적어도 하나의 스위치는 제 1 상태에서 상기 제어 신호에 응답하여 온 타임 기간 동안 온 상태가 되며,

상기 온 타임 기간은 상기 입력 DC 전압 및 상수를 기반으로 하는

전자 디바이스.

#### 청구항 8

제 7 항에 있어서,

상기 온 타임 기간은  $T_{ON} = K/V_{IN}$ 으로 주어지며,

상기  $T_{ON}$ 은 상기 온 타임 기간의 길이이고,

상기 K는 상기 상수의 값이며,

상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인

전자 디바이스.

#### 청구항 9

제 8 항에 있어서,  
 상기 온 타임 기간 동안 상기 인덕터를 통한 전류 레벨의 변화 값과 동일한 전류 리플은  $\Delta I_L = K/L$  으로 주어지며,  
 상기  $\Delta I_L$ 은 상기 전류 리플의 값이고,  
 상기 K는 상기 상수의 상기 값이며,  
 상기 L은 상기 인덕터의 값인  
 전자 디바이스.

**청구항 10**

제 7 항에 있어서,  
 상기 제어기는 제 2 상태에서 상기 제어 신호를 제공할 수 있으며,  
 상기 적어도 하나의 스위치는 상기 제 2 상태에서의 상기 제어 신호에 응답하여 오프 타임 기간 동안 오프 상태가 되며,  
 상기 오프 타임 기간은 상기 출력 DC 전압과 설정된 전압과의 비교 결과를 기반으로 하는 길이를 갖는  
 전자 디바이스.

**청구항 11**

제 10 항에 있어서,  
 상기 오프 타임 기간은 상기 출력 DC 전압을 나타내는 상기 신호가 상기 설정된 전압보다 클 때에  $K/((V_{SET}*D) - V_{IN})$ 과 동일하며,  
 상기 K는 상기 상수의 값이며,  
 상기  $V_{SET}$ 는 상기 설정된 전압의 값이고,  
 상기 D는 상기 출력 전압을 나타내는 상기 신호로 나눈 상기 출력 전압과 동일한 피드백 계수이며,  
 상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인  
 전자 디바이스.

**청구항 12**

제 10 항에 있어서,  
 상기 오프 타임 기간은 상기 출력 DC 전압을 나타내는 상기 신호가 상기 설정된 전압보다 작을 때에  $K/((V_{SET}*D) - V_{IN})$ 보다 작으며,  
 상기 K는 상기 상수의 값이며,  
 상기  $V_{SET}$ 는 상기 설정된 전압의 값이고,  
 상기 D는 상기 출력 전압을 나타내는 상기 신호로 나눈 상기 출력 전압과 동일한 피드백 계수이며,  
 상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인  
 전자 디바이스.

**청구항 13**

DC-DC 변환기의 적어도 하나의 스위치에 제어 신호를 제공하는 단계와,

제 1 상태에서 상기 제어 신호를 제공하는 단계 - 상기 적어도 하나의 스위치는 상기 제 1 상태에서 상기 제어 신호에 응답하여 온 타임 기간 동안 온 상태가 됨 - 와,

상기 DC-DC 변환기의 입력 DC 전압 및 상수를 기반으로 하여 상기 온 타임 기간을 제어하는 단계를 포함하는 방법.

**청구항 14**

제 13 항에 있어서,

상기 온 타임 기간은  $T_{ON} = K/V_{IN}$ 으로 주어지며,

상기  $T_{ON}$ 은 상기 온 타임 기간의 길이이고,

상기 K는 상기 상수의 값이며,

상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인

방법.

**청구항 15**

제 14 항에 있어서,

상기 온 타임 기간 동안 상기 DC-DC 변환기의 상기 인덕터를 통한 전류 레벨의 변화 값과 동일한 전류 리플은  $\Delta I_L = K/L$  으로 주어지며,

상기  $\Delta I_L$ 은 상기 전류 리플의 값이고,

상기 K는 상기 상수의 값이며,

상기 L은 상기 인덕터의 값인

방법.

**청구항 16**

제 15 항에 있어서,

상기 적어도 하나의 스위치는 승압 DC-DC 변환기(a boost DC to DC converter)의 로우 사이드 스위치(a low side switch)를 포함하는

방법.

**청구항 17**

입력 DC 전압을 상기 입력 DC 전압보다 큰 출력 DC 전압으로 변환하는 승압 DC-DC 변환기에 있어서,

하이 사이드 스위치 및 로우 사이드 스위치와,

상기 하이 사이드 스위치 및 로우 사이드 스위치에 접속된 인덕터와,

타임 온 상태 동안 상기 하이 사이드 스위치를 오프 상태로 하며, 상기 로우 사이드 스위치를 온 상태로 하도록, 상기 하이 사이드 스위치와 상기 로우 사이드 스위치의 상태를 제어할 수 있는 제어기를 포함하되,

상기 로우 사이드 스위치는 상기 입력 DC 전압과 상수를 기반으로 하는 온 타임 기간에 대한 상기 온 타임 상태 동안 온 상태로 유지되고,

상기 제어기는 또한, 타임 오프 상태 동안 상기 하이 사이드 스위치를 온 상태로 하고 상기 로우 사이드 스위치를 오프 상태로 하도록 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치의 상태를 제어할 수 있으며,

상기 제어기는 또한, 상기 인덕터를 통한 전류 레벨이 제로에 도달하는 때를 예측하여, 스킵 상태(a skip state) 동안 상기 하이 사이드 스위치를 오프 상태로 전환하고 상기 로우 사이드 스위치를 오프 상태로 전환하도록 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치의 상태를 제어함으로써, 상기 출력 DC 전압으로부터

상기 하이 사이드 스위치를 통해 상기 입력 DC 전압으로 역전류가 흐르지 않도록 하는 승압 DC-DC 변환기.

**청구항 18**

제 17 항에 있어서,  
 상기 제 1 스위치 상태 동안 상기 로우 사이드 스위치의 상기 온 타임 기간은  $T_{ON} = K/V_{IN}$  으로 주어지며,  
 상기  $T_{ON}$ 은 상기 온 타임 기간의 길이이고,  
 상기 K는 상기 상수의 값이며,  
 상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인 승압 DC-DC 변환기.

**청구항 19**

제 18 항에 있어서,  
 상기 온 타임 기간 동안 상기 인덕터를 통한 전류 레벨의 변화 값과 동일한 전류 리플은  $\Delta I_L = K/L$  으로 주어지며,  
 상기  $\Delta I_L$ 은 상기 전류 리플의 값이고,  
 상기 K는 상기 상수의 값이며,  
 상기 L은 상기 인덕터의 값인 승압 DC-DC 변환기.

**청구항 20**

제 17 항에 있어서,  
 상기 제어기는 상기 타임 오프 상태의 기간이  $K/((V_{SET}*D) - V_{IN})$ 과 동일할 경우에 상기 인덕터를 통한 상기 전류 레벨이 상기 타임 오프 상태의 종료 시점에서 제로로 도달하는 것을 예측하고,  
 상기 K는 상기 상수의 값이며,  
 상기  $V_{SET}$ 는 설정된 전압의 값이고,  
 상기 D는 상기 출력 전압을 나타내는 상기 신호로 나눈 상기 출력 전압과 동일한 피드백 계수이며,  
 상기  $V_{IN}$ 은 상기 입력 DC 전압의 값인 승압 DC-DC 변환기.

**청구항 21**

제 20 항에 있어서,  
 상기 제어기는 상기 출력 전압을 나타내는 상기 신호가 상기  $V_{SET}$ 보다 작게 될 때까지 상기 타임 오프 상태의 종료 이후에 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치를 상기 스킵 상태로 유지하는 승압 DC-DC 변환기.

**청구항 22**

제 17 항에 있어서,  
 상기 인덕터를 통한 전류 레벨을 감지할 수 있는 피드백 제어 회로를 더 포함하되,

상기 피드백 제어 회로는 스위치 및 비교기를 포함하고,

상기 스위치는 상기 하이 사이드 스위치가 온 상태인 경우 상기 타임 오프 상태 동안 상기 비교기의 입력에 상기 하이 사이드 스위치를 접속시키며,

상기 비교기는 상기 하이 사이드 스위치 상의 전압 강하보다 작은 상기 출력 전압을 기반으로 하는 전압 레벨을 소정의 기준 전압과 비교하고, 상기 인덕터를 통해 상기 전류 레벨을 나타내는 출력 신호를 제공하는

승압 DC-DC 변환기.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<21> 관련 출원에 대한 교차 참조

<22> 본 출원은 본 명세서에서 참조로서 인용되며 2004년 6월 9일 출원된 미국 가출원 번호 60/578,372의 출원 일자의 혜택을 보도록 청구한다.

<23> 본 발명은 DC-DC 변환기, 특히 승압 DC-DC 변환기(boost DC to DC converter) 및 이러한 승압 변환기를 위한 제어기에 관한 것이다.

<24> DC-DC 변환기는 입력 DC 전압을 출력 DC 전압으로 변환시키는데 사용된다. 승압 변환기는 입력 DC 전압을 보다 높은 출력 DC 전압으로 변환시키는 DC-DC 변환기 타입이다. 이러한 승압 변환기는 휴대용 전자 디바이스 구동 전력에서부터 배터리 소스까지 포함하여 다양한 전자 디바이스에서 사용될 수 있다. 통상적으로, 출력 전압은 요구된 값으로 조절되며, 입력 전압은 배터리 방전 또는 가변 부하 전류로 인해서 변한다. 승압 변환기의 출력 전압은 하나 이상의 스위치의 상태를 제어하는 제어기에 의해 제어된다.

#### 발명이 이루고자 하는 기술적 과제

<25> 스위치에 제공되는 한가지 유형의 제어 신호는 펄스 폭 변조 신호(PWM signal)이며 이 PWM 신호의 듀티 사이클은 스위치의 상태를 제어하도록 변한다. PWM 제어 신호를 사용하는 승압 변환기에서, 승압 변환기의 관련 인덕터에서의 전류 리플(current ripple)은 PWM 제어 신호의 듀티 사이클(D)에 의존한다. 이 인덕터 전류 리플은  $D = 0.5$ 의 경우에 최대이며 듀티 사이클은  $D > 0.5$  또는  $D < 0.5$  일 때에 감소한다. 이러한 승압 변환기를 설계할 때에, 최악의 경우의 인덕터 전류 한계치가 고려되어야 한다. 이로 인해서 인덕터는 코어를 포화시키지 않으면서 피크 전류를 지탱해야 한다. PWM 제어 신호에 의해 제어되는 승압 변환기의 경우에, 입력 전압이  $V_{IN} = V_{OUT}/2$  일 때에  $D = 0.5$ 에서 발생하는 피크 전류를 위해서 인덕터의 크기가 조절되어야 한다. 임의의 다른 입력 전압의 경우에, 피크 전류는 보다 작을 것이며 따라서 인덕터는 제기능을 발휘하지 못할 것이다. 이는 모든 승압 변환기 구성 요소, 가령 전력 스위치 및 출력 전압을 평탄하게 하는 출력 필터링 캐패시터 및 입력 전압을 필터링하는 입력 필터링 캐패시터에 영향을 준다. 이는 승압 변환기의 비용, 크기 및 효율에 부정적인 영향을 준다. 가령 자신의 주파수를 변화시키는 펄스 주파수 변조(PFM) 신호와 같은 다른 타입의 제어 신호는 PWM 제어 신호에 의해 제어되는 승압 변환기와 유사한 단점을 갖는다.

<26> 청구 항목의 실시예의 특징 및 장점이 도면을 참조하여 다음의 발명의 상세한 설명이 진행됨에 따라서 보다 분명해질 것이다. 도면에서, 동일한 참조 부호는 동일한 구성 요소를 표시한다.

#### 발명의 구성 및 작용

<27> 다음의 상세한 설명 부분이 예시적인 실시예를 참조하여 설명되지만, 다양한 수정 및 변경이 본 기술 분야의 당업자에게는 가능하다. 따라서, 청구된 항목은 광범위하게 해석되어야 한다.

<28> 도 1a는 소정의 실시예에 따른 승압 변환기(100)를 구비한 전자 디바이스(190)를 도시한다. 전자 디바이스(190)는 서버 컴퓨터, 데스크탑 컴퓨터, 랩탑 컴퓨터, 셀 폰, PDA, 전력 톨과 같은 임의의 다양한 전자 디바이스를 포함하지만 여기에만 한정되는 것은 아니다. 전자 디바이스(190)는 DC 전력 소스(180)와 같은 임의의 다

양한 전력 소스로부터 전력을 수신한다. 이 DC 전력 소스는 가령 AC/AC 어댑터, DC "시가렛트(cigarette)" 타입 어댑터, 배터리 또는 재충전가능한 배터리와 같은 임의의 다양한 타입의 전력 소스이다. 재충전가능한 배터리는 리튬 이온, 니켈 카드뮴, 니켈-금속 하이드라이드 배터리 등과 같은 임의의 타입의 재충전가능한 배터리이다. 승압 변환기(100)는 DC 입력 전압  $V_{IN}$ 을 수신하여 이 입력 전압  $V_{IN}$ 보다 큰 출력 DC 전압  $V_{OUT}$ 를 부하(170)에 제공한다.

<29> 도 1b는 도 1의 승압 변환기(100)의 일 실시예(100a)의 상세한 블록도이다. 통상적으로, 승압 변환기(100a)는 입력 DC 전압  $V_{IN}$ 을 수신하여 이 입력 전압보다 큰 원하는 출력 DC 전압  $V_{OUT}$ 를 제공한다. 승압 변환기(100a)는 일반적으로 인덕터(112), 메인 스위치 SW2 및 전류 감지 회로(113), 동기형 스위치 SW1(109), 정류 다이오드(110) 및 출력 캐패시터(111)를 포함한다. 스위치 SW1(109) 및 회로(113)에 내장된 전류 감지 회로는 몇몇 실시예에서 생략될 수 있다. 본 명세서에서 사용된 바와 같이, "회로"는 가령 배선 회로, 프로그램가능한 회로, 상태 머신 회로 및/또는 프로그램가능한 회로에 의해 실행된 인스트럭션을 저장하는 펌웨어를 단일하게 또는 결합하여 포함한다.

<30> 스위치 SW2는 경로(115)를 통해서 구동기 및 BBM(break before make) 회로(116)에 의해 온 및 오프로 구동되며, 스위치 SW1(109)는 경로(114)를 통해서 동일한 회로(116)에 의해 구동된다. 이 회로(116)는 스위치 SW1 및 SW2가 동시에 도전 상태가 되는 것을 방지하는 BBM 회로를 포함한다. 스위치 SW2가 온 상태로 구동되면, 인덕터(112)를 통한 전류는 경사도  $V_{IN}/L$ 으로 선형으로 증가한다. 전류 램프(current ramp)의 진폭은 스위치 SW2의 온 상태 시간에 비례한다. 스위치 SW2가 오프 상태로 되면, 전류는 다이오드(110) 또는 스위치 SW1(109)를 통해 출력 라인(103)으로 전달된다. 피드백 회로(108)는 스위치 SW1(109)가 오프 상태일 때에는 출력 라인(103)으로부터 또는 스위치 SW1(109)가 온 상태일 때에는 노드(108)로부터 직접적으로 출력 전압  $V_{OUT}$ 를 모니터링하여 가령 전압  $V_{fb}$ 와 같은 피드백 정보를 경로(130)를 통해서 비교기(107)에 제공한다. 이 피드백 정보는 루프 안정성을 확증하기 위해 전압 성분 이외에 출력 전류 성분을 포함한다.

<31> 비교기(107)는 피드백 회로(108)로부터 경로(130)를 통해 전송된 피드백 전압  $V_{fb}$ 를 경로(102) 상에서 인가된 설정 전압  $V_{SET}$ 와 비교하여 이 비교기(107)의 출력부에 접속된 경로(106)를 통해  $V_{OUT\_LOW}$  신호를 제어 로직 회로(121)에 제공한다. 따라서, 이  $V_{OUT\_LOW}$  신호는 출력 전압  $V_{OUT}$ 와 설정 전압  $V_{SET}$  간의 차를 나타낸다.

<32> 입력 전압  $V_{IN}$ 을 나타내는 신호는 경로(124)를 통해서 전압 제어  $t_{ON}$  생성 회로(125)에 인가된다. 전압 제어  $t_{ON}$  생성 회로(125)는 상수 및 입력 전압  $V_{IN}$ 을 기반으로 하는 지속 시간  $t_{ON}$ 을 갖는 펄스를 출력한다. 특히, 지속 시간  $t_{ON}$ 은 등식(1)에서와 같이 입력 전압에 반비례한다.

<33> (1)  $t_{ON} = K/V_{IN}$ , 여기서 K는 상수값이다.

<34> 일 실시예에서, K는  $0.58 \times 10^{-6}$ 이다. 등식(1)에 따라서  $V_{IN}$ 을  $t_{ON}$ 으로 변환하는 것은 아날로그 수단 또는 디지털 수단에 의해서 구현될 수 있다. 이  $t_{ON}$  펄스는 경로(122)를 통해 제어 로직 회로(121)로부터 전송된 TON\_START 신호에 의해 트리거된다. 제어 로직 회로(121)는 비교기(107)에 의해 제공된  $V_{OUT\_LOW}$  신호가 피드백 신호  $V_{fb}$ 가 설정 신호  $V_{SET}$ 보다 작음을 표시하면 TON\_START 신호를 생성한다. 이  $t_{ON}$  펄스는 경로(123)를 통해서 제어 로직 회로(121)로 전송된다. 이  $t_{ON}$  펄스 동안, 제어 로직 회로(121)는 경로(127) 상에서 신호 SW2\_ON을 구동기(116)로 어서트한다. 이에 따라서, 구동기(116)는 스위치 SW2를 온 상태로 구동한다. 이로써, 입력 전류  $V_{IN}$ 으로부터 인덕터(112), 노드(128) 및 스위치 SW2를 통해 흐르는 전류가 증가된다. 전류 경사도는 이러한 상태 동안  $V_{IN}/L$ 이다.

<35> 따라서, 스위치 SW2가 온 상태일 때의 인덕터(112) 내의 전류 리플은 등식 (2)은 다음과 같이 규정된다.

<36> (2)  $\Delta I_L = (V_{IN}/L) \times t_{ON}$

<37> 따라서, 전류의 진폭은 상승 전류의 경사도 및  $t_{ON}$ 에 비례하여 증가한다.  $t_{ON}$ 이 등식(1)에서 규정된 바와 같이 매개변수 형태이기 때문에, 등식 (2)는 등식 (1)에서  $t_{ON}$ 의 값을 등식 (2) 내부에 치환하면 다음과 같이 등식 (3)으로 세부적으로 표현된다.



- <38> (3)  $\Delta I_L = (V_{IN}/L) \times (K/V_{IN}) = K/L$
- <39> 등식 (3)에서 볼 수 있는 바와 같이, 전류 리플  $\Delta I_L$ 는 K 및 L이 상수이기 때문에 상수이다. 유리하게는, 이러한 특징으로 인해서, 구성 요소(113) 내의 스위치 SW2 및 인덕터(112)의 전류 용량을 전부 사용하는 승압 변환기(100)를 최적으로 설계할 수 있다. 이와 같이, 인덕터(112) 및 승압 변환기(100)의 다른 구성 요소들은 종래 기술 실시예에서처럼 크기가 커질 필요가 없다. 이로써, 승압 변환기(100)의 효율은 증가된다. 또한, 이 구성 요소들의 크기는 감소되어 소정의 공간을 장려하는 환경에서 이러한 공간의 크기가 줄어들게 된다. 또한, 이러한 구성 요소들의 비용은 큰 크기를 갖는 종래 기술 실시예에 비해 작아진다.
- <40>  $t_{ON}$ 이 경과하면, 제어 로직 회로(121)는 SW2\_ON 신호를 비활성 상태로 전환한다. 이에 따라, 스위치 SW2가 오프 상태가 된다. 제어 로직 회로(121)는 또한  $t_{ON}$ 이 경과할 때에 경로(105) 상에 TOFF\_START 명령을 발행한다. 경로(105) 상의 TOFF\_START 명령은 전압 제어  $t_{OFF}$  생성 회로(101)를 트리거한다. 전압 제어  $t_{OFF}$  생성 회로(101)는 경로(129)를 통해  $t_{OFF}$  펄스를 제어 로직 회로(121)로 출력한다.  $t_{OFF}$  동안, 제어 로직 회로(121)는 SW1\_ON 신호를 어서트하고 이 신호는 경로(126)를 통해 구동기(116)에 제공된다. 이에 따라, 구동기(116)는 스위치 (SW1)(109)를 온 상태로 한다.
- <41> 인덕터(112) 내에 축적된 에너지는  $t_{OFF}$  기간 동안 출력 라인(103)으로 방산되며, 이로써 출력 캐패시터(111)를 재충전하고  $V_{OUT}$ 에 접속된 도시되지 않은 부하에 전력을 공급한다. 스위치 SW1 및 SW2가 동시에 도전 상태가 되는 것을 방지하기 위해서, 매우 짧은 시간 동안 이 두 스위치는 회로(116) 내에 내장된 BBM 회로에 의해 오프 상태로 유지된다. 인덕터(112)로부터의 전류는 이 BBM 기간 동안에 다이오드(110)를 통해서 출력 라인(103)으로 흐른다.
- <42> 경로(106) 상의  $V_{OUT\_LOW}$  신호가  $t_{ON}$ 이 경과하고 TOFF\_START 신호가 생성될 때에 피드백 전압  $V_{fb}$ 가 설정된 전압  $V_{SET}$ 보다 크다고 표시하면, 제어 로직 회로(121)는 TOFF\_ACCEL 신호를 비활성 상태로 유지한다. 이 경우에,  $t_{OFF}$  펄스의 기간은 등식 (4)에 대응한다.
- <43> (4)  $t_{OFF} = K / ((V_{SET} * D) - V_{IN})$ ,
- <44> 여기서, D는 피드백 계수 =  $V_{out} / V_{fb}$ 이다.
- <45> 반대로, 경로(106) 상의  $V_{OUT\_LOW}$  신호가  $t_{ON}$ 이 경과한 임의의 시간에 피드백 전압  $V_{fb}$ 가 설정된 전압보다 작다고 표시하면, 제어 로직 회로(121)는 TOFF\_ACCEL 신호를 활성 상태로 유지한다. 이 경우에,  $t_{OFF}$ 는 가속될 것이며 등식 (4)에서 기술된 것보다 짧은 기간을 가질 것이다.
- <46>  $t_{OFF}$ 가 경과할 때에, 제어 로직 회로(121)는  $V_{OUT\_LOW}$  신호를 의존한다. 만일에 경로(106) 상의  $V_{OUT\_LOW}$  신호가 경로(130) 상의 피드백 전압  $V_{fb}$ 가 설정 전압  $V_{SET}$ 보다 작다고 표시하면, 제어 로직 회로(121)는 즉각적으로 TON\_START 명령을 발행하며 이로써 새로운 사이클이 개시된다. 만일에 경로(106) 상의  $V_{OUT\_LOW}$  신호가 출력 전압이 설정 전압  $V_{SET}$ 보다 크다고 표시하면, 제어 로직 회로(121)는  $V_{OUT\_LOW}$  신호가 상태를 변경할 때까지 대기하다가 TON\_START 명령을 발행한다. 이러한 방식으로, 경로(103) 상의 출력 전압  $V_{OUT}$ 가 조절된다. 또한, 이러한 방법은 부하가 매우 작고 캐패시터(111)가 스위칭 기간보다 긴 시간 동안 출력 전압을 소정의 범위로 유지할 수 있을 때에 펄스를 스킵(skip)함으로써 저부하 전류에서도 높은 효율을 유지할 수 있다는 장점을 제공한다.
- <47> SW2 & 전류 감지 회로(113) 내에 내장된 전류 감지 회로는 전력 구성 요소를 과전류 상태로부터 보호한다. 이러한 전류 감지 회로는 인덕터 전류를 나타내는 신호를 경로(117)를 통해 비교기(119)에 제공한다. 이어서, 경로(117) 상의 전류 신호는 경로(118)로부터 사전설정된 전류 한계치 신호  $OVC\_lim$ 과 비교기(119)에 의해 비교된다. 경로(120)를 통해 비교기(118)로부터 전송된 출력 신호는 인덕터 전류가 이 사전설정된 한계치를 초과하면 활성 상태가 된다. 경로(120) 상의 과전류 신호가 활성 상태이면, 제어 로직 회로(121)는 SW2\_ON 신호를 디어서트(de-assert)한다. 이로써, 스위치 SW2는 오프 상태가 되어 전압 제어  $t_{OFF}$  생성 회로(101)가 트리거된다. 이와 동시에, 경로(120) 상의 과전류 신호는 전압 제어  $t_{ON}$  생성 회로(125)를 재설정한다.  $t_{OFF}$ 가 경과한 후에,

제어 로직 회로(121)는  $t_{ON}$  를 트리거함으로써 새로운 사이클을 개시한다.

<48> 본 기술 분야의 당업자는 상술된 회로(101, 121, 125, 108, 116, 113) 및 비교기(107, 119)의 기능이 아날로그 회로, 디지털 회로 또는 이 회로의 조합을 사용하여 실현될 수 있음을 인식할 것이다. 가령, 비교기(107, 119)는 아날로그 및/또는 디지털 넘버 비교기(number comparator)일 수 있다. 이와 마찬가지로, 전압 제어 타이밍 생성 회로(101, 125) 및 피드백 회로(108)는 아날로그 회로 뿐만 아니라 프로그램가능한 카운터, 게이트, 아날로그-디지털 변환기 등을 사용하여 구축될 수 있다. 또한, 전압 제어 타이밍 생성 회로(101, 125) 및 제어 로직 회로(101)는 단일 제어기 내에 통합될 수 있거나 기능이 동일하다면 다른 파티션을 제공한다. 그럼에도 불구하고, 스위치 및 전류 감지 회로는 동일한 집적 회로 내부로 전체적으로 또는 부분적으로 통합될 수 있다. 명세서에서 사용된 바와 같이, "집적 회로는 가령 반도체 집적 회로 칩과 같은 반도체 디바이스 및/또는 미세전자 디바이스를 의미한다.

<49> 도 1c는 도 1b의 승압 변환기(100a)의 실시예의 다른 상세한 동작에 대한 타이밍 도면이다. 제어 로직 회로(101)로의 다양한 입력 및 출력 신호가 시간에 대해서 도시된다. 시간  $t_1$  내지  $t_2$  동안, 전압 제어  $t_{ON}$  생성 회로(125)는 등식 (1) 또는  $t_{ON} = K/V_{IN}$ 에 의해 주어진 상수  $K$  및 입력 전압  $V_{IN}$ 을 기반으로 하는 지속 기간의  $T_{ON\_IN}$  펄스를 제공한다. 이에 따라서, SW2\_ON 신호가 어서트되어 스위치 SW2를 온으로 전환시킨다. 인덕터(112) 내의 인덕터 전류는 이 시간  $t_1$  내지  $t_2$  동안 램프 업(ramp up)되기 시작한다. 이 기간 동안의 인덕터 전류 내의 변화  $\Delta I_L$  또는 전류 리플은 등식 (3) 또는  $\Delta I_L = (V_{IN}/L) \times (K/V_{IN}) = K/L$ 으로 주어진다.

<50> 시간  $t_2$  내지  $t_3$  동안, 전압 제어  $t_{OFF}$  생성 회로(101)는 VOUT\_LOW 신호가  $V_{fb}$ 가  $V_{SET}$ 보다 크다고 표시하기 때문에 등식 (4)  $t_{OFF} = K/((V_{SET}*D)-V_{IN})$ 에서 주어진 것과 길이가 동일한  $T_{OFF\_IN}$  펄스를 제공한다. 이 기간 동안, 스위치 SW1은 온 상태이고 스위치 SW2는 오프 상태이며 인덕터는 램프 다운(ramp down)하기 시작한다. 시간  $t_3$ 에서, VOUT\_LOW 신호는  $V_{fb}$ 가  $V_{SET}$ 보다 작다고 표시하며 이로써 TON\_START 명령이 이 시간에서 즉각적으로 발행되어 새로운 사이클이 개시된다. 시간  $t_4$  내지  $t_5$  동안에 주어진 바와 같이  $V_{fb}$ 가  $V_{SET}$ 보다 작다면, 가속된  $T_{off}$ 는  $t_{off}$ 가  $K/((V_{SET}*D)-V_{IN})$  보다 작은 지점에서 발생한다( $T_{OFF\_ACCEL}$ 이 어서트된다).

<51> 도 1d는 도 1b의 승압 변환기(100a)의 실시예의 다른 세부적인 동작 및 중부하 상태 및 경부하 상태 하에서의 대비되는 동작에 대한 타이밍 도면이다. 일반적으로, 플롯(180)은 경부하 상태 동안 시간에 대한 인덕터(112)의 인덕터 전류의 플롯이며, 플롯(182)은 중부하 상태 동안 시간에 대한 인덕터의 인덕터 전류의 플롯이다. 비교기(107)에 의해 제공된 VOUT\_LOW 신호는 경부하 상태 및 중부하 상태를 표시한다.  $V_{fb}$ 가  $V_{SET}$ 보다 작으면, 이는 중부하 상태를 나타내며,  $V_{fb}$ 가  $V_{SET}$ 보다 크면, 이는 경부하 상태를 나타낸다.

<52> 플롯(180)에 대해 시간  $t_1$  내지  $t_2$  동안, 인덕터 전류는  $K/V_{IN}$ 과 동일한  $T_{on}$  기간 동안 상승한다. 플롯(180)에 대해 시간  $t_2$  내지  $t_3$  동안, 인덕터 전류는  $t_{OFF}$  동안에는 하강한다. 플롯(180)에 대해 시간  $t_2$  내지  $t_3$  동안의  $t_{OFF}$  기간은 등식 (4) 또는  $t_{OFF} = K/((V_{SET}*D)-V_{IN})$ 와 동일하다. 이 기간의 종료 시간에, 즉 시간( $t_3$ )에서 부하 상태는 VOUT\_LOW 신호로 표시된 바와 같이 여전히 경부하 상태이다. 이 시간  $t_3$ 에서 인덕터 전류는 제로이다. 인덕터 전류가 제로에 도달하면, 역전류가 보다 높은 출력 소스로부터 하이 사이드 스위치 SW1 및 인덕터(112)를 통해서 보다 낮은 입력 전압 소스  $V_{IN}$ 으로 흐른다. 이러한 역전류 흐름을 방지하기 위해서, 제어 로직 회로(201)는 플롯(180)의 시간  $t_3$  내지  $t_4$ 의 기간 동안 하이 사이드 스위치 SW1를 개방한다. 제어 로직 회로(201)는 VOUT\_LOW가 상태를 변경할 때까지( $V_{fb}$ 가  $V_{SET}$ 보다 작게 될 때) 플롯(180)의 시간  $t_3$  내지  $t_4$  동안에 스위치 SW1 및 SW2를 오프 상태로 유지하고 이어서 시간  $t_4$ 에 다음의  $T_{ON}$  사이클을 개시한다. 플롯(180)의 시간  $t_3$  내지  $t_4$  동안의 스위치 SW1 및 SW2의 개방 상태는 본 명세서에서 스킵 상태(a skip state)로 지칭된다. 그러므로, 유리하게는, 제어 로직 회로(201)는 등식 (4) 또는  $t_{OFF} = K/((V_{SET}*D)-V_{IN})$ 에 규정된 기간의 종료 시간을 기반으로 하여 제로 전류 인덕터 상태가 도달할 때 ( $t_3$ )을 예측할 수 있다.

<53> 이와 대조적으로, 플롯(182)은 중부하 상태 하에서의 동작을 도시한다. 이러한 중부하 상태는  $V_{fb}$ 가  $V_{SET}$ 보다 작을 경우의 VOUT\_LOW 신호에 의해 표시된다. 플롯(182)의 시간  $t_2$  내지  $t_3$  동안에,  $t_{OFF}$  기간은  $K/((V_{SET}*D)-V_{IN})$ 보다 작다. 이와 같이, 플롯(182)에서의  $t_{OFF}$  기간은 플롯(180)에서의  $t_{OFF}$  기간에 비해 짧다. 플롯(182)의 시간  $t_3$  내지  $t_5$  동안에, 플롯(182)의 인덕터 전류의 밸리(valley)는 제로보다 크며 제로 전류 인덕터 상태가

발생하는 시간을 예측하기 위한  $K/((V_{SET}*D)-V_{IN})$ 와 동일한 타임 오프 기간의 예측 원칙은 이 순간에는 획득되지 않는다. 그러므로, 하이 사이드 및 로우 사이드 스위치 오프 또는 스킵 상태는 이 순간에는 획득되지 않는다.

- <54> 도 2a는 다른 실시예에 따른 다른 승압 변환기(100b)의 블록도이다. 충전 전류원(1) 및 방전 전류원(2)이 노드 Vcap에서의 전압 파형을 생성하고, 이 전압 파형은 인덕터 L1을 통해 흐르는 전류를 시뮬레이션한다. 피드백 비교기 comp3의 출력 전압과 함께 Vcap 전압은 제어 로직 회로(201)를 트리거하여 하이 사이드 스위치(204) 및 로우 사이드 스위치(206)를 구동하기에 적합한 펄스를 생성한다.
- <55> 도 2b는 연속 전류 모드(CCM)로 동작하는 도 2a의 승압 변환기(100b)의 동작을 설명하는 타이밍 도면이다. 플롯 fb는 저항(R2,R3)을 포함하는 저항 디바이더에 의해 스케일 다운된 출력 전압 Vout를 나타내는 플롯이다. 이 플롯 fb는 비교기 Comp3에 입력된 것이다. 플롯 Vout\_1은 플롯 fb를 기준 전압과 비교하는 비교기 Comp3의 출력을 나타내는 플롯이다. 이 Vout\_1 전압은 제어 로직 회로(201)로 제공되어 이 회로에 Vout가 기준 전압보다 작은지의 여부를 알린다. Vcap는 내부 캐패시터 C1의 전압 파형을 나타내는 플롯이며 이 전압 파형은 비교기 Comp1 및 Comp2에 모두 입력되어 하이 사이드 스위치 pdr 및 로우 사이드 스위치 ndr 구동 신호의 주파수를 제어한다.
- <56> o\_detect1 플롯은 Vcap 플롯과 고 임계 레벨 highTH를 비교하는 것을 기반으로하여 비교기 Comp2로부터 출력된다. o\_detect1 플롯은 Vcap가 highTH보다 높게 될 때마다 제어 로직 회로(201)에 로우 신호를 전송한다. 이에 따라서, 하이 사이드 스위치(204)를 구동하는 pdr 구동 신호가 로우 상태가 되어 하이 사이드 스위치(204)를 오프 상태로 구동하며 로우 사이드 스위치 구동 신호 ndr은 하이 상태가 되어 로우 사이드 스위치(206)를 온 상태로 구동한다. 이어서, 인덕터 L1의 인덕터 전류는 램프 업되기 시작한다.
- <57> o\_detect2 플롯은 Vcap 플롯과 저임계 레벨 lowTH를 비교하는 것을 기반으로하여 비교기 Comp2로부터 출력된다. o\_detect2 플롯은 Vcap가 lowTH보다 낮게 될 때마다 제어 로직 회로(201)에 로우 신호를 전송한다. 이에 따라서, 하이 사이드 스위치(204)를 구동하는 pdr 구동 신호가 하이 상태가 되어 하이 사이드 스위치(204)를 온 상태로 구동하며 로우 사이드 스위치 구동 신호 ndr은 로우 상태가 되어 로우 사이드 스위치(206)를 오프 상태로 구동한다. 이어서, 인덕터 전류는 램프 다운된다.
- <58> 도 2c는 불연속 전류 모드(DCM)로 동작하는 도 2a의 승압 변환기(100b)의 동작을 설명하는 다른 타이밍 도면이다. 도 2c의 플롯들은 도 2b에 대해 상세하게 구성된 비교기 Comp1, Comp2, Comp3로의 다양한 입력 및 출력과, Vcap 전압, 하이 및 로우 사이드 구동 신호 pdr 및 ndr, 인덕터 L1 내에서 흐르는 인덕터 전류를 나타내며 임의의 각각에 대한 설명은 명료성을 위해서 여기에서는 생략된다. 도 2c의 DCM에서, o\_detect1 신호는 Vcap가 highTH 신호보다 클때마다 제어 로직 회로(201)에 로우 신호를 전송한다. 이로써, 하이 및 로우 사이드 구동 신호 pdr 및 ndr 모두가 DCM 모드에서는 로우 상태가 된다.
- <59> 도 3은 도 2의 전류원(1)를 도시한다. 이 전류원은 제어 로직 회로(201)에 의해서 스위치(302)에 제공된 스위칭 신호 ivin\_on에 의해 제어된다. 스위치(302)가 개방될 때에, 전류원 I2는 캐패시터 C1로부터 분리된다. 스위치(302)가 폐쇄될 때에, 전류원 I2는 캐패시터 C1에 접속된다. 부분적으로 스위치(502)의 위치에 의존하여, 캐패시터 C1는 충전 또는 방전된다.
- <60> 도4는 도 3의 전류원의 일 실시예의 회로도이다. 저항(R5, R6)에 의해 형성된 전압 디바이더는 입력 전압 Vin을 보다 낮은 전압 레벨 Vin\_d까지 스케일 다운하는데, 여기서  $Vin\_d = (R5/(R5+R6))*Vin$ 이다. 연산 증폭기(opamp)(404) 및 트랜지스터(410)로 형성된 전압 팔로워(voltage follower)는 저항 R4a 양단의 전압 Vin\_d를 복제한다. 이로써, 저항 R4a 및 트랜지스터(410, 408, 406)를 통해 흐르는 전류  $I_{R4a}$ 가 생성된다. 트랜지스터(408, 406, 412, 414)에 의해 형성된 전류 미러는 스위치(302)에 대해서 전류  $I_{R4a}$ 를  $(R6+R5)/R5$ 의 비율로 미러링한다. 이 스위치(302)를 통해 흐르는 최종 전류는  $I2 = Vin/R4a$ 로 주어지는 도 3에서의 전류원 I2에 의해 제공된 전류 레벨을 나타낸다.
- <61> 도 5는 도 2의 방전 전류원(2)의 도면이다. 이 방전 전류원(2)은 스위치(502) 및 다수의 전류 싱크(I1, I3, I4)를 포함한다. 전류 싱크(I3)는 설정 전압 VSET에 비례하는 전류 싱크이다. 전류 싱크(I4)는 한 실례에서 I3보다 가령 7 배 큰 값을 갖는 전류 싱크일 수 있다. 스위치(502)의 위치는 다수의 소스로부터의 다수의 제어 신호에 반응한다. 제어 신호는 제어 로직 회로(201)로부터의 i1X\_on 신호, 전류 감지 회로(6)의 비교기 Comp4로부터 출력된 ovc1 신호 및 피드백 회로(5)의 비교기 Comp3로부터의 vout\_1 신호를 포함한다. 스위치(502)의 위치는 표 1에 도시된 바와 같이 신호 i1X\_on, ovc1 및 vout\_1의 상태에 따라서 도 2 및 도 5에 도시된 바와 같

이 스위치 위치(1,2,3,4) 내에 있을 수 있다.

표 1

| ilX_on | vout_l | ovcl | 스위치 위치 |
|--------|--------|------|--------|
| 0      | X      | X    | 3      |
| 1      | 0      | 0    | 1      |
| 1      | X      | 1    | 4      |
| 1      | 1      | 0    | 2      |

<62>

<63>

도 6은 도 5의 스위칭가능한 전류 싱크의 한 잠재적인 실시예를 도시한다. 도 4의 저항 R4a 및 도 6의 저항 R4b가 정합된다. 연산 증폭기(602) 및 트랜지스터(608)로 구성된 전압 팔로워는 저항 R4b 양단의 Vset 전압을 복제하여 전류  $I_{R4b} = Vset/R4b$ 를 생성한다. 두 세트의 전류 미러(트랜지스터(604, 606, 610, 612, 614, 616, 618, 620, 622, 624))를 사용하면, 전류  $I_{R4b}$ 는 스위치(502)의 위치(1, 2)에 대해 미러링된다. 스위치(502)의 위치(1, 2)에서의 전류 레벨  $I_3$  및  $I_4$ 는 다음의 등식 (4a) 및 (4b)에 의해 결정된다.

<64>

$$(4a) I_3 = I_{R4b} * D$$

<65>

$$(4b) I_4 = 7 * I_3$$

<66>

도 7은 도 2의 승압 변환기가 연속 전류 모드로 동작할 때에 노드 Vcap에서의 전압 파형 및 하이 사이드 스위치 (204) 및 로우 사이드 스위치(206) 구동 펄스를 도 4 및 도 6을 참조하여 도시한다. 온 타임  $t_{ON}$ 은  $Vin_d/R4a$ 에 동일한 값을 갖는 상수 전류원에 의해 결정된다. 반면에, 오프 타임  $t_{OFF}$ 는  $-(Vset-Vin)/R4ab$ 와 동일한 값을 갖는 상수 방전 전류원에 의해 결정된다. 노드 Vcap에서의 캐패시터 C1의 값이 C이고 전압 스윙의 값이 1 볼트이면, 등식 (5) 및 등식 (6)이 다음과 같이 표현된다.

<67>

$$(5) t_{ON} = R4a \times C / Vin_d$$

<68>

$$(6) t_{OFF} = R4b \times C / (Vset - Vin_d)$$

<69>

만일  $R4a = R4b$ 이면, 듀티 사이클  $D = t_{ON} / (t_{ON} + t_{OFF}) = (Vset - Vin_d) / Vset$ 인데, 이 듀티 사이클은 승압 변환기에 대해 잘 알려진 등식이다.

<70>

도 8은 도 2의 승압 변환기가 불연속 전류 모드로 동작할 때에 노드 Vcap에서의 전압 파형 및 하이 사이드 스위치 및 로우 사이드 스위치 구동 펄스를 도 4 및 도 6을 참조하여 도시한다. 불연속 모드에서, 인덕터 전류가 고출력 전압에서 저입력 전압으로의 역전류를 방지하기 위해서 거의 제로로 떨어질 때에 하이 사이드 스위치 (204)가 오프 상태로 된다. 이러한 역전류는 높은 부하의 상태 하에서는 발생하지 않는데 그 이유는 고전류 부하 유입은 출력 전압 레벨을 급속하게 감소시키기 때문이다. 따라서, DC-DC 변환기에 대한 제어기는 인덕터 전류가 불연속 모드에서 제로로 접근할 때를 예측하여 로우 사이드 및 하이 사이드 스위치를 모두 개방하여 제어기의 불연속 전류 모드 동작 동안에는 출력 DC 전압으로부터 하이 사이드 스위치를 통한 입력 DC 전압으로의 역전류 흐름을 방지할 수 있어야 한다. 이러한 제어기는 등식 (4)를 기반으로 하여 소정의 기간이 만료되는 것에 응답하여 인덕터 전류가 제로로 접근하는 것을 예측한다.

<71>

도 9는 도 2의 피드백 제어 회로(5)를 도시한다. 하이 사이드 스위치(204)는 온 상태로 될 때에, 단일 폴 이중 스톱 스위치(a single-pole double throw switch)(902)는 저항(R2, R3)을 포함하는 피드백 구동기(904)를 노드 LX로 접속시켜서 하이 사이드 스위치(204)의 온 저항 Ron 양단의 전압 강하보다 작은 출력 전압을 감지한다. 하이 사이드 스위치(204)가 오프 상태로 되면, 스위치(902)는 피드백 구동기(904)를 Vout로 접속시킨다. 유리하게는, 이 피드백 제어는 출력 전류 성분과 함께 합산된 전압 피드백 신호를 제공하여, 변환기의 효율을 감소시킬 인덕터 L1를 통한 전류 레벨을 감지하기 위한 임의의 전류 감지 저항도 필요로 하지 않으면서 양호한 루프 안정성을 보장한다.

<72>

도 10은 과전류 보호와 관련된 전압 및 전류 파형을 도시한다. 과전류 보호는 로우 사이드 스위치(206)(가령,



NMOS 트랜지스터 MN\_pow1)의 온 타임 동안 출력 전류를 검출함으로써 성취된다. 검출된 전류가 전류 임계치보다 크면, 과전류 신호(OC)가 활성화된다. 이어서, 스위칭가능한 전류 싱크의 스위치(502)가 위치(4)로 전환되며(표 1 참조), 로우 사이드 스위치(206)는 오프 상태로 되며 이와 동시에 하이 사이드 스위치(204)는 온 상태로 된다. 이러한 방식으로, 과전류는 하이 사이드 스위치(204)를 통해서 출력으로 방전된다.

<73> 위치(4)의 스위치(502)를 갖는 스위칭가능한 전류 싱크(2)는 방전 사이클의 기간을 결정한다. 이 전류는 임의적으로 선택될 수 있지만 그 값은 1X 전류 싱크보다 작아야 한다. 방전 사이클의 끝부분에서, 인덕터 전류(즉, 출력 전류)는 전류 임계치 이하로 강해진다. 이어서, 승압 변환기의 정상적인 조절 사이클이 재개되고 로우 사이드 스위치(206)의 후속하는 ON 사이클에 대해서 전류 감지가 반복된다.

<74> 도 11은 도 2의 전류 감지 회로(6)의 일 실시예를 도시한다. 출력 전류는 MOSFET(MN\_pow2)를 사용하여 감지되며 이 MOSFET는 출력 NMOS(MN\_pow1) 또는 로우 사이드 스위치를 이들이 온 상태일 때에 이들을 통한 전류를 복제한다. 트랜지스터 MN\_pow2는 출력 MNOS(MN\_pow1)에 대해 실질적으로 작은 면적 비율을 갖는다. 자신의 온 타임 동안에 MN\_pow1의 동일한 게이트 전압 및 드레인 소스 전압을 MN\_pow2에 인가함으로써, 그의 전류는 트랜지스터 MN\_pow1의 실제 출력 전류에 비례하게 된다. 트랜지스터 MN\_pow1이 온 상태가 되면, 그의 드레인 대 소스 전압은 스위치 SW1 및 연산 증폭기 OPamp1 전압 팔로워를 사용하여 트랜지스터 MN\_pow2의 드레인 대 소스 상에서 복제된다. 트랜지스터 MN\_pow2에 대한 게이트 구동은 트랜지스터 MN\_pow1의 게이트 구동 전압과 동일한 고정 전압과 결합된다. 감지 전류는 저항 R1에 대해 미러링된다. 다음과 같은 저항 R1 양단에 최종 생성된 전압은 출력 전류를 나타낸다.

$$\frac{Area\_MN\_pow1}{Area\_MN\_pow2} = \frac{Current\_in\_MN\_pow1}{Current\_in\_MN\_pow2}$$

<75> 비교기 Comp4(도 2a 참조) 내의 기준 전압 ref2를 저항 R1 양단 전압과 비교함으로써, 과전류 상태가 검출된다. 저항 R1 양단 전압이 기준 전압 ref2보다 크면, 과전류 신호 ovc1이 활성화된다. 이로써, 도 10을 참조하여 도시된 바와 같이 방전 사이클이 트리거된다.

<77> 요약하면, 일 실시예는 입력 DC 전압을 출력 DC 전압으로 변환하는 DC-DC 변환기를 포함한다. 이 DC-DC 변환기는 적어도 하나의 스위치, 이 적어도 하나의 스위치에 접속된 인덕터 및 제어 신호를 제공하는 제어기를 포함한다. 이 적어도 하나의 스위치는 제 1 상태에서 제어 신호에 반응하여 온 타임 기간 동안 온 상태를 입력하며 이 온 타임 기간은 입력 DC 전압 및 상수를 기반으로 한다.

<78> 다른 실시예는 입력 DC 전압을 출력 DC 전압으로 변환하는 DC-DC 변환기를 포함하는 전자 디바이스를 포함한다. 이 DC-DC 변환기는 적어도 하나의 스위치, 이 적어도 하나의 스위치에 접속된 인덕터 및 제어 신호를 제공하는 제어기를 포함한다. 이 적어도 하나의 스위치는 제 1 상태에서 제어 신호에 반응하여 온 타임 기간 동안 온 상태를 입력하며 이 온 타임 기간은 입력 DC 전압 및 상수를 기반으로 한다.

<79> 또 다른 실시예는 방법을 포함한다. 이 방법은 DC-DC 변환기의 적어도 하나의 스위치에 제어 신호를 제공하는 단계와, 제 1 상태에서 제어 신호를 제공하는 단계—상기 적어도 하나의 스위치는 상기 제 1 상태에서 상기 제어 신호에 반응하여 온 타임 기간 동안 온 상태를 입력함—와, DC-DC 변환기로의 입력 DC 전압 및 상수를 기반으로 하여 상기 온 타임 기간을 제어하는 단계를 포함한다.

<80> 또 다른 실시예에서, 입력 DC 전압을 이 입력 DC 전압보다 큰 출력 DC 전압으로 변환하는 승압 DC-DC 변환기가 제공된다. 이 승압 변환기는 하이 사이드 스위치 및 로우 사이드 스위치, 상기 하이 사이드 스위치 및 로우 사이드 스위치에 접속된 인덕터 및 타임 온 상태 동안 상기 하이 사이드 스위치를 오프 상태로 만들고 상기 로우 사이드 스위치를 온 상태로 하도록 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치의 상태를 제어하는 제어기를 포함한다. 상기 로우 사이드 스위치는 입력 DC 전압과 상수를 기반으로 하는 온 타임 기간의 온 타임 상태 동안 온 상태로 유지된다. 제어기는 또한 타임 오프 상태 동안 상기 하이 사이드 스위치를 온 상태로 만들고 상기 로우 사이드 스위치를 오프 상태로 하도록 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치의 상태를 제어한다. 제어기는 또한 상기 인덕터를 통한 전류 레벨이 제로에 도달하는 때를 예측하여 스킵 상태 동안 상기 하이 사이드 스위치를 오프 상태로 전환하고 상기 로우 사이드 스위치를 오프 상태로 전환하도록 상기 하이 사이드 스위치 및 상기 로우 사이드 스위치의 상태를 제어하여 상기 출력 DC 전압으로부터 상기 하이 사이드 스위치를 통해 상기 입력 DC 전압으로 역전류가 흐르지 않도록 한다.

<81> 본 명세서에서 사용된 용어 및 표현은 설명을 위해서 사용되었으며 본 발명을 한정하지 않고 이러한 용어와 표현의 사용에 있어서 상술되고 도시된 특징부의 임의의 등가부를 제외할 의도는 전혀 없으며 다양한 수정 및 변

경이 청구 범위 내에서 가능하다. 다른 수정 및 변경 및 대안이 가능하다. 따라서, 청구 범위는 모든 이러한 등가 부분을 포함한다.

**발명의 효과**

<82> 본 발명을 통해서 승압 DC-DC 변환기에서 동작에 있어서 피크 전류가 작아져서 인덕터가 제기능을 발휘하지 못하는 것을 방지하게 된다. 이로써, 모든 승압 변환기의 구성 요소, 가령 전력 스위치 및 출력 전압을 평탄하게 하는 출력 필터링 캐패시터 및 입력 전압을 필터링하는 입력 필터링 캐패시터가 받은 부정적인 영향력도 또한 감소된다.

**도면의 간단한 설명**

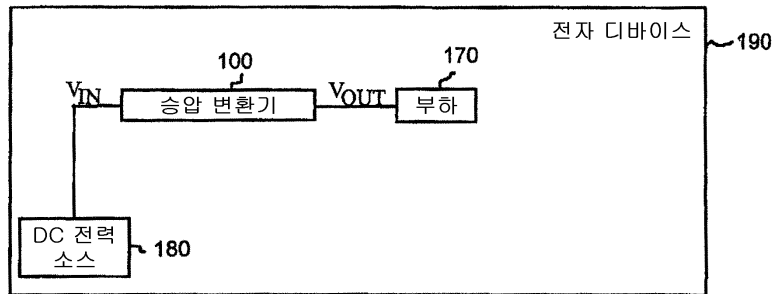
- <1> 도 1a는 소정의 실시예에 따른 승압 변환기를 구비한 전자 디바이스의 간단한 블록도,
- <2> 도 1b는 도 1a의 승압 변환기의 실시예의 블록도,
- <3> 도 1c는 도 1b의 실시예의 타이밍 도면,
- <4> 도 1d는 중부하 상태 및 경부하 상태 하에서의 동작을 대조하는 도 1b의 실시예의 다른 타이밍 도면,
- <5> 도 2a는 도 1a의 승압 변환기의 다른 실시예의 블록도,
- <6> 도 2b는 연속 전류 모드로 동작하는 도 2a의 승압 변환기의 타이밍 도면,
- <7> 도 2c는 불연속 전류 모드로 동작하는 도 2a의 승압 변환기의 타이밍 도면,
- <8> 도 3은 도 2a의 전압 제어형 전류원의 회로도,
- <9> 도 4는 도 3의 전압 제어형 전류원의 하나의 잠재적인 실시예의 회로도,
- <10> 도 5는 도 2a의 전압 제어 스위칭가능한 전류 싱크의 회로도,
- <11> 도 6은 도 5의 전압 제어 스위칭가능한 전류 싱크의 한 잠재적인 실시예의 회로도,
- <12> 도 7은 연속 전류 모드에서의 도 2a의 Vcap, ndr 및 pdr의 파형도,
- <13> 도 8은 불연속 전류 모드에서의 도 2a의 Vcap, ndr 및 pdr의 파형도,
- <14> 도 9는 도 2a의 피드백 제어 회로의 일 실시예의 회로도,
- <15> 도 10은 도 2a의 몇 개의 구성 요소의 전압 및 전류 플롯을 도시하는 파형도,
- <16> 도 11은 도 2a의 전류 감지 회로의 일 실시예의 회로도.

도면의 주요 부분에 대한 부호의 설명

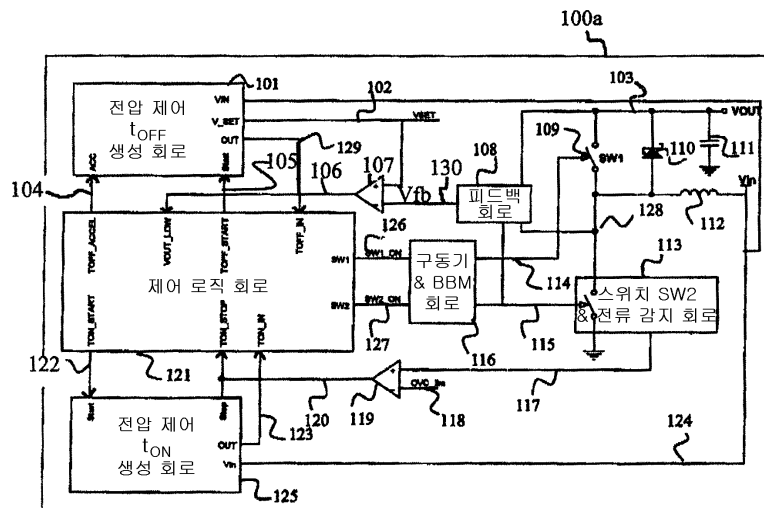
- <18> 101 : 전압 제어 t<sub>OFF</sub> 생성 회로                      108 : 피드백 회로
- <19> 113 : 스위치 SW2 & 전류 감지 회로                116 : 구동기 & BBM 회로
- <20> 121 : 제어 로직 회로                                125 : 전압 제어 t<sub>ON</sub> 생성 회로

도면

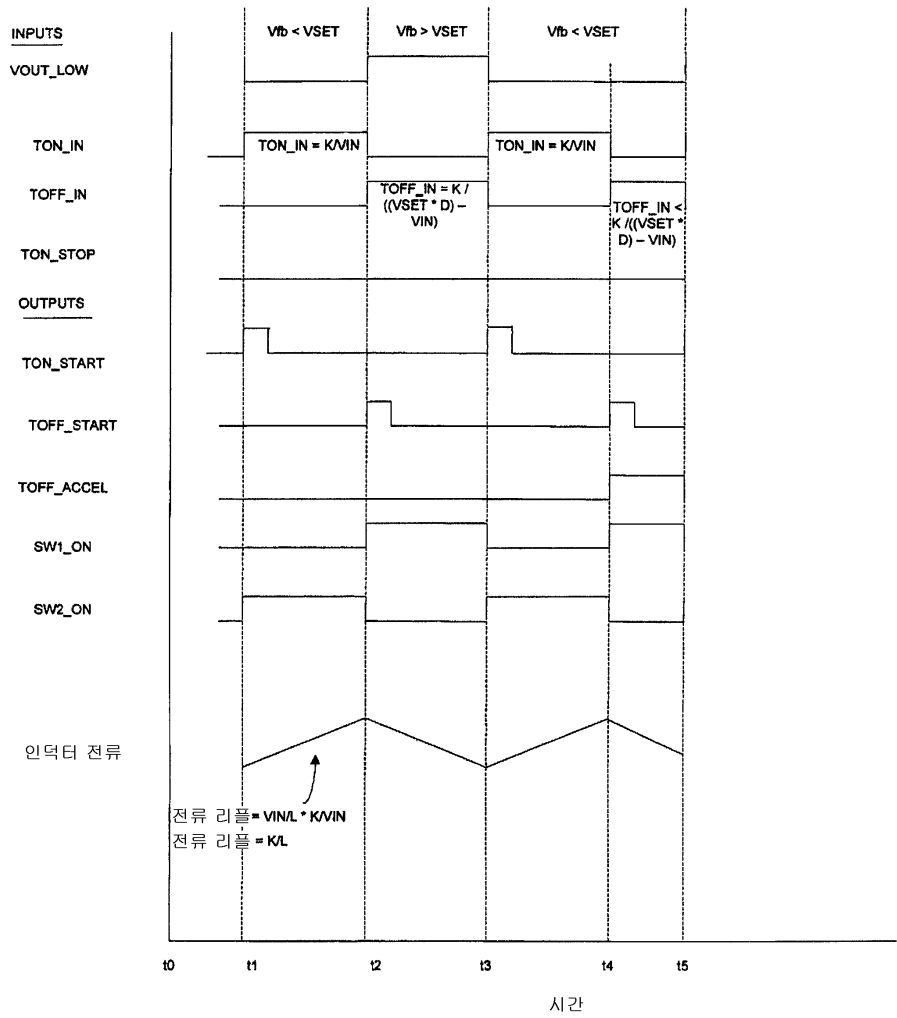
도면1a



도면1b



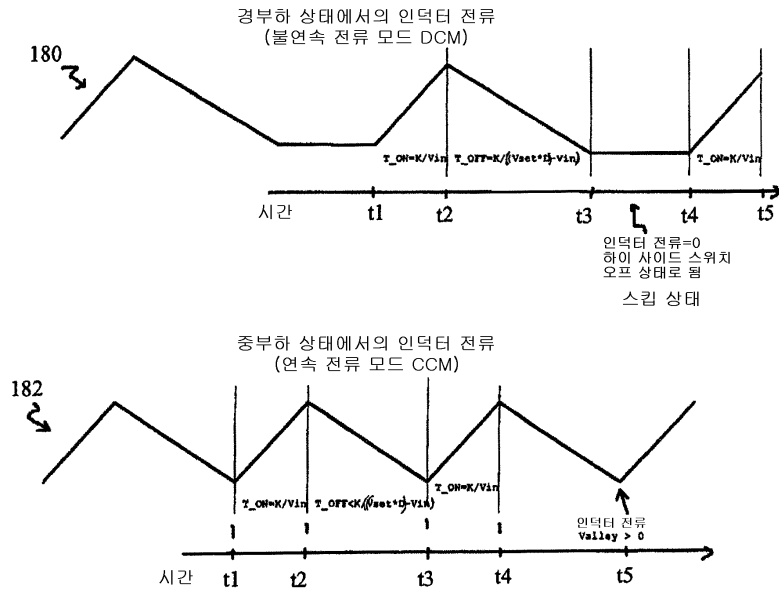
도면1c



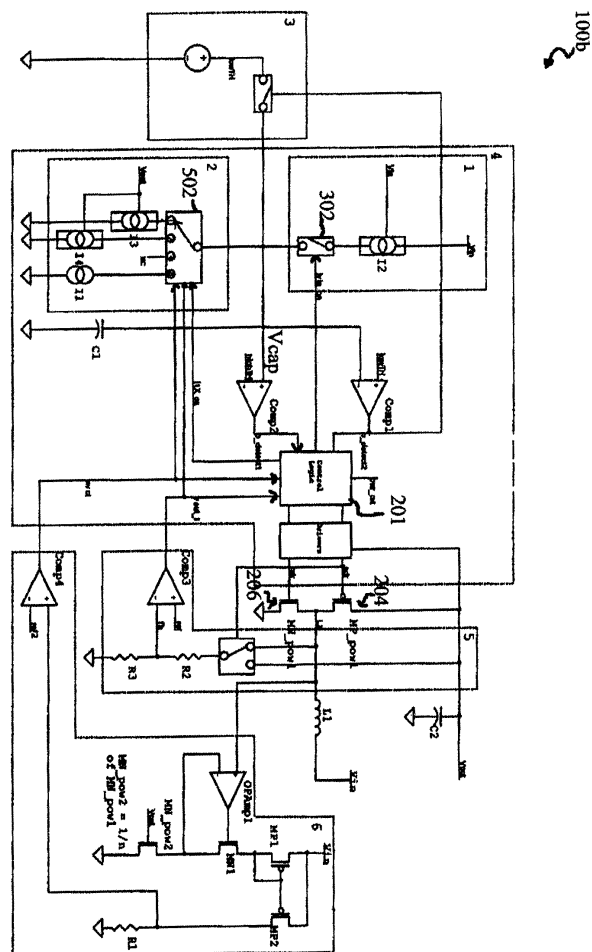


도면1d

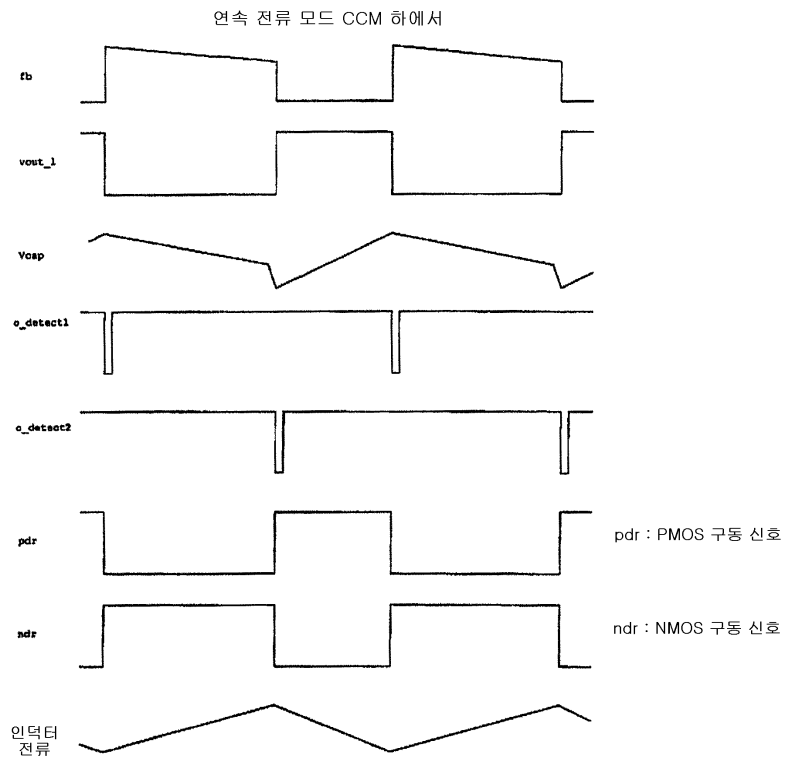
상이한 부하 상태 하에서의 인덕터 파형



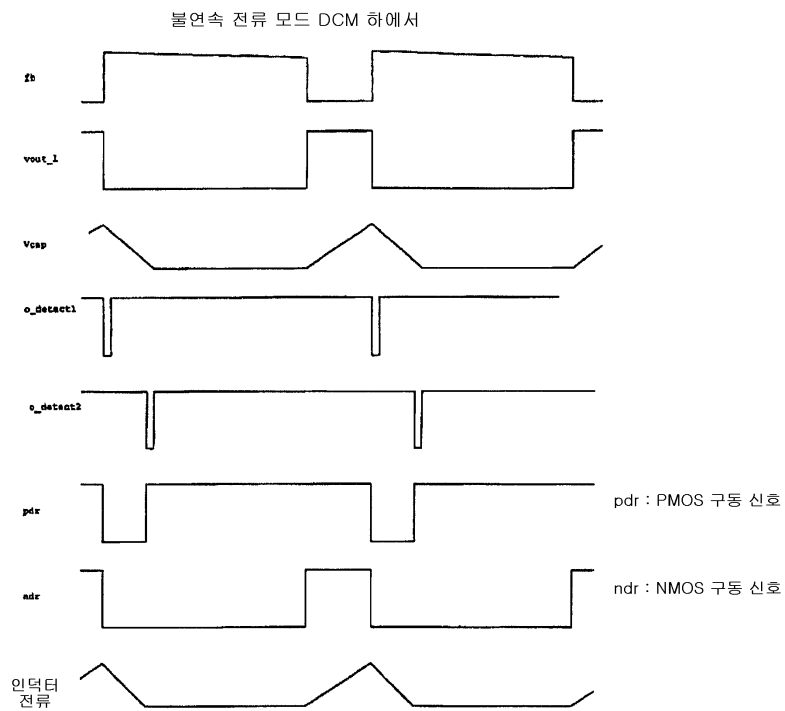
도면2a



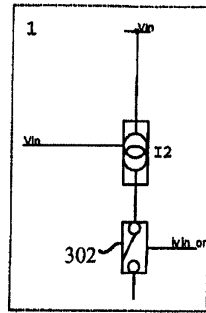
도면2b



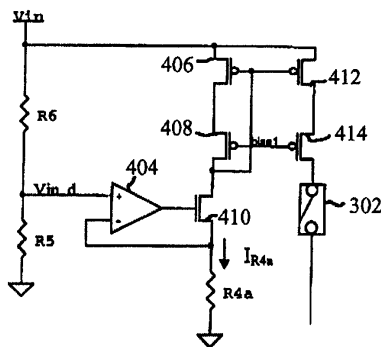
도면2c



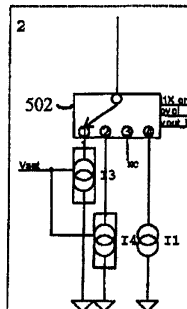
도면3



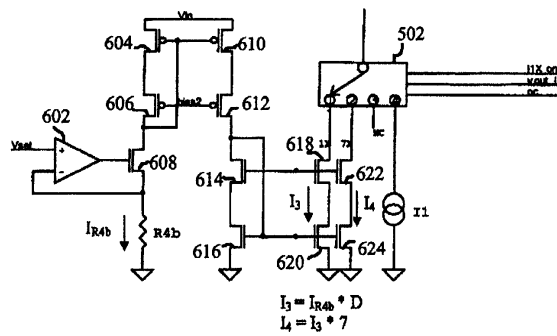
도면4



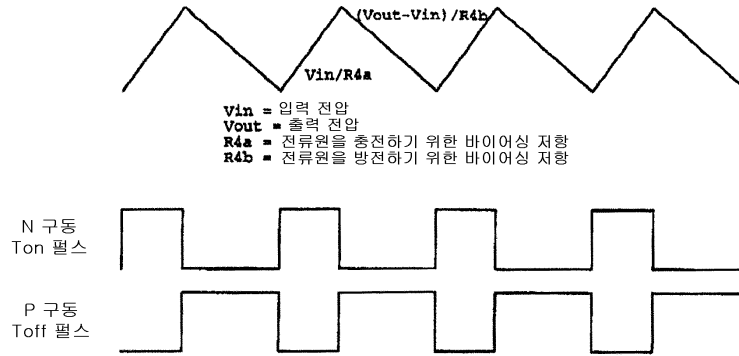
도면5



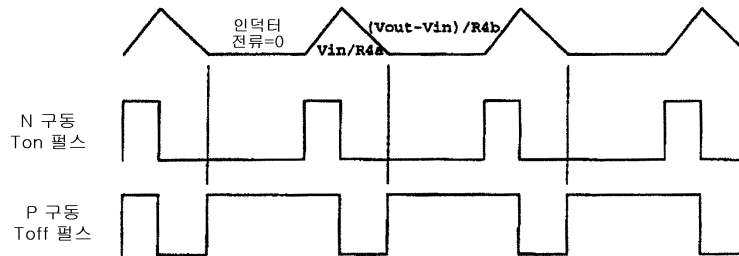
도면6



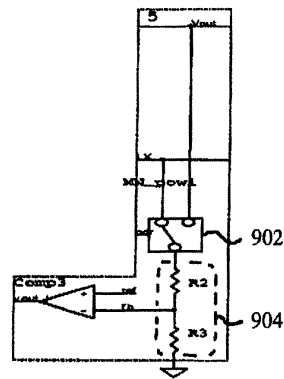
도면7



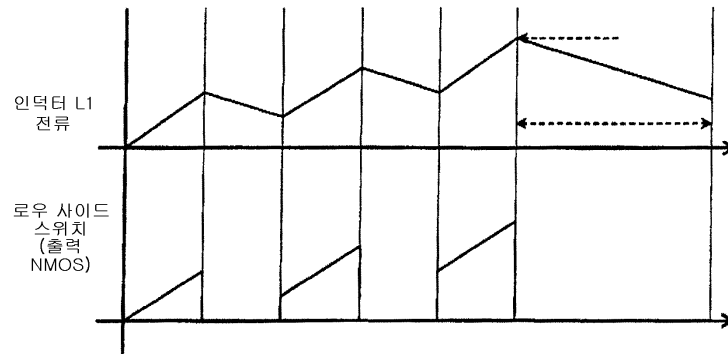
도면8



도면9



도면10



도면11

