



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월23일 10-0720258 2007년05월14일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0006984 2006년01월23일 2006년01월23일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	정태오 서울특별시 성북구 석관2동 332-425
(74) 대리인	특허법인태평양 이정훈

(56) 선행기술조사문헌
KR1020060023308

심사관 : 홍성의

전체 청구항 수 : 총 5 항

(54) 반도체 소자의 형성 방법

(57) 요약

본 발명은 반도체 소자의 형성 방법에 관한 것으로, 반도체 소자의 크기가 감소하면서 활성영역, 소자분리막 및 벌브형 리세스 게이트 영역을 형성하는데 있어 공정마진이 감소하는 문제를 해결하기 위하여, 에피택셜 성장 방법을 이용하여 활성영역 및 리세스 게이트 영역을 확장시키는 방법을 사용함으로써, 활성영역을 정의하는 소자분리막 형성 공정 및 리세스 게이트 영역을 형성하는 공정 마진을 충분히 확보할 수 있도록 하는 발명에 관한 것이다.

대표도

도 1i

특허청구의 범위

청구항 1.

활성영역을 정의하는 소자분리막을 포함하는 반도체 기판의 상기 활성영역과 게이트 예정 영역이 중첩되는 영역을 식각 하되, 예정된 게이트의 선포보다 큰 선포를 갖는 리세스 게이트 영역을 형성하는 단계;

상기 리세스 게이트 영역에 감광막을 매립하는 단계;

상기 반도체 기판의 게이트 예정 영역에 예정된 게이트 선폭을 갖는 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴 사이에 노출된 반도체 기판에 에피택셜 성장 공정을 수행하고 에피택셜 성장층을 형성하는 단계;

상기 하드마스크 패턴 및 감광막을 제거하여 상기 하드마스크 패턴 및 감광막이 제거된 공간이 벌브(Bulb)형 리세스 게이트 영역이 되도록 하고, 상기 에피택셜 성장층은 확장된 활성영역으로 형성하는 단계; 및

상기 에피택셜 성장층 사이의 상기 벌브형 리세스 게이트 영역 상부를 지나가는 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 리세스 게이트 영역은 0초과 내지 2000Å의 깊이로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 하드마스크 패턴은 버퍼 산화막 및 질화막층 패턴의 적층구조로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 에피택셜 성장층은 반도체 기판의 표면으로부터 0초과 내지 2000Å의 높이만큼 성장되도록 하되, 수직 및 수평 방향으로 성장시키는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 에피택셜 성장 공정을 수행한 후 비트라인 콘택 예정 영역을 노출시키는 감광막 패턴을 형성하고, C-할로 이온 주입 공정을 수행하는 단계; 및

상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 형성 방법에 관한 것으로, 반도체 소자의 크기가 감소하면서 활성영역, 소자분리막 및 벌브형 리세스 게이트 영역을 형성하는데 있어 공정마진이 감소하는 문제를 해결하기 위하여, 에피택셜 성장 방법을 이용하여 활성영역 및 리세스 게이트 영역을 확장시키는 방법을 사용함으로써, 활성영역을 정의하는 소자분리막 형성 공정 및 리세스 게이트 영역을 형성하는 공정 마진을 충분히 확보할 수 있도록 하는 발명에 관한 것이다.

반도체 소자가 고집적화됨에 따라 활성영역 및 소자분리막을 형성하는 공정마진이 감소하게 되었다. 또한, 게이트의 선폭이 좁아지면서 채널 길이의 감소로 반도체 소자의 전기적 특성이 저하되는 문제가 있다. 이를 극복하기 위하여 리세스 게이트를 사용하게 되었다. 리세스 게이트는 게이트 예정 영역의 반도체 기판을 소정 깊이 식각하여 활성영역과 게이트 사이의 접촉면적을 증가시킴으로써 게이트 채널 길이를 증가시킬 수 있는 기술이다.

그러나 반도체 소자의 크기가 점점 더 작아지면서 리세스 게이트 영역을 이용하여 채널 길이를 증가시키는 데 한계가 발생하고 후속의 랜딩 플러그 콘택 영역을 확보하는 것도 어렵게 되었다. 이를 극복하기 위하여 벌브형(Bulb) 리세스 게이트 영역을 형성함으로써 채널 길이를 효율적으로 확보하면서 랜딩 플러그 콘택 영역을 충분히 확보할 수 있도록 하였으나, 벌브형 리세스 게이트 영역을 형성하기 위해서는 2번의 식각 공정을 이용하여야 하고 공정 마진이 극도로 제한된다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위하여, 본 발명은 에피택셜 성장 방법을 이용하여 활성영역 및 리세스 게이트 영역을 확장시키는 방법을 사용함으로써, 활성영역을 정의하는 소자분리막 형성 공정 및 리세스 게이트 영역을 확장하여 벌브형 리세스 게이트 영역을 형성하는 공정 마진을 충분히 확보할 수 있도록 하는 반도체 소자의 형성 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

본 발명에 따른 반도체 소자의 형성 방법은
 활성영역을 정의하는 소자분리막을 포함하는 반도체 기판의 상기 활성영역과 게이트 예정 영역이 중첩되는 영역을 식각하되, 예정된 게이트의 선폭보다 큰 선폭을 갖는 리세스 게이트 영역을 형성하는 단계와,
 상기 리세스 게이트 영역에 감광막을 매립하는 단계와,
 상기 반도체 기판의 게이트 예정 영역에 예정된 게이트 선폭을 갖는 하드마스크 패턴을 형성하는 단계와,
 상기 하드마스크 패턴 사이에 노출된 반도체 기판에 에피택셜 성장 공정을 수행하고 에피택셜 성장층을 형성하는 단계와,
 상기 하드마스크 패턴 및 감광막을 제거하여 상기 하드마스크 패턴 및 감광막이 제거된 공간이 벌브(Bulb)형 리세스 게이트 영역이 되도록 하고, 상기 에피택셜 성장층은 확장된 활성영역으로 형성하는 단계 및
 상기 에피택셜 성장층 사이의 상기 벌브형 리세스 게이트 영역 상부를 지나가는 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

여기서, 상기 리세스 게이트 영역은 0초과 내지 2000Å의 깊이로 형성하는 것을 특징으로 하고, 상기 하드마스크 패턴은 버퍼 산화막 및 질화막층 패턴의 적층구조로 형성하는 것을 특징으로 하고, 상기 에피택셜 성장층은 반도체 기판의 표면으로부터 0초과 내지 2000Å의 높이만큼 성장되도록 하되, 수직 및 수평 방향으로 성장시키는 것을 특징으로 하고, 상기 에피택셜 성장 공정을 수행한 후 비트라인 콘택 예정 영역을 노출시키는 감광막 패턴을 형성하고, C-할로 이온 주입 공정을 수행하는 단계 및 상기 감광막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 한다.

- 삭제
- 삭제
- 삭제
- 삭제
- 삭제
- 삭제

삭제

삭제

이하에서는 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명하기로 한다.

도 1a 내지 도 1i는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 단면도들이다.

도 1a를 참조하면, 반도체 기판(100)에 활성영역(120)을 정의하는 소자분리막(110)을 형성한 후 반도체 기판(100)의 게이트 예정 영역과 중첩되는 활성영역(120)을 소정 깊이 식각 하여 후속 공정에서 형성되는 게이트의 선폭보다 큰 선폭을 갖고, 종래의 리세스 게이트 영역보다 그 깊이가 얇게 식각되는 리세스 게이트 영역(130)을 형성한다. 이때, 소자분리막(110)은 STI(Shallow Trench Isolation) 공정을 이용하여 형성하는 것이 바람직하며, 리세스 게이트 영역(130)은 0초과 내지 2000Å의 깊이로 형성하는 것이 바람직하다.

여기서, 리세스 게이트 영역(130)의 선 폭은 더 넓게 형성함으로써 미세 공정에 대한 부담을 감소시킬 수 있고, 그 식각 깊이도 소정 깊이만 식각 함으로써 식각 공정에 대한 마진을 증가시킬 수 있다.

도 1b를 참조하면, 리세스 게이트 영역(130)에 감광막(140)을 매립한다. 여기서, 매립 공정은 감광막(140)을 반도체 기판(100) 전면에 형성한 후 소자분리막(110)이 노출될 때까지 에치백(Etch Back) 또는 CMP(Chemical Mechanical Polishing) 공정을 수행하는 것이 바람직하다.

도 1c를 참조하면, 반도체 기판(100) 전면에 버퍼 산화막(150) 및 질화막층(160)을 순차적으로 형성한다.

도 1d를 참조하면, 질화막층(160) 상부에 게이트 예정 영역을 차단하는 마스크 패턴(미도시)을 형성한 후 식각 공정으로 질화막층(160) 및 버퍼 산화막(150)을 식각하여 예정된 게이트 선폭을 갖는 하드마스크 패턴(170)을 형성한다.

도 1e를 참조하면, 하드마스크 패턴(170) 사이에 노출된 반도체 기판(100)에 에피택셜 성장 공정을 수행하여, 에피택셜 성장층(180)을 형성한다. 이때, 에피택셜 성장층(180)은 반도체 기판(100)의 표면으로부터 0초과 내지 2000Å의 높이만큼 성장되도록 하되, 수직 및 수평 방향으로 동시에 성장됨으로써 활성영역(120)이 확장되도록 한다.

도 1f를 참조하면, 하드마스크 패턴(170) 및 감광막(140)을 제거하여 리세스 게이트 영역(130) 및 에피택셜 성장층(180)에 의해 벌브(Bulb)형의 확장된 리세스 게이트 영역(185)이 형성되도록 한다. 이때, 최초 형성한 리세스 게이트 영역(130)은 벌브형 리세스 게이트 영역의 벌브 부분이 되고, 에피택셜 성장층(180)에 의해 확장된 리세스 게이트 영역(185)은 벌브형 리세스 게이트 영역의 목 부분이 된다.

도 1g를 참조하면, 반도체 기판(100) 전체 표면에 게이트 산화막(190)을 형성한다.

도 1h를 참조하면, 반도체 기판(100) 전면에 폴리실리콘층(200)을 형성하고 금속층(210) 및 하드마스크층(220)을 순차적으로 적층한다.

도 1i를 참조하면, 게이트를 정의하는 마스크를 이용한 식각 공정을 이용하여 게이트(230)를 형성한다. 여기서, 게이트(230)는 예정된 게이트 선폭 보다 더 큰 선폭으로 형성된 최초의 리세스 게이트 영역(130) 및 에피택셜 성장층(180)에 의해 확장된 리세스 게이트 영역(185)으로 인하여 게이트 채널 길이 및 면적을 안정적으로 확보할 수 있다.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 평면도이다.

도 2a은 도 1a에 대응되는 평면도로서, 도 1a 내지 도 1i는 도 2a의 XX'방향에 따른 단면도가 된다. 반도체 기판(100) 상에 활성영역(120)을 정의하고 활성영역(120) 내에 리세스 게이트 영역(130)을 형성한다. 이때, 반도체 소자의 특성 향상을 위하여 활성영역(120)의 크기를 증가시키면, 활성영역(120)을 정의하는 소자분리막(110)의 공정 마진이 감소하게 되는데 본 발명에 따른 반도체 소자의 형성 방법에서는 후속의 에피택셜 성장 공정을 통하여 활성영역(120)을 확장할 수 있기 때문에 본 발명에 따른 소자분리막(110)은 충분한 공정마진을 확보하면서 형성할 수 있다.

또한, 리세스 게이트 영역(130)을 형성하는데 있어서도 후속의 에피택셜 성장 공정을 통하여 확장 가능하므로 예정된 게이트의 선폭보다 더 큰 선폭을 갖게 형성하여 리세스 게이트 영역을 형성하는 공정 마진을 충분하게 확보할 수 있다.

도 2b를 참조하면, 리세스 게이트 영역(130) 내에 감광막(140)을 매립한다.

도 2c를 참조하면, 게이트 예정 영역에 하드마스크 패턴(170)을 형성한다.

도 2d를 참조하면, 에피택셜 성장 공정을 수행하여 에피택셜 성장층(180)을 형성함으로써 활성영역(120)을 확장시키고, 리세스 게이트 영역(130)도 확장시킨다.

도 2e를 참조하면, 하드마스크 패턴(170) 및 감광막(140)을 제거한다.

도 2f를 참조하면, 리세스 게이트 영역(130) 및 에피택셜 성장층(180)에 의해 확장된 영역(185) 상부에 게이트(230)를 형성한다.

도 3은 본 발명에 따른 반도체 소자의 형성 방법 중 C-할로 이온 주입 공정을 도시한 단면도이다.

도 3을 참조하면, 도 1e 및 도 2d의 단계에서 에피택셜 성장층(180)을 형성한 후 하드마스크 패턴(170)을 게이트라 가정했을 때, C-할로 이온 주입 영역을 노출 시키는 감광막 패턴(195)을 형성한다. 여기서, C-할로 이온 주입 영역은 비트라인 콘택 예정 영역이다. 다음에는, 감광막 패턴(195)을 이용하여 C-할로 이온 주입 공정을 수행한다. 이때, 하드마스크 패턴(170)의 증황비가 후속의 게이트 증황비보다 상대적으로 작기 때문에 종래의 C-할로 이온 주입용 마스크 패턴을 형성하면서 감광막 패턴이 쓰러지거나, 찌꺼기 발생 문제 및 갭필 문제로 인한 보이드 발생 문제를 방지할 수 있다.

상술한 바와 같이, 본 발명에 따른 반도체 소자의 형성 방법은 에피택셜 성장 방법을 이용하여 활성영역 및 리세스 게이트 영역을 확장시키는 방법을 사용함으로써, 활성영역을 정의하는 소자분리막 형성 공정 및 리세스 게이트 영역을 확장하여 벌브형 리세스 게이트 영역을 형성하는 공정 마진을 충분히 확보할 수 있다. 또한, C-할로 이온 주입 공정을 게이트 형성 후 수행하는 것이 아니라 에피택셜 성장 공정 후에 게이트 모양의 하드마스크 패턴을 이용하여 형성함으로써, C-할로 이온 주입 공정을 안정적으로 수행할 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자의 형성 방법은 리세스 게이트 영역을 형성한 후 게이트 모양의 하드마스크 패턴을 이용하여 에피택셜 성장 공정을 수행함으로써, 활성영역 및 리세스 게이트 영역을 확장시킬 수 있다. 활성영역을 확장시킬 수 있으므로 활성영역을 정의하는 소자분리막 형성 공정 마진을 충분히 확보할 수 있고, 리세스 게이트 영역을 확장시킬 수 있으므로 벌브형 리세스 게이트 영역을 형성하는 공정 마진을 충분히 확보할 수 있다. 또한, C-할로 이온 주입 공정을 에피택셜 성장 공정 후에 수행함으로써 C-할로 이온 주입 공정을 안정적으로 수행할 수 있다. 따라서 본 발명에 따른 반도체 소자의 형성 방법은 소자분리막 형성 공정을 안정적으로 수행할 수 있고, 활성영역을 확장시킴으로써 후속의 랜딩 플러그 콘택 면적을 확보하여 저항을 개선하고, 리세스 게이트 영역을 안정적으로 확장시킴으로써 리프레쉬 특성을 향상시킬 수 있는 효과를 제공한다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

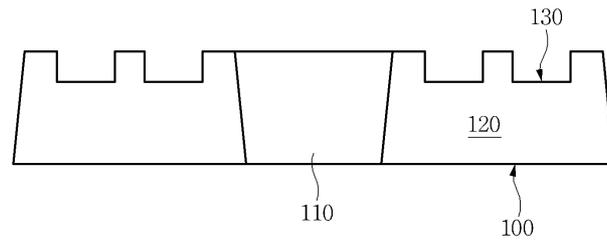
도 1a 내지 도 1i는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 단면도들.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 평면도.

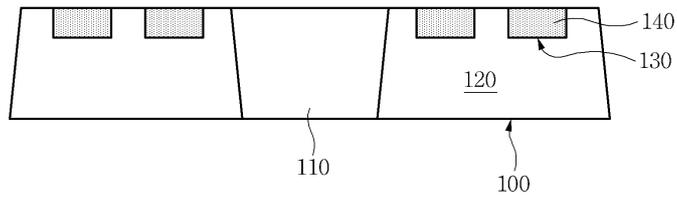
도 3은 본 발명에 따른 반도체 소자의 형성 방법 중 C-할로 이온 주입 공정을 도시한 단면도.

도면

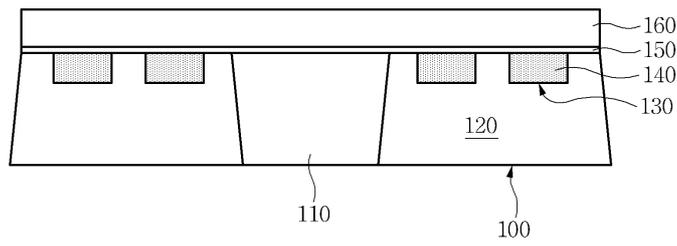
도면1a



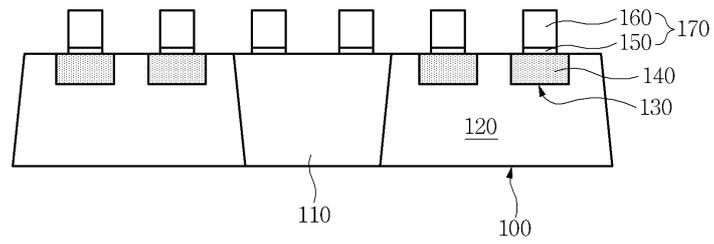
도면1b



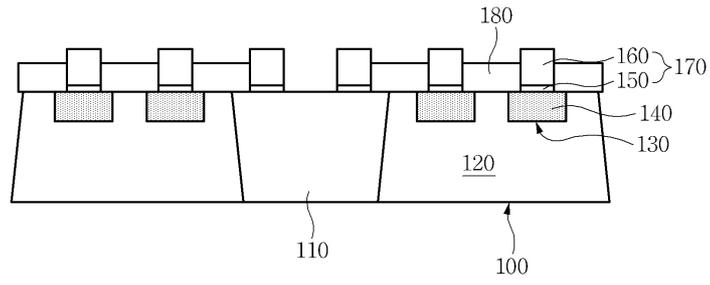
도면1c



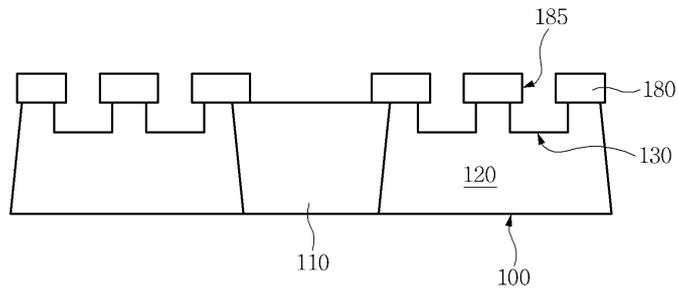
도면1d



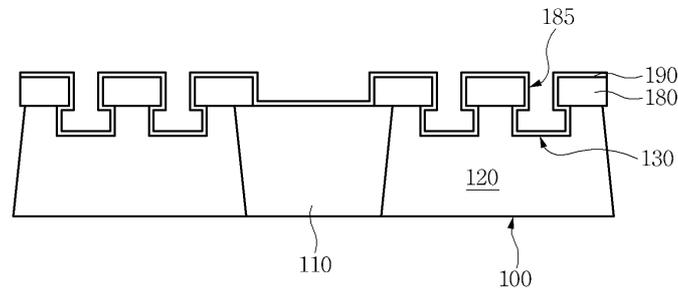
도면1e



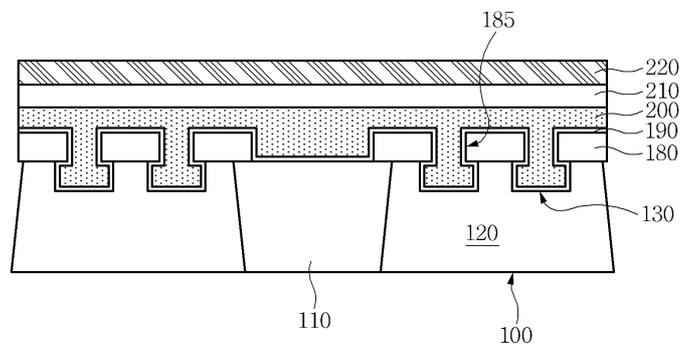
도면1f



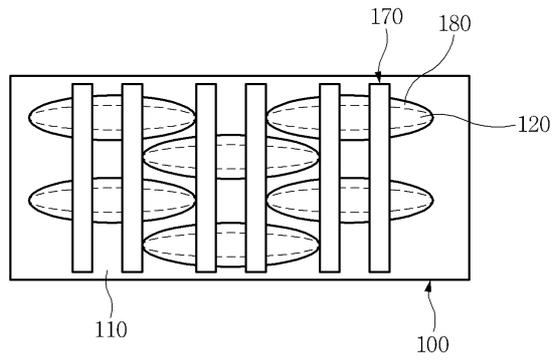
도면1g



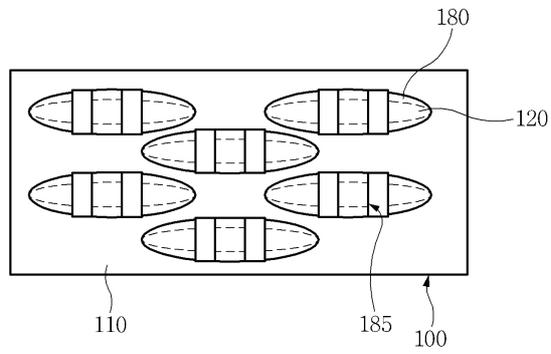
도면1h



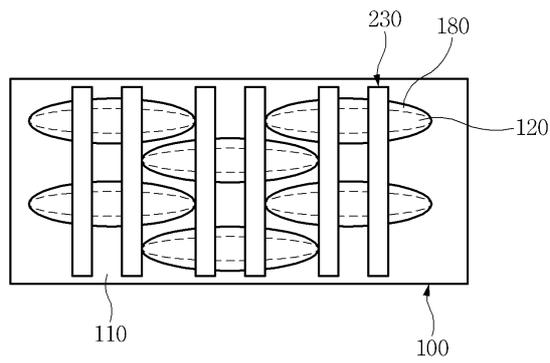
도면2d



도면2e



도면2f



도면3

