

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7471192号
(P7471192)

(45)発行日 令和6年4月19日(2024.4.19)

(24)登録日 令和6年4月11日(2024.4.11)

(51)国際特許分類

F I

H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	6 5 7 D
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/861	(2006.01)	H 0 1 L	29/91	D
H 0 1 L	29/868	(2006.01)	H 0 1 L	29/91	F
H 0 1 L	29/06	(2006.01)	H 0 1 L	29/91	L

請求項の数 11 (全36頁) 最終頁に続く

(21)出願番号 特願2020-167211(P2020-167211)
 (22)出願日 令和2年10月1日(2020.10.1)
 (65)公開番号 特開2022-59446(P2022-59446A)
 (43)公開日 令和4年4月13日(2022.4.13)
 審査請求日 令和4年11月30日(2022.11.30)

(73)特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74)代理人 100088672
 弁理士 吉竹 英俊
 (74)代理人 100088845
 弁理士 有田 貴弘
 (72)発明者 高橋 徹雄
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 (72)発明者 藤井 秀紀
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 (72)発明者 本田 成人
 東京都千代田区丸の内二丁目7番3号
 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

トランジスタとダイオードとが共通の半導体基板に形成された半導体装置であって、前記半導体基板は、
 前記トランジスタが形成されたトランジスタ領域と、
 前記ダイオードが形成されたダイオード領域と、
 前記トランジスタ領域および前記ダイオード領域を含むセル領域を囲む外周領域と、を有し、
 前記トランジスタ領域は、
 複数のストライプ状のゲート電極によって、チャンネルが形成される複数のチャンネル領域と、前記チャンネルが形成されない複数の非チャンネル領域と、に区分され、
 前記複数のチャンネル領域は、
 前記半導体基板の第2主面側に設けられた第1導電型の第1半導体層と、
 前記第1半導体層上に設けられた第2導電型の第2半導体層と、
 前記第2半導体層よりも前記半導体基板の第1主面側に設けられた第1導電型の第3半導体層と、
 前記第3半導体層の上層部に選択的に設けられた第2導電型の第4半導体層と、
 前記第4半導体層と側面どうしが接するように選択的に設けられた第1導電型の第5半導体層と、
 前記第1半導体層に電気的に接続された第1電極と、

10

20

前記第 4 半導体層および前記第 5 半導体層に電氣的に接続された第 2 電極と、を有し、
前記複数の非チャンネル領域のうち少なくとも 1 つの非チャンネル領域は、
前記第 1 半導体層と、
前記第 2 半導体層と、
前記第 3 半導体層と、
前記第 5 半導体層と、
前記第 1 電極と、
前記第 2 電極と、を有し、
前記少なくとも 1 つの非チャンネル領域の前記第 3 半導体層および前記第 5 半導体層は、
コンタクトホールを介して、前記第 2 電極と電氣的に接続され、
前記少なくとも 1 つの非チャンネル領域の前記第 5 半導体層は、前記外周領域に設けられ
前記セル領域との境界を規定する第 1 導電型の不純物層と接しないように前記第 3 半導体
層の上層部に選択的に設けられた、第 1 非チャンネル領域である、半導体装置。

10

【請求項 2】

前記複数の非チャンネル領域は、第 2 非チャンネル領域を含み、
前記第 2 非チャンネル領域は、
前記第 1 半導体層と、
前記第 2 半導体層と、
前記第 3 半導体層と、
前記第 5 半導体層と、
前記第 1 電極と、
前記第 2 電極と、を有し、
前記第 3 半導体層および前記第 5 半導体層は、前記コンタクトホールを介して、前記第
2 電極と電氣的に接続され、
前記第 5 半導体層は、前記外周領域の前記不純物層と接するように前記第 3 半導体層の
上層部に選択的に設けられる、請求項 1 記載の半導体装置。

20

【請求項 3】

前記第 1 非チャンネル領域の前記第 5 半導体層は、
前記第 3 半導体層および前記第 5 半導体層の平面視での合計面積に対する平面視での面
積の比率が、前記第 3 半導体層の平面視での面積の比率より小さい、請求項 1 または請求
項 2 記載の半導体装置。

30

【請求項 4】

前記第 1 非チャンネル領域の前記第 5 半導体層は、
前記ゲート電極を介して隔てられた前記チャンネル領域の前記第 4 半導体層に対して、平
面視で対向する位置に配置される、請求項 1 記載の半導体装置。

【請求項 5】

前記複数の非チャンネル領域は、第 2 非チャンネル領域を含み、
前記第 2 非チャンネル領域は、
前記第 1 半導体層と、
前記第 2 半導体層と、
前記第 3 半導体層と、
前記第 5 半導体層と、
前記第 1 電極と、
前記第 2 電極と、を有し、
前記第 5 半導体層は、
前記外周領域の前記不純物層と接するように前記第 3 半導体層の上層部の全面に設けら
れ、前記コンタクトホールを介して、前記第 2 電極と電氣的に接続される、請求項 1 記載
の半導体装置。

40

【請求項 6】

前記第 1 非チャンネル領域は、

50

前記ダイオード領域に隣接して配置される、請求項 1 または請求項 2 記載の半導体装置。
【請求項 7】

前記第 1 非チャネル領域の前記第 5 半導体層は、
平面視形状が、前記複数のゲート電極の延在方向に延在する細長い矩形形状を有して複数設けられ、その長手方向に一行となるように間隔を開けて配置され、
前記間隔は、前記長手方向の長さより短くなるように設定される、請求項 1 記載の半導体装置。

【請求項 8】

前記第 1 非チャネル領域の前記第 5 半導体層は、
平面視形状が、前記複数のゲート電極の延在方向に延在する連続した一本のライン状となるように設けられる、請求項 1 記載の半導体装置。

10

【請求項 9】

前記複数のチャネル領域および前記複数の非チャネル領域は、
チャネル領域と非チャネル領域とが交互に配置される、請求項 1 記載の半導体装置。

【請求項 10】

前記複数のチャネル領域および前記複数の非チャネル領域は、
前記トランジスタ領域内での前記複数のチャネル領域の配設比率が、前記複数の非チャネル領域の配設比率よりも小さくなるように配設される、請求項 1 記載の半導体装置。

【請求項 11】

前記複数のゲート電極のうち、2つの非チャネル領域によって挟まれたゲート電極は、
前記第 2 電極の電位に接続される、請求項 10 記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本開示は半導体装置に関し、リカバリ損失を低減した半導体装置に関する。

【背景技術】

【0002】

一般にパワーデバイスには、耐圧保持能力、動作時にデバイスが破壊に至らないための安全動作領域の保証などの様々な要求がされるが、その中の1つに低損失化がある。パワーデバイスの低損失化にはデバイスの小型化、軽量化などの効果があり、広い意味ではエネルギー消費低減による地球環境の保全につながる効果がある。さらに、これらの効果を奏するパワーデバイスをできる限り低コストで実現することが要求されている。

30

【0003】

上記の要求を満たす手段として、例えば非特許文献 1 に開示されるように、IGBT (Insulated Gate Bipolar Transistor) と還流ダイオード (FWD: Free Wheeling Diode) の特性を1つの構造で達成する逆導通 IGBT (RC-IGBT: Reverse-Conducting IGBT) が提案されている。

【0004】

この RC-IGBT には幾つかの技術的課題があり、その1つはダイオード動作時のリカバリ損失が大きい点である。RC-IGBT では、FWD 動作時にダイオード部のアノード部分 (p 型アノード) および p⁺ 型コンタクトと、n⁻ 型ドリフト層とで形成される pn 接合が順バイアスになり、n⁻ 型ドリフト層に正孔が流れ込み導電率変調を起こすことで順方向の電圧降下を下げることができるが、反面、アノード領域の p 型不純物濃度が高い場合、大量の過剰キャリアが存在すると、デバイス内部のキャリアが排出されにくくなり、リカバリ損失が増大する問題があった。

40

【0005】

特許文献 1 には、これらの問題を解決した構成の幾つかが開示されている。特許文献 1 は、IGBT 領域がトレンチゲートを持ち、チャネルが形成されるチャネル領域と、チャネルが形成されない非チャネル領域に分けられ、非チャネル領域は p 型ベース領域と IGBT 部の p⁺ 型コンタクトが交互に形成されている。

50

【 0 0 0 6 】

このように非チャネル領域のp型不純物の平均濃度を下げることによって、FWD動作時のリカバリ損失を下げている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 文献 】 特開 2 0 1 7 - 1 5 7 6 7 3 号 公 報

【 非特許文献 】

【 0 0 0 8 】

【 文献 】 Proceedings of International symposium on Power Semiconductor devices 2004 pp.133-136 10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

特許文献 1 に開示の技術では、外周領域からの正孔流入による対策がなされていないなど、リカバリ損失の改善が不十分であった。

【 0 0 1 0 】

本開示は上記のような問題を解決するためになされたものであり、FWD動作時のリカバリ損失をさらに低減した半導体装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

本開示に係る半導体装置は、トランジスタとダイオードとが共通の半導体基板に形成された半導体装置であって、前記半導体基板は、前記トランジスタが形成されたトランジスタ領域と、前記ダイオードが形成されたダイオード領域と、前記トランジスタ領域および前記ダイオード領域を含むセル領域を囲む外周領域と、を有し、前記トランジスタ領域は、複数のストライプ状のゲート電極によって、チャンネルが形成される複数のチャンネル領域と、前記チャンネルが形成されない複数の非チャンネル領域と、に区分され、前記複数のチャンネル領域は、前記半導体基板の第 2 主面側に設けられた第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に設けられた第 2 導電型の第 2 半導体層と、前記第 2 半導体層よりも前記半導体基板の第 1 主面側に設けられた第 1 導電型の第 3 半導体層と、前記第 3 半導体層の上層部に選択的に設けられた第 2 導電型の第 4 半導体層と、前記第 4 半導体層と側面どうしが接するように選択的に設けられた第 1 導電型の第 5 半導体層と、前記第 1 半導体層に電氣的に接続された第 1 電極と、前記第 4 半導体層および前記第 5 半導体層に電氣的に接続された第 2 電極と、を有し、前記複数の非チャンネル領域のうち少なくとも 1 つの非チャンネル領域は、前記第 1 半導体層と、前記第 2 半導体層と、前記第 3 半導体層と、前記第 5 半導体層と、前記第 1 電極と、前記第 2 電極と、を有し、前記少なくとも 1 つの非チャンネル領域の前記第 3 半導体層および前記第 5 半導体層は、コンタクトホールを介して、前記第 2 電極と電氣的に接続され、前記少なくとも 1 つの非チャンネル領域の前記第 5 半導体層は、前記外周領域に設けられ前記セル領域との境界を規定する第 1 導電型の不純物層と接しないように前記第 3 半導体層の上層部に選択的に設けられた、第 1 非チャンネル領域である。 30 40

【 発明の効果 】

【 0 0 1 2 】

本開示に係る半導体装置によれば、少なくとも 1 つの非チャンネル領域の第 3 半導体層および第 5 半導体層は、コンタクトホールを介して、第 2 電極と電氣的に接続され、少なくとも 1 つの非チャンネル領域の第 5 半導体層は、外周領域に設けられセル領域との境界を規定する第 1 導電型の不純物層と接しないように第 3 半導体層の上層部に選択的に設けられているので、リカバリ損失をさらに低減することができる。

【 図面の簡単な説明 】

【 0 0 1 3 】

【図 1】実施の形態 1 に係る RC - IGBT のチップ全体を示す平面図である。

【図 2】実施の形態 1 に係る RC - IGBT の部分平面図である。

【図 3】実施の形態 1 に係る RC - IGBT の部分断面図である。

【図 4】実施の形態 1 に係る RC - IGBT の部分断面図である。

【図 5】実施の形態 1 に係る RC - IGBT の部分断面図である。

【図 6】実施の形態 2 に係る RC - IGBT の部分平面図である。

【図 7】実施の形態 2 に係る RC - IGBT の部分断面図である。

【図 8】実施の形態 2 に係る RC - IGBT の部分断面図である。

【図 9】実施の形態 2 に係る RC - IGBT の部分断面図である。

【図 10】実施の形態 3 に係る RC - IGBT の部分平面図である。

10

【図 11】実施の形態 3 に係る RC - IGBT の部分断面図である。

【図 12】実施の形態 3 に係る RC - IGBT の部分断面図である。

【図 13】実施の形態 3 に係る RC - IGBT の部分断面図である。

【図 14】実施の形態 4 に係る RC - IGBT の部分平面図である。

【図 15】実施の形態 4 に係る RC - IGBT の部分断面図である。

【図 16】実施の形態 4 に係る RC - IGBT の部分断面図である。

【図 17】実施の形態 5 に係る RC - IGBT の部分平面図である。

【図 18】実施の形態 5 に係る RC - IGBT の部分断面図である。

【図 19】実施の形態 5 に係る RC - IGBT の部分断面図である。

【図 20】実施の形態 6 に係る RC - IGBT の部分平面図である。

20

【図 21】実施の形態 6 に係る RC - IGBT の部分断面図である。

【図 22】実施の形態 6 に係る RC - IGBT の部分断面図である。

【図 23】実施の形態 6 に係る RC - IGBT の部分断面図である。

【図 24】実施の形態 6 に係る RC - IGBT の部分断面図である。

【図 25】実施の形態 7 に係る RC - IGBT の部分平面図である。

【図 26】実施の形態 7 に係る RC - IGBT の部分断面図である。

【図 27】実施の形態 7 に係る RC - IGBT の部分断面図である。

【図 28】実施の形態 7 に係る RC - IGBT の部分断面図である。

【図 29】実施の形態 8 に係る RC - IGBT の部分平面図である。

【図 30】実施の形態 8 に係る RC - IGBT の部分断面図である。

30

【図 31】実施の形態 8 に係る RC - IGBT の部分断面図である。

【図 32】RC - IGBT の他の構成を示す平面図である。

【図 33】RC - IGBT の他の構成を示す平面図である。

【図 34】RC - IGBT の他の構成を示す部分平面図である。

【図 35】RC - IGBT の他の構成を示す部分断面図である。

【図 36】RC - IGBT の他の構成を示す部分断面図である。

【図 37】RC - IGBT の他の構成を示す部分平面図である。

【図 38】RC - IGBT の他の構成を示す部分断面図である。

【図 39】RC - IGBT の他の構成を示す部分断面図である。

【図 40】RC - IGBT の他の構成を示す部分断面図である。

40

【図 41】RC - IGBT の他の構成を示す部分断面図である。

【図 42】RC - IGBT の他の構成を示す部分断面図である。

【発明を実施するための形態】

【0014】

<はじめに>

以下の説明において、n 型および p 型は半導体の導電型を示し、本開示においては、第 1 導電型を p 型、第 2 導電型を n 型として説明するが、第 1 導電型を n 型、第 2 導電型を p 型としてもよい。また、n⁻型は不純物濃度が n 型よりも低濃度であることを示し、n⁺型は不純物濃度が n 型よりも高濃度であることを示す。同様に、p⁻型は不純物濃度が p 型よりも低濃度であることを示し、p⁺型は不純物濃度が p 型よりも高濃度であることを

50

示す。

【 0 0 1 5 】

また、図面は模式的に示されたものであり、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確に記載されたものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【 0 0 1 6 】

また、以下の説明では、「上」、「下」、「側」、「おもて」および「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向とは関係しない。

【 0 0 1 7 】

< 実施の形態 1 >

< 装置構成 >

図 1 は、実施の形態 1 に係る R C - I G B T 1 0 0 のチップ全体を示す平面図であり、図 2 は、図 1 中の破線で囲まれた領域 X を示す平面図である。図 1 に示す R C - I G B T 1 0 0 は、I G B T 領域 1 0 1 (トランジスタ領域) と F W D 領域 1 0 2 (ダイオード領域) とがストライプ状に並んで設けられたものであり、「ストライプ型」と呼称される。

【 0 0 1 8 】

図 1 に示されるように、I G B T 領域 1 0 1 および F W D 領域 1 0 2 を囲むように外周領域 1 0 3 が設けられ、I G B T 領域 1 0 1 の 1 つにはゲートパッド領域 1 0 4 が部分的に設けられている。なお、後に説明する実施の形態 2 ~ 8 の R C - I G B T 2 0 0 ~ 8 0 0 においてもチップ全体を示す平面図は同じである。

【 0 0 1 9 】

図 2 に示されるように、I G B T 領域 1 0 1 は、トレンチ構造を有する複数のストライプ状の埋め込みゲート電極 8 によって、チャンネルが形成される I G B T チャンネル領域 1 0 6 と、チャンネルが形成されない I G B T 非チャンネル領域 1 0 7 (第 1 非チャンネル領域) とに区分されている。I G B T チャンネル領域 1 0 6 と I G B T 非チャンネル領域 1 0 7 とを合わせてユニットセル領域 1 0 5 と呼称する。また、I G B T 領域 1 0 1 と F W D 領域 1 0 2 とを合わせてセル領域と呼称する。

【 0 0 2 0 】

I G B T チャンネル領域 1 0 6 および I G B T 非チャンネル領域 1 0 7 は、埋め込みゲート電極 8 を間に挟んで、埋め込みゲート電極 8 の配列方向である X 方向 (水平方向) において交互に形成されている。I G B T チャンネル領域 1 0 6 および I G B T 非チャンネル領域 1 0 7 には、何れもコンタクトホール 1 5 が設けられている。

【 0 0 2 1 】

I G B T チャンネル領域 1 0 6 では、埋め込みゲート電極 8 の延在方向である Y 方向 (垂直方向) において、 n^+ 型エミッタ層 3 (第 4 半導体層) と p^+ 型コンタクト層 4 (第 5 半導体層) とが交互に形成されている。

【 0 0 2 2 】

また、I G B T 非チャンネル領域 1 0 7 では、Y 方向において、 p 型チャンネルドープ層 2 (第 3 半導体層) と p^+ 型コンタクト層 4 とが交互に形成されている。これを実施の形態 1 の第 1 の特徴と呼称する。

【 0 0 2 3 】

そして、I G B T 非チャンネル領域 1 0 7 では、外周領域 1 0 3 の p 型ウェル層 1 6 (不純物層) との境界には p 型チャンネルドープ層 2 が形成され、 p 型チャンネルドープ層 2 が p 型ウェル層 1 6 と接続されている。これを実施の形態 1 の第 2 の特徴と呼称する。

【 0 0 2 4 】

また、I G B T 非チャンネル領域 1 0 7 の p^+ 型コンタクト層 4 は、 p 型チャンネルドープ

10

20

30

40

50

層 2 より面積比率が低くなるように設けられている。ここで、面積比率とは、p 型チャネルドープ層 2 と p⁺ 型コンタクト層 4 の平面視での合計面積に対する面積比率である。これを実施の形態 1 の第 3 の特徴と呼称する。ただし、p⁺ 型コンタクト層 4 はゼロにはできず、面積比率で最低でも 20% 程度は p⁺ 型コンタクト層 4 とすることが望ましい。

【0025】

一方、IGBT チャンネル領域 106 では、外周領域 103 の p 型ウェル層 16 との境界には p⁺ 型コンタクト層 4 が形成され、p⁺ 型コンタクト層 4 が p 型ウェル層 16 と接続されている。また、IGBT チャンネル領域 106 の n⁺ 型エミッタ層 3 は、p⁺ 型コンタクト層 4 より面積比率が低くなるように設けられている。

【0026】

また、図 2 に示されるように、FWD 領域 102 においては、p 型アノード層 5 が複数の埋め込みゲート電極 8 によって複数のアノード領域 108 に区分され、各アノード領域 108 には、Y 方向に延在するストライプ状の p⁺ 型コンタクト層 6 が設けられている。なお、p⁺ 型コンタクト層 6 は、外周領域 103 の p 型ウェル層 16 とは接しないように設けられている。また、複数のアノード領域 108 に跨がるようにコンタクトホール 15 が設けられている。

【0027】

図 2 に示す A - A 線での矢示方向断面図を図 3 に、B - B 線での矢示方向断面図を図 4 に、C - C 線での矢示方向断面図を図 5 に示す。

【0028】

図 3 ~ 図 5 に示されるように、RC - IGBT 100 は、シリコン (Si) 基板等の半導体基板からなる n⁻ 型ドリフト層 1 (第 2 半導体層) を有している。n⁻ 型ドリフト層 1 は、n 型不純物として例えばヒ素 (As) またはリン (P) 等を有しており、n 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{15} / \text{cm}^3$ である。

【0029】

半導体基板は、IGBT 領域 101 においては、n⁺ 型エミッタ層 3 および p⁺ 型コンタクト層 4 から p 型コレクタ層 11 (第 1 半導体層) までの範囲であり、FWD 領域 102 においては、p⁺ 型コンタクト層 6 から n⁺ 型カソード層 12 までの範囲である。

【0030】

図 3 ~ 図 5 において、IGBT 領域 101 の n⁺ 型エミッタ層 3 および p⁺ 型コンタクト層 4 の紙面上端を半導体基板の第 1 主面、p 型コレクタ層 11 の紙面下端を半導体基板の第 2 主面と呼ぶ。また、図 3 ~ 図 5 において、FWD 領域 102 の p⁺ 型コンタクト層 6 の紙面上端を半導体基板の第 1 主面、n⁺ 型カソード層 12 の紙面下端を半導体基板の第 2 主面と呼ぶ。FWD 領域 102 の第 1 主面と IGBT 領域 101 の第 1 主面は同一面であり、FWD 領域 102 の第 2 主面と IGBT 領域 101 の第 2 主面は同一面である。

【0031】

図 3 ~ 図 5 に示すように、IGBT 領域 101 では、n⁻ 型ドリフト層 1 の第 1 主面側に、p 型チャネルドープ層 2 が設けられ、FWD 領域 102 では、n⁻ 型ドリフト層 1 の第 1 主面側に、p 型アノード層 5 が設けられている。p 型不純物として例えばボロン (B) またはアルミ (Al) 等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ である。

【0032】

p 型チャネルドープ層 2 の第 1 主面側には、図 3 においては、埋め込みゲート電極 8 のゲート絶縁膜 7 に接して n⁺ 型エミッタ層 3 が設けられ、図 4 においては、p⁺ 型コンタクト層 4 が設けられている。n⁺ 型エミッタ層 3 および p⁺ 型コンタクト層 4 は半導体基板の第 1 主面を構成している。

【0033】

n⁺ 型エミッタ層 3 は、n 型不純物として例えばヒ素 (As) またはリン (P) 等を有する半導体層であり、n 型不純物の濃度は $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。

10

20

30

40

50

【0034】

p⁺型コンタクト層4は、p型不純物として例えばボロン(B)またはアルミ(Al)等を有する半導体層であり、p型不純物の濃度は $1.0 \times 10^{15} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。

【0035】

また、図3～図5に示されるように、RC-IGBT100は、n⁻型ドリフト層1の第2主面側に、n⁻型ドリフト層1よりもn型不純物の濃度が高いn型バッファ層10が設けられている。n型バッファ層10は、RC-IGBT100がオフ状態のときにp型チャネルドープ層2から第2主面側に伸びる空乏層がパンチスルーするのを抑制するために設けられる。n型バッファ層10は、例えば、リン(P)あるいはプロトン(H⁺)を注入して形成してよく、リン(P)およびプロトン(H⁺)の両方を注入して形成してもよい。n型バッファ層10のn型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{18} / \text{cm}^3$ である。

10

【0036】

また、図3～図5に示されるように、IGBT領域101およびFWD領域102の第1主面上にはコレクタ電極14(第1電極)が設けられている。コレクタ電極14は、FWD領域102ではカソード電極として機能する。コレクタ電極14上には、IGBT領域101においてはp型コレクタ層11が設けられ、FWD領域102においてはn⁺型カソード層12が設けられている。

【0037】

p型コレクタ層11は、p型不純物として例えばボロン(B)またはアルミ(Al)等を有する半導体層であり、p型不純物の濃度は $1.0 \times 10^{16} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。

20

【0038】

n⁺型カソード層12は、n型不純物として例えばヒ素(As)またはリン(P)等を有する半導体層であり、n型不純物の濃度は $1.0 \times 10^{16} / \text{cm}^3 \sim 1.0 \times 10^{21} / \text{cm}^3$ である。

【0039】

また、図5に示されるように、外周領域103においては、n⁻型ドリフト層1の第1主面側に、p型ウェル層16が設けられている。p型ウェル層16は、IGBT領域101とFWD領域102を囲むように設けられ、n型不純物として例えばヒ素(As)またはリン(P)等を有し、IGBT領域101のp型チャネルドープ層2の側面と接している。p型ウェル層16の紙面上端は、半導体基板の第1主面となっており、p型ウェル層16上にはキャップ絶縁膜9が設けられている。

30

【0040】

p型ウェル層16のさらに外周には、図示は省略するが、p型のウェル層(終端ウェル層)でセル領域を囲ったFLR(Field Limiting Ring)または濃度勾配をつけたp型のウェル層でセル領域を囲ったVLD(Variation of Lateral Doping)を設けることができ、FLRに用いられるリング状のp型のウェル層の数およびVLDに用いられるp型のウェル層の濃度分布は、RC-IGBT100の耐圧設計によって適宜選択することができる。

40

【0041】

また、図3および図4に示されるように、IGBT領域101では、半導体基板の第1主面からp型チャネルドープ層2を貫通し、n⁻型ドリフト層1に達するトレンチが形成され、トレンチ内にゲート絶縁膜7を介して埋め込みゲート電極8が設けられている。ゲート絶縁膜7および埋め込みゲート電極8上はキャップ絶縁膜9で覆われ、埋め込みゲート電極8がエミッタ電極13(第2電極)に接続されない構成としている。なお、IGBT領域101内の埋め込みゲート電極8は、IGBT領域101内部に形成された、図示されないゲート配線を介してゲートパッド領域104に電氣的に接続され、アクティブトレンチゲートとして機能する。

50

【 0 0 4 2 】

また、図 3 および図 4 に示されるように、FWD 領域 102 においても半導体基板の第 1 主面から p 型チャネルドープ層 2 を貫通し、n⁻型ドリフト層 1 に達するトレンチが形成され、トレンチ内にゲート絶縁膜 7 を介して埋め込みゲート電極 8 が設けられている。FWD 領域 102 内のゲート絶縁膜 7 および埋め込みゲート電極 8 はエミッタ電極 13 に接続されており、埋め込みゲート電極 8 は、ダミートレンチゲートとして機能する。

【 0 0 4 3 】

また、図 3 ~ 図 5 に示されるように、半導体基板の第 1 主面のキャップ絶縁膜 9 が設けられていない領域の上、およびキャップ絶縁膜 9の上にはバリアメタル 18 が形成されている。バリアメタル 18 は、例えば、チタン (Ti) を含む導電体であってよく、例えば、窒化チタンであってよく、チタンと Si を合金化させた TiSi であってよい。図 3 に示すように、バリアメタル 18 は、n⁺型エミッタ層 3、p⁺型コンタクト層 6 および FWD 領域 102 内の埋め込みゲート電極 8 にオーミック接触し、n⁺型エミッタ層 3、p⁺型コンタクト層 6 および FWD 領域 102 内の埋め込みゲート電極 8 と電氣的に接続されている。バリアメタル 18 の上には、エミッタ電極 13 が設けられる。エミッタ電極 13 は、例えば、アルミニウムシリコン合金 (Al-Si 系合金) などのアルミ合金で形成してもよく、アルミ合金で形成した電極上に、無電解めっき、あるいは電解めっきでめっき膜を形成した複数層の金属膜からなる電極であってよい。無電解めっき、あるいは電解めっきで形成するめっき膜は、例えば、ニッケル (Ni) めっき膜であってよい。

【 0 0 4 4 】

図 1 に示したゲートパッド領域 104 は、IGBT 領域 101 内部に形成された、ゲート配線と接続されており、ゲートパッド領域 104 の直下には、酸化膜が形成され、ゲートパッド領域 104 とエミッタ電極 13 とは電氣的に分離されている。なお、酸化膜の直下は、n⁻型ドリフト層 1 であってよく、p 型の終端ウェル層を設けてもよい。

【 0 0 4 5 】

以上説明した実施の形態 1 の RC-IGBT 100 の製造方法については、一般的な IGBT の製造技術を使い、リソグラフィ処理時のマスクパターンを変えることで、IGBT チャネル領域 106 および IGBT 非チャネル領域 107 の不純物層の配置パターンを変えることで製造できるため、詳細な説明は省略する。

【 0 0 4 6 】

< 動作 >

RC-IGBT 100 のセル領域の動作について説明する。RC-IGBT 100 においては、p 型アノード層 5、p⁺型コンタクト層 6、n⁻型ドリフト層 1 および n⁺型カソード層 12 でダイオード構造が形成されている。FWD 動作時のオン状態は、対となる IGBT がオフ状態で、コレクタ電極 14 に対してエミッタ電極 13 に正の電圧がかかった状態となり、p 型アノード層 5 と p⁺型コンタクト層 6 で構成されるアノード領域から正孔が流れ込み、n⁺型カソード層 12 で構成されるカソード領域から電子が流入することで導電率変調が起こり、ダイオードが導通状態になる。

【 0 0 4 7 】

次に、対となる IGBT がオン状態になると、エミッタ電極 13 にコレクタ電極 14 に対して負の電圧がかかった状態となり、n⁻型ドリフト層 1 の正孔が p 型アノード層 5 と p⁺型コンタクト層 6 からエミッタ電極 13 に抜けて、電子が n⁺型カソード層 12 からコレクタ電極に抜ける。ただし、アノード領域近傍の過剰キャリアがなくなり、p 型アノード層 5 と p⁺型コンタクト層 6 と n⁻型ドリフト層 1 とで形成される pn 接合が逆バイアスになるまでは電流が流れ続ける。

【 0 0 4 8 】

そして、アノード領域近傍の過剰キャリアが抜けて、p 型アノード層 5 と p⁺型コンタクト層 6 と n⁻型ドリフト層 1 とで形成される pn 接合が逆バイアスになると逆回復電流が減少し始め、n⁻型ドリフト層 1 内の過剰キャリアが排出されるとリカバリの工程が完了し、遮断状態になる。

10

20

30

40

50

【0049】

RC-IGBT100では、FWD領域102に隣接してIGBT領域101が形成されており、IGBT領域101では、p型チャネルドープ層2、p⁺型コンタクト層4、n⁻型ドリフト層1およびn⁺型カソード層12で寄生ダイオード構造が形成されている。このため、前述した動作で、IGBT領域からも電流が流れ、損失増大の一因となる。

【0050】

しかし、RC-IGBT100では、p型チャネルドープ層2とp⁺型コンタクト層4とが交互に形成されたIGBT非チャネル領域107を設け、IGBT非チャネル領域107のアノード構造部分のp型不純物の平均濃度を下げる構成となっている(第1の特徴)。このため、IGBT非チャネル領域107からn⁻型ドリフト層1に流入する正孔が減少し、これにより寄生ダイオードで発生するリカバリ損失を低減することができる。

10

【0051】

また、IGBT非チャネル領域107では、p型チャネルドープ層2とp⁺型コンタクト層4の両方にコンタクトホール15を接続することで、不純物濃度が高濃度のp⁺型コンタクト層4に電流が集中することがなく、寄生ダイオードのアノード領域から注入される正孔の量が減少され、リカバリ損失が低減できる。

【0052】

また、RC-IGBT100では、IGBT領域101のp型チャネルドープ層2とp⁺型コンタクト層4はバリアメタル18を介してエミッタ電極13と電気的に接続されている。バリアメタルは、Si半導体では一例としてTiなどが用いられ、Ti膜をスパッタリング法等でSi基板上に形成した後、窒素(N₂)雰囲気でのランプアニールなどによりSi表面をシリサイドすると共にTiNを形成する方法を採っている。本実施の形態1では、IGBT領域101でのコンタクトがショットキーコンタクトとならないようなバリアメタル、例えばTiSiを選択している。これにより、高温でのリーク電流、特にIGBT動作時のリーク電流増大を防ぐ効果を保持しつつ、ダイオード動作時のリカバリ損失低減ができる構造となっている。

20

【0053】

また、IGBT非チャネル領域107においては、不純物濃度が高いp⁺型コンタクト層4の面積を、p型チャネルドープ層2の面積より相対的に小さくしている(第3の特徴)。これにより、IGBT非チャネル領域107のアノード構造部分のp型不純物の平均濃度を低くすることができ、IGBT領域101の寄生ダイオードのリカバリ損失を低減することができる。

30

【0054】

次に、RC-IGBT100の外周領域103の動作について説明する。外周領域103には、比較的濃度が高いp型ウェル層16が形成されており、p型ウェル層16、n⁻型ドリフト層1およびn⁺型カソード層12で寄生ダイオード構造が形成されている。このため、IGBT領域101と同じように、望ましくないダイオード損失が発生する可能性がある。

【0055】

しかし、RC-IGBT100では、IGBT非チャネル領域107において、p型ウェル層16の近傍に不純物濃度が高いp⁺型コンタクト層4を形成せず、比較的低濃度のp型チャネルドープ層2がp型ウェル層16に接続される構成となっている(第2の特徴)。このため、p型ウェル層16を介して寄生ダイオードから正孔が注入されることが抑制され、寄生ダイオードのリカバリ損失を低減することができる。

40

【0056】

また、RC-IGBT100では、IGBTチャネル領域106およびIGBT非チャネル領域107が交互に配置されており、配設比率が同じとなって良好な電流バランスとなる。

【0057】

このように、実施の形態1のRC-IGBT100では、第1の特徴により、IGBT

50

領域 101 で形成されている寄生ダイオードのリカバリ損失を低減することができる。また、第 2 の特徴により、外周領域 103 で形成される寄生ダイオードの影響を低減し、リカバリ損失をさらに下げることができる。これら第 1 ~ 第 3 の特徴を組み合わせることにより、装置全体のダイオード動作時のリカバリ損失を低減することができる。また、第 3 の特徴により、IGBT 領域 101 の寄生ダイオードの動作をより効果的に低減することができる。

【0058】

<実施の形態 2 >

次に、図 6 ~ 図 9 を用いて、実施の形態 2 に係る RC - IGBT 200 について説明する。なお、RC - IGBT 200 のチップ全体を示す平面図は図 1 と同じであり、図 6 は、図 1 中の破線で囲まれた領域 X を示す平面図である。また、図 6 に示す A - A 線での矢示方向断面図を図 7 に、B - B 線での矢示方向断面図を図 8 に、C - C 線での矢示方向断面図を図 9 に示す。なお、図 6 ~ 図 9 においては、図 2 ~ 図 5 を用いて説明した RC - IGBT 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【0059】

図 6 に示されるように、IGBT 領域 101 は、複数の埋め込みゲート電極 8 によって、IGBT チャンネル領域 106 と、IGBT 非チャンネル領域 107 とに区分されており、複数の IGBT 非チャンネル領域 107 のうち、FWD 領域 102 の近傍の IGBT 非チャンネル領域 107 (第 1 非チャンネル領域) を除いた IGBT 非チャンネル領域 107 (第 2 非チャンネル領域) では、外周領域 103 の p 型ウェル層 16 との境界に p⁺ 型コンタクト層 4 が形成され、p⁺ 型コンタクト層 4 が p 型ウェル層 16 と接続されている。

20

【0060】

すなわち、FWD 領域 102 に隣接する IGBT チャンネル領域 106 の隣の IGBT 非チャンネル領域 107 (FWD 領域 102 の近傍の IGBT 非チャンネル領域 107) は、実施の形態 1 の RC - IGBT 100 と同じく、外周領域 103 の p 型ウェル層 16 との境界に p 型チャンネルドープ層 2 が形成され、p 型チャンネルドープ層 2 が p 型ウェル層 16 と接続されている。しかし、FWD 領域 102 の近傍の IGBT 非チャンネル領域 107 以外の IGBT 非チャンネル領域 107 (FWD 領域 102 から離れた位置の IGBT 非チャンネル領域 107) では、外周領域 103 の p 型ウェル層 16 との境界に p⁺ 型コンタクト層 4 が形成され、p⁺ 型コンタクト層 4 が p 型ウェル層 16 と接続されている。

30

【0061】

また、FWD 領域 102 の近傍の IGBT 非チャンネル領域 107 の Si 面が露出した領域 (メサ領域) における p⁺ 型コンタクト層 4 が配置された面積は、FWD 領域 102 から離れた位置の IGBT 非チャンネル領域 107 のメサ領域における p⁺ 型コンタクト層 4 が配置された面積よりも小さくなっている。

【0062】

また、実施の形態 2 の RC - IGBT 200 では、FWD 領域 102 の近傍の IGBT 非チャンネル領域 107 は、不純物濃度が高い p⁺ 型コンタクト層 4 は、p 型チャンネルドープ層 2 より面積比率が低くなるように設けられている。

【0063】

n⁺ 型カソード層 12 の近傍にある IGBT 領域 101 は寄生ダイオードの動作による影響が大きくなるが、IGBT 非チャンネル領域 107 を設けることで、この部分の実効的なアノード濃度が低くなり、FWD 動作時のリカバリ損失を低減できる。

40

【0064】

また、FWD 領域 102 から離れた位置の IGBT 非チャンネル領域 107 (第 2 非チャンネル領域) では、p⁺ 型コンタクト層 4 が外周領域 103 の p 型ウェル層 16 と接続されている。このため、IGBT 動作時に外周領域 103 から流れ込むホールを低抵抗層を介してエミッタ電極 13 へと流すことができ、逆バイアス安全動作領域 (RBSOA) の低下を最小限にして、FWD 動作時のリカバリ損失を低減することができる。

【0065】

50

また、 p^+ 型コンタクト層4が外周領域103の p 型ウェル層16の側面と接するだけでなく、 p 型ウェル層16内にまで侵入するように構成すると、RBSOAの低下をさらに抑制することができる。すなわち、FWD領域102から離れた位置では、寄生ダイオードの動作が無視でき、上記のような構成を採った場合でも、IGBTの特性の改善を期待できる。

【0066】

<実施の形態3>

次に、図10～図13を用いて、実施の形態3に係るRC-IGBT300について説明する。なお、RC-IGBT300のチップ全体を示す平面図は図1と同じであり、図10は、図1中の破線で囲まれた領域Xを示す平面図である。また、図10に示すA-A線での矢示方向断面図を図11に、B-B線での矢示方向断面図を図12に、C-C線での矢示方向断面図を図13に示す。なお、図10～図13においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【0067】

図10に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャネル領域106と、IGBT非チャネル領域107とに区分されており、複数のIGBT非チャネル領域107に形成された p^+ 型コンタクト層4は、埋め込みゲート電極8を介して隔てられたIGBTチャネル領域106の n^+ 型エミッタ層3に対して、平面視で対向する位置に配置されている。

20

【0068】

なお、IGBT非チャネル領域107においては、 p 型チャネルドープ層2と p^+ 型コンタクト層4が交互に形成されており、外周領域103の p 型ウェル層16との境界に p 型チャネルドープ層2が形成され、 p 型チャネルドープ層2が p 型ウェル層16と接続されている構成については、実施の形態1のRC-IGBT100と同一である。

【0069】

次にRC-IGBT300の動作について説明する。IGBT動作時のターンオフ動作は、オン状態で導電率変調によって n^- 型ドリフト層1内にたまった過剰キャリアが排出されることで完了するが、この際、正孔は p 型チャネルドープ層2から p^+ 型コンタクト層4を介してエミッタ電極13に流れるのが正常動作である。ただし、 n^+ 型エミッタ層3直下の p 型チャネルドープ層2のシート抵抗が高いと、正孔電流が集中するなどの問題が生じた場合、 p 型チャネルドープ層2と n^+ 型エミッタ層3の pn 接合に順バイアスが加わり、 p 型チャネルドープ層2から p^+ 型コンタクト層4に正孔が流れず、 p 型チャネルドープ層2から n^+ 型エミッタ層3に正孔が流れてターンオフが失敗する場合がある。

30

【0070】

この対策として有効なのは、 p 型チャネルドープ層2と n^+ 型エミッタ層3の pn 接合が順バイアスしてラッチアップしないように、 n^+ 型エミッタ層3の周辺に高濃度の p 型不純物層、すなわち p^+ 型コンタクト層4を配置して抵抗を低くし、エミッタ電位に接続することで電位上昇を抑えることである。

【0071】

本実施の形態3では、平面視でIGBTチャネル領域106の n^+ 型エミッタ層3の横に p^+ 型コンタクト層4を配置すると共に、IGBT非チャネル領域107では、埋め込みゲート電極8を介して隔てられたIGBTチャネル領域106の n^+ 型エミッタ層3に対して、平面視で対向する位置に p^+ 型コンタクト層4を配置している。このため、 n^+ 型エミッタ層3は、平面視で p^+ 型コンタクト層4で囲まれた構成となり、エミッタ電位への接続が強化され、IGBT動作時のラッチアップの可能性を低減できる。

40

【0072】

なお、IGBT非チャネル領域107においては、 p 型チャネルドープ層2と p^+ 型コンタクト層4が交互に形成し、不純物濃度が高い p^+ 型コンタクト層4の面積を、 p 型チャネルドープ層2の面積よりは大きい、FWD動作時のリカバリ損失を低減することが

50

できる程度に小さくしている。

【0073】

<実施の形態4>

次に、図14～図16を用いて、実施の形態4に係るRC-IGBT400について説明する。なお、RC-IGBT400のチップ全体を示す平面図は図1と同じであり、図14は、図1中の破線で囲まれた領域Xを示す平面図である。また、図14に示すA-A線での矢示方向断面図を図15に、B-B線での矢示方向断面図を図16に示す。なお、図14～図16においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0074】

図14に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャンネル領域106と、IGBT非チャンネル領域107とに区分されており、複数のIGBT非チャンネル領域107のうち、FWD領域102の近傍のIGBT非チャンネル領域107（第1非チャンネル領域）を除いたIGBT非チャンネル領域107（第2非チャンネル領域）では、Si面の全面にp⁺型コンタクト層4が形成されている。

【0075】

すなわち、図14において、FWD領域102に隣接するIGBTチャンネル領域106の隣のIGBT非チャンネル領域107（FWD領域102の近傍のIGBT非チャンネル領域107）は、実施の形態1のRC-IGBT100と同じく、外周領域103のp型ウェル層16との境界にp型チャンネルドープ層2が形成され、p型チャンネルドープ層2がp型ウェル層16と接続されている。しかし、FWD領域102の近傍のIGBT非チャンネル領域107以外のIGBT非チャンネル領域107（FWD領域102から離れた位置のIGBT非チャンネル領域107）では、Si面の全面にp⁺型コンタクト層4が形成され、p⁺型コンタクト層4がp型ウェル層16と接続されている。

【0076】

また、FWD領域102の近傍のIGBT非チャンネル領域107では、実施の形態3のRC-IGBT300と同じく、埋め込みゲート電極8を介して隔てられたIGBTチャンネル領域106のn⁺型エミッタ層3に対して、平面視で対向する位置にp⁺型コンタクト層4を配置している。

【0077】

RC-IGBT400では、FWD領域102の近傍、すなわち裏面のn⁺型カソード層12の近傍に形成されて寄生ダイオードとして働きやすいIGBT非チャンネル領域107の領域を、p型チャンネルドープ層2とp⁺型コンタクト層4を交互に形成して、実効的なp型不純物濃度を低下させることで、FWD動作時のリカバリ損失を低減させることができる。

【0078】

一方、FWD領域102から離れた位置、すなわち裏面のn⁺型カソード層12から遠く、寄生ダイオードとして働きにくい位置にあるIGBT非チャンネル領域107では、p⁺型コンタクト層4を全面に形成することで、IGBT動作時にp型チャンネルドープ層2とn⁺型エミッタ層3とのpn接合に順バイアスが加わることを抑制し、RBSOAなどの破壊耐量低下を抑制することが可能となる。

【0079】

<変形例>

以上説明したRC-IGBT400においては、FWD領域102の近傍のIGBT非チャンネル領域107をp型チャンネルドープ層2とp⁺型コンタクト層4が交互に形成された構成としたが、この列だけに限定されず、他の列のIGBT非チャンネル領域107にも、p型チャンネルドープ層2とp⁺型コンタクト層4が交互に形成された構成を適用することができる。

【0080】

n⁺型カソード層12の近傍のIGBT領域101のp型不純物領域は、寄生pinダ

10

20

30

40

50

イオードのアノード領域として動作して電流経路となるが、 n^+ 型カソード層12から遠くなるほどアノード領域として動作しても影響が小さくなる。これは、寄生pinダイオードの実効的な n^- 型ドリフト層1の厚みが厚くなるのと同じ効果があるためである。基板厚みと同等か、基板厚みの1.5倍程度 n^+ 型カソード層12から離れた領域では寄生ダイオードによる影響が低減される。

【0081】

このため、寄生ダイオードは n^+ 型カソード層12の端部すなわちFWD領域102端部から基板厚みと同じか、基板厚みの1.5倍程度離れた領域に、 p 型チャネルドープ層2と p^+ 型コンタクト層4を交互に形成したIGBT非チャネル領域107を設けることで、リカバリ損失をより低減する効果が得られる。

10

【0082】

また、FWD領域102の近傍のIGBT非チャネル領域107の p 型チャネルドープ層2と p^+ 型コンタクト層4の面積比率は、状況に応じて変更することが可能である。寄生ダイオードの影響が大きいFWD領域102に近い部分はリカバリ損失低減を優先して、 p^+ 型コンタクト層4の面積比率を低くし、FWD領域102から距離が遠ざかるに従って、 p^+ 型コンタクト層4の比率を高くすることで、IGBT動作時のRBSOA耐量の向上に重点を置くことができる。

【0083】

<実施の形態5>

次に、図17～図19を用いて、実施の形態5に係るRC-IGBT500について説明する。なお、RC-IGBT500のチップ全体を示す平面図は図1と同じであり、図17は、図1中の破線で囲まれた領域Xを示す平面図である。また、図17に示すA-A線での矢示方向断面図を図18に、B-B線での矢示方向断面図を図19に示す。なお、図17～図19においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

20

【0084】

図17に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャネル領域106と、IGBT非チャネル領域107とに区分されており、IGBT非チャネル領域107をFWD領域102に隣接して配置し、その隣にIGBTチャネル領域106を配置し、以後、IGBT非チャネル領域107とIGBTチャネル領域106を交互に配置されている。また、IGBT非チャネル領域107では、 p 型チャネルドープ層2と p^+ 型コンタクト層4を交互に形成している。

30

【0085】

RC-IGBT500では、IGBT領域101で最も寄生ダイオードとして動作しやすい領域であるFWD領域102に隣接した領域に、実効的な p 型不純物濃度を下げたIGBT非チャネル領域107で形成することで、FWD動作時のリカバリ損失を低減することができる。

【0086】

<実施の形態6>

次に、図20～図24を用いて、実施の形態6に係るRC-IGBT600について説明する。なお、RC-IGBT600のチップ全体を示す平面図は図1と同じであり、図20は、図1中の破線で囲まれた領域Xを示す平面図である。また、図20に示すA-A線での矢示方向断面図を図21に、B-B線での矢示方向断面図を図22に、C-C線での矢示方向断面図を図23に、D-D線での矢示方向断面図を図24に示す。なお、図20～図24においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

40

【0087】

図20に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャネル領域106と、IGBT非チャネル領域107とに区分されており、IGBT非チャネル領域107には、 p 型チャネルドープ層2と p^+ 型コンタクト層4

50

が形成されているが、 p^+ 型コンタクト層4は、平面視形状が、Y方向に延在する細長い矩形状を有して複数設けられ、その長手方向に一列となるように間隔を開けて不連続に配置されている。IGBT非チャンネル領域107内での p^+ 型コンタクト層4の配置間隔は、 p^+ 型コンタクト層4の長手方向(Y方向)の長さより短くなるように形成されている。

【0088】

なお、IGBT非チャンネル領域107のメサ領域(Si面が露出した部分)における p^+ 型コンタクト層4の面積比率は、実施の形態1のRC-IGBT100と同程度とすることができる。

【0089】

RC-IGBT600では、IGBT領域101において、IGBT非チャンネル領域107の p^+ 型コンタクト層4を一定の面積比率以下に設定しており、実効的にIGBT非チャンネル領域107のp型不純物濃度が下がるため、IGBT領域101が寄生ダイオードとして動作するのを抑制し、FWD動作時のリカバリ損失を低減することができる。

10

【0090】

さらに、 p^+ 型コンタクト層4を細長い矩形状を有した平面視形状とし、その配置間隔は、長手方向の長さより短くなるようにすることで、パターンサイズが大きくなり、製造時の寸法ばらつきを抑制し、FWD動作時のリカバリ損失のばらつきを低減することができる。

【0091】

<実施の形態7>

20

次に、図25～図28を用いて、実施の形態7に係るRC-IGBT700について説明する。なお、RC-IGBT700のチップ全体を示す平面図は図1と同じであり、図25は、図1中の破線で囲まれた領域Xを示す平面図である。また、図25に示すA-A線での矢示方向断面図を図26に、B-B線での矢示方向断面図を図27に、C-C線での矢示方向断面図を図28に示す。なお、図25～図28においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0092】

図25に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャンネル領域106と、IGBT非チャンネル領域107とに区分されており、IGBT非チャンネル領域107には、p型チャンネルドープ層2と p^+ 型コンタクト層4が形成されているが、 p^+ 型コンタクト層4は、平面視形状が、Y方向に延在する連続した一本のライン状に形成されている。

30

【0093】

なお、IGBT非チャンネル領域107のメサ領域(Si面が露出した部分)における p^+ 型コンタクト層4の面積比率は、実施の形態1のRC-IGBT100と同程度とすることができる。

【0094】

RC-IGBT700では、IGBT領域101において、IGBT非チャンネル領域107の p^+ 型コンタクト層4を一定の面積比率以下に設定しており、実効的にIGBT非チャンネル領域107のp型不純物濃度が下がるため、IGBT領域101が寄生ダイオードとして動作するのを抑制し、FWD動作時のリカバリ損失を低減することができる。

40

【0095】

さらに、 p^+ 型コンタクト層4を細長い矩形状を有した平面視形状とし、連続した一本のラインとすることで、パターンサイズが大きくなり、製造時の寸法ばらつきを抑制し、FWD動作時のリカバリ損失のばらつきを低減することができる。

【0096】

<実施の形態8>

次に、図29～図31を用いて、実施の形態8に係るRC-IGBT800について説明する。なお、RC-IGBT800のチップ全体を示す平面図は図1と同じであり、図

50

29は、図1中の破線で囲まれた領域Xを示す平面図である。また、図29に示すA-A線での矢示方向断面図を図30に、B-B線での矢示方向断面図を図31に示す。なお、図29～図31においては、図2～図5を用いて説明したRC-IGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0097】

図29に示されるように、IGBT領域101は、複数の埋め込みゲート電極8によって、IGBTチャンネル領域106と、IGBT非チャンネル領域107とに区分されているが、IGBT領域101におけるIGBTチャンネル領域106の配設比率は1/3である。

【0098】

図29においては、FWD領域102に隣接してIGBTチャンネル領域106を配置、その隣にIGBT非チャンネル領域107を配置し、さらにその隣にもIGBT非チャンネル領域107を配置している。このような、配置をIGBT領域101内で繰り返すことで、IGBTチャンネル領域106とIGBT非チャンネル領域107との比率は1対2となる。

【0099】

なお、IGBTチャンネル領域106およびIGBT非チャンネル領域107を上記のような配置とすると、IGBT非チャンネル領域107に挟まれた埋め込みゲート電極8が存在することになるが、この埋め込みゲート電極8は、ダミートレンチゲートと同様に図示されない領域でエミッタ電極に接続され、埋め込みエミッタ電極17となるので、埋め込みゲート電極8の電位が問題となることはない。

【0100】

RC-IGBT800では、IGBTチャンネル領域106の本数を少なくする、いわゆるIGBTチャンネル領域106を間引くことで、飽和電流および短絡耐量を所望の値に設定することができる。

【0101】

また、IGBT非チャンネル領域107のp⁺型コンタクト層4の面積比率を少なくして、実効的にIGBT非チャンネル領域107のp型不純物濃度を下げているので、IGBT動作時の飽和電流および短絡耐量を所望の値に設定しつつ、FWD動作時のリカバリ損失のばらつきを低減することができる。

【0102】

なお、以上説明した実施の形態1～8では、RC-IGBTについて適用する例を説明をしたが、MOSFETなどに適用することも可能である。

【0103】

また、製造方法の一例としてSi基板を用いた製造方法を説明したが、炭化珪素(SiC)など異なる素材の半導体基板を用いることも可能である。

【0104】

また、図2等では、トレンチ構造を有するストライプ状の埋め込みゲート電極8を有するストライプ状のセルを例示したが、本開示は、縦横に伸びるメッシュ型と言われるセルにも適用可能であり、プレーナゲートを有するプレーナ型と呼ばれるセル構造にも適用可能である。

【0105】

<RC-IGBTの他の構成例>

以下、RC-IGBTの他の構成例について示す。図32は、RC-IGBTである半導体装置1000を示す平面図である。また、図33は、RC-IGBTである半導体装置1001を示す平面図である。図32に示す半導体装置1000は、IGBT領域110とダイオード領域120とがストライプ状に並んで設けられたものであり、単に「ストライプ型」と呼んでよい。図33に示す半導体装置1001は、ダイオード領域120が縦方向と横方向に複数設けられ、ダイオード領域120の周囲にIGBT領域110が設けられたものであり、単に「アイランド型」と呼んでよい。

【0106】

<ストライプ型の全体平面構造>

10

20

30

40

50

図32において、半導体装置1000は、1つの半導体装置内にIGBT領域110とダイオード領域120とを備えている。IGBT領域110およびダイオード領域120は、半導体装置1000の一端側から他端側に延伸し、IGBT領域110およびダイオード領域120の延伸方向と直交する方向に交互にストライプ状に設けられている。図32では、IGBT領域110を3個、ダイオード領域120を2個で示し、全てのダイオード領域120がIGBT領域110で挟まれた構成で示しているが、IGBT領域110とダイオード領域120の数はこれに限るものでなく、IGBT領域110の数は3個以上でも3個以下でもよく、ダイオード領域120の数も2個以上でも2個以下でもよい。また、図32のIGBT領域110とダイオード領域120の場所を入れ替えた構成であってもよく、全てのIGBT領域110がダイオード領域120に挟まれた構成であってもよい。また、IGBT領域110とダイオード領域120とがそれぞれ1つずつ互いに隣り合って設けられた構成であってもよい。

10

【0107】

図32に示すように、紙面下側のIGBT領域110に隣接してパッド領域140が設けられている。パッド領域140は半導体装置1000を制御するための制御パッド141が設けられる領域である。IGBT領域110およびダイオード領域120を合わせてセル領域と呼ぶ。セル領域およびパッド領域140を合わせた領域の周囲には半導体装置1000の耐圧保持のために終端領域130が設けられている。終端領域130には、周知の耐圧保持構造を適宜選択して設けることができる。耐圧保持構造は、例えば、半導体装置1000のおもて面側である第1主面側に、p型半導体のp型終端ウェル層でセル領域を囲ったFLRおよび濃度勾配をつけたp型ウェル層でセル領域を囲ったVLDを設けて構成してよく、FLRに用いられるリング状のp型終端ウェル層の数およびVLDに用いられる濃度分布は、半導体装置1000の耐圧設計によって適宜選択してよい。また、パッド領域140のほぼ全域に渡ってp型終端ウェル層を設けてもよく、パッド領域140にIGBTセルおよびダイオードセルを設けてもよい。制御パッド141は、例えば、電流センスパッド141a、ケルビンエミッタパッド141b、ゲートパッド141c、温度センスダイオードパッド141d、141eであってよい。電流センスパッド141aは、半導体装置1000のセル領域に流れる電流を検知するための制御パッドで、半導体装置1000のセル領域に電流が流れる際に、セル領域全体に流れる電流の数分の1から数万分の1の電流が流れるようにセル領域の一部のIGBTセルまたはダイオードセルに電氣的に接続された制御パッドである。

20

30

【0108】

ケルビンエミッタパッド141bおよびゲートパッド141cは、半導体装置1000をオンオフ制御するためのゲート駆動電圧が印加される制御パッドである。ケルビンエミッタパッド141bはIGBTセルのp型ベース層に電氣的に接続され、ゲートパッド141cはIGBTセルのゲートトレンチ電極に電氣的に接続される。ケルビンエミッタパッド141bとp型ベース層とはp⁺型コンタクト層を介して電氣的に接続されてもよい。温度センスダイオードパッド141d、141eは、半導体装置1000に設けられた温度センスダイオードのアノードおよびカソードに電氣的に接続された制御パッドである。セル領域内に設けられた図示しない温度センスダイオードのアノードとカソードとの間の電圧を測定して、半導体装置1000の温度を測定する。

40

【0109】

<アイランド型の全体平面構造>

図33において、半導体装置1001は、1つの半導体装置内にIGBT領域110とダイオード領域120とを備えている。ダイオード領域120は、半導体装置内に平面視で縦方向および横方向にそれぞれ複数並んで配置されており、ダイオード領域120は周囲をIGBT領域110に取り囲まれている。つまり、IGBT領域110内に複数のダイオード領域120がアイランド状に設けられている。図33では、ダイオード領域120は紙面左右方向に4列、紙面上下方向に2行のマトリクス状に設けた構成で示しているが、ダイオード領域120の個数および配置はこれに限るものではなく、IGBT領域1

50

10内に1つまたは複数のダイオード領域120が点在して設けられ、それぞれのダイオード領域120が周囲をIGBT領域110に囲まれた構成であればよい。

【0110】

図33に示すように、IGBT領域110の紙面下側に隣接してパッド領域140が設けられている。パッド領域140は半導体装置1001を制御するための制御パッド141が設けられる領域である。IGBT領域110およびダイオード領域120を合わせてセル領域と呼ぶ。セル領域およびパッド領域140を合わせた領域の周囲には半導体装置1001の耐圧保持のために終端領域130が設けられている。終端領域130には、周知の耐圧保持構造を適宜選択して設けることができる。耐圧保持構造は、例えば、半導体装置1001のおもて面側である第1主面側に、p型半導体のp型終端ウェル層でセル領域およびパッド領域140を合わせた領域を囲ったFLRおよび濃度勾配をつけたp型ウェル層でセル領域を囲ったVLDを設けて構成してよく、FLRに用いられるリング状のp型終端ウェル層の数およびVLDに用いられる濃度分布は、半導体装置1001の耐圧設計によって適宜選択してよい。また、パッド領域140のほぼ全域に渡ってp型終端ウェル層を設けてもよく、パッド領域140にIGBTセルおよびダイオードセルを設けてもよい。

10

【0111】

制御パッド141は、例えば、電流センスパッド141a、ケルビンエミッタパッド141b、ゲートパッド141c、温度センスダイオードパッド141d、141eであってよい。電流センスパッド141aは、半導体装置1001のセル領域に流れる電流を検知するための制御パッドで、半導体装置1001のセル領域に電流が流れる際に、セル領域全体に流れる電流の数分の1から数万分の1の電流が流れるようにセル領域の一部のIGBTセルまたはダイオードセルに電氣的に接続された制御パッドである。

20

【0112】

ケルビンエミッタパッド141bおよびゲートパッド141cは、半導体装置1001をオンオフ制御するためのゲート駆動電圧が印加される制御パッドである。ケルビンエミッタパッド141bはIGBTセルのp型ベース層およびn+型ソース層に電氣的に接続され、ゲートパッド141cはIGBTセルのゲートトレンチ電極に電氣的に接続される。ケルビンエミッタパッド141bとp型ベース層とはp+型コンタクト層を介して電氣的に接続されてもよい。温度センスダイオードパッド141d、141eは、半導体装置1001に設けられた温度センスダイオードのアノードおよびカソードに電氣的に接続された制御パッドである。セル領域内に設けられた図示しない温度センスダイオードのアノードとカソードとの間の電圧を測定して、半導体装置1001の温度を測定する。

30

【0113】

<部分平面構成>

図34は、図32に示した半導体装置1000または図33に示した半導体装置1001におけるIGBT領域110の破線で囲った領域182を拡大して示す部分平面図である。図34に示すように、IGBT領域110には、アクティブトレンチゲート111とダミートレンチゲート112とがストライプ状に設けられている。半導体装置1000では、アクティブトレンチゲート111およびダミートレンチゲート112は、IGBT領域110の長手方向に延伸しておりIGBT領域110の長手方向がアクティブトレンチゲート111およびダミートレンチゲート112の長手方向となっている。一方、半導体装置1001では、IGBT領域110に長手方向と短手方向の区別が特段にないが、紙面左右方向をアクティブトレンチゲート111およびダミートレンチゲート112の長手方向としてもよく、紙面上下方向をアクティブトレンチゲート111およびダミートレンチゲート112の長手方向としてもよい。

40

【0114】

アクティブトレンチゲート111は、半導体基板に形成されたトレンチ内にゲートトレンチ絶縁膜111bを介してゲートトレンチ電極111aが設けられて構成されている。ダミートレンチゲート112は、半導体基板に形成されたトレンチ内にダミートレンチ絶

50

縁膜 112b を介してダミートレンチ電極 112a が設けられて構成されている。アクティブトレンチゲート 111 のゲートトレンチ電極 111a は、ゲートパッド 141c (図 32、図 33) に電氣的に接続される。ダミートレンチゲート 112 のダミートレンチ電極 112a は、半導体装置 1000 または半導体装置 1001 の第 1 主面上に設けられるエミッタ電極に電氣的に接続される。

【0115】

n^+ 型ソース層 113 が、アクティブトレンチゲート 111 の幅方向の両側にゲートトレンチ絶縁膜 111b に接して設けられる。 n^+ 型ソース層 113 は、 n 型不純物として例えばヒ素 (As) またはリン (P) 等を有する半導体層であり、 n 型不純物の濃度は $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。 n^+ 型ソース層 113 は、アクティブトレンチゲート 111 の延伸方向に沿って、 p^+ 型コンタクト層 114 と交互に設けられる。 p^+ 型コンタクト層 114 は、隣り合った 2 つのダミートレンチゲート 112 の間にも設けられる。 p^+ 型コンタクト層 114 は、 p 型不純物として例えばボロン (B) またはアルミ (Al) 等を有する半導体層であり、 p 型不純物の濃度は $1.0 \times 10^{15} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。

10

【0116】

図 34 に示すように半導体装置 1000 または半導体装置 1001 の IGBT 領域 110 では、アクティブトレンチゲート 111 が 3 本並んだ隣に、ダミートレンチゲート 112 が 3 本並び、ダミートレンチゲート 112 が 3 本並んだ隣に、アクティブトレンチゲート 111 が 3 本並んだ構成となっている。IGBT 領域 110 は、このようにアクティブトレンチゲート 111 の組とダミートレンチゲート 112 の組が交互に並んだ構成をしている。図 34 では、1 つのアクティブトレンチゲート 111 の組に含まれるアクティブトレンチゲート 111 の数を 3 としたが、1 以上であればよい。また、1 つのダミートレンチゲート 112 の組に含まれるダミートレンチゲート 112 の数は 1 以上であってよく、ダミートレンチゲート 112 の数はゼロであってよい。すなわち、IGBT 領域 110 に設けられるトレンチの全てをアクティブトレンチゲート 111 としてもよい。

20

【0117】

< 部分断面構成 >

図 35 は図 34 における A-A 線での矢示方向断面図である。図 35 に示すように、半導体装置 1000 または半導体装置 1001 は、半導体基板からなる n^- 型ドリフト層 91 を有している。 n^- 型ドリフト層 91 は、 n 型不純物として例えばヒ素 (As) またはリン (P) 等を有する半導体層であり、 n 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{15} / \text{cm}^3$ である。半導体基板は、図 35 においては、IGBT 領域 110 においては、 n^+ 型ソース層 113 および p^+ 型コンタクト層 114 から p 型コレクタ層 116 までの範囲である。

30

【0118】

図 35 において IGBT 領域 110 の n^+ 型ソース層 113 および p^+ 型コンタクト層 114 の紙面上端を半導体基板の第 1 主面、 p 型コレクタ層 116 の紙面下端を半導体基板の第 2 主面と呼ぶ。

【0119】

半導体基板の第 1 主面は、半導体装置 1000 または半導体装置 1001 のおもて面側の主面であり、半導体基板の第 2 主面は、半導体装置 1000 または半導体装置 1001 の裏面側の主面である。半導体装置 1000 または半導体装置 1001 は、セル領域である IGBT 領域 110 において、第 1 主面と第 1 主面に対向する第 2 主面との間に n^- 型ドリフト層 91 を有している。

40

【0120】

図 35 に示すように、IGBT 領域 110 では、 n^- 型ドリフト層 91 の第 1 主面側に、 n^- 型ドリフト層 91 よりも n 型不純物の濃度が高い n 型キャリア蓄積層 92 が設けられている。 n 型キャリア蓄積層 92 は、 n 型不純物として例えばヒ素 (As) またはリン (P) 等を有する半導体層であり、 n 型不純物の濃度は $1.0 \times 10^{13} / \text{cm}^3 \sim 1.0$

50

$\times 10^{17} / \text{cm}^3$ である。なお、半導体装置 1000 および半導体装置 1001 は、n 型キャリア蓄積層 92 が設けられずに、n 型キャリア蓄積層 92 の領域にも n 型ドリフト層 91 が設けられた構成であってもよい。n 型キャリア蓄積層 92 を設けることによって、IGBT 領域 110 に電流が流れた際の通電損失を低減することができる。n 型キャリア蓄積層 92 と n 型ドリフト層 91 とを合わせてドリフト層と呼んでもよい。

【0121】

n 型キャリア蓄積層 92 は、n 型ドリフト層 91 を構成する半導体基板に、n 型不純物をイオン注入し、その後アニールによって注入した n 型不純物を n 型ドリフト層 91 である半導体基板内に拡散させることで形成される。

【0122】

n 型キャリア蓄積層 92 の第 1 主面側には、p 型ベース層 115 が設けられている。p 型ベース層 115 は、p 型不純物として例えばボロン (B) またはアルミ (Al) 等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ である。p 型ベース層 115 はアクティブトレンチゲート 111 のゲートトレンチ絶縁膜 111b に接している。p 型ベース層 115 の第 1 主面側には、アクティブトレンチゲート 111 のゲートトレンチ絶縁膜 111b に接して n⁺ 型ソース層 113 が設けられ、残りの領域に p⁺ 型コンタクト層 114 が設けられている。n⁺ 型ソース層 113 および p⁺ 型コンタクト層 114 は半導体基板の第 1 主面を構成している。なお、p⁺ 型コンタクト層 114 は、p 型ベース層 115 よりも p 型不純物の濃度が高い領域であり、p⁺ 型コンタクト層 114 と p 型ベース層 115 とを区別する必要がある場合にはそれぞれを個別に呼称してよく、p⁺ 型コンタクト層 114 と p 型ベース層 115 とを合わせて p 型ベース層と呼んでもよい。

【0123】

また、半導体装置 1000 または半導体装置 1001 は、n 型ドリフト層 91 の第 2 主面側に、n 型ドリフト層 91 よりも n 型不純物の濃度が高い n 型バッファ層 93 が設けられている。n 型バッファ層 93 は、半導体装置 1000 または半導体装置 1001 がオフ状態のときに p 型ベース層 115 から第 2 主面側に伸びる空乏層がパンチスルーするのを抑制するために設けられる。n 型バッファ層 93 は、例えば、リン (P) あるいはプロトン (H⁺) を注入して形成してよく、リン (P) およびプロトン (H⁺) の両方を注入して形成してもよい。n 型バッファ層 93 の n 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{18} / \text{cm}^3$ である。

【0124】

なお、半導体装置 1000 または半導体装置 1001 は、n 型バッファ層 93 が設けられずに、n 型バッファ層 93 の領域にも n 型ドリフト層 91 が設けられた構成であってもよい。n 型バッファ層 93 と n 型ドリフト層 91 とを合わせてドリフト層と呼んでもよい。

【0125】

半導体装置 1000 または半導体装置 1001 は、n 型バッファ層 93 の第 2 主面側に、p 型コレクタ層 116 が設けられている。すなわち、n 型ドリフト層 91 と第 2 主面との間に、p 型コレクタ層 116 が設けられている。p 型コレクタ層 116 は、p 型不純物として例えばボロン (B) またはアルミ (Al) 等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{16} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。p 型コレクタ層 116 は半導体基板の第 2 主面を構成している。p 型コレクタ層 116 は、IGBT 領域 110 だけでなく、図示されない終端領域 130 にも設けられており、p 型コレクタ層 116 のうち終端領域 130 に設けられた部分は p 型終端コレクタ層 116a を構成している。また、p 型コレクタ層 116 は IGBT 領域 110 からダイオード領域 120 に一部がはみ出して設けられてもよい。

【0126】

図 35 に示すように、IGBT 領域 110 では、半導体基板の第 1 主面から p 型ベース層 115 を貫通し、n 型ドリフト層 91 に達するトレンチが形成されている。トレンチ

10

20

30

40

50

内にゲートトレンチ絶縁膜 111b を介してゲートトレンチ電極 111a が設けられることでアクティブトレンチゲート 111 が構成されている。ゲートトレンチ電極 111a は、ゲートトレンチ絶縁膜 111b を介して n⁻ 型ドリフト層 91 に対向している。また、トレンチ内にダミートレンチ絶縁膜 112b を介してダミートレンチ電極 112a が設けられることでダミートレンチゲート 112 が構成されている。ダミートレンチ電極 112a は、ダミートレンチ絶縁膜 112b を介して n⁻ 型ドリフト層 91 に対向している。アクティブトレンチゲート 111 のゲートトレンチ絶縁膜 111b は、p 型ベース層 115 および n⁺ 型ソース層 113 に接している。ゲートトレンチ電極 111a にゲート駆動電圧が印加されると、アクティブトレンチゲート 111 のゲートトレンチ絶縁膜 111b に接する p 型ベース層 115 にチャネルが形成される。

10

【0127】

図 35 に示すように、アクティブトレンチゲート 111 のゲートトレンチ電極 111a の上には層間絶縁膜 94 が設けられている。半導体基板の第 1 主面の層間絶縁膜 94 が設けられていない領域の上、および層間絶縁膜 94 の上にはバリアメタル 95 が形成されている。バリアメタル 95 は、例えば、チタン (Ti) を含む導電体であってよく、例えば、窒化チタンであってよく、チタンとシリコン (Si) を合金化させた TiSi であってよい。図 35 に示すように、バリアメタル 95 は、n⁺ 型ソース層 113、p⁺ 型コンタクト層 114 およびダミートレンチ電極 112a にオーミック接触し、n⁺ 型ソース層 113、p⁺ 型コンタクト層 114 およびダミートレンチ電極 112a と電氣的に接続されている。バリアメタル 95 の上には、エミッタ電極 96 が設けられる。エミッタ電極 96 は、例えば、アルミニウムシリコン合金 (Al-Si 系合金) などのアルミ合金で形成してもよく、アルミ合金で形成した電極上に、無電解めっき、あるいは電解めっきでめっき膜を形成した複数層の金属膜からなる電極であってよい。無電解めっき、あるいは電解めっきで形成するめっき膜は、例えば、ニッケル (Ni) めっき膜であってよい。また、隣接する層間絶縁膜 94 間等の微細な領域であって、エミッタ電極 96 では良好な埋め込みが得られない領域がある場合には、エミッタ電極 96 よりも埋め込み性が良好なタングステン (W) を微細な領域に配置して、タングステンの上にエミッタ電極 96 を設けてもよい。なお、バリアメタル 95 を設けずに、n⁺ 型ソース層 113、p⁺ 型コンタクト層 114 およびダミートレンチ電極 112a の上にエミッタ電極 96 を設けてもよい。また、n⁺ 型ソース層 113 などの n 型の半導体層の上のみにバリアメタル 95 を設けてもよい。バリアメタル 95 とエミッタ電極 86 とを合わせてエミッタ電極と呼んでよい。なお、図 35 では、ダミートレンチゲート 112 のダミートレンチ電極 112a の上には層間絶縁膜 94 が設けられない図を示したが、層間絶縁膜 94 をダミートレンチゲート 112 のダミートレンチ電極 112a の上に形成してもよい。層間絶縁膜 94 をダミートレンチゲート 112 のダミートレンチ電極 112a の上に形成した場合には、別の断面においてエミッタ電極 96 とダミートレンチ電極 112a とを電氣的に接続すればよい。

20

30

【0128】

p 型コレクタ層 116 の第 2 主面側には、コレクタ電極 97 が設けられる。コレクタ電極 97 は、エミッタ電極 96 と同様、アルミ合金またはアルミ合金とめっき膜とで構成されていてもよい。また、コレクタ電極 97 はエミッタ電極 96 と異なる構成であってよい。コレクタ電極 97 は、p 型コレクタ層 116 にオーミック接触し、p 型コレクタ層 116 と電氣的に接続されている。

40

【0129】

図 36 は図 34 における B - B 線での矢示方向断面図である。図 36 に示す IGBT 領域 110 の断面構成は、p⁺ 型コンタクト層 114 の配列方向に沿った断面構成であるので、p 型ベース層 115 の第 1 主面側には、全て p⁺ 型コンタクト層 114 が設けられており、n⁺ 型ソース層 113 が見られない点で図 35 とは異なる。つまり、図 34 に示したように、n⁺ 型ソース層 113 は、p 型ベース層の第 1 主面側に選択的に設けられている。なお、ここで言う p 型ベース層とは、p 型ベース層 115 と p⁺ 型コンタクト層 114 とを合わせて呼ぶ場合の p 型ベース層のことである。

50

【 0 1 3 0 】

< ダイオード領域の構造 >

< 部分平面構成 >

図 3 7 は、図 3 2 に示した半導体装置 1 0 0 0 または図 3 3 に示した半導体装置 1 0 0 1 におけるダイオード領域 1 2 0 の破線で囲った領域 1 8 3 を拡大して示す部分平面図である。図 3 7 に示すように、ダイオード領域 1 2 0 には、ダイオードトレンチゲート 1 2 1 が、半導体装置 1 0 0 0 または半導体装置 1 0 0 1 の第 1 主面に沿ってセル領域であるダイオード領域 1 2 0 の一端側から対向する他端側に向かって延伸している。ダイオードトレンチゲート 1 2 1 は、ダイオード領域 1 2 0 の半導体基板に形成されたトレンチ内にダイオードトレンチ絶縁膜 1 2 1 b を介してダイオードトレンチ電極 1 2 1 a が設けられることで構成される。ダイオードトレンチ電極 1 2 1 a はダイオードトレンチ絶縁膜 1 2 1 b を介して n⁻型ドリフト層 9 1 に対向している。隣接する 2 つのダイオードトレンチゲート 1 2 1 の間には、p⁺型コンタクト層 1 2 4 および p 型アノード層 1 2 5 が設けられている。

10

【 0 1 3 1 】

p⁺型コンタクト層 1 2 4 は、p 型不純物として例えばボロン (B) またはアルミ (A l) 等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{15} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ である。p 型アノード層 1 2 5 は、p 型不純物として例えばボロンまたはアルミ等を有する半導体層であり、p 型不純物の濃度は $1.0 \times 10^{12} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ である。p⁺型コンタクト層 1 2 4 と p 型アノード層 1 2 5 とはダイオードトレンチゲート 1 2 1 の長手方向に交互に設けられている。

20

【 0 1 3 2 】

< 部分断面構成 >

図 3 8 は図 3 7 における C - C 線での矢示方向断面図である。図 3 8 に示すように半導体装置 1 0 0 0 または半導体装置 1 0 0 1 は、ダイオード領域 1 2 0 においても I G B T 領域 1 1 0 と同じく半導体基板からなる n⁻型ドリフト層 1 を有している。ダイオード領域 1 2 0 の n⁻型ドリフト層 1 と I G B T 領域 1 1 0 の n⁻型ドリフト層 1 とは連続して一体的に構成されたものであり、同一の半導体基板によって構成されている。図 3 8 において半導体基板は、p⁺型コンタクト層 1 2 4 から n⁺型カソード層 1 2 6 までの範囲である。図 3 8 において p⁺型コンタクト層 1 2 4 の紙面上端を半導体基板の第 1 主面、n⁺型カソード層 1 2 6 の紙面下端を半導体基板の第 2 主面と呼ぶ。ダイオード領域 1 2 0 の第 1 主面と I G B T 領域 1 1 0 の第 1 主面は同一面であり、ダイオード領域 1 2 0 の第 2 主面と I G B T 領域 1 1 0 の第 2 主面は同一面である。

30

【 0 1 3 3 】

図 3 8 に示すように、ダイオード領域 1 2 0 においても I G B T 領域 1 1 0 と同様に、n⁻型ドリフト層 9 1 の第 1 主面側に n 型キャリア蓄積層 9 2 が設けられ、n⁻型ドリフト層 9 1 の第 2 主面側に n 型バッファ層 9 3 が設けられている。ダイオード領域 1 2 0 に設けられる n 型キャリア蓄積層 9 2 および n 型バッファ層 9 3 は、I G B T 領域 1 1 0 に設けられる n 型キャリア蓄積層 9 2 および n 型バッファ層 9 3 と同一の構成である。なお、I G B T 領域 1 1 0 およびダイオード領域 1 2 0 に n 型キャリア蓄積層 9 2 は必ずしも設ける必要はなく、I G B T 領域 1 1 0 に n 型キャリア蓄積層 9 2 を設ける場合であっても、ダイオード領域 1 2 0 には n 型キャリア蓄積層 9 2 を設けない構成としてもよい。また、I G B T 領域 1 1 0 と同じく、n⁻型ドリフト層 9 1、n 型キャリア蓄積層 9 2 および n 型バッファ層 9 3 を合わせてドリフト層と呼んでもよい。

40

【 0 1 3 4 】

n 型キャリア蓄積層 9 2 の第 1 主面側には、p 型アノード層 1 2 5 が設けられている。p 型アノード層 1 2 5 は、n⁻型ドリフト層 9 1 と第 1 主面との間に設けられている。p 型アノード層 1 2 5 は、I G B T 領域 1 1 0 の p 型ベース層 1 1 5 と p 型不純物の濃度を同じ濃度にして、p 型アノード層 1 2 5 と p 型ベース層 1 1 5 とを同時に形成してもよい。また、p 型アノード層 1 2 5 の p 型不純物の濃度を、I G B T 領域 1 1 0 の p 型ベース

50

層 115 の p 型不純物の濃度よりも低くして、ダイオード動作時にダイオード領域 120 に注入される正孔の量を減少させるように構成してもよい。ダイオード動作時に注入される正孔の量を減少させることでダイオード動作時のリカバリ損失を低減することができる。

【0135】

p 型アノード層 125 の第 1 主面側には、p⁺型コンタクト層 124 が設けられている。p⁺型コンタクト層 124 の p 型不純物の濃度は、IGBT 領域 110 の p⁺型コンタクト層 114 の p 型不純物と同じ濃度としてよく、異なる濃度としてもよい。p⁺型コンタクト層 124 は半導体基板の第 1 主面を構成している。なお、p⁺型コンタクト層 124 は、p 型アノード層 125 よりも p 型不純物の濃度が高い領域であり、p⁺型コンタクト層 124 と p 型アノード層 125 とを区別する必要がある場合にはそれぞれを個別に呼称してよく、p⁺型コンタクト層 124 と p 型アノード層 125 とを合わせて p 型アノード層と呼んでもよい。

10

【0136】

ダイオード領域 120 には、n 型バッファ層 93 の第 2 主面側に、n⁺型カソード層 126 が設けられている。n⁺型カソード層 126 は、n⁻型ドリフト層 91 と第 2 主面との間に設けられている。n⁺型カソード層 126 は、n 型不純物として例えばヒ素またはリン等を有する半導体層であり、n 型不純物の濃度は $1.0 \times 10^{16} / \text{cm}^3 \sim 1.0 \times 10^{21} / \text{cm}^3$ である。図 38 で示したように、n⁺型カソード層 126 は、ダイオード領域 120 の一部または全部に設けられる。n⁺型カソード層 126 は半導体基板の第 2 主面を構成している。なお、図示していないが、上述のように n⁺型カソード層 126 を形成した領域に、さらに p 型不純物を選択的に注入して、n⁺型カソード層 126 を形成した領域の一部を p 型半導体として p 型カソード層を設けてもよい。このように、n⁺型カソード層と p⁺型カソード層とを半導体基板の第 2 主面に沿って交互に配置したダイオードは、RFC (Relaxed Field of Cathode) ダイオードと呼称される。

20

【0137】

図 38 に示すように、半導体装置 1000 または半導体装置 1001 のダイオード領域 120 には、半導体基板の第 1 主面から p 型アノード層 125 を貫通し、n⁻型ドリフト層 91 に達するトレンチが形成されている。ダイオード領域 120 のトレンチ内にダイオードトレンチ絶縁膜 121b を介してダイオードトレンチ電極 121a が設けられることでダイオードトレンチゲート 121 が構成されている。ダイオードトレンチ電極 121a はダイオードトレンチ絶縁膜 121b を介して n⁻型ドリフト層 91 に対向している。

30

【0138】

図 38 に示すように、ダイオードトレンチ電極 121a、および p⁺型コンタクト層 124 の上にはバリアメタル 95 が設けられている。バリアメタル 95 は、ダイオードトレンチ電極 121a および p⁺型コンタクト層 124 とオーミック接触し、ダイオードトレンチ電極および p⁺型コンタクト層 124 に電氣的に接続されている。バリアメタル 95 は、IGBT 領域 110 のバリアメタル 95 と同一の構成であってよい。バリアメタル 95 の上には、エミッタ電極 96 が設けられる。ダイオード領域 120 に設けられるエミッタ電極 96 は、IGBT 領域 110 に設けられたエミッタ電極 96 と連続して形成されている。なお、IGBT 領域 110 の場合と同様に、バリアメタル 95 を設けずに、ダイオードトレンチ電極 121a および p⁺型コンタクト層 124 とエミッタ電極 96 とをオーミック接触させてもよい。なお、図 38 では、ダイオードトレンチゲート 121 のダイオードトレンチ電極 121a の上には層間絶縁膜 94 が設けられない図を示したが、層間絶縁膜 94 をダイオードトレンチゲート 121 のダイオードトレンチ電極 121a の上に形成してもよい。層間絶縁膜 94 をダイオードトレンチゲート 121 のダイオードトレンチ電極 121a の上に形成した場合には、別の断面においてエミッタ電極 96 とダイオードトレンチ電極 121a とを電氣的に接続すればよい。

40

【0139】

n⁺型カソード層 126 の第 2 主面側には、コレクタ電極 97 が設けられる。エミッタ電極 96 と同様、ダイオード領域 120 のコレクタ電極 97 は、IGBT 領域 110 に設

50

けられたコレクタ電極 97 と連続して形成されている。コレクタ電極 97 は、 n^+ 型カソード層 126 にオーミック接触し、 n^+ 型カソード層 126 に電氣的に接続されている。

【0140】

図 39 は図 37 における D - D 線での矢示方向断面図である。図 39 に示すダイオード領域 120 の断面構成は、 p 型アノード層 125 の配列方向に沿った断面構成であるので、 p 型アノード層 125 とバリアメタル 95 との間に、 p^+ 型コンタクト層 124 が設けられておらず、 p 型アノード層 125 が半導体基板の第 1 主面を構成している点で図 38 とは異なる。つまり、図 37 で示したように、 p^+ 型コンタクト層 124 は、 p 型アノード層 125 の第 1 主面側に選択的に設けられている。

【0141】

図 40 は図 32 に示した半導体装置 1000 または図 33 に示した半導体装置 1001 における G - G 線での矢示方向断面図であり、IGBT 領域 110 とダイオード領域 120 の境界部分の構成を示している。

【0142】

図 40 に示すように、IGBT 領域 110 の第 2 主面側に設けられた p 型コレクタ層 116 が、IGBT 領域 110 とダイオード領域 120 との境界から距離 U1 だけダイオード領域 120 にはみ出して設けられている。このように、 p 型コレクタ層 116 をダイオード領域 120 にはみ出して設けることにより、ダイオード領域 120 の n^+ 型カソード層 126 とアクティブトレンチゲート 111 との距離を大きくすることができ、還流ダイオード動作時にアクティブトレンチゲート 111 にゲート駆動電圧が印加された場合であっても、IGBT 領域 110 のアクティブトレンチゲート 111 に隣接して形成されるチャネルから n^+ 型カソード層 126 に電流が流れるのを抑制することができる。距離 U1 は、例えば $100 \mu\text{m}$ であってよい。なお、RC-IGBT である半導体装置 1000 または半導体装置 1001 の用途によっては、距離 U1 がゼロまたは $100 \mu\text{m}$ より小さい距離であってよい。

【0143】

< 終端領域の構造 >

図 41 は、図 32 に示した半導体装置 1000 または図 33 に示した半導体装置 1001 における E - E 線での矢示方向断面図であり、IGBT 領域 110 と終端領域 130 の境界部分の構成を示している。

【0144】

図 41 に示すように、半導体装置 1000 または半導体装置 1001 の終端領域 130 は、半導体基板の第 1 主面と第 2 主面との間に n^- 型ドリフト層 91 を有している。終端領域 130 の第 1 主面および第 2 主面は、それぞれ IGBT 領域 110 およびダイオード領域 120 の第 1 主面および第 2 主面と同一面である。また、終端領域 130 の n^- 型ドリフト層 91 は、それぞれ IGBT 領域 110 およびダイオード領域 120 の n^- 型ドリフト層 91 と同一構成であり連続して一体的に形成されている。

【0145】

n^- 型ドリフト層 91 の第 1 主面側、すなわち半導体基板の第 1 主面と n^- 型ドリフト層 91 との間に p 型終端ウェル層 131 が設けられている。 p 型終端ウェル層 131 は、 p 型不純物として例えばボロン (B) またはアルミ (Al) 等を有する半導体層であり、 p 型不純物の濃度は $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ である。 p 型終端ウェル層 131 は、IGBT 領域 110 およびダイオード領域 120 が含まれるセル領域を取り囲んで設けられている。 p 型終端ウェル層 131 は複数のリング状に設けられており、 p 型終端ウェル層 131 が設けられる数は、半導体装置 1000 または半導体装置 1001 の耐圧設計によって適宜選択される。また、 p 型終端ウェル層 131 のさらに外縁側には n^+ 型チャンネルストッパ層 132 が設けられており、 n^+ 型チャンネルストッパ層 132 は p 型終端ウェル層 131 を取り囲んでいる。

【0146】

n^- 型ドリフト層 91 と半導体基板の第 2 主面との間には、 p 型終端コレクタ層 116

10

20

30

40

50

aが設けられている。p型終端コレクタ層116aは、セル領域に設けられるp型コレクタ層116と連続して一体的に形成されている。従って、p型終端コレクタ層116aを含めてp型コレクタ層116と呼んでもよい。

【0147】

半導体基板の第2主面上にはコレクタ電極97が設けられている。コレクタ電極97は、IGBT領域110およびダイオード領域120を含むセル領域から終端領域130まで連続して一体的に形成されている。一方、終端領域130の半導体基板の第1主面上にはセル領域から連続しているエミッタ電極96と、エミッタ電極96とは分離された終端電極96aとが設けられる。

【0148】

エミッタ電極96と終端電極96aとは、半絶縁性膜133を介して電氣的に接続されている。半絶縁性膜133は、例えば、*sinSiN* (semi-insulating Silicon Nitride: 半絶縁性シリコン窒化膜) であってよい。終端電極96aとp型終端ウェル層131およびn⁺型チャネルストップ層132とは、終端領域130の第1主面上に設けられた層間絶縁膜94に形成されたコンタクトホールを介して電氣的に接続されている。また、終端領域130には、エミッタ電極96、終端電極96aおよび半絶縁性膜133を覆って終端保護膜134が設けられている。終端保護膜134は、例えば、ポリイミドで形成してよい。

【0149】

図42は図32に示した半導体装置1000または図33に示した半導体装置1001におけるF-F線での矢示方向断面図であり、IGBT領域110と終端領域130の境界部分の構成を示している。

【0150】

図42に示すように、p型終端コレクタ層116aは、ダイオード領域120側の端部が距離U2だけダイオード領域120にはみ出して設けられている。このように、p型終端コレクタ層116aをダイオード領域120にはみ出して設けることにより、ダイオード領域120のn⁺型カソード層126とp型終端ウェル層131との距離を大きくすることができ、p型終端ウェル層131がダイオードのアノードとして動作するのを抑制することができる。距離U2は、例えば100μmであってよい。

【0151】

なお、本開示は、その開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

【0152】

1 n⁻型ドリフト層、2 p型チャネルドープ層、3 n⁺型ソース層、4 p⁺型コンタクト層、5 p型アノード層、8 埋め込みゲート電極、10 n型バッファ層、11 p型コレクタ層、13 エミッタ電極、14 コレクタ電極、15 コンタクトホール、16 p型ウェル層、101 IGBT領域、102 FWD領域、103 外周領域、106 IGBTチャネル領域、107 IGBT非チャネル領域。

10

20

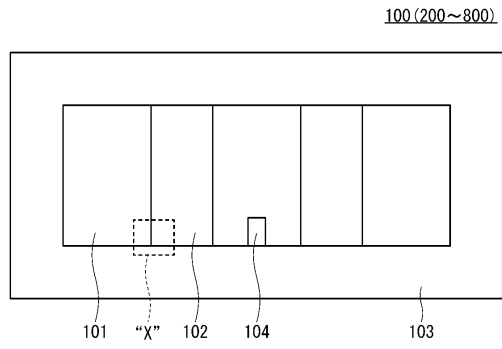
30

40

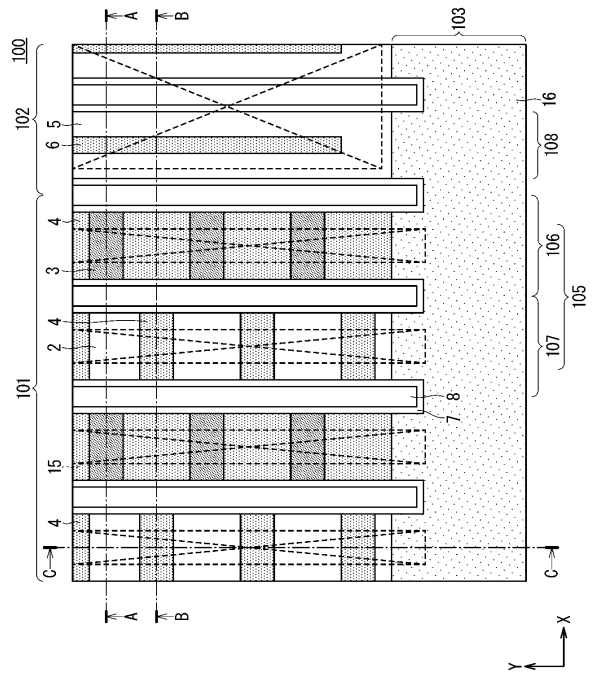
50

【図面】

【図 1】



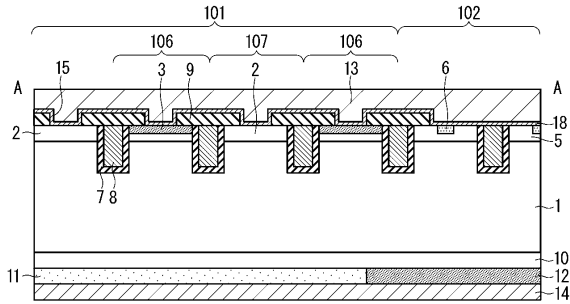
【図 2】



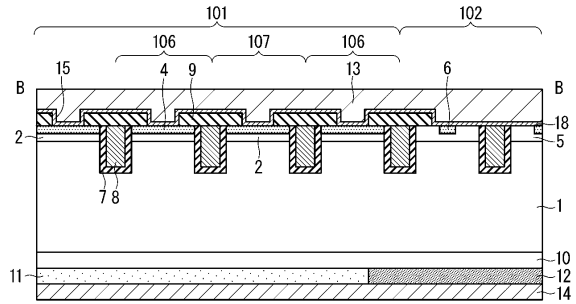
10

20

【図 3】



【図 4】

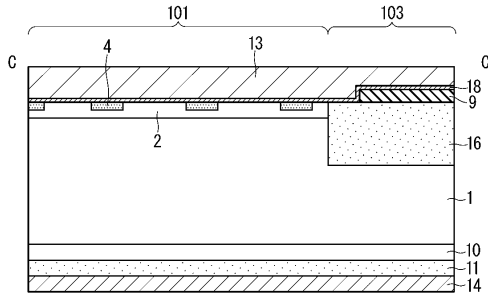


30

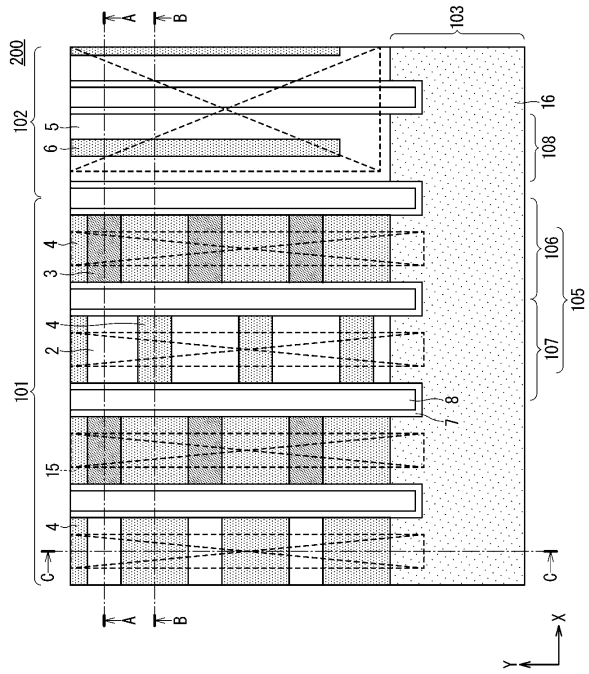
40

50

【 図 5 】



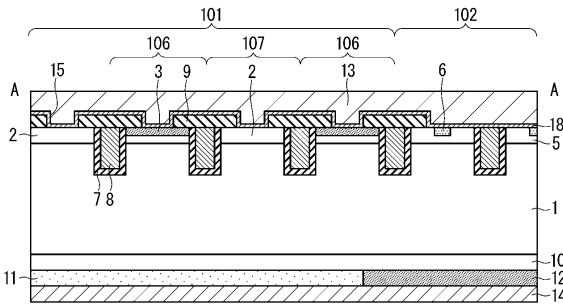
【 図 6 】



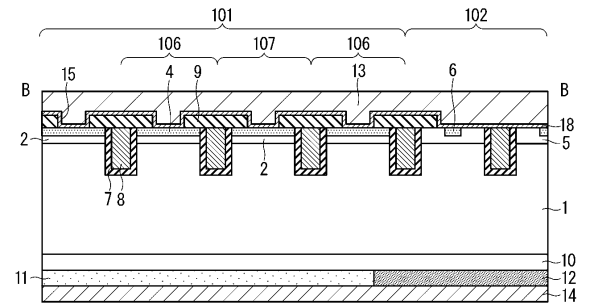
10

20

【 図 7 】



【 図 8 】

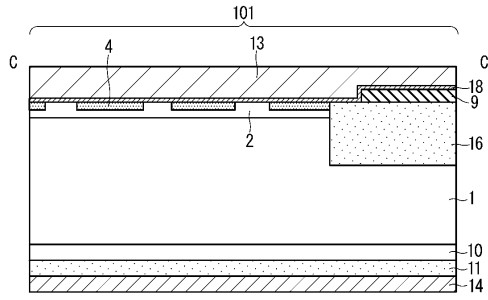


30

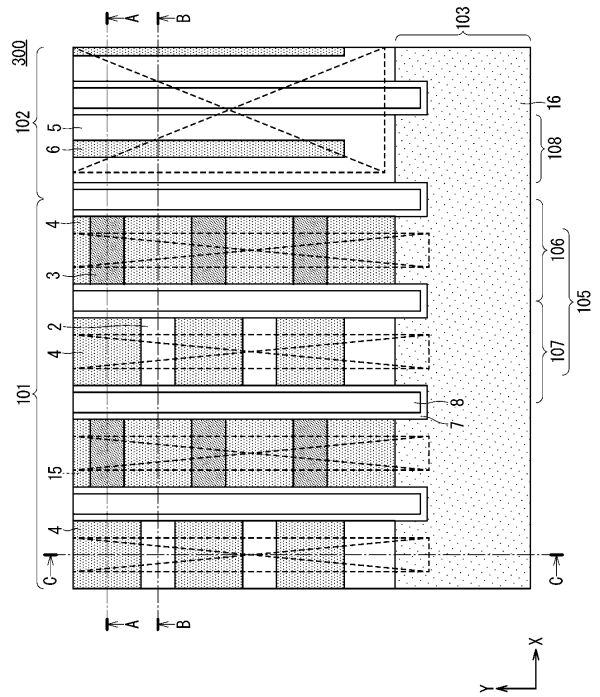
40

50

【 9 】



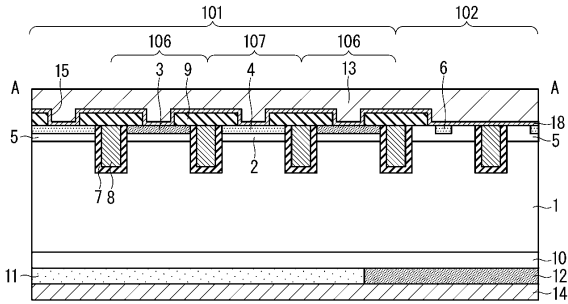
【 10 】



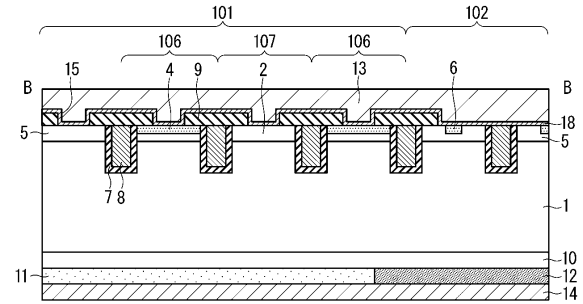
10

20

【 11 】



【 12 】

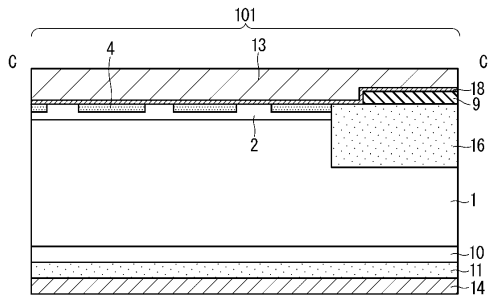


30

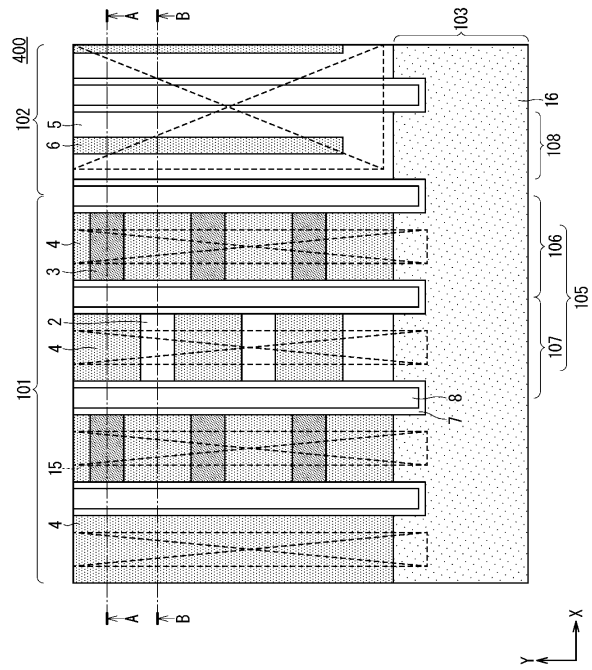
40

50

【 1 3 】



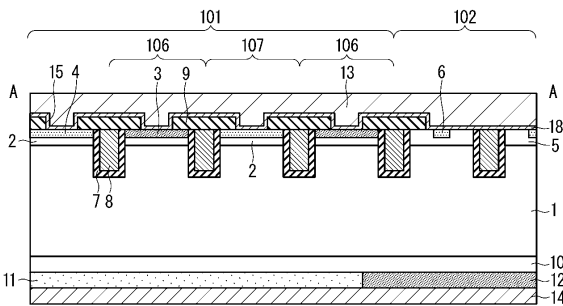
【 1 4 】



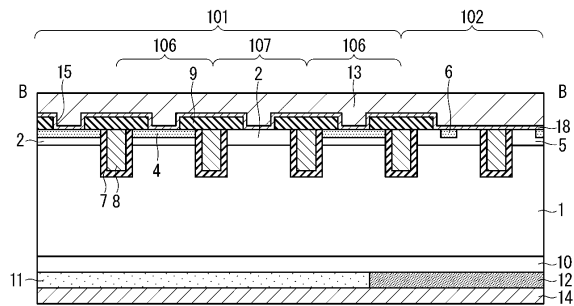
10

20

【 1 5 】



【 1 6 】

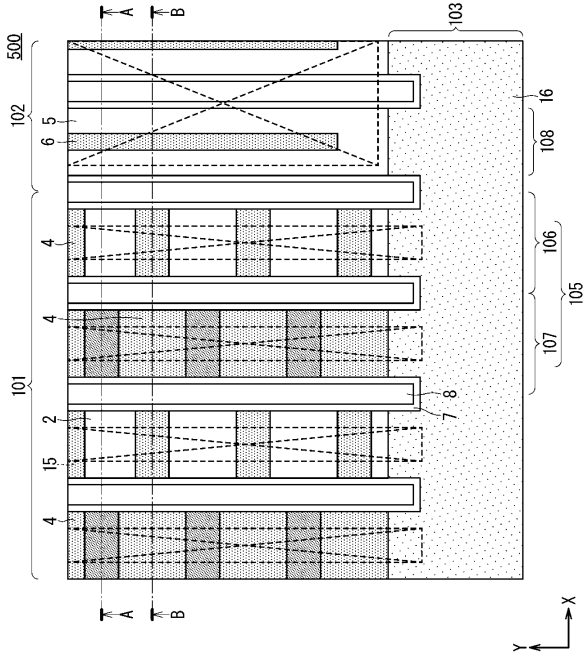


30

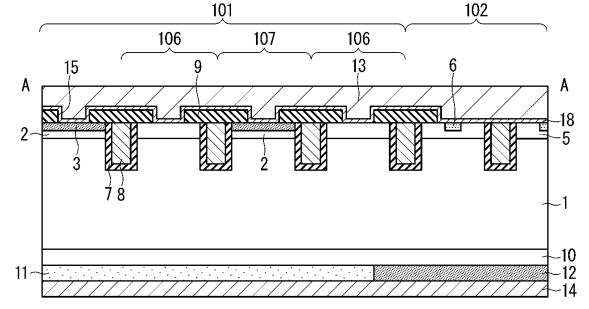
40

50

【図 17】

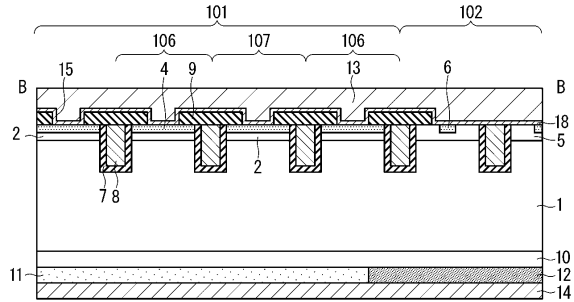


【図 18】



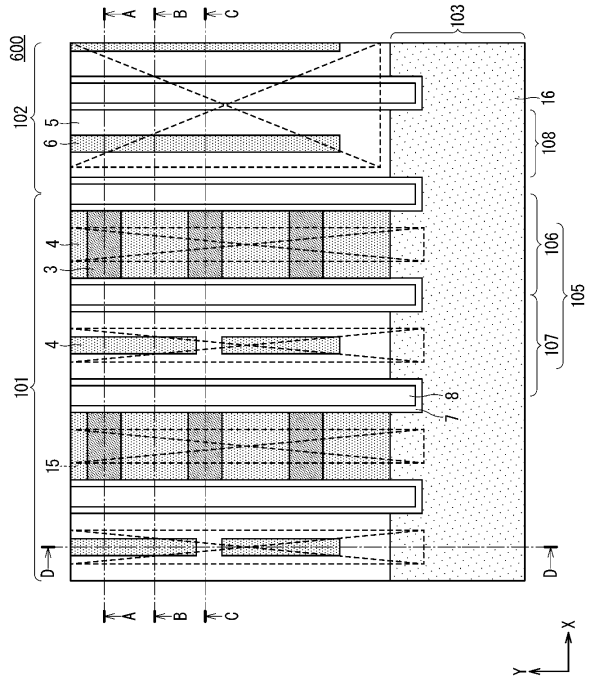
10

【図 19】



20

【図 20】

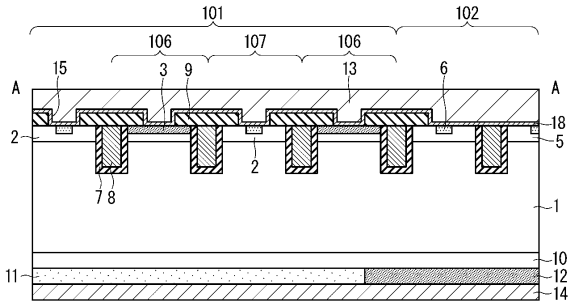


30

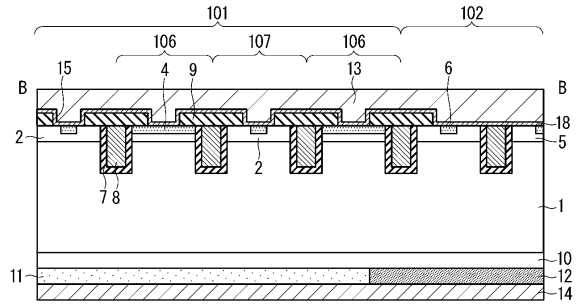
40

50

【 2 1 】

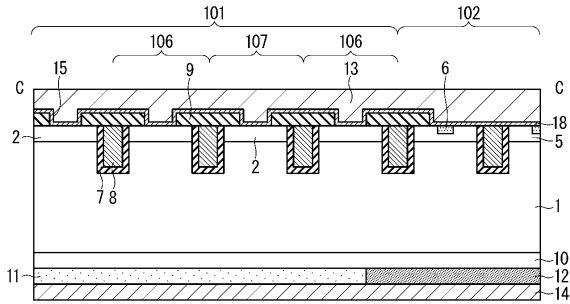


【 2 2 】

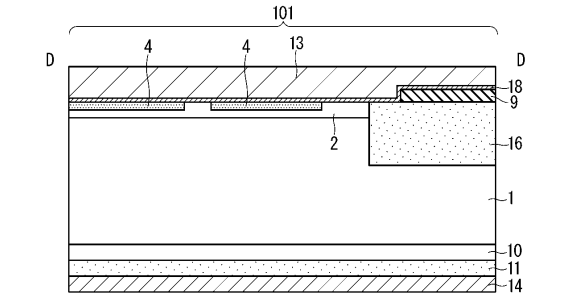


10

【 2 3 】

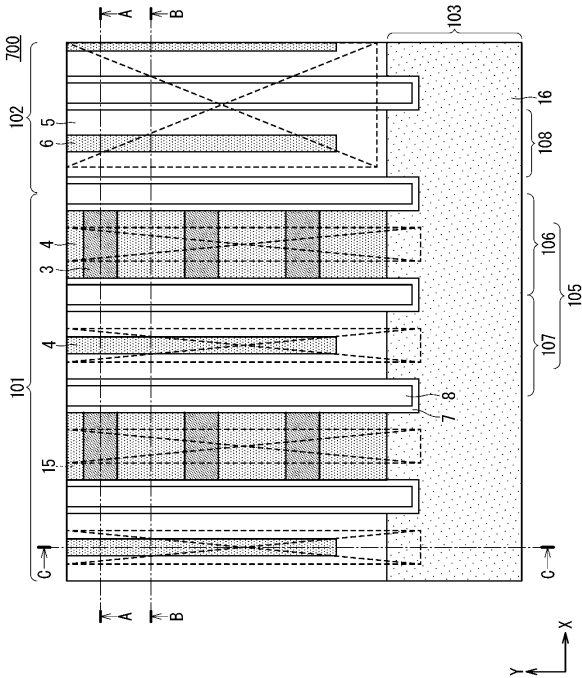


【 2 4 】

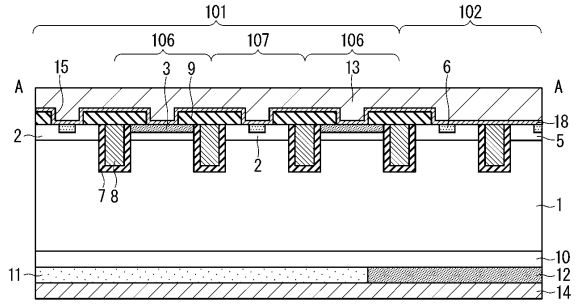


20

【 2 5 】



【 2 6 】

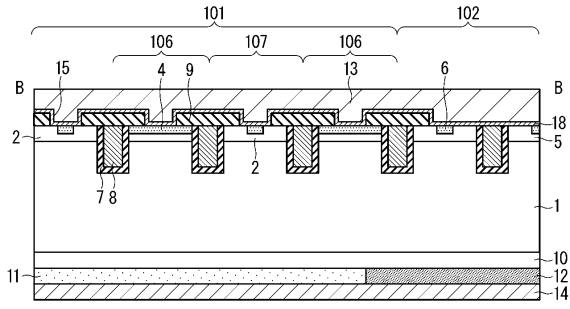


30

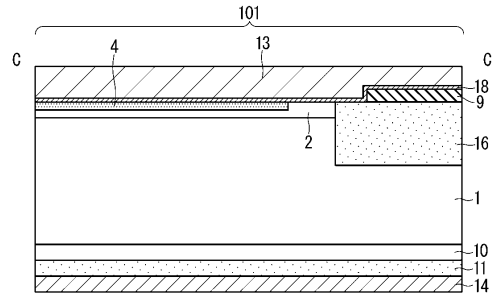
40

50

【図 27】

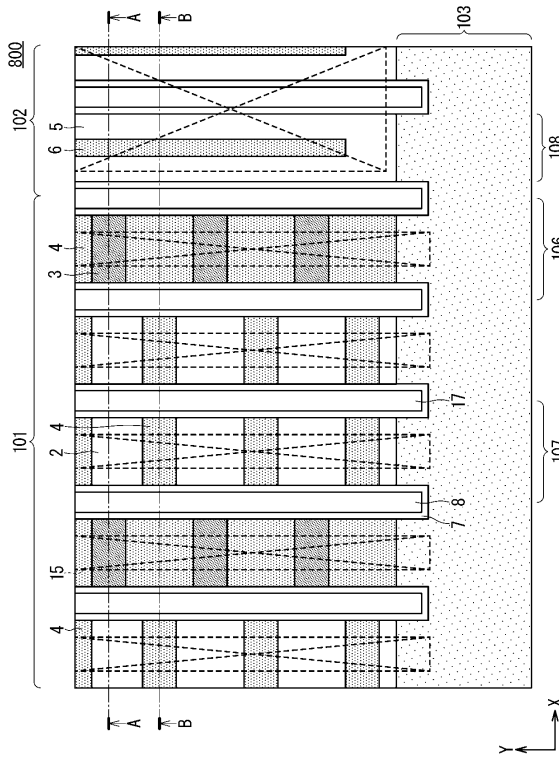


【図 28】

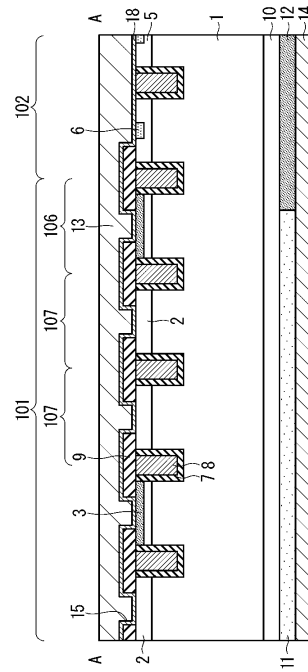


10

【図 29】



【図 30】



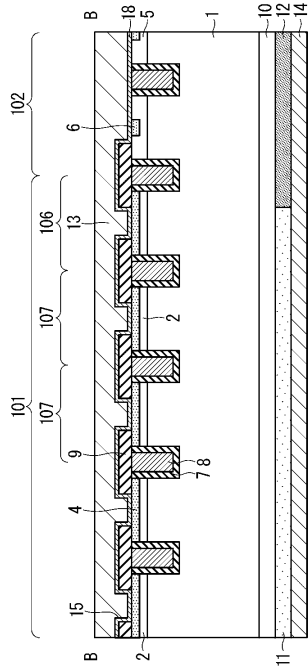
20

30

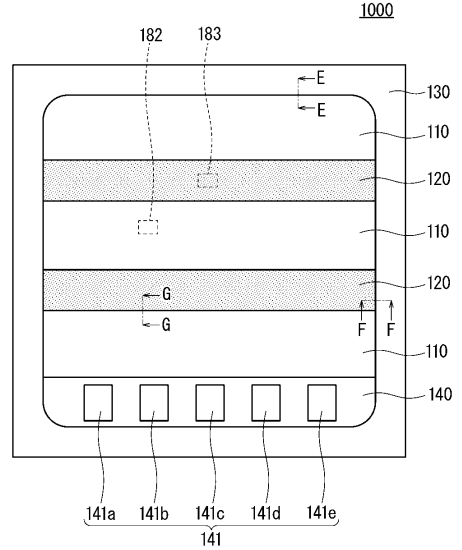
40

50

【 3 1 】

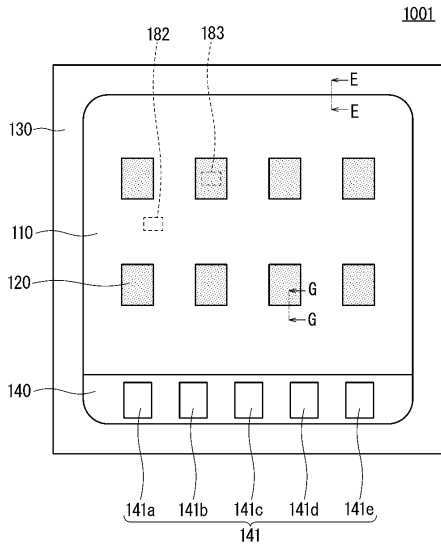


【 3 2 】



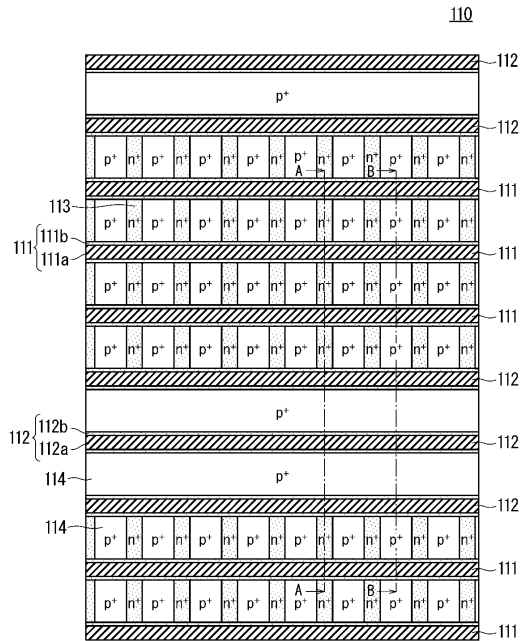
10

【 3 3 】



20

【 3 4 】

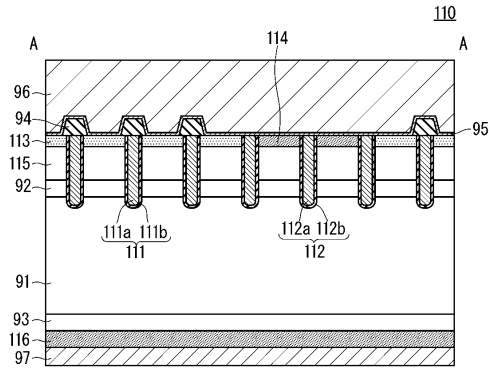


30

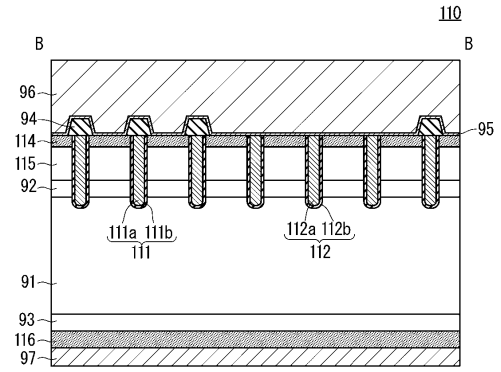
40

50

【 3 5 】

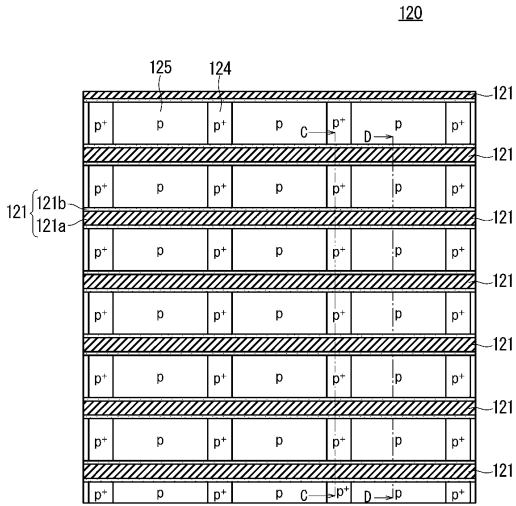


【 3 6 】

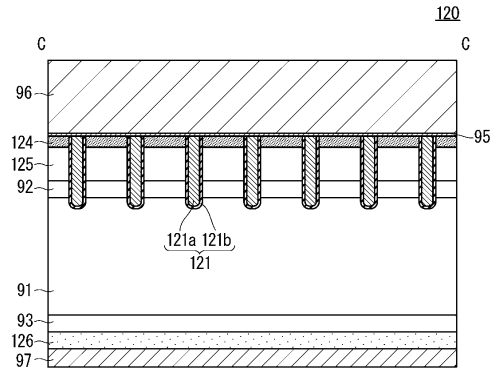


10

【 3 7 】



【 3 8 】



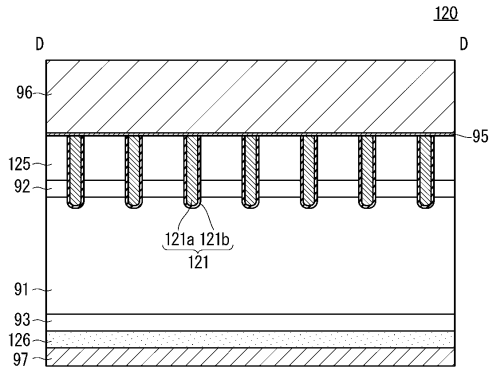
20

30

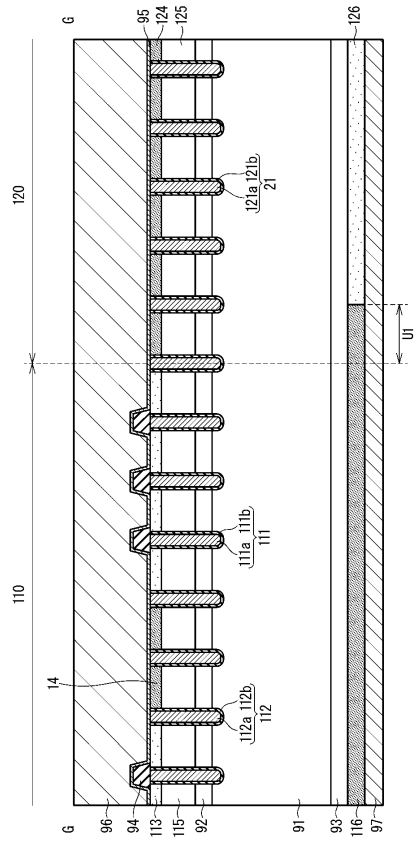
40

50

【 39 】



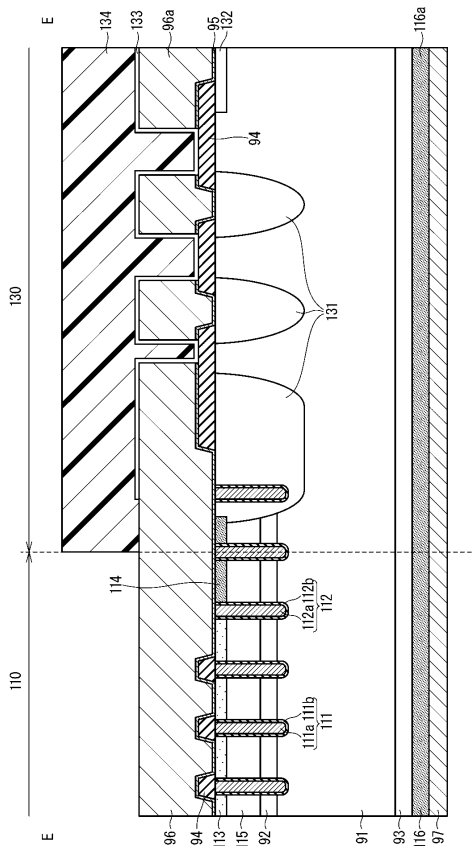
【 40 】



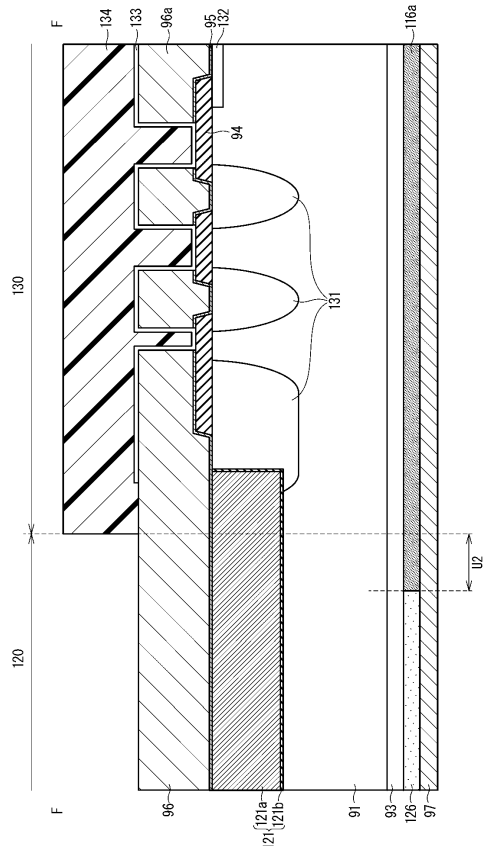
10

20

【 41 】



【 42 】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/739(2006.01)	H 0 1 L	29/06	3 0 1 F
H 0 1 L	29/41 (2006.01)	H 0 1 L	29/06	3 0 1 S
H 0 1 L	29/417(2006.01)	H 0 1 L	29/06	3 0 1 G
		H 0 1 L	29/06	3 0 1 V
		H 0 1 L	29/78	6 5 2 P
		H 0 1 L	29/78	6 5 5 F
		H 0 1 L	29/78	6 5 2 F
		H 0 1 L	29/78	6 5 2 D
		H 0 1 L	29/78	6 5 5 D
		H 0 1 L	29/78	6 5 5 G
		H 0 1 L	29/78	6 5 2 J
		H 0 1 L	29/78	6 5 3 A
		H 0 1 L	29/44	S
		H 0 1 L	29/50	B
		H 0 1 L	29/78	6 5 2 M

三菱電機株式会社内

審査官 西村 治郎

(56)参考文献 国際公開第 2 0 1 9 / 1 5 9 6 5 7 (W O , A 1)
 特開 2 0 1 7 - 1 5 7 6 7 3 (J P , A)
 国際公開第 2 0 1 9 / 0 9 7 8 3 6 (W O , A 1)
 国際公開第 2 0 1 8 / 1 5 1 2 2 7 (W O , A 1)
 特開 2 0 1 8 - 1 9 5 7 9 8 (J P , A)
 特開 2 0 1 6 - 1 7 4 0 2 9 (J P , A)
 特開 2 0 1 9 - 1 8 6 3 1 3 (J P , A)
 特開 2 0 1 7 - 1 6 8 8 2 9 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 1 2
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8