



# (12) 发明专利申请

(10) 申请公布号 CN 101847635 A

(43) 申请公布日 2010. 09. 29

(21) 申请号 200910127932. 1

(22) 申请日 2009. 03. 27

(71) 申请人 立锜科技股份有限公司

地址 中国台湾新竹县竹北市

(72) 发明人 黄志丰

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 陈肖梅 谢丽娜

(51) Int. Cl.

H01L 27/07(2006. 01)

H01L 29/808(2006. 01)

H01L 29/872(2006. 01)

H01L 29/417(2006. 01)

H01L 29/02(2006. 01)

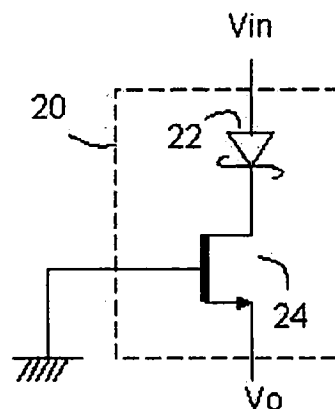
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

接面晶体管与肖特基二极管的整合元件

(57) 摘要

本发明提出一种接面晶体管与肖特基二极管的整合元件, 包含一个耗乏型接面晶体管, 其包括源极、漏极与栅极, 该漏极未设置欧姆接触而构成肖特基二极管。



1. 一种接面晶体管与肖特基二极管的整合元件,其特征在于,包含一个耗乏型接面晶体管,其包括源极、漏极与栅极,该漏极未设置欧姆接触而构成肖特基二极管。

2. 如权利要求 1 所述的接面晶体管与肖特基二极管的整合元件,其中,该耗乏型接面晶体管为 NMOS。

3. 一种接面晶体管与肖特基二极管的整合元件,其特征在于,包含:

一个第一传导型态的基体;

位于该基体内的具有第二传导型态的第一井区;

位于该第一井区内的具有第一传导型态的第二井区;

位于该第一井区内的具有第二传导型态的第一高浓度掺杂区;以及

位于该第二井区内的具有第一传导型态的第二高浓度掺杂区,

其中该基体、第一井区、第二井区构成耗乏型接面晶体管,该第一高浓度掺杂区作为该耗乏型接面晶体管源极的欧姆接触,该第二高浓度掺杂区作为该耗乏型接面晶体管栅极的欧姆接触,且该耗乏型接面晶体管的漏极不具有第一传导型态的欧姆接触,以构成肖特基二极管。

4. 如权利要求 3 所述的接面晶体管与肖特基二极管的整合元件,其中,在该第一井区内肖特基二极管位置处还包含至少一个第一传导型态的第三掺杂区。

5. 如权利要求 3 所述的接面晶体管与肖特基二极管的整合元件,其中,该第一传导型态为 P 型而第二传导型态为 N 型。

6. 一种接面晶体管与肖特基二极管的整合元件,其特征在于,包含:

一个第一传导型态的基体;以及

位于该基体内的具有第二传导型态的两个第一井区,

其中该基体与该两个第一井区构成垂直型耗乏型接面晶体管,该基体正面作为该耗乏型接面晶体管的漏极,该基体背面作为该耗乏型接面晶体管的源极,该两个第一井区作为该耗乏型接面晶体管的栅极,且该耗乏型接面晶体管的漏极不具有第一传导型态的欧姆接触,以构成肖特基二极管。

7. 如权利要求 6 所述的接面晶体管与肖特基二极管的整合元件,其中,在该第一井区内肖特基二极管位置处还包含至少一个第二传导型态的掺杂区。

8. 如权利要求 6 所述的接面晶体管与肖特基二极管的整合元件,其中,该基体包含较高浓度的本体与位于本体上方的较低浓度的磊晶生长区。

9. 如权利要求 6 所述的接面晶体管与肖特基二极管的整合元件,其中,该第一传导型态为 N 型而第二传导型态为 P 型。

## 接面晶体管与肖特基二极管的整合元件

### 技术领域

[0001] 本发明涉及一种接面晶体管 (JFET, Junction Field Effect Transistor) 与肖特基二极管 (Schottky Diode) 的整合元件。

### 背景技术

[0002] 电源控制电路中经常需要使用到由独立的 NMOS 晶体管与独立的肖特基二极管构成的功率开关元件。请参阅图 1, NMOS 晶体管 14 与肖特基二极管 12 串联作为功率开关元件, NMOS 晶体管 14 中包含寄生二极管 14D。控制电路 10 控制 NMOS 晶体管 14 的栅极, 以将输入电压  $V_{in}$  转换成输出电压  $V_o$ 。肖特基二极管 12 的作用是在输出电压  $V_o$  高于输入电压  $V_{in}$  的情况下, 防止电流经寄生二极管 14D 逆流, 损及输入电压  $V_{in}$ 。图 2 标出另一种现有技术, 其以耗乏型 NMOS 晶体管 16 与肖特基二极管 12 串联作为功率开关元件, 其中肖特基二极管 12 的作用仍是防止电流经寄生二极管 16D 逆流。

[0003] 请参阅图 3A 与 3B, 以图 1 的现有技术为例, 其控制电路 10 中包括电流源 18 与曾纳二极管 19, 此种功率开关元件所欲达成的输入 - 输出电压转换曲线举例而言如图 3B 所示, 当输入电压  $V_{in}$  大于 NMOS 晶体管 14 的临界电压  $V_{th}$  和肖特基二极管 12 的前向偏压  $V_f$  时, 电能即可由输入端  $V_{in}$  传递至输出端  $V_o$ , 但 NMOS 晶体管 14 的栅极受控于曾纳二极管 19, 当输入电压  $V_{in}$  高于曾纳二极管 19 的崩溃电压  $5V$  时, 因曾纳二极管 19 逆向导通, 因此 NMOS 晶体管 14 的栅极电压将维持为  $5V$ , 而输出电压  $V_o$  也将维持为约  $5V$ 。

[0004] 上述现有技术的缺点是, 独立的 NMOS 晶体管与独立的肖特基二极管相当占据面积, 且控制电路 10 中必须使用曾纳二极管 19, 增加整体电路的成本。

[0005] 有鉴于此, 本发明即针对上述现有技术的不足, 提出一种接面晶体管与肖特基二极管的整合元件, 以减少功率开关元件的面积并简化控制电路 10 的电路结构。

### 发明内容

[0006] 本发明的目的在于克服现有技术的不足与缺陷, 提出一种接面晶体管与肖特基二极管的整合元件。

[0007] 为达上述目的, 就其中一个观点言, 本发明提供了一种接面晶体管与肖特基二极管的整合元件, 包含一个耗乏型接面晶体管, 其包括源极、漏极与栅极, 该漏极未设置欧姆接触而构成肖特基二极管。

[0008] 上述接面晶体管与肖特基二极管的整合元件可为平面式或垂直式。

[0009] 为达上述目的, 就其中一个半导体结构观点言, 本发明所提出的一种接面晶体管与肖特基二极管的整合元件包含: 一个第一传导型态的基体; 位于该基体内的具有第二传导型态的第一井区; 位于该第一井区内的具有第一传导型态的第二井区; 位于该第一井区内的具有第二传导型态的第一高浓度掺杂区; 以及位于该第二井区内的具有第一传导型态的第二高浓度掺杂区, 其中该基体、第一井区、第二井区构成耗乏型接面晶体管, 该第一高浓度掺杂区作为该耗乏型接面晶体管源极的欧姆接触, 该第二高浓度掺杂区作为该耗乏型

接面晶体管栅极的欧姆接触,且该耗乏型接面晶体管的漏极不具有第一传导型态的欧姆接触,以构成肖特基二极管。

[0010] 以上所述整合元件,在肖特基二极管位置处,还可包含至少一个第一传导型态的第三掺杂区,以控制肖特基二极管的反向漏电流。

[0011] 为达上述目的,就另一个半导体结构观点言,本发明所提出的一种接面晶体管与肖特基二极管的整合元件包含:一个第一传导型态的基体;以及位于该基体内的具有第二传导型态的两个第一井区,其中该基体与该两个第一井区构成垂直型耗乏型接面晶体管,该基体正面作为该耗乏型接面晶体管的漏极,该基体背面作为该耗乏型接面晶体管的源极,该两个第一井区作为该耗乏型接面晶体管的栅极,且该耗乏型接面晶体管的漏极不具有第一传导型态的欧姆接触,以构成肖特基二极管。

[0012] 以上所述整合元件,在肖特基二极管位置处,还可包含至少一个第二传导型态的掺杂区,以控制肖特基二极管的反向漏电流。

[0013] 下面通过具体实施例详加说明,当更容易了解本发明的目的、技术内容、特点及其所达成的功效。

#### 附图说明

[0014] 图 1 与图 2 标出现有技术的功率开关元件,其中包含独立的 NMOS 晶体管与独立的肖特基二极管;

[0015] 图 3A 与 3B 说明现有技术的一种应用实例;

[0016] 图 4A 与 4B 标出本发明的一个实施例及其应用;

[0017] 图 5 标出本发明以半导体来实现时的其中一个实施例;

[0018] 图 6 标出本发明以半导体来实现时的另一个实施例。

[0019] 图中符号说明

[0020] 10 控制电路

[0021] 12 肖特基二极管

[0022] 14 NMOS 晶体管

[0023] 14D 寄生二极管

[0024] 16 耗乏型 NMOS 晶体管

[0025] 16D 寄生二极管

[0026] 20 整合功率开关元件

[0027] 22 肖特基二极管

[0028] 24 耗乏型接面晶体管

[0029] 201 P 型基体

[0030] 202 N 型井区

[0031] 203 P 型掺杂区

[0032] 204 P+ 掺杂区

[0033] 205 N+ 掺杂区

[0034] 206 P+ 掺杂区

[0035] 210 N 型基体

- [0036] 211 N+ 型本体  
[0037] 212 N 型磊晶生长区  
[0038] 213 P 型井区  
[0039] 214 P+ 掺杂区

### 具体实施方式

[0040] 本说明书的图标均属示意,其维度并未完全按照比例绘示。

[0041] 请参考图 4A 与 4B,其中以电路图形式显示本发明的一个实施例。如图所示,本实施例中,由肖特基二极管 22 和接面 NMOS 晶体管 24 整合构成功率开关元件 20。此接面 NMOS 晶体管 24 为耗乏型,其栅极接地,因此并不需要复杂的控制电路 10。输入电压  $V_{in}$  与输出电压  $V_o$  的关系如图 4B 所示,当输入电压  $V_{in}$  大于肖特基二极管 22 的前向偏压  $V_f$  时,电能即可由输入端  $V_{in}$  传递至输出端  $V_o$ ,但由于耗乏型接面晶体管 24 本身的限流特性,输出电压  $V_o$  将维持为约 4 ~ 6V(此数值仅是举例,可视后续电路的需求来设计改变)。

[0042] 以上电路以半导体制作时,其实施型态的一例请参阅图 5。如图所示,在 P 型基体 201 上制作 N 型井区 202,并在 N 型井区 202 内设置 P 型掺杂区 203,如此即构成了图 4A 中的耗乏型接面晶体管 24。P 型掺杂区 203 中宜设置高浓度 P+ 掺杂区 204,且 N 型井区 202 内宜设置高浓度 N+ 掺杂区 205,以提供欧姆接触 (ohmic contact),分别作为耗乏型接面晶体管的栅极和源极。但 N 型井区 202 右方作为漏极的区域,则不设置高浓度 N+ 掺杂区。由于不提供欧姆接触之故,此处的导通障碍较高,形同设置了一个肖特基二极管,与接面晶体管 24 的漏极串联。在较佳实施方式中,更可在 N 型井区 202 内肖特基二极管的位置设置高浓度 P+ 掺杂区 206,以控制肖特基二极管的反向漏电流。

[0043] 由图 5 可知,本发明所占面积仅相当于单一耗乏型接面晶体管 24 的面积,且对照图 3B 和 4B 可知,本发明可直接适用于现有技术的应用场合中,不需要复杂的控制电路,故远较现有技术为优。

[0044] 图 6 显示本发明的另一个实施例,本实施例中的耗乏型接面晶体管为垂直型。如图所示,在 N 型基体 210 上制作两 P 型井区 213,如此即构成了垂直型的耗乏型接面晶体管,以两 P 型井区 213 为栅极,而以基体的正面与背面分别为漏极与源极。在较佳实施方式中,为提供较佳的源极接触阻值,N 型基体 210 宜包含较高浓度的 N+ 型本体 211 和 N 型磊晶生长区 212。与前一实施例相似地,作为漏极的区域不设置高浓度 N+ 掺杂区,造成较高的导通障碍,以构成肖特基二极管,与垂直型接面晶体管的漏极串联。相似地,为控制肖特基二极管的反向漏电流,可进一步在 N 型基体 210 表面肖特基二极管的位置设置高浓度的 P+ 掺杂区 214;此 P+ 掺杂区 214 同时也作为栅极的欧姆接触。若未设置 P+ 掺杂区 214,则图标栅极端应与 P 型井区 213 连接。

[0045] 以上已针对较佳实施例来说明本发明,只是以上所述,仅为使本领域技术人员易于了解本发明的内容,并非用来限定本发明的权利范围。在本发明的相同精神下,本领域技术人员可以思及各种等效变化,均应包含在本发明的范围之内。

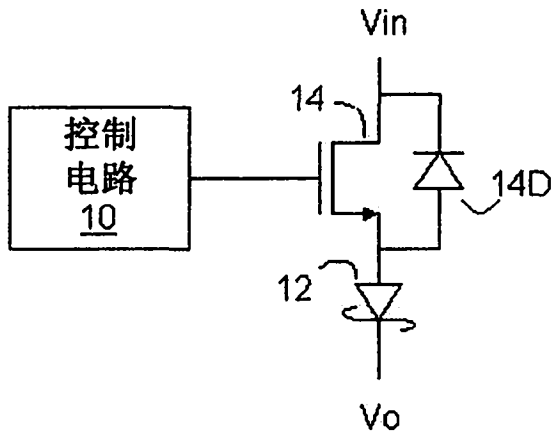


图 1

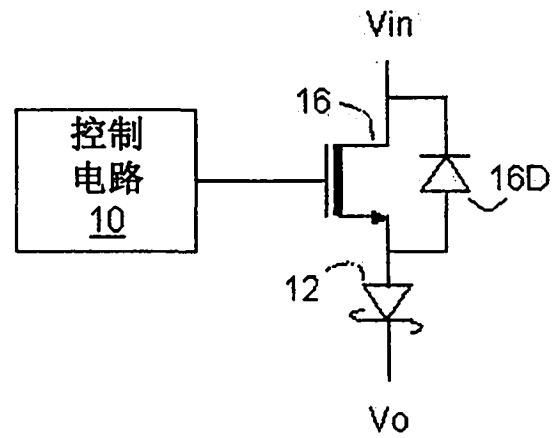


图 2

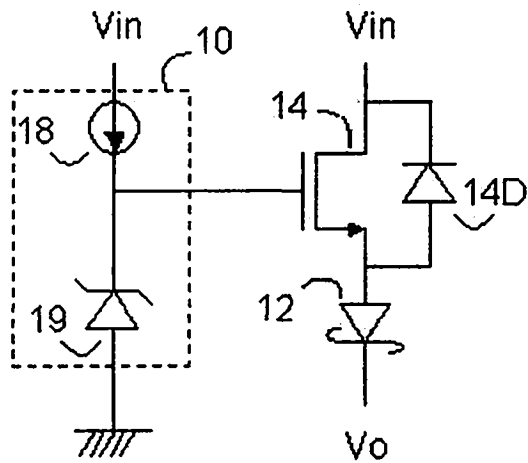


图 3A

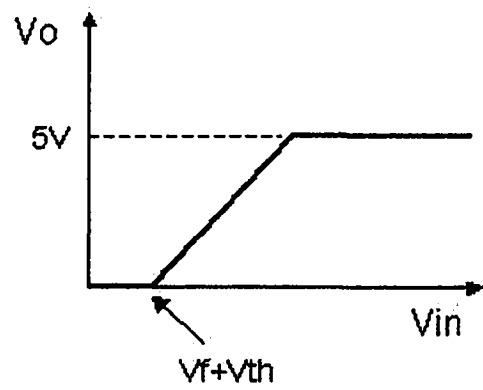


图 3B

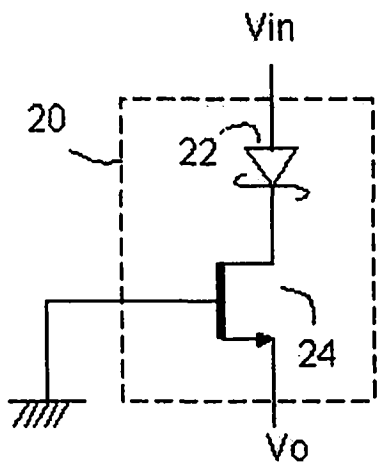


图 4A

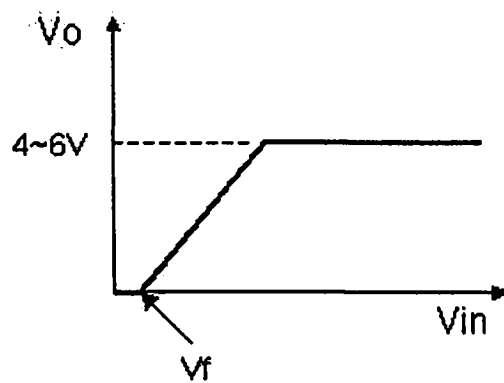


图 4B

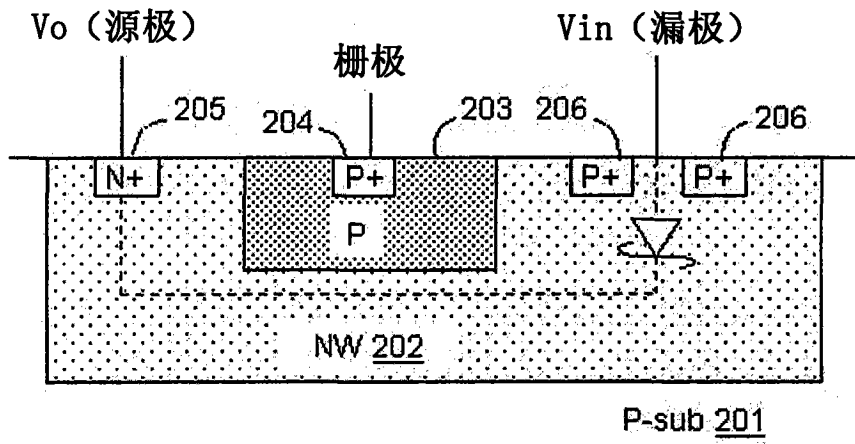


图 5

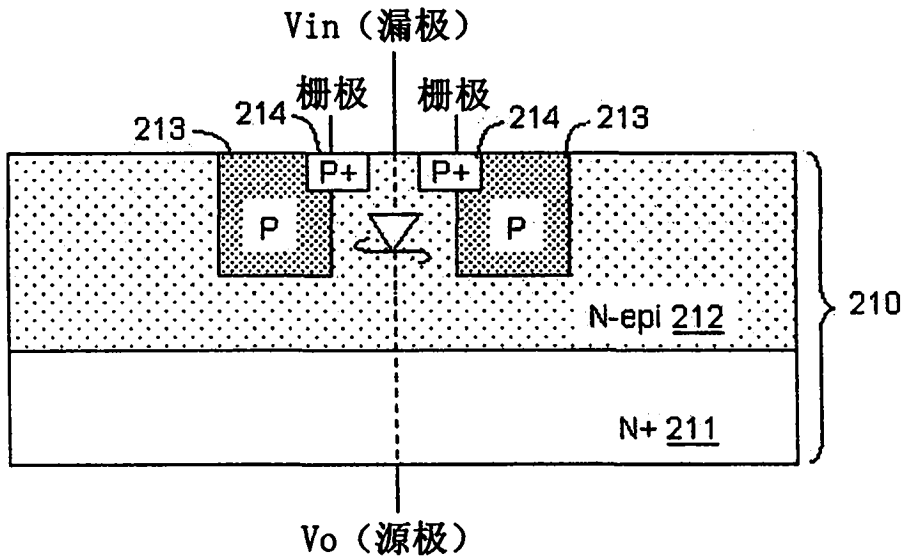


图 6