

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4433792号  
(P4433792)

(45) 発行日 平成22年3月17日(2010.3.17)

(24) 登録日 平成22年1月8日(2010.1.8)

(51) Int.Cl.		F I			
<b>G 0 6 F</b>	<b>12/00</b>	<b>(2006.01)</b>	<b>G 0 6 F</b>	<b>12/00</b>	<b>5 9 7 U</b>
<b>G 0 6 F</b>	<b>12/02</b>	<b>(2006.01)</b>	<b>G 0 6 F</b>	<b>12/02</b>	<b>5 1 0 A</b>
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	<b>G 0 6 F</b>	<b>12/02</b>	<b>5 7 0 A</b>
			<b>G 1 1 C</b>	<b>17/00</b>	<b>6 0 1 E</b>

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2003-432517 (P2003-432517)	(73) 特許権者	000003067
(22) 出願日	平成15年12月26日(2003.12.26)		T D K 株式会社
(65) 公開番号	特開2005-190289 (P2005-190289A)		東京都中央区日本橋一丁目13番1号
(43) 公開日	平成17年7月14日(2005.7.14)	(74) 代理人	100109449
審査請求日	平成18年12月25日(2006.12.25)		弁理士 毛受 隆典
		(74) 代理人	100095407
			弁理士 木村 満
		(72) 発明者	川田 力也
			東京都中央区日本橋一丁目13番1号 T D K 株式会社内
		審査官	清木 泰

最終頁に続く

(54) 【発明の名称】 メモリコントローラ及びメモリコントローラを備えるフラッシュメモリシステム、並びに、フラッシュメモリの制御方法

(57) 【特許請求の範囲】

【請求項1】

フラッシュメモリ内の複数ブロックで構成されたゾーンと、該ゾーンに割当てられるホストシステム側の論理ブロックアドレス空間との対応を管理する割当管理機能と、前記ゾーンに対するアクセスを制御するアクセス制御機能と、前記ゾーン間でブロックの貸借をするときの貸出側のゾーンと借入側のゾーンの対応を管理する貸借管理機能と、前記貸出側のゾーンから貸出されたブロックに、前記借入側のゾーンに割当てられている論理ブロックアドレスのデータを書込んだときに、前記貸出されたブロックの冗長領域に、貸出されていることを示す情報を設定する情報設定機能を備えたことを特徴とするメモリコントローラ。

【請求項2】

前記貸借管理機能によって、前記貸出側のゾーンと前記借入側のゾーンの対応関係に関する情報が、前記フラッシュメモリ内の特定のブロックに保存されることを特徴とする請求項1記載のメモリコントローラ。

【請求項3】

前記冗長領域の特定のビットに設定される論理値が、前記貸出されていることを示す情報に対応することを特徴とする請求項1又は2記載のメモリコントローラ。

【請求項4】

前記貸借管理機能が、前記ゾーン毎の不良ブロック数に関する情報に基づいて前記貸出側

10

20

のゾーンと借入側のゾーンの対応関係を決定することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリコントローラ。

【請求項 5】

前記貸借管理機能によって、前記フラッシュメモリ内の不良ブロックに関する情報が、フラッシュメモリ内の特定のブロックに保存されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のメモリコントローラ。

【請求項 6】

前記貸借管理機能によって、前記ゾーン毎の不良ブロック数に関する情報が、フラッシュメモリ内の特定のブロックに保存されることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のメモリコントローラ。

10

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載のメモリコントローラとフラッシュメモリを備えることを特徴とするフラッシュメモリシステム。

【請求項 8】

ホストシステム側の論理ブロックアドレス空間と、フラッシュメモリ内の複数ブロックで構成されたゾーンとの対応関係に従って、前記ホストシステム側から前記フラッシュメモリへのアクセスを制御するフラッシュメモリの制御方法であって、

書込み先のブロックを確保できない第 1 のゾーンに対して割当てられた第 2 のゾーン内のブロックに、前記第 1 のゾーンに対応する論理ブロックアドレスのデータを書込む処理と前記第 2 のゾーン内のブロックに対する書込み処理で、前記第 1 のゾーンに対応する論理ブロックアドレスのデータが書込まれたブロックの冗長領域に、前記第 1 のゾーンに対応する論理ブロックアドレスのデータが書込まれていることを示す情報を設定する処理とを含むフラッシュメモリの制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリコントローラ及びメモリコントローラを備えるフラッシュメモリシステム、並びに、フラッシュメモリの制御方法に関する。

【背景技術】

【0002】

近年、メモリカードやシリコンディスクなどのメモリシステムに用いられる半導体メモリとして、フラッシュメモリが用いられることが多い。このフラッシュメモリは不揮発性メモリの一種であり、電源が投入されているか否かに関わらず、データが保持されていることが要求される。

30

【0003】

ところで、上記のような装置に特に用いられることが多い NAND 型フラッシュメモリは、メモリセルを消去状態（論理値の「1」）から書込状態（論理値の「0」）に変化させる場合には、メモリセル単位で行うことができるが、メモリセルを書込状態（論理値の「0」）から消去状態（論理値の「1」）に変化させる場合には、メモリセル単位で行うことができず、複数のメモリセルからなる所定の消去単位（ブロック）でしかこれを行うことができない。かかる一括消去動作は、一般的にブロック消去と呼ばれている。

40

【0004】

従って、NAND 型フラッシュメモリで、データの書替を行なう場合には、ブロック消去されている消去済ブロックに新たなデータ（書替後のデータ）を書込み、古いデータ（書替前のデータ）が書込まれていたブロックを消去するという処理が一般的に行なわれている。このようにしてデータを書替える場合、書替後のデータは書替前と異なるブロックに書込まれるため、ホストシステム側から与えられる論理ブロックアドレスと、フラッシュメモリ内の物理ブロックアドレスの対応関係は、データを書替える毎に動的に変化する。従って、この対応関係を管理するためには、論理ブロックアドレスと物理ブロックアドレスの対応関係を示したアドレス変換テーブルが必要となる。

50

## 【 0 0 0 5 】

このアドレス変換テーブルを、フラッシュメモリ内の全ブロックを対象にして作成した場合、フラッシュメモリの容量の増加に伴いアドレス変換テーブルのサイズが大きくなっているため、アドレス変換テーブルを作成する際の領域的、又は時間的な負担が大きくなる。この問題を解決するため、特許文献1（特開2000-284996）では、フラッシュメモリ内を複数のゾーンに分割し、各ゾーンに割当てられたブロックを対象にしてアドレス変換テーブルを作成している。

## 【 0 0 0 6 】

又、上記ゾーンを採用したフラッシュメモリシステムでは、不良ブロックの発生を考慮して、ホストシステム側のアドレス空間（特定範囲の論理ブロックアドレスに対応したアドレス空間）対して、ゾーンを構成するブロックを余分に割当てている。

10

【特許文献1】特開2000-284996号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 0 7 】

上記のようにフラッシュメモリ内の複数のブロックでゾーンを構成した場合に、各ゾーンに割当てると予備的なブロック（不良ブロックの発生を考慮して、余分に割当てられたブロック）の数を多くすると、予備的なブロックの比率が高くなり同一容量のフラッシュメモリでカバーできるホストシステム側のアドレス空間が狭くなる（以下、同一容量のフラッシュメモリでカバーできるホストシステム側のアドレス空間の広狭を使用効率という。）。一方、各ゾーンに割当てると予備的なブロックの数を少なくすると、フラッシュメモリの使用効率は向上するが、不良ブロックの発生に対する許容量（許容できる不良ブロックの発生数）が低下する。このようなことを考慮して、各ゾーンの予備的なブロックの数は決定されるが、初期不良や長期使用による不良ブロック化等により、不良ブロックの発生数が許容量を越える場合がある。

20

## 【 0 0 0 8 】

そこで、本発明は、不良ブロックの発生数が許容量を越えたゾーンに対して、他のゾーンに属するブロックを貸出すことにより、不良ブロックの発生に対する全体としての許容量を向上させたメモリコントローラ及びメモリコントローラを備えるフラッシュメモリシステム、並びに、フラッシュメモリの制御方法を提供することを目的とする。

30

## 【課題を解決するための手段】

## 【 0 0 0 9 】

本発明に係る目的は、フラッシュメモリ内の複数ブロックで構成されたゾーンと、該ゾーンに割当てられるホストシステム側の論理ブロックアドレス空間との対応を管理する割当管理機能と、前記ゾーンに対するアクセスを制御するアクセス制御機能と、前記ゾーン間でブロックの貸借をするときの貸出側のゾーンと借入側のゾーンの対応を管理する貸借管理機能と、前記貸出側のゾーンから貸出されたブロックに、前記借入側のゾーンに割当てられている論理ブロックアドレスのデータを書込んだときに、前記貸出されたブロックの冗長領域に、貸出されていることを示す情報を設定する情報設定機能を備えたことを特徴とするメモリコントローラによって達成される。又、本発明に係る目的は、前記メモリコントローラとフラッシュメモリを備えることを特徴とするフラッシュメモリシステムによっても達成される。

40

## 【 0 0 1 0 】

ここで、「ゾーン間でブロックの貸借をする」とは、一方のゾーンに割当てられている論理ブロックアドレスのデータを、他方のゾーン内のブロックに書込むことを意味している。

## 【 0 0 1 1 】

又、本発明によれば、前記貸借管理機能によって、前記貸出側のゾーンと前記借入側の

50

ゾーンの対応関係に関する情報が、前記フラッシュメモリ内の特定のブロックに保存されることが好ましい。

【0012】

ここで、「前記貸出側のゾーンと前記借入側のゾーンの対応関係に関する情報」としては、前記貸出側のゾーンと前記借入側のゾーンの対応関係を示した貸借管理テーブルが挙げられる。

【0013】

又、本発明によれば、前記冗長領域の特定のビットに設定される論理値が、前記貸出されていることを示す情報に対応することが好ましい。

【0014】

つまり、貸出側のゾーン内のブロックに書込まれているデータが、借入側のゾーンに割当てられている論理ブロックアドレスのデータであるか、又は貸出側のゾーンに割当てられている論理ブロックアドレスのデータであるかを、特定のビットに設定される論理値によって判別できることが好ましい。

【0015】

又、本発明によれば、前記貸借管理機能が、前記ゾーン毎の不良ブロック数に関する情報に基づいて前記貸出側のゾーンと借入側のゾーンの対応関係を決定することが好ましい。

【0016】

このようにすることにより、不良ブロック数の多い借入側のゾーンに対して、不良ブロック数の少ない貸出側のゾーンを円滑に割当てることができる。

【0017】

又、本発明によれば、前記貸借管理機能によって、前記フラッシュメモリ内の不良ブロックに関する情報が、フラッシュメモリ内の特定のブロックに保存されることが好ましい。

【0018】

ここで、不良ブロックに関する情報としては、不良ブロックの物理ブロックアドレスの示した情報等が挙げられる。

【0019】

又、本発明によれば、前記貸借管理機能によって、前記ゾーン毎の不良ブロック数に関する情報が、フラッシュメモリ内の特定のブロックに保存されることが好ましい。

【0020】

本発明に係る目的は、ホストシステム側の論理ブロックアドレス空間と、フラッシュメモリ内の複数ブロックで構成されたゾーンとの対応関係に従って、前記ホストシステム側から前記フラッシュメモリへのアクセスを制御するフラッシュメモリの制御方法であって、

書込み先のブロックを確保できない第1のゾーンに対して割当てられた第2のゾーン内のブロックに、前記第1のゾーンに対応する論理ブロックアドレスのデータを書込む処理と前記第2のゾーン内のブロックに対する書込み処理で、前記第1のゾーンに対応する論理ブロックアドレスのデータが書込まれたブロックの冗長領域に、前記第1のゾーンに対応する論理ブロックアドレスのデータが書込まれていることを示す情報を設定する処理とを含むフラッシュメモリの制御方法によって達成される。

【発明の効果】

【0021】

本発明によれば、不良ブロックの発生数が許容量を越えたゾーンに対して、他のゾーンに属するブロックを貸出すようにしたので、不良ブロックの発生に対する全体としての許容量を向上させることができる。又、不良ブロックの発生数が許容量を越えたゾーンに対して、上記のような回避策が用意されているので、予備的なブロックの比率を低くしてフラッシュメモリの使用効率を向上させることもできる。

【発明を実施するための最良の形態】

10

20

30

40

50

## 【0022】

以下、図面に基づき、本発明の実施の形態について詳細に説明する。

## [フラッシュメモリシステム1の説明]

図1は、本発明に係るフラッシュメモリシステム1を概略的に示すブロック図である。図1に示したようにフラッシュメモリシステム1は、フラッシュメモリ2と、それを制御するコントローラ3で構成されている。又、フラッシュメモリシステム1は、通常ホストシステム4に着脱可能に装着されて使用され、ホストシステム4に対して一種の外部記憶装置として用いられる。

## 【0023】

尚、ホストシステム4としては、文字、音声、あるいは画像情報等の種々の情報を処理するパーソナルコンピュータやデジタルスチルカメラをはじめとする各種情報処理装置が挙げられる。

## 【0024】

フラッシュメモリ2は、ページ単位で読出し又は書込みを、ブロック単位で消去を実行するデバイスであり、例えば、1ブロックは32ページで構成され、1ページは512バイトのユーザ領域と16バイトの冗長領域で構成されている。

## 【0025】

コントローラ3は、ホストインターフェース制御ブロック5と、マイクロプロセッサ6と、ホストインターフェースブロック7と、ワークエリア8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECC(エラー・コレクション・コード)ブロック11と、フラッシュメモリシーケンサブロック12とから構成される。これら機能ブロックによって構成されるコントローラ3は、一つの半導体チップ上に集積されている。以下に各ブロックの機能を説明する。

## 【0026】

マイクロプロセッサ6は、コントローラ3を構成する各機能ブロック全体の動作を制御する機能ブロックである。

## 【0027】

ホストインターフェース制御ブロック5は、ホストインターフェースブロック7の動作を制御する機能ブロックである。ここで、ホストインターフェース制御ブロック5は、ホストインターフェースブロック7の動作を設定する動作設定レジスタ(図示せず)を備えており、この動作設定レジスタに基づきホストインターフェースブロック7は動作する。

## 【0028】

ホストインターフェースブロック7は、ホストシステム4とデータ、アドレス情報、ステータス情報及び外部コマンド情報の授受を行なう機能ブロックである。すなわち、フラッシュメモリシステム1がホストシステム4に装着されると、フラッシュメモリシステム1とホストシステム4は、外部バス13を介して相互に接続され、かかる状態において、ホストシステム4よりフラッシュメモリシステム1に供給されるデータ等は、ホストインターフェースブロック7を入口としてコントローラ3の内部に取り込まれ、フラッシュメモリシステム1からホストシステム4に供給されるデータ等は、ホストインターフェースブロック7を出口としてホストシステム4に供給される。

## 【0029】

さらに、ホストインターフェースブロック7は、ホストシステム4より供給されるホストアドレス及び外部コマンドを一時的に格納するタスクファイルレジスタ(図示せず)及びエラーが発生した場合にセットされるエラーレジスタ(図示せず)等を有している。

## 【0030】

ワークエリア8は、フラッシュメモリ2の制御に必要なデータが一時的に格納される作業領域であり、複数のSRAM(Static Random Access Memory)セルによって構成される機能ブロックである。

## 【0031】

バッファ9は、フラッシュメモリ2から読出したデータ及びフラッシュメモリ2に書込

10

20

30

40

50

むデータを一時的に保持する機能ブロックである。すなわち、フラッシュメモリ 2 から読出したデータは、ホストシステム 4 が受け取り可能な状態になるまでバッファ 9 に保持され、フラッシュメモリ 2 に書込むデータは、フラッシュメモリ 2 が書込み可能な状態となるまでバッファ 9 に保持される。

【 0 0 3 2 】

フラッシュメモリシーケンサブロック 1 2 は、内部コマンドに基づきフラッシュメモリ 2 の動作を制御する機能ブロックである。フラッシュメモリシーケンサブロック 1 2 は、複数のレジスタ（図示せず）を備え、この複数のレジスタに内部コマンドを実行する際に必要な情報が設定される。この複数のレジスタに内部コマンドを実行する際に必要な情報が設定されると、フラッシュメモリシーケンサブロック 1 2 は、その情報に基づいて処理を実行する。ここで、「内部コマンド」とは、コントローラ 3 からフラッシュメモリ 2 に与えられるコマンドであり、ホストシステム 4 からフラッシュメモリシステム 1 に与えられるコマンドである「外部コマンド」と区別される。

10

【 0 0 3 3 】

フラッシュメモリインターフェースブロック 1 0 は、内部バス 1 4 を介して、フラッシュメモリ 2 とデータ、アドレス情報、ステータス情報及び内部コマンド情報の授受を行う機能ブロックである。

【 0 0 3 4 】

ECC ブロック 1 1 は、フラッシュメモリ 2 に書込むデータに付加されるエラーコレクションコードを生成するとともに、読出しデータに付加されたエラーコレクションコードに基づいて、読出したデータに含まれる誤りを検出・訂正する機能ブロックである。

20

[メモリセルの説明]

次に、図 2 及び 3 参照して図 1 に示したフラッシュメモリ 2 を構成するメモリセル 1 6 の具体的な構造について説明する。

【 0 0 3 5 】

図 2 は、フラッシュメモリを構成するメモリセル 1 6 の構造を概略的に示す断面図である。同図に示したように、メモリセル 1 6 は、P 型半導体基板 1 7 に形成された N 型のソース拡散領域 1 8 及びドレイン拡散領域 1 9 と、ソース拡散領域 1 8 とドレイン拡散領域 1 9 との間の P 型半導体基板 1 7 を覆って形成されたトンネル酸化膜 2 0 と、トンネル酸化膜 2 0 上に形成されたフローティングゲート電極 2 1 と、フローティングゲート電極 2 1 上に形成された絶縁膜 2 2 と、絶縁膜 2 2 上に形成されたコントロールゲート電極 2 3 とから構成される。このような構成を有するメモリセル 1 6 が、フラッシュメモリ内で複数個直列に接続されている。

30

【 0 0 3 6 】

メモリセル 1 6 は、フローティングゲート電極 2 1 に電子が注入されているか否かによって、「消去状態（電子が蓄積されていない状態）」と「書込状態（電子が蓄積されている状態）」のいずれかの状態が示される。ここで、1 つのメモリセル 1 6 は 1 ビットのデータに対応し、メモリセル 1 6 の「消去状態」が論理値の「1」のデータに対応し、メモリセル 1 6 の「書込状態」が論理値の「0」のデータに対応する。

【 0 0 3 7 】

「消去状態」においては、フローティングゲート電極 2 1 に電子が蓄積されていないため、コントロールゲート電極 2 3 に読出し電圧（高レベル電圧）が印加されていないときには、ソース拡散領域 1 8 とドレイン拡散領域 1 9 との間の、P 型半導体基板 1 7 の表面にチャンネルが形成されず、ソース拡散領域 1 8 とドレイン拡散領域 1 9 は電氣的に絶縁される。一方、コントロールゲート電極 2 3 に読出し電圧（高レベル電圧）が印加されると、ソース拡散領域 1 8 とドレイン拡散領域 1 9 との間の、P 型半導体基板 1 7 の表面にチャンネル（図示せず）が形成され、ソース拡散領域 1 8 とドレイン拡散領域 1 9 は、このチャンネルによって電氣的に接続される。

40

【 0 0 3 8 】

すなわち、「消去状態」においてはコントロールゲート電極 2 3 に読出し電圧（高レベ

50

ル電圧)が印加されていない状態では、ソース拡散領域18とドレイン拡散領域19とは電氣的に絶縁され、コントロールゲート電極23に読出し電圧(高レベル電圧)が印加された状態では、ソース拡散領域18とドレイン拡散領域19とは電氣的に接続される。

【0039】

図3は、「書込状態」であるメモリセル16を概略的に示す断面図である。同図に示したように、「書込状態」とは、フローティングゲート電極21に電子が蓄積されている状態を指す。フローティングゲート電極21はトンネル酸化膜20及び絶縁膜22に挟まれているため、一旦、フローティングゲート電極21に注入された電子は、きわめて長時間フローティングゲート電極21内にとどまる。この「書込状態」においては、フローティングゲート電極21に電子が蓄積されているので、コントロールゲート電極23に読出し電圧(高レベル電圧)が印加されているか否かに関わらず、ソース拡散領域18とドレイン拡散領域19との間の、P型半導体基板17の表面にはチャンネル24が形成される。したがって、「書込状態」においてはソース拡散領域18とドレイン拡散領域19とは、コントロールゲート電極23に読出し電圧(高レベル電圧)が印加されているか否かに関わらず、チャンネル24によって常に電氣的に接続状態となる。

10

【0040】

又、上記メモリセル16が消去状態であるか書込状態であるかは、次のようにして読み出すことができる。メモリセル16はフラッシュメモリ内で複数個直列に接続されている。この直列体の中で選択するメモリセル16に低レベル電圧を印加し、それ以外のメモリセル16のコントロールゲート電極23に高レベル電圧を印加する。この状態でメモリセル16の直列体が導通状態であるか否かの検出が行われる。その結果、この直列体が導通状態であれば、選択されたメモリセル16は書込状態であると判断され、絶縁状態であれば、選択されたフラッシュメモリセル16は消去状態であると判断される。このようにして、直列体に含まれる任意のメモリセル16に保持されたデータが「0」であるのか「1」であるのかを読み出すことができる。

20

【0041】

又、消去状態であるメモリセル16を書込状態に変化させる場合は、コントロールゲート電極23が高電位側となる高電圧を印加し、トンネル酸化膜20を介してフローティングゲート電極21へ電子を注入する。この際、FN(ファウラ ノルトハイム)トンネル電流が流れフローティングゲート電極21に電子が注入される。一方、書込状態であるフラッシュメモリセル16を消去状態に変化させる場合は、コントロールゲート電極23が低電位側となる高電圧を印加し、トンネル酸化膜20を介してフローティングゲート電極21に蓄積された電子を排出する。

30

[フラッシュメモリのメモリ構造の説明]

次に、フラッシュメモリのメモリ構造を説明する。図4は、フラッシュメモリのメモリ構造を概略的に示す図である。図4に示したように、フラッシュメモリはデータの読出し及び書込みにおける処理単位であるページと、データの消去単位であるブロックで構成されている。

【0042】

上記ページは、例えば512バイトのユーザ領域25と、16バイトの冗長領域26によって構成される。ユーザ領域25は、主に、ホストシステム4から供給されるデータが格納される領域であり、冗長領域26は、エラーコレクションコード、対応論理ブロックアドレス及びブロックステータス等の付加情報が格納される領域である。

40

【0043】

エラーコレクションコードは、ユーザ領域25に格納されたデータに含まれる誤りを訂正するための付加情報であり、ECCブロックによって生成される。このエラーコレクションコードに基づき、ユーザ領域25に格納されたデータに含まれる誤りが所定数以下であれば、その誤りが訂正される。

【0044】

対応論理ブロックアドレスは、そのブロックにデータが格納されている場合に、そのブ

50

ロックがどの論理ブロックアドレスに対応するかを示している。尚、そのブロックにデータが格納されていない場合は、対応論理ブロックアドレスも格納されていないので、対応論理ブロックアドレスが格納されているか否かで、そのブロックが消去済ブロックであるか否かを判断することができる。つまり、対応論理ブロックアドレスが格納されていない場合は消去済ブロックであると判断する。

#### 【 0 0 4 5 】

ブロックステータスは、そのブロックが不良ブロック（正常にデータの書込み等を行なうことができないブロック）であるか否かを示すフラグであり、そのブロックが不良ブロックであると判断された場合には、不良ブロックであることを示すフラグが設定される。

[論理ブロックアドレスと物理ブロックアドレスの説明]

フラッシュメモリはデータの上書きができないため、データの書替えを行なう場合には、ブロック消去されている消去済ブロックに新たなデータ（書替後のデータ）を書込み、古いデータ（書替前のデータ）が書込まれていたブロックを消去するという処理を行なわなければならない。この際、消去はブロック単位で処理されるため、古いデータ（書替前のデータ）が書込まれていたページが含まれるブロックの、全ページのデータが消去されてしまう。従って、データの書替えを行なう場合、書替えるページが含まれるブロックの、他のページのデータについても、消去済ブロックに移動させる処理が必要となる。

#### 【 0 0 4 6 】

上記のようにデータを書替える場合、書替後のデータは書替前と異なるブロックに書込まれるため、ホストシステム側から与えられる論理ブロックアドレスと、フラッシュメモリ内でのブロックアドレスである物理ブロックアドレスとの対応関係は、データを書替える毎に動的に変化する。このため、論理ブロックアドレスと物理ブロックアドレスの対応関係を示したアドレス変換テーブルが必要となる。尚、このアドレス変換テーブルは、フラッシュメモリの冗長領域に書込まれている対応論理ブロックアドレスに基づいて作成され、データが書替えられる毎に、その書替えに関わった部分の対応関係が更新される。

[ゾーンの構成の説明]

本発明に係るフラッシュメモリシステムでは、フラッシュメモリ内の領域を複数のゾーンに分割して使用方法を採用しており、各ゾーンは、フラッシュメモリ内の複数のブロックで構成されている。図5は、1024のブロックでゾーンを構成した例を示している。この例では、ゾーンは、1024のブロックB0000～B1023で構成され、各ブロックは、32のページP00～P31で構成されている。ここで、ブロックは消去処理の単位であり、ページは読み出し及び書き込み処理の単位である。尚、各ブロックの記憶容量や、各ブロックのページ数はフラッシュメモリの仕様によって異なる。

#### 【 0 0 4 7 】

又、このゾーンは、一定範囲の論理ブロックアドレス空間に割当てられている。例えば、図6に示した例では、1024のブロックで構成されたゾーンを1000ブロック分の論理ブロックアドレスの空間に割当てている。ここで、ゾーンを構成するブロックが、24ブロック分余計に割当てられているのは、不良ブロックの発生を考慮したためである。但し、データ書替の際に一旦別のブロックに新データを書込み、その後、旧データが書込まれていたブロックをブロック消去する場合には、新データを書込むための予備ブロックが必要なので、実質的には23ブロック分が余計に割当てられていることになる。尚、ゾーンを構成するブロックの数は、フラッシュメモリシステムの用途やフラッシュメモリの仕様に応じて適宜設定される。

#### 【 0 0 4 8 】

又、各ブロックの冗長領域に対応論理ブロックアドレスを書込むときに、ホストシステム側から与えられる論理ブロックアドレスをそのまま書込んで、又は各ゾーンに割当てられた論理ブロックアドレス空間内での通番（各ゾーンを1000ブロック分の論理ブロックアドレスの空間に割当てた場合は0～999までの通番）を書込んで良い（以下、各ゾーンに割当てられた論理ブロックアドレス空間内での通番を論理通番と言う。）。ここで、論理通番は、各ゾーンに応じたオフセットを加えれば、実際の論理ブロックアドレ

10

20

30

40

50

スに変換することができる。例えば、図6でゾーン0に割当てられた論理ブロックアドレス空間の先頭アドレスがADD0の場合、各ゾーンには下記のようなオフセットが割当てられる。

ゾーン0 : ADD0

ゾーン1 : ADD0 + 1000 × 1

ゾーン2 : ADD0 + 1000 × 2

・  
・  
・

ゾーンN : ADD0 + 1000 × N

10

尚、本発明に係るフラッシュメモリシステムでは、後述するようにゾーン間でブロックの貸借を行なっているため、貸出側のゾーンに属するブロックの冗長領域には、貸出側のゾーンに割当てられた論理ブロックアドレスと、借入側のゾーンに割当てられた論理ブロックアドレスが記述されることになる。この際、貸出側のゾーンに属するブロックの冗長領域に、各ゾーンに割当てられた論理通番だけを記述した場合、その論理通番だけでは、その論理通番が貸出側の論理通番であるか、又は借入側の論理通番であるかを判断することができなくなる。従って、ブロックの冗長領域に、各ゾーンに割当てられた論理通番を記述する場合には、そのブロックが貸出されているか否かを示す情報を設定する必要がある。この情報を設定する場合、例えば、冗長領域の特定のビットを貸出フラグに割当て、そのビットの論理値でそのブロックが貸出されているか否かを示すようにすればよい。

20

〔ゾーン間でのブロック貸借の説明〕

本発明に係るフラッシュメモリシステムでは、ゾーンに割当てられている論理ブロックアドレス空間のデータを書込むときに、そのゾーン内で書込み先のブロックを確保できなくなった場合に、他のゾーンからブロックを借用することにより不足したブロックを補充している。このブロックの貸借を行なうときの、貸出側のゾーンと借入側のゾーンとの組合せは、不良ブロックの発生数等を考慮して適宜設定することが好ましい。

【0049】

尚、貸出側のゾーンと借入側のゾーンとの組合せは、書込み先のブロックを確保できないゾーンが発生したときに、逐次設定することが好ましい。例えば、書込み先のブロックを確保できないゾーンが発生したときに、そのゾーンに対して不良ブロックの発生数が少ないゾーンを逐次割当てるようにすればよい。但し、先天性不良ブロック（出荷時からの不良ブロック）の周辺では、後天性不良ブロック（使用中に発生した不良ブロック）の発生確立が高いと考えられるため、先天性不良ブロックの多いエリアに割当てられたゾーンと、先天性不良ブロックの少ないエリアに割当てられたゾーンを対応させるような組合せを予め設定しておき、書込み先のブロックを確保できないゾーンが発生したときに、その設定に従ってブロックの貸借を行なっても良い。

30

【0050】

又、貸出側のゾーンと借入側のゾーンとの対応関係については、その対応関係を示したテーブル（以下、貸出側のゾーンと借入側のゾーンとの対応関係を示したテーブルを貸借管理テーブルという。）を作成し、フラッシュメモリ内の特定のブロックに保存しておくことが好ましい。例えば、図7に示した貸借管理テーブルでは、借入側のゾーン番号と貸出側のゾーン番号を併記することにより、対応関係を示している。このテーブルに基づいてブロックの貸借を行なった場合、例えば、ゾーン0はゾーン1からブロックを借用し、ゾーン5はゾーン4からブロックを借用することになる。

40

【0051】

又、書込み先のブロックを確保できないゾーンが発生したときに、そのゾーンに対して不良ブロックの発生数が少ないゾーンを逐次割当てるようにする場合には、各ゾーン毎の不良ブロックの数、又は不良ブロックの物理ブロックアドレス等をフラッシュメモリ内の特定のブロックに保存しておくことが好ましい。このようにすれば、各ゾーンの不良ブロックの数を容易に把握できるため、貸出側のゾーンを円滑に割当てることができる。

50

【 0 0 5 2 】

次に、フラッシュメモリにアクセスするとき用いられるアドレス変換テーブルについて、図面を参照して説明する。図8は、借入側のアドレス変換テーブルの一例を示したものであり、1024のブロックでゾーンを構成し、このゾーンを1000ブロック分の論理ブロックアドレスの空間に割当てた場合のアドレス変換テーブルを示している。このアドレス変換テーブルには、各論理ブロックアドレスに対応するデータが格納されているブロックの物理ブロックアドレスが、論理ブロックアドレス順に記述されている。

【 0 0 5 3 】

ここで、物理ブロックアドレスを記述する場合に、フラッシュメモリ内での実際のアドレスを記述しても良いが、アドレス変換テーブルを作成するSRAM上の領域を少なくするため、物理ブロックアドレスの順番で付けた各ゾーン内での通番(0~1023)が記述されることが多い(以下、物理ブロックアドレスの順番で付けた各ゾーン内での通番を物理通番と言う。)。この場合、アドレス変換テーブル上の物理通番だけでは、借用しているブロックであるか否かの判断ができないので、アドレス変換テーブルに借用フラグ等を設け、この借用フラグにより借用しているブロックであるか否かを示すようにすることが好ましい。例えば、借用しているブロックであるか否かを示すビットを設け、このビットの論理値(「0」又は「1」)で借用しているブロックであるか否かを示すようにすればよい。図8に示した借入側のアドレス変換テーブルでは、借用したブロックではない場合に借用フラグを「0」に、借用したブロックの場合に借用フラグを「1」にしている。

10

【 0 0 5 4 】

又、物理通番(0~1023)は、各ゾーンに応じたオフセットを加えることにより、フラッシュメモリ内での実際のアドレスに変換することができる。例えば、フラッシュメモリ内のブロックをアドレス順でゾーン0からゾーンNに割付けた場合、各ゾーンには下記のようなオフセットが割当てられる。

20

ゾーン0 : 0

ゾーン1 : 1024 × 1

ゾーン2 : 1024 × 2

・

・

・

30

ゾーンN : 1024 × N

尚、対応するデータが格納されていない論理ブロックアドレスについては、アドレス変換テーブルのその論理ブロックアドレスに対応した部分に、物理ブロックアドレスではなく、対応するデータが格納されていないことを示すデータ、例えば「111 1111 1111 b(2進数)」が設定される。

【 0 0 5 5 】

又、図8に示した借入側のアドレス変換テーブルを作成する場合は、例えば、1000ブロック分の借用フラグと物理通番(物理ブロックアドレス)を記述できる領域をSRAM上に確保し、初期設定として借用フラグを記述する部分に「0」(借用したブロックではないことを示すフラグ)を設定し、物理ブロックアドレスを記述する領域に「111 1111 1111 b(2進数)」(データが格納されていないことを示すデータ)を設定する。その後、アドレス変換テーブルを作成するゾーン(借入側のゾーン)に割当てられているブロックの冗長領域を順次読出していき、冗長領域の対応論理ブロックアドレスを記述する部分に論理ブロックアドレスを示す論理通番が記述されていた場合には、アドレス変換テーブルのその論理通番に対応した部分(その論理ブロックアドレスに対応した部分)に、その論理通番が記述されていたブロックの物理通番を記述する。この処理を、ゾーンを構成する1024ブロックについて順次行なうことにより、借入側のゾーンに格納されているデータに対応した部分のアドレス変換テーブルが作成される。

40

【 0 0 5 6 】

上記処理では、貸出側のゾーンから借用しているブロックに格納されているデータに対

50

応した部分の変換テーブルが作成されないため、以下のような追加処理が必要となる。この追加処理は、上記借入側のゾーンと対応する貸出側のゾーンのブロック（冗長領域）を読み出し、冗長領域の貸出フラグに割当てられているビットに、貸出していることを示すフラグが設定されている場合（例えば、貸出していないときに論理値の「0」を、貸出しているときに論理値の「1」を設定するのであれば、「1」が設定されていた場合）に行なわれる。

#### 【0057】

この追加処理を、貸出側のブロックの冗長領域と、借入側のアドレス変換テーブルを示している図9を参照して説明する。貸出側のブロックの冗長領域で、物理通番6のブロックの冗長領域には、貸出していることを示すフラグ「1」が設定されており、対応論理ブロックアドレスを記述する部分には、論理通番3が記述されている。つまり、貸出側の物理通番6のブロックには、借入側のゾーンに割当てられている論理ブロックアドレス空間のデータが格納されており、そのデータは論理ブロックアドレス空間内の論理通番は3（000 0000 0011b（2進数））に対応している。この借用ブロックに関する情報を借入側のアドレス変換テーブルに追加する処理では、借入側のアドレス変換テーブルの論理通番3に対応した部分の借用フラグを「1」に設定し、物理ブロックアドレスを記述する部分に物理通番6（000 0000 0110b（2進数））を記述する。上記のような追加処理を、貸出側の冗長領域に、貸出していることを示すフラグ「1」が設定されている全ブロックについて行なえば、借入側のアドレス変換テーブルが完成する。尚、貸出側のゾーンから借用しているブロックが無い場合は、上記追加処理を行なう必要がない。

#### 【0058】

又、貸出側のアドレス変換テーブルを作成する場合は、例えば、1000ブロック分の物理ブロックアドレスを記述できる領域をSRAM上に確保し、初期設定として物理ブロックアドレスを記述する部分に「111 1111 1111b（2進数）」（データが格納されていないことを示すデータ）を設定する。その後、アドレス変換テーブルを作成するゾーン（貸出側のゾーン）に割当てられているブロックの冗長領域を順次読み出し、冗長領域の対応論理ブロックアドレスを記述する部分に論理ブロックアドレスを示す論理通番が記述されていた場合には、アドレス変換テーブルのその論理通番に対応した部分（その論理ブロックアドレスに対応した部分）に、その論理通番が記述されていたブロックの物理通番を記述する。この処理を、ゾーン内の貸出されていないブロック（貸出していないことを示すフラグ「0」が設定されているブロック）について順次行なうことにより、貸出側のアドレス変換テーブルが完成する。

#### 【0059】

次に貸出側のゾーンから借用したブロックに、借入側のゾーンに割当てられている論理ブロックアドレス空間のデータを書込む処理について説明する。尚、この書込み処理は、通常、借入側のゾーン内で、データの書込み先となるブロック（消去済ブロック、又は、有効なデータが書込まれていないブロック）を確保できない場合に行われる。又、書込み先のブロックを確保できなくなったゾーンに、貸出側のゾーンが設定されていない場合には、各ゾーン毎の不良ブロックの数を参照して貸出側のゾーンの割当てが行なわれる。

#### 【0060】

この処理では、最初に貸出側のゾーンに対する消去済ブロックの検索が行なわれる。この検索では、例えば、図10（a）に示したような消去済ブロック検索用テーブルが用いられる。この消去済ブロック検索用テーブルは、ゾーンを構成する各ブロックを、SRAM上の各ビットに対応させ、各ビットの論理値（「0」又は「1」）により、データが書込まれている状態、又はデータが書込まれていない状態を示したものである。ここで、消去済ブロック検索用テーブル上のビットは、ゾーンを構成する1024のブロック（物理通番0～1023）に対応している。この対応関係については、消去済ブロック検索用テーブル上のビットを、上の行から下の行へ、各行を左から右へ物理ブロックアドレス順に対応させている（物理通番の順序で対応させている。）。従って、消去済ブロック検索用

10

20

30

40

50

テーブルの左上のビットが、物理通番 0 のブロックに対応し、右下のビットが、物理通番 1 0 2 3 のブロックに対応する。

【 0 0 6 1 】

又、図 1 0 ( a ) に示した消去済ブロック検索用テーブルでは、消去済ブロック検索用テーブル上の各ビットに対応したブロックに、データが書込まれている場合又は不良ブロックであることを示すブロックステータスが記述されている場合は、そのビットに「 0 」を、データが書込まれていない場合（消去済ブロックの場合）は、そのビットに「 1 」を設定している。尚、この消去済ブロック検索用テーブルは、アドレス変換テーブルを作成する際に一緒に作成することができる。例えば、消去済ブロック検索用テーブルを作成する S R A M 上の領域に「 0 」を設定しておき、各ブロックの冗長領域に対応論理ブロックアドレスも不良ブロックであることを示すブロックステータスも記述されていないときに、そのブロックに対応するビットに「 1 」を設定するようにすれば、アドレス変換テーブルを作成する際に一緒に作成することができる。つまり、ゾーンを構成するブロックの冗長領域に記述されているデータを読み出したときにこの処理を行えば、消去済ブロックに対応するビットだけに「 1 」が設定され、消去済ブロックでないブロックに対応するビットは予め設定した「 0 」のままになる。又、作成後は、消去済ブロックにデータを書込んだときに、そのブロックに対応するビットを「 1 」から「 0 」に変更し、データが書込まれているブロックをブロック消去したときに、そのブロックに対応するビットを「 0 」から「 1 」に変更する更新処理を逐次行なう必要がある。

【 0 0 6 2 】

次に、この消去済ブロック検索用テーブルを用いた消去済ブロックの検索を、図 1 0 ( b ) を参照して説明する。この消去済ブロックの検索では、物理通番 0 のブロックに対応するビット（一番上の行の、一番左のビット）から、物理通番 1 0 2 3 のブロックに対応するビット（一番下の行の、一番右のビット）までを走査していき、消去済ブロックに対応する「 1 」のビットを検索する。ここで、前記走査は、上の行から下の行へ、各行を左から右へ向かって行なわれる。

【 0 0 6 3 】

図 1 0 ( b ) に示した消去済ブロック検索用テーブルで、一番上の行の、一番左のビットから走査を開始した場合、上から 4 番目の行の、左から 5 番目のビットが「 1 」なので、ここで検索を終了し、このビットに対応する物理通番 2 8 のブロックに、借入側のゾーンに割当てられている論理ブロックアドレス空間のデータが書込まれる。

【 0 0 6 4 】

尚、この消去済ブロック検索用テーブルは、貸出側のゾーンに割当てられている論理ブロックアドレス空間のデータを書込む消去済ブロックを検索する場合も同様に使用され、次の検索は、上から 4 番目の行の、左から 6 番目のビットから走査が開始される。更に、このような検索を続けていき、一番下の行の、一番右のビットまで走査が進んだときは、一番上の行の、一番左のビットに戻り走査が続けられる。

【 0 0 6 5 】

次に、貸出側の上記消去済ブロック検索用テーブルを用いて検索した消去済ブロックに、借入側のゾーンに割当てられている論理ブロックアドレス空間のデータを書込む処理について説明する。この書込み処理では、図 1 に示したバッファ 9 に書込みデータを取込んだ後、フラッシュメモリシーケンサブロック 1 2 が有するレジスタに、以下のような書込み処理の設定がなされる。

- 1 ) 内部コマンドとして内部書込みコマンドが、フラッシュメモリシーケンサブロック 1 2 内の所定のレジスタに設定される。
- 2 ) 貸出側の上記消去済ブロック検索用テーブルを用いて検索された消去済ブロックの物理通番に、貸出側のゾーンに対応したオフセットが加えられ、このオフセットの加算によって生成された物理ブロックアドレスにページ番号に相当する 5 ビット（ 3 2 のページを識別するためのビット）が付加されたページのアドレスが、フラッシュメモリシーケンサブロック 1 2 内の所定のレジスタに設定される。

10

20

30

40

50

## 【 0 0 6 6 】

その後、上記書込み処理の設定に基づいて、フラッシュメモリシーケンサブブロック 1 2 が処理を実行する。この処理が実行されると、フラッシュメモリインターフェースブロック 1 0 から、内部バス 1 4 を介してフラッシュメモリ 2 に内部書込みコマンドを実行するためのコマンド情報やアドレス情報等が供給される。又、バッファ 9 に保持されている書込みデータも、内部バス 1 4 を介してフラッシュメモリ 2 に供給され、上記フラッシュメモリシーケンサブブロック 1 2 内の所定のレジスタに設定したページにデータが書込まれる。

## 【 0 0 6 7 】

又、上記書込み処理の終了後に、データを書込んだブロックの冗長領域に、貸出していることを示すフラグが設定されると共に、対応論理ブロックアドレスを記述する部分にそのブロックに書込んだデータの論理通番（借入側のゾーンに割当てられている論理ブロックアドレス空間内での論理通番）が書込まれる。この冗長領域への書込み処理は、冗長領域に書込むデータを設定するバッファに上記フラグや論理通番等のデータを設定した後に、フラッシュメモリシーケンサブブロック 1 2 内の所定のレジスタにコマンドやアドレスを設定することにより上述の書込み処理と同様に実行できる。

## 【 0 0 6 8 】

次に、借用したブロックに書込まれているデータを、読出す処理について説明する。借用したブロックに書込まれているデータを読出す場合は、読出すデータの論理ブロックアドレスに割当てられている借入側のゾーン内のブロックではなく、貸出側のゾーン内のブロックからデータが読出されるので、読出すデータの論理ブロックアドレスが貸出側のゾーン内の物理ブロックアドレスに変換される。つまり、借用したブロックに書込まれているデータの読出し処理では、図 8 に示した借入側のアドレス変換テーブルによって与えられる物理通番に対して、貸出側のオフセットが加えられ、変換テーブルによって与えられる物理通番が貸出側のゾーン内のブロックに対応する物理ブロックアドレスに変換される。尚、貸出側のオフセットが加えられるのは、図 8 に示した借入側のアドレス変換テーブルで、借用フラグに「 1 」が設定されているところの物理通番だけで、借用フラグに「 0 」が設定されているところの物理通番に対しては、借入側のオフセットが加えられる。

## 【 0 0 6 9 】

上記のようにして得られた物理ブロックアドレスに基づいて読出し処理を行なう場合、図 1 に示したフラッシュメモリシーケンサブブロック 1 2 が有するレジスタに、以下のような読出し処理の設定がなされる。

1 ) 内部コマンドとして内部読出しコマンドが、フラッシュメモリシーケンサブブロック 1 2 内の所定のレジスタに設定される。  
2 ) アドレス変換テーブルによって与えられる物理通番に、貸出側のゾーンに対応したオフセットが加えられ、このオフセットの加算によって生成された物理ブロックアドレスにページ番号に相当する 5 ビット（ 3 2 のページを識別するためのビット）が付加されたページのアドレスが、フラッシュメモリシーケンサブブロック内の所定のレジスタに設定される。

## 【 0 0 7 0 】

その後、上記読出し処理の設定に基づいて、フラッシュメモリシーケンサブブロック 1 2 が処理を実行する。この処理が実行されると、フラッシュメモリインターフェースブロック 1 0 から、内部バス 1 4 を介してフラッシュメモリ 2 に内部書込みコマンドを実行するためのコマンド情報やアドレス情報等がフラッシュメモリに供給される。その後、フラッシュメモリ 2 からフラッシュメモリシーケンサブブロック 1 2 内の所定のレジスタに設定したアドレスのページから出力されデータがバッファ 9 に取込まれ、更に、そのデータはホストシステム 4 側に転送される。

## 【 図面の簡単な説明 】

## 【 0 0 7 1 】

【 図 1 】 図 1 は、本発明に係るフラッシュメモリシステムを概略的に示すブロック図であ

10

20

30

40

50

る。

【図2】図2は、フラッシュメモリを構成するメモリセルの構造を概略的に示す断面図である。

【図3】図3は、書込状態であるメモリセルを概略的に示す断面図である。

【図4】図4は、フラッシュメモリのアドレス空間の構造を概略的に示す図である。

【図5】図5は、1024のブロックでゾーンを構成した例を示す図である。

【図6】図6は、各ゾーンと論理ブロックアドレス空間との対応関係を示す図である。

【図7】図7は、貸借管理テーブルの例を示す図である。

【図8】図8は、借入側のアドレス変換テーブルの例を示した図である。

【図9】図9は、借入側のアドレス変換テーブルと貸出側のブロックとの対応関係を示す図である。 10

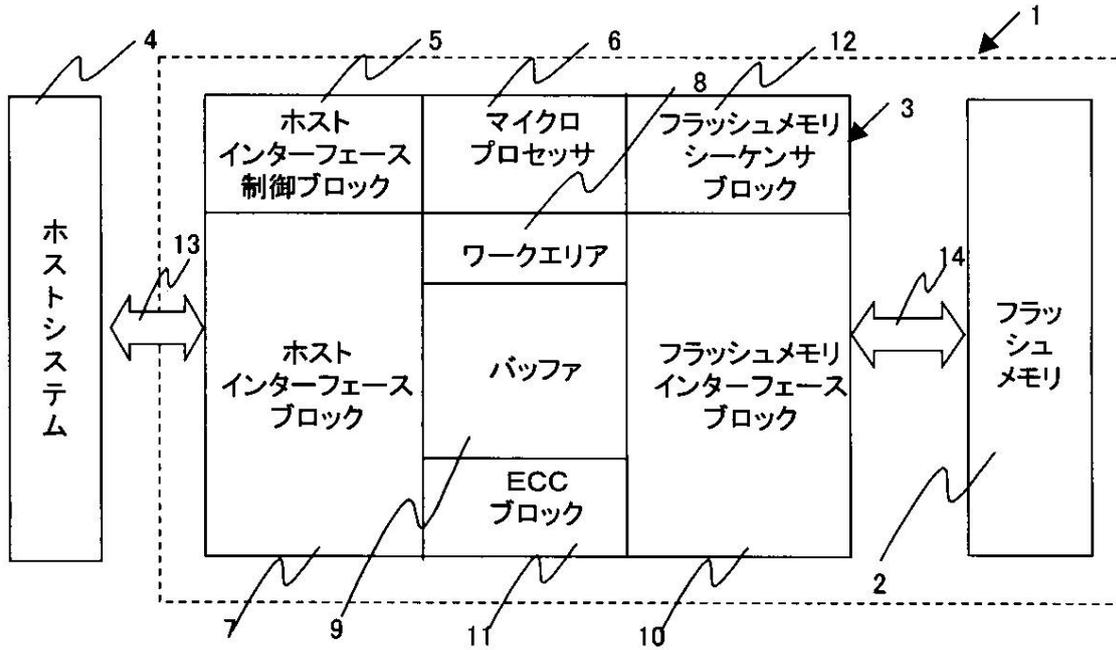
【図10】図10は、消去済ブロック検索用テーブルの例を示す概念図である。

【符号の説明】

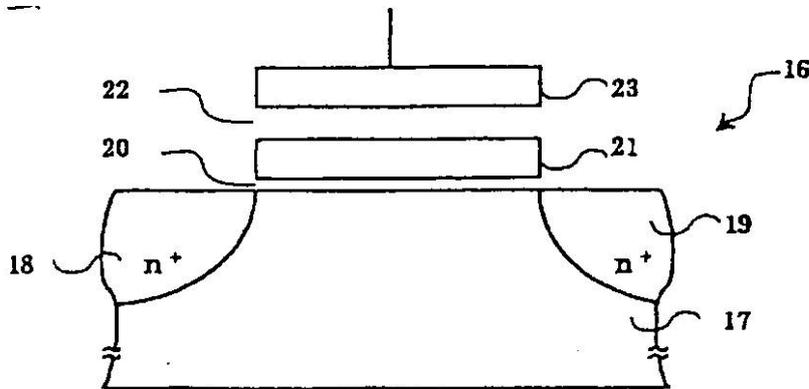
【0072】

- |         |                      |    |
|---------|----------------------|----|
| 1       | フラッシュメモリシステム         |    |
| 2、35、36 | フラッシュメモリ             |    |
| 3       | コントローラ               |    |
| 4       | ホストコンピュータ            |    |
| 5       | ホストインターフェース制御ブロック    |    |
| 6       | マイクロプロセッサ            | 20 |
| 7       | ホストインターフェースブロック      |    |
| 8       | ワークエリア               |    |
| 9       | バッファ                 |    |
| 10      | フラッシュメモリインターフェースブロック |    |
| 11      | ＥＣＣブロック              |    |
| 12      | フラッシュメモリシークンサブロック    |    |
| 13      | 外部バス                 |    |
| 14      | 内部バス                 |    |
| 16      | メモリセル                |    |
| 17      | P型半導体基板              | 30 |
| 18      | ソース拡散領域              |    |
| 19      | ドレイン拡散領域             |    |
| 20      | トンネル酸化膜              |    |
| 21      | フローティングゲート電極         |    |
| 22      | 絶縁膜                  |    |
| 23      | コントロールゲート電極          |    |
| 24      | チャネル                 |    |
| 25      | ユーザ領域                |    |
| 26      | 冗長領域                 |    |

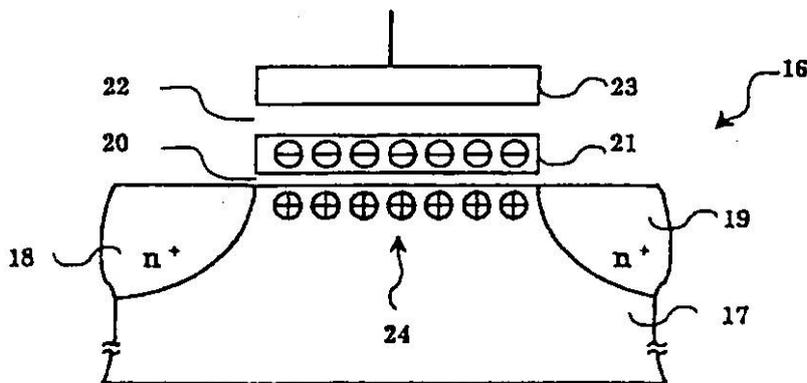
【図1】



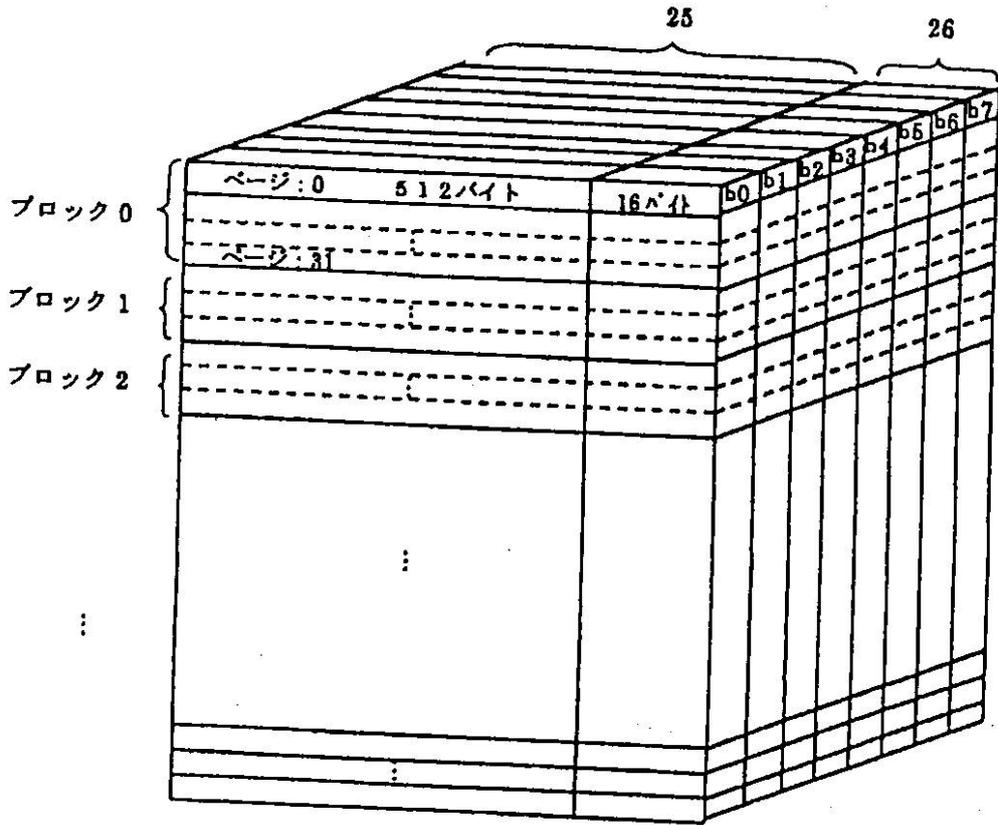
【図2】



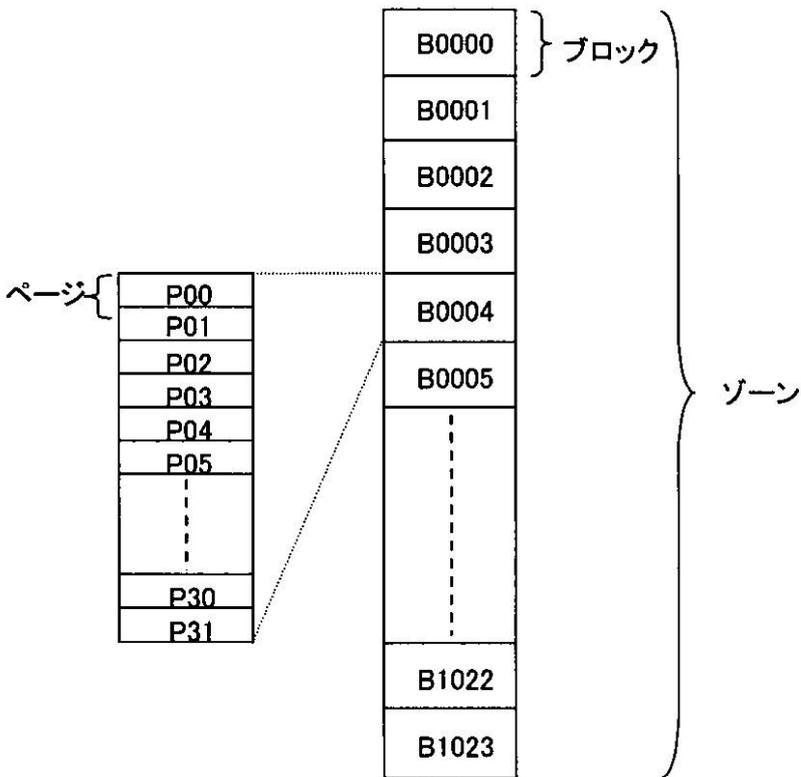
【図3】



【図4】



【図5】





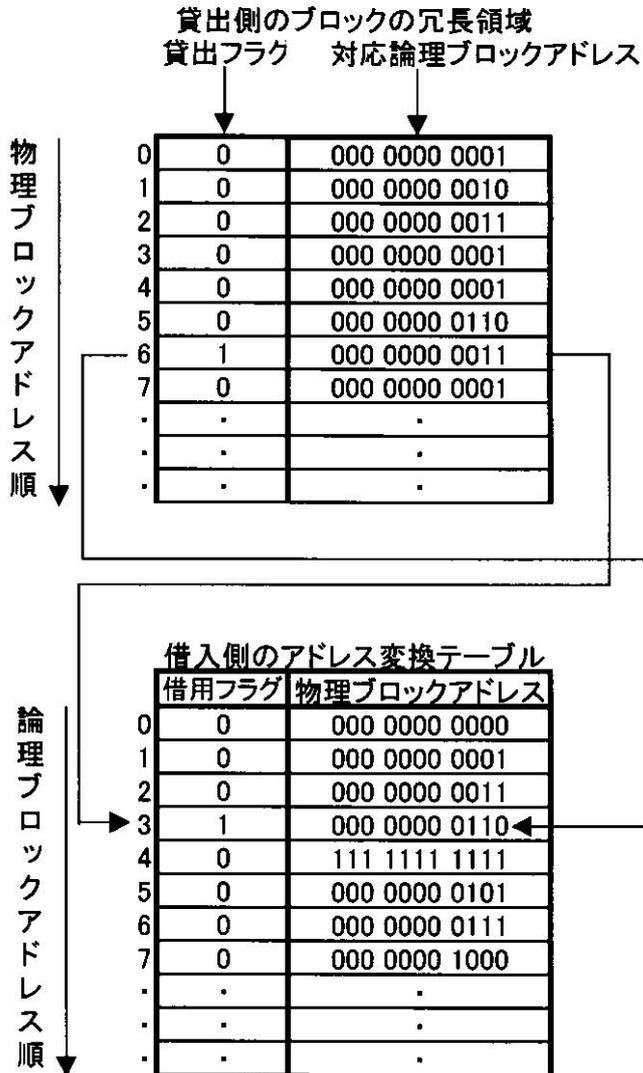
【 図 8 】

借用フラグ	物理ブロックアドレス
0	000 0000 0000
0	000 0000 0001
0	000 0000 0011
1	000 0000 0110
0	111 1111 1111
0	000 0000 0101
0	000 0000 0111
0	000 0000 1000
.	.
.	.
.	.
0	011 1111 1100
0	011 1111 1101

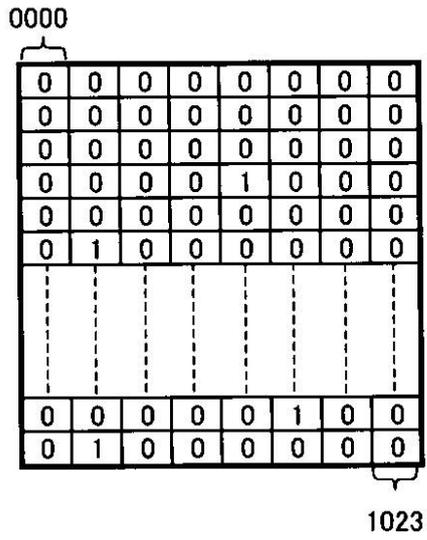
論理ブロックアドレス順 ↓

1000 ブロック

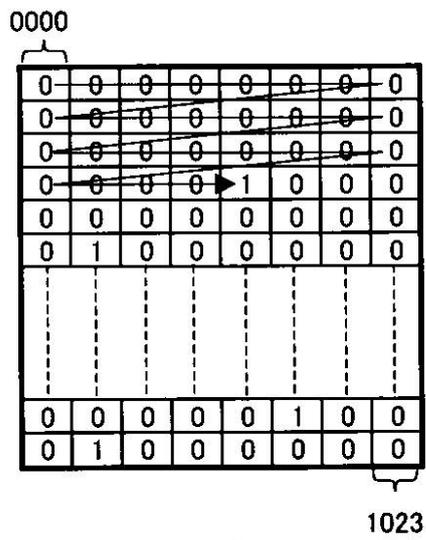
【 図 9 】



【 1 0 】



(a)



(b)

---

フロントページの続き

(56)参考文献 特表2006-509304(JP,A)  
特開2005-141419(JP,A)  
特開2005-107600(JP,A)  
特開2004-118407(JP,A)  
特開2003-323352(JP,A)  
特開2003-015947(JP,A)  
特開2002-358246(JP,A)  
特開平11-110283(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F12/00, 550-12/06  
G06F13/16-13/18  
G11C17/00-17/18  
G11C16/02-16/06  
G06F12/16  
G06F 3/06- 3/08