



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0072522
(43) 공개일자 2013년07월02일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247

(2006.01)

(21) 출원번호 10-2011-0139987

(22) 출원일자 2011년12월22일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

황승민

경기도 이천시 고담동 고담기숙사 101동 411호

서일석

충청북도 청주시 흥덕구 개신동 주공아파트 302동 103호

(74) 대리인

신영무

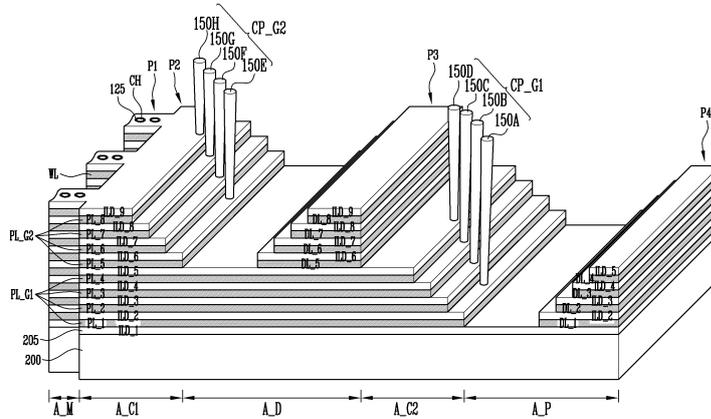
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 3차원 불휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 기술은 계단 구조를 포함하는 3차원 불휘발성 메모리 소자 및 그 제조 방법에 관한 것으로서, 기판 상에 적층된 다층의 워드 라인들을 포함하는 워드 라인 구조물; 및 상기 워드 라인 구조물과 연결되면서 계단 구조로 패턴닝된 콘택 영역을 포함하며, 상기 콘택 영역은 상기 워드 라인들 각각에 연결된 패드막 적어도 2층 이상이 하나의 콘택 그룹으로 형성되고, 상기 콘택 그룹 각각은 일정 간격으로 이격되어 형성된 3차원 불휘발성 메모리 소자 및 그 제조 방법을 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 적층된 다층의 워드 라인들을 포함하는 워드 라인 구조물; 및
 상기 워드 라인 구조물과 연결되면서 계단 구조로 패터닝된 콘택 영역을 포함하며,
 상기 콘택 영역은 상기 워드 라인들 각각에 연결된 패드막 적어도 2층 이상이 하나의 콘택 그룹으로 형성되고,
 상기 콘택 그룹 각각은 일정 간격으로 이격되어 형성된 3차원 불휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,
 상기 콘택 그룹들 각각과 마주보는 영역에 배치되며, 마주하는 상기 콘택 그룹과 대칭된 구조를 갖는 더미 콘택 구조물을 더 포함하는 3차원 불휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,
 상기 콘택 그룹과 상기 더미 콘택 구조물은 일정 간격으로 이격되게 형성된 3차원 불휘발성 메모리 소자.

청구항 4

교대로 적층된 제1 물질막 및 제2 물질막을 하나의 적층막으로 하여 상기 적층막을 콘택 영역들 및 워드 라인 영역이 정의된 기관의 상기 콘택 영역 상에 적층하는 단계; 및
 적어도 2 이상의 상기 적층막을 하나의 적층 그룹으로 하고, 각각의 상기 적층 그룹이 일정 간격 이격되고, 상기 적층 그룹 각각이 계단 구조를 갖도록 상기 적층막을 패터닝하는 단계를 포함하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 5

제 4 항에 있어서,
 상기 적층막을 패터닝하는 단계는
 상기 적층 그룹 각각이 일정 간격 이격되도록 제1 마스크 패턴을 이용하여 상기 적층막을 패터닝하는 단계; 및
 상기 적층 그룹 각각이 상기 계단 구조를 갖도록 제2 마스크 패턴을 이용하여 상기 적층막을 패터닝하는 단계를 포함하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 6

제 5 항에 있어서,
 상기 콘택 영역과 마주보며 형성된 더미 콘택 영역을 더 포함하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 7

제 6 항에 있어서,
 상기 더미 콘택 영역은 상기 계단 구조를 갖는 상기 적층 그룹과 대칭되게 형성된 더미 콘택 구조물을 포함하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 8

제 7 항에 있어서,
 상기 제1 마스크 패턴은

상기 더미 영역 중 상기 더미 콘택 구조물이 형성될 영역을 덮는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 9

제 6 항에 있어서,

상기 더미 영역들은 상기 콘택 영역들보다 넓은 폭으로 정의되고,

상기 제1 마스크 패턴은 상기 적층 그룹의 경계를 기준으로 상기 콘택 영역과 상기 더미 영역을 동일한 폭으로 덮는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 10

제 6 항에 있어서,

상기 제1 마스크 패턴을 이용하여 상기 적층막을 패터닝하는 단계는

상기 적층막 상에 일 단의 콘택 영역을 노출시키는 제1 마스크 패턴을 형성하는 단계; 및

상기 제1 마스크 패턴을 식각 베리어로 하나의 상기 적층 그룹에 포함된 상기 적층막을 식각하는 단계를 포함하고,

상기 적층막이 상기 적층 그룹으로 구성된 계단 구조로 패터닝될 때까지 상기 제1 마스크 패턴을 축소시키면서 식각 공정을 반복하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 11

제 4 항에 있어서,

상기 제1 물질막은 층간 절연막으로 형성하고,

상기 제2 물질막은 도전막으로 형성하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 12

제 4 항에 있어서,

상기 제1 물질막은 희생막으로 형성하고,

상기 제2 물질막은 층간 절연막으로 형성하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 13

제 12 항에 있어서,

상기 적층 그룹 각각이 계단 구조를 갖도록 상기 적층막을 패터닝하는 단계 이 후,

상기 희생막을 제거하는 단계; 및

상기 희생막이 제거된 영역을 도전막으로 채우는 단계를 더 포함하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 14

제 4 항에 있어서,

상기 제1 물질막은 도전막으로 형성하고,

상기 제2 물질막은 희생막으로 형성하는 3차원 불휘발성 메모리 소자의 제조방법.

청구항 15

제 14 항에 있어서,

상기 적층 그룹 각각이 계단 구조를 갖도록 상기 적층막을 패터닝하는 단계 이 후,

상기 희생막을 제거하는 단계; 및

상기 희생막이 제거된 영역을 층간 절연막으로 채우는 단계를 더 포함하는 3차원 불휘발성 메모리 소자의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 구체적으로 3차원 불휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 메모리 소자에 대한 기술은 집적도를 높일 수 있는 방향으로 개발되고 있다. 일반적으로 메모리 소자의 집적도를 높이기 위해 2차원적으로 배열된 메모리 셀 크기를 줄이는 방안들을 개발해왔다. 2차원적으로 배열된 메모리 셀 크기를 줄이는데 한계가 있으며, 이러한 한계를 극복하기 위해 기판 상부에 메모리 셀들을 3차원으로 배열한 3차원 구조의 메모리 소자가 제안된 바 있다. 3차원 구조의 메모리 소자는 기판의 면적을 효율적으로 활용할 수 있고, 2차원적으로 메모리 셀 들을 배열하는 경우에 비해 집적도를 향상시킬 수 있다.

[0003] 3차원 구조의 메모리 소자는 기판 상에 적층된 다층의 게이트 라인들을 포함한다. 다층의 게이트 라인들 중 서로 인접한 게이트 라인들 사이에는 층간 절연막이 적층되어 게이트 라인들 사이가 절연된다. 다층의 게이트 라인들 각층에는 콘택 플러그가 연결된다. 이를 위해 콘택 플러그에 연결될 게이트 라인의 콘택 영역이 노출될 수 있도록 다층의 게이트 라인들의 측부가 계단형으로 패터닝된다.

[0004] 도 1a 내지 도 1e는 종래 기술에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다. 특히, 도 1a 내지 도 1e는 3차원 불휘발성 메모리 소자의 콘택 영역만을 도시하였다.

[0005] 도 1a를 참조하면, 기판(미도시) 상에 다층의 층간 절연막들(10A ~ 10I) 및 다층의 도전막들(20A ~ 20H)을 교대로 적층하여 적층 구조물을 형성한다. 이어서, 도면에 도시되지 않았으나, 메모리 셀 영역에 3차원 구조로 배열된 메모리 셀들을 형성하기 위한 공정들이 수행된다.

[0006] 이 후, 다층의 층간 절연막들(10A~10I) 및 다층의 도전막들(20A~20H) 상에 콘택 영역을 형성하기 위한 마스크 패턴(30)을 형성한다. 마스크 패턴(30)은 다층의 층간 절연막들(10A~10I) 및 다층의 도전막들(20A~20H) 상에 포토레지스트막 증착 후, 노광 및 현상 공정을 수행하여 포토레지스트막을 패터닝함으로써 형성된 포토레지스트 패턴일 수 있다.

[0007] 도 1b를 참조하면, 마스크 패턴(30)을 식각 베리어로 최상층의 층간 절연막(10I) 및 최상층의 도전막(20H) 도전막(20H)을 식각한다. 이로써 적층 구조물에 1단의 단차(①)가 형성된다. 이 후, 마스크 패턴(30)을 식각하여 콘택 영역의 폭 만큼 마스크 패턴(30)의 폭을 줄인다. 이 때, 마스크 패턴(30)의 폭뿐만 아니라 마스크 패턴(30)의 두께 또한 줄어든다.

[0008] 도 1c를 참조하면, 축소된 마스크 패턴(30)을 식각 베리어로 최상층의 층간 절연막(10I) 및 최상층의 도전막(20H)을 식각한다. 최상층의 층간 절연막(10I) 및 최상층의 도전막(20H)이 식각되는 동안, 그 하부의 층간 절연막(10H) 및 도전막(20G)이 식각되어 적층 구조물에 2단의 단차(①, ②)가 형성된다. 이 후, 마스크 패턴(30)을 식각하여 콘택 영역의 폭 만큼 마스크 패턴(30)의 폭을 줄인다. 이 때, 마스크 패턴(30)의 폭뿐만 아니라 마스크 패턴(30)의 두께 또한 줄어든다.

[0009] 도 1d를 참조하면, 상술한 바와 같이 마스크 패턴(30)의 폭을 축소시킨 후, 축소된 마스크 패턴(30)을 식각 베리어로 최상층의 층간 절연막(10I) 및 최상층 도전막(20H)을 식각하는 일련의 공정을 최하층의 도전막(20A)이 식각될 때까지 반복 실시한다. 이로써, 최하층의 도전막(20A)으로부터 최상층의 도전막(20H)이 계단형으로 패터닝되며, 적층 구조물에 다층의 도전막들(20A~20H)의 적층 수와 동일한 수의 단차가 형성된다.

[0010] 예를 들어, 본 도면에서는 8층의 도전막들(20A~20H)을 적층 한 경우를 도시하였다. 이에 따라, 최하층의 도전막(20A)이 식각될 때까지 마스크 패턴(30)을 축소시키면서 최상층의 층간 절연막(10I) 및 최상층 도전막(20H)을 식각하는 공정을 반복 실시하면 8단의 단차(①~⑧)가 형성될 수 있다.

[0011] 계단형으로 패터닝된 다층의 도전막들(20A~20H) 측부는 콘택 영역으로 정의된다.

[0012] 도 1e를 참조하면, 마스크 패턴(30)을 제거한 후, 세정 공정을 통해 잔류물을 제거한다. 이어서, 계단형으로

패터닝된 전체 구조 상에 절연막(40)을 형성하고, 절연막(40)의 표면을 평탄화시킨다. 이 후, 다층의 도전막들(20A~20H)의 콘택 영역을 각각 노출시키는 콘택홀을 형성한 후, 콘택홀 내부를 도전막으로 채워서 다층의 도전막들(20A ~ 20H)에 각각 연결되는 다수의 콘택 플러그들(50A-50H)을 형성한다.

[0013] 상술한 종래 기술에 따르면, 최초로 형성되는 마스크 패턴(30)의 두께는 마스크 패턴(30)의 두께는 반복되어 실시되는 마스크 패턴(30)의 식각 공정에서 손실되는 두께를 고려하여 충분히 두꺼운 두께로 형성되어야 한다. 이에 따라, 마스크 패턴(30)의 두께는 적층 구조물을 구성하는 다층의 도전막들(20A~20H)의 적층 수가 증가할수록 증가되어야 한다. 상술하였듯, 마스크 패턴(30)은 포토레지스트막의 노광 및 현상 공정을 통해 형성될 수 있다. 따라서, 마스크 패턴(30)의 두께를 증가시키려면 포토레지스트막의 증착 두께를 증가시켜야 하며, 포토레지스트막의 두께가 증가될수록 노광 공정에 소요되는 시간이 증가하는 문제가 발생한다. 또한, 적층 구조물을 구성하는 다층의 도전막들(20A~20H)의 적층 수가 증가할수록 마스크 패턴(30)을 축소시키는 공정을 수행하는 횟수와 층간 절연막(10I) 및 도전막(20H)을 식각하는 공정을 수행하는 횟수가 증가하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0014] 본 발명의 실시 예는 계단 구조를 포함하는 3차원 불휘발성 메모리 소자 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0015] 본 발명의 실시 예에 따른 3차원 불휘발성 메모리 소자는 기판 상에 적층된 다층의 워드 라인들을 포함하는 워드 라인 구조물; 및 상기 워드 라인 구조물과 연결되면서 계단 구조로 패터닝된 콘택 영역을 포함하며, 상기 콘택 영역은 상기 워드 라인들 각각에 연결된 패드막 적어도 2층 이상이 하나의 콘택 그룹으로 형성되고, 상기 콘택 그룹 각각은 일정 간격으로 이격되어 형성된다.

[0016] 본 발명의 실시 예에 따른 3차원 불휘발성 메모리 소자의 제조방법은 교대로 적층된 제1 물질막 및 제2 물질막을 하나의 적층막으로 하여 상기 적층막을 콘택 영역들 및 워드 라인 영역이 정의된 기판의 상기 콘택 영역 상에 적층하는 단계; 및 적어도 2 이상의 상기 적층막을 하나의 적층 그룹으로 하고, 각각의 상기 적층 그룹이 일정 간격 이격되고, 상기 적층 그룹 각각이 계단 구조를 갖도록 상기 적층막을 패터닝하는 단계를 포함한다.

발명의 효과

[0017] 본 기술은 적층막들을 그룹 단위로 구분하고, 그룹 단위로 구분된 적층막들 측부에 계단 구조를 동시에 형성함으로써 계단 구조를 통해 노출되는 적층막들의 폭을 균일하게 형성할 수 있으며, 계단 구조를 형성하기 위한 공정 횟수 및 공정 시간을 줄일 수 있다.

도면의 간단한 설명

[0018] 도 1a 내지 도 1e는 종래 기술에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
 도 2는 본 발명의 일 실시 예에 따른 3차원 불휘발성 메모리 소자를 설명하기 위한 사시도이다.
 도 3a 내지 도 3g는 본 발명의 일 실시예에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
 도 4a 및 도 4b는 본 발명의 실시 예들에 따른 콘택 구조물의 다양한 형태를 나타낸 도면들이다.
 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
 도 6은 본 발명에 따른 메모리 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위

에 의해서 이해되어야 한다.

- [0020] 도 2는 본 발명의 일 실시 예에 따른 3차원 불휘발성 메모리 소자를 설명하기 위한 사시도이다. 도 2는 설명의 편의를 위해 콘택 영역들과, 콘택 영역에 연결된 셀 영역의 일부와 주변 영역 일부만을 도시하였으며, 일부 절연막의 도시를 생략하였다.
- [0021] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 3차원 불휘발성 메모리 소자는 셀 영역(A_M), 주변 영역(A_P), 및 셀 영역(A_M)과 주변 영역(A_P) 사이에 교대로 배치된 적어도 하나의 콘택 영역(A_C1, A_C2) 및 더미 콘택 영역(A_D)을 포함한다. 셀 영역(A_M)의 적어도 일측에는 더미 콘택 영역(A_D)을 사이에 두고 일정 간격으로 이격된 2 이상의 콘택 영역들(A_C1, A_C2)이 일렬로 배열된다. 더미 콘택 영역(A_D)은 서로 인접한 콘택 영역들(A_C1, A_C2) 사이의 영역으로 정의된다. 더미 콘택 영역(A_D)은 콘택 영역들(A_C1, A_C2)보다 넓은 폭으로 정의될 수 있다.
- [0022] 셀 영역(A_M)의 기판(100) 상에는 교대로 적층된 다층의 층간 절연막(ILD1~ILD9) 및 다층의 워드 라인들(WL)을 포함하는 워드 라인 구조물(P1)이 형성된다. 워드 라인 구조물(P1)은 일 방향을 따라 라인 형태로 형성되며 제 1 폭(W1)으로 형성된다. 워드 라인 구조물(P1)은 외벽면이 메모리 적층막(125)으로 둘러싸인 수직 채널막(CH)에 의해 관통된다. 메모리 적층막(125)은 수직 채널막(CH)을 감싸는 터널 절연막, 터널 절연막을 감싸는 전하 저장막, 및 전하 저장막을 감싸는 전하 차단막을 포함한다. 도면에 도시하진 않았으나, 상기에서 수직 채널막(CH) 한 쌍은 파이프 채널막에 의해 연결된 구조로 형성될 수 있다.
- [0023] 워드 라인 구조물(P1)의 워드 라인들(WL) 각각은 콘택 영역들(A_C1, A_C2)과 더미 콘택 영역(A_D) 중 적어도 하나의 영역까지 확장되어 형성된 패드막들(PL1~PL8)에 연결된다. 워드 라인 구조물(P1)의 층간 절연막들(ILD1~ILD9) 각각은 콘택 영역들(A_C1, A_C2)과 더미 콘택 영역(A_D) 중 적어도 하나의 영역까지 확장되어 형성된다. 워드 라인 구조물(P1)로부터 콘택 영역들(A_C1, A_C2)과 더미 콘택 영역(A_D) 중 적어도 하나의 영역까지 확장되어 교대로 적층된 층간 절연막들(ILD1~ILD9) 및 패드막들(PL1~PL8)은 콘택 구조물(P2)을 구성한다.
- [0024] 순차로 적층된 적어도 2층 이상의 패드막들(PL1~PL2)은 워드 라인들(WL)에 연결되어 적어도 2이상의 콘택 그룹(PL_G1, PL_G2)으로 구분된다. 콘택 그룹들(PL_G1, PL_G2) 각각을 구성하는 패드막들의 적층 수는 콘택 그룹(PL_G1, PL_G2)마다 동일하게 형성할 수 있다. 콘택 그룹들(PL_G1, PL_G2)의 적층 수와 콘택 그룹들(PL_G1, PL_G2) 각각을 구성하는 워드 라인들의 적층 수는 다양하게 설정될 수 있다. 일 실시 예에서는 설명의 편의를 위해 기판(100) 상에 2단의 콘택 그룹들(PL_G1, PL_G2)이 적층된 경우와, 콘택 그룹들(PL_G1, PL_G2) 각 단이 순차로 적층된 4개 층의 패드막들로 구성된 경우를 예로 들어 설명한다.
- [0025] 콘택 그룹들(PL_G1, PL_G2) 각각의 콘택 영역들(A_C1, A_C2)은 계단 구조로 패터닝된 패드막들(PL1~PL4, PL5~PL8)을 포함한다. 콘택 그룹들(PL_G1, PL_G2)의 계단 구조는 상단 콘택 그룹(PL_G2)부터 최하단 콘택 그룹(PL_G1)까지 셀 영역(A_M)에 가까운 콘택 영역(A_C1)부터 주변 영역(A_P)에 인접하여 배열된 콘택 영역(A_C2)까지 순차로 배치된다. 본 발명의 일 실시 예에 따른 콘택 그룹들(PL_G1, PL_G2)은 동일한 형태의 계단 구조를 갖도록 형성될 수 있다. 그리고, 서로 인접한 콘택 그룹들(PL_G1, PL_G2) 사이에는 더미 콘택 영역(A_D)이 존재한다.
- [0026] 더미 콘택 영역(A_D)의 콘택 그룹(PL_G1) 상부와, 주변 영역(A_P)에는 더미 콘택 구조물(P3)이 더 형성될 수 있다. 더미 콘택 구조물(P3, P4)은 계단 구조로 패터닝된 콘택 그룹들(PL_G1, PL_G2) 각각의 콘택 영역(A_C1, A_C2)과 마주하여 인접한 콘택 그룹(PL_G1, PL_G2)과 대칭된 계단 구조를 갖도록 패터닝된 다층의 더미막들(DL5~DL8, DL1~DL4) 및 다층의 층간 절연막들(ILD6~ILD9, IL2~ILD5)을 포함한다. 더미 콘택 구조물(P3, P4)의 적층막들은 더미 콘택 구조물(P3, P4)과 동일한 층에 형성된 콘택 그룹(PL_G2)과 동일하다. 상술한 더미 콘택 구조물들(P3, P4)은 도면에 도시되지 않은 절연막의 평탄화 공정시 디싱(dishing) 현상을 개선하기 위해 잔류된다. 이에 대한 상세한 설명은 이하의 도면을 참조하여 후술하기로 한다.
- [0027] 콘택 그룹들(PL_G1, PL_G2)의 콘택 영역(A_C1, A_C2)에 형성된 패드막들(PL1~PL4, PL5~PL8) 각각에는 콘택 플러그들(150A~150H)이 연결된다. 콘택 플러그들(150A~150H)은 콘택 그룹들(PL_G1, PL_G2)에 대응하는 콘택 플러그 그룹(CP_G1, CP_G2)으로 구분된다.
- [0028] 상기에서 콘택 구조물(P2)의 각 패드막들(PL1~PL8) 폭과 더미 콘택 구조물(P3, P4)의 각 더미막들(DL1~DL8) 폭은 워드 라인 구조물(P1)의 폭보다 넓게 형성될 수 있다. 이 경우, 층간 절연막(ILD1~ILD9) 사이의 희생막을 제거하는 공정 진행 동안 콘택 영역들(A_C1, A_C2), 및 더미 콘택 영역(A_D)에 형성된 층간 절연막(ILD1~ILD9)을 지지할 수 있는 정도의 희생막을 콘택 영역들(A_C1, A_C2), 및 더미 콘택 영역(A_D)에 잔류시켜 층간 절연막

(ILD1~ILD9)의 형태를 유지할 수 있다. 이에 대한 상세한 설명은 이하의 도면을 참조하여 후술하기로 한다.

- [0029] 또한, 콘택 영역(A_C1, A_C2)들의 콘택 그룹들(PL_G1, PL_G2) 각각과 더미 콘택 구조물(P3)은 일정 간격으로 이격된다.
- [0030] 도 3a 내지 도 3g는 본 발명의 일 실시예에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다. 특히 도 3a 내지 도 3g는 설명의 편의를 위해 도 2에 도시된 콘택 영역들(A_C1, A_C2), 더미 콘택 영역(A_D), 및 주변 영역(A_P)만을 나타낸 것이다.
- [0031] 도 3a를 참조하면, 하부 구조물이 형성된 기판(200) 상에 다층의 제1 물질막(215A~215H) 및 다층의 제2 물질막(225A~225H)을 교대로 적층하여, 순차로 적층된 다수 단의 적층 그룹들(ML1, ML2)을 형성한다. 적층 그룹들(ML1, ML2) 각 단을 구성하는 제1 및 제2 물질막은 한 단위의 적층막을 구성하며, 적층막의 적층 수는 적층 그룹별로 동일하게 형성하여, 적층 그룹들(ML1, ML2) 두께를 동일하게 형성한다. 적층 그룹들(ML1, ML2)의 적층 단수와, 적층 그룹들(ML1, ML2) 각각을 구성하는 제1 및 제2 물질막의 적층 수는 다양하게 설정될 수 있다. 도 3a 내지 도 3g에서는 2개 단의 적층 그룹이 적층된 경우와, 각 단의 적층 그룹을 구성하는 제1 물질막의 적층 수가 4개 층이고, 제2 물질막의 적층 수가 4개 층인 경우를 예로 들어 설명한다.
- [0032] 기판(200)은 셀 영역, 주변 영역(A_P), 및 셀 영역과 주변 영역(A_P) 사이에 일렬로 배치된 콘택 영역들(A_C1, A_C2)과 더미 콘택 영역(A_D)을 포함한다. 각 영역에 대한 구체적인 배치 관계는 도 2에서와 동일하다.
- [0033] 도면에 도시하지 않았으나, 하부 구조물은 소스 라인 또는 파이프 게이트를 포함한다. 또한 다수 단의 적층 그룹들(ML1, ML2)과 기판(200) 사이에는 하부 구조물과 그 상부에 형성되는 도전막 사이를 절연하기 위한 층간 절연막(205)이 더 형성될 수 있다. 층간 절연막(205)은 산화막으로 형성될 수 있다.
- [0034] 제1 물질막(215A~215H)은 패드막 및 더미막이 형성될 영역에 형성되는 것으로서, 도전막 또는 희생막으로 형성될 수 있다. 제2 물질막(225A~225H)은 패드막들 사이 또는 더미막들 사이를 절연하거나, 패드막들 및 더미막들과 그들 상부에 형성될 구조물 사이를 절연하기 위한 층간 절연막이 형성될 영역에 형성되는 것으로서, 층간 절연막 또는 희생막으로 형성될 수 있다. 예를 들어, 제1 물질막(215A~215H)이 도전막으로 형성된 경우, 제2 물질막(225A~225H)은 희생막 또는 층간 절연막으로 형성될 수 있다. 제1 물질막(215A~215H)이 희생막으로 형성된 경우, 제2 물질막(225A~225H)은 층간 절연막으로 형성될 수 있다. 도전막으로서의 제1 물질막(215A~215H)은 폴리 실리콘으로 형성될 수 있다. 특히, 제1 물질막(215A~215H)용 폴리 실리콘막은 희생막으로서의 제2 물질막(225A~225H)이 도프트 폴리 실리콘막으로 형성되었을 때, 언도프트 폴리 실리콘막으로 형성될 수 있다. 희생막으로서의 제1 물질막(215A~215H)은 질화막으로 형성될 수 있다. 층간 절연막은 산화막으로 형성될 수 있다. 제1 물질막(215A~215H)의 적층 수는 적층 시키고자 하는 메모리 셀의 개수에 따라 결정된다.
- [0035] 본 도면에 도시되진 않았으나, 다수 단의 적층 그룹들(ML1, ML2) 형성 후, 수직 채널막과 메모리 적층막을 형성하기 위한 공정이 수행될 수 있다. 수직 채널막과 메모리 적층막을 형성하기 위해서, 먼저 다수 단의 적층 그룹들(ML1, ML2)과 층간 절연막(205)을 식각하여 이들을 관통하는 홀들을 형성하고, 홀 내벽에 전하 차단막, 전하 저장막 및 터널 절연막을 순차로 형성한다. 이후, 터널 절연막이 형성된 홀 내부에 수직 채널막을 형성한다. 수직 채널막은 홀 내부를 완전히 채우도록 형성되거나, 홀 내벽을 따라 형성되어 속이 빈 관 형태로 형성될 수 있다. 수직 채널막이 속이 빈 관 형태로 형성된 경우, 수직 채널막에 의해 정의된 관 내부를 절연물질로 매립할 수 있다. 이로써 수직 채널막을 따라 적층된 다층의 메모리 셀들을 형성할 수 있다. 상기에서 한 쌍의 수직 채널막은 파이프 게이트 내에 매립된 파이프 채널에 의해 연결될 수 있다.
- [0036] 도 3b를 참조하면, 다수 단의 적층 그룹들(ML1, ML2) 상에 마스크 패턴(230)을 형성한다. 마스크 패턴(230)은 포토레지스트막을 증착한 후, 이를 노광하고 현상하는 포토리소그래피 공정을 통해 형성할 수 있다. 마스크 패턴(230)은 콘택 영역들(A_C1, A_C2) 중 주변 영역(A_P)에 인접한 일단의 콘택 영역(A_C2)을 개구시키도록 형성된다. 이로써, 마스크 패턴(230)은 주변 영역(A_P)에 인접한 더미 콘택 영역(A_D)과 콘택 영역(A_C2)의 경계에 배치된 가장자리를 구비한다.
- [0037] 이어서, 마스크 패턴(230)을 식각 베리어로 2개 단의 적층 그룹들(ML1, ML2) 중 최상단의 적층 그룹(ML2)을 식각한다. 이로써, 적층 그룹들(ML1, ML2) 간에 단차를 갖는 제1 계단 구조(ST1)가 형성된다.
- [0038] 상기에서 마스크 패턴(230)은 적층 그룹들(ML1, ML2) 중 한 단의 적층 그룹(예를 들어, ML2)을 식각할 수 있을 정도의 두께로 형성되면 되므로, 적층 그룹들(ML1, ML2)를 구성하는 적층막들 전체를 식각하는 경우보다 얇은 두께로 형성할 수 있다. 따라서, 마스크 패턴(230)을 형성하기 위한 포토레지스트막의 두께를 줄일 수 있으며,

포토리소그래피 공정 시간을 줄일 수 있다.

- [0039] 도 3c를 참조하면, 마스크 패턴(230)을 제거하고, 잔류물 제거를 위한 세정 공정을 실시한다. 이어서, 제1 계단 구조(ST1)가 형성된 전체 구조 상부에 마스크 패턴(240A)을 형성한다. 마스크 패턴(240A)은 포토레지스트막을 증착한 후, 이를 노광하고 현상하는 포토리소그래피 공정을 통해 형성할 수 있다. 마스크 패턴(240A)용 포토레지스트막은 제1 계단 구조(ST1)의 단차가 유지될 수 있도록 제1 계단 구조(ST1)의 표면을 따라 형성되도록 콘포멀(conformal) 타입으로 형성될 수 있다. 마스크 패턴(240A)은 단차를 갖는 적층 그룹들(ML1, ML2)간 경계에 인접한 더미 콘택 영역(A_D)의 일부 및 콘택 영역들(A_C1, A_C2)을 덮도록 형성된다. 특히 마스크 패턴(240A)은 더미 콘택 영역(A_D) 중 더미 콘택 구조물이 형성될 영역을 차단한다. 그리고, 마스크 패턴(240A)은 적층 그룹들(ML1, ML2)에 각 단이 제1 물질막/제2 물질막 한 쌍(215A/225A~215H/225H)으로 구성된 제2 계단 구조를 형성하기 위한 것이다. 최초로 형성된 마스크 패턴(240A)은 제2 계단 구조 형성을 위해 적층 그룹들(ML1, ML2) 각각 최하층(215A/225A, 215E/225E)의 식각 예정 영역을 노출시키는 패턴으로 형성된다. 마스크 패턴(240A)은 적층 그룹들(ML1, ML2) 간 경계를 기준으로 콘택 영역(A_C1, A_C2)과 더미 콘택 영역(A_D)을 동일한 폭(W_A=W_B)으로 덮을 수 있다.
- [0040] 최초로 형성된 마스크 패턴(240A)은 제2 계단 구조 형성을 위해 마스크 패턴(240A)을 축소시키면서 식각 공정을 반복하여 적층 그룹들(ML1, ML2)을 패터닝하는 후속 공정을 진행하는 과정에서 식각 베리어로서의 역할을 수행할 수 있을 만큼 충분한 두께로 형성된다.
- [0041] 도 3d를 참조하면, 마스크 패턴(240A)을 식각 베리어로 제2 계단 구조를 구성하는 1개 단의 두께만큼 다수 단의 적층 구조(ML1, ML2)를 식각한다. 즉, 마스크 패턴(240A)을 식각 베리어로 적층 그룹들(ML1, ML2) 각 단의 최상층에 형성된 제1 및 제2 물질막(215D/225D, 215H/225H)을 식각한다.
- [0042] 이어서, 마스크 패턴(240A)을 식각하여 그 크기를 축소시킨다. 이로써 식각된 제1 및 제2 물질막(215D/225D, 215H/225H)의 상면 일부가 축소된 마스크 패턴(240B)에 의해 노출된다.
- [0043] 도 3e를 참조하면, 축소된 마스크 패턴(240B)을 식각 베리어로 적층 그룹들(ML1, ML2) 각각의 노출된 영역을 제1 및 제2 물질막 한 쌍의 두께만큼 식각한다. 이로써, 적층 그룹들(ML1, ML2) 각각에 2개 단의 계단 구조가 형성된다.
- [0044] 이어서, 마스크 패턴(240B)을 식각하여 그 크기를 축소시킨다. 이로써, 식각된 제1 및 제2 물질막(215D/225D, 215C/225C, 215H/225H, 215G/225G)의 상면 일부가 축소된 마스크 패턴(240C)에 의해 노출된다.
- [0045] 도 3f를 참조하면, 축소된 마스크 패턴(240C)을 식각 베리어로 적층 그룹들(ML1, ML2) 각각의 노출된 영역을 제1 및 제2 물질막 한 쌍의 두께만큼 식각한다. 제2 마스크 패턴을 축소시키는 공정 S1과 축소된 제2 마스크 패턴을 식각 베리어로 제1 및 제2 물질막 한 쌍의 두께만큼 적층 그룹들(ML1, ML2)의 노출된 영역을 식각하는 공정 S2는 적층 그룹들(ML1, ML2) 각각에 제2 계단 구조(ST2)가 형성될 때 까지 반복 실시된다. 즉, S1과 S2는 제1 계단 구조(ST1) 각 단을 구성하는 적층 그룹들(ML1, ML2)의 최하단에 배치된 제1 및 제2 물질막(215A/225A, 215E/225E)이 식각될 때 까지 반복 실시된다. 상술한 공정을 통해 각 적층 그룹들(ML1, ML2)이 제2 계단 구조(ST2)가 형성된 가장자리를 포함하는 콘택 적층 그룹들(ML1A, ML2A), 더미적층 그룹(ML1B, ML2B)으로 분할된다. 이 때, 동일한 층의 적층 그룹들(ML1A/ML1B, ML2A/ML2B)은 서로 마주하며 대칭되는 제2 계단 구조(ST2)를 구비한다.
- [0046] 적층 그룹들(ML1, ML2) 각각의 최하단에 형성된 제1 및 제2 물질막(215A/225A, 215E/225E)을 식각할 때 식각 베리어로 이용되는 마스크 패턴(240D)은 마스크 패턴(240D)이 식각 베리어 역할을 충분히 수행할 수 있을 만큼의 두께로 형성되어야 한다. 이를 위해, 최초로 형성된 마스크 패턴(240A)의 두께는 반복되는 식각 공정을 통해 축소되는 두께와 최후로 남게 되는 마스크 패턴(240D)의 두께를 고려하여 설정된다.
- [0047] 본 발명의 일 실시 예에서는 순차로 적층되며 각각 다수층의 적층막들로 구성된 2개 단의 적층 그룹들(ML1, ML2) 간에 단차를 갖는 제1 계단 구조(ST1)를 형성한 후, 단차를 갖는 적층 그룹들(ML1, ML2)의 경계에 인접한 더미 콘택 영역(A_D)의 일부 및 콘택 영역들(A_C1, A_C2)을 덮는 마스크 패턴(240A)을 형성하고 마스크 패턴(240A)의 폭을 줄여가며 적층 그룹들(ML1, ML2)을 예정된 두께로 식각한다. 이로써, 2개 단의 적층 그룹들(ML1, ML2) 각각에 제2 계단 구조(ST2)를 동시에 형성할 수 있다. 이에 따라 본 발명의 일 실시 예에서는 하나의 마스크 패턴의 폭을 줄여가며 식각 공정을 반복 수행하여 적층막들의 최상층으로부터 최하층에 이르는 계단 구조를 형성할 때보다 계단 구조를 통해 노출되는 적층막들의 폭을 균일하게 형성할 수 있다. 그리고, 본 발명의 일 실시 예에서는 하나의 마스크 패턴의 폭을 줄여가며 식각 공정을 반복 수행하여 적층막들의 최상층으로부터

터 최하층에 이르는 계단 구조를 형성할 때보다 마스크 패턴을 축소시키기 위한 식각 공정과 적층막들의 식각 공정 횟수를 줄일 수 있다.

[0048] 이하, 적층 그룹들에 8개 단으로 구성된 계단 구조를 형성하는 경우를 예로 들어 본 발명의 공정 횟수가 줄어드는 이유에 대해 상세하게 설명한다. 먼저, 하나의 마스크 패턴의 폭을 줄여가며 8개 단의 계단 구조를 형성하려면, 1회의 마스크 패턴 형성 공정과 7회의 마스크 패턴 축소 공정과, 8회의 식각 공정을 실시해야 한다. 이에 비해, 상술한 본 발명의 일 실시 예에 따르면, 2회의 마스크 패턴 형성 공정과, 3회의 마스크 패턴 축소 공정과, 4회의 식각 공정을 실시하면 된다. 본 발명에서와 같이 마스크 패턴 축소 공정이 절감되면, 포토레지스트막의 두께 또한 감소시킬 수 있으므로 포토리소그래피 공정 시간 또한 단축할 수 있다.

[0049] 도 3g를 참조하면, 마스크 패턴(240D)을 제거하고 잔류물을 제거하기 위한 세정 공정을 수행한 후, 예정된 후속 공정을 실시한다. 이어지는 후속 공정은 제1 물질막(215A~215H) 및 제2 물질막(225A~225H)의 조성에 따라 달라진다.

[0050] 제1 물질막(215A~215H)이 도전막으로 형성되고, 제2 물질막(225A~225H)이 층간 절연막으로 형성된 경우 후속 공정은 이하와 같다. 도면에 도시하진 않았으나, 먼저 제2 계단 구조(ST2)가 형성된 패드 적층 그룹들(ML1A, ML2A), 더미적층 그룹(ML1B, ML2B)을 포함하는 전체 구조를 메모리 블록 단위 또는 워드 라인 단위로 분리하기 위한 슬릿을 형성한다. 이로써, 다층의 패드막들(PL1~PL8), 다층의 층간 절연막들(ILD1~ILD9), 다층의 더미막들(DL1~DL8)이 패터닝된다.

[0051] 제1 물질막(215A~215H)이 희생막으로 형성되고, 제2 물질막(225A~225H)이 층간 절연막으로 형성된 경우 후속 공정은 이하와 같다. 먼저, 상술한 바와 같이 슬릿을 형성하여 제1 및 제2 물질막(215A~215H, 225A~225H)을 패터닝 한다. 이로써 층간 절연막(ILD1~ILD9)이 패터닝된다.

[0052] 이 후, 슬릿을 통해 노출된 제1 물질막(215A~215H)을 제거한다. 제1 물질막(215A~215H) 제거 공정은 도 2에 도시된 셀 영역(A_M)의 제1 물질막(215A~215H)이 완전히 제거될 수 있도록 실시된다. 제1 물질막(215A~215H)이 절화막인 경우 인산을 통해 제1 물질막(215A~215H)을 선택적으로 제거할 수 있다. 셀 영역(A_M)에서 패터닝된 제1 물질막(215A~215H)의 폭보다 콘택 영역(A_C1, A_C2), 더미 콘택 영역(A_D), 및 주변 영역(A_P)에서 패터닝된 제1 물질막(215A~215H)이 더 넓은 경우, 희생막인 제1 물질막(215A~215H)이 패드 적층 그룹들(ML1A, ML2A), 더미적층 그룹(ML1B, ML2B)들의 중앙부에 잔류할 수 있도록 실시될 수 있다. 콘택 영역(A_C1, A_C2), 더미 콘택 영역(A_D), 및 주변 영역(A_P)에서 잔류하는 제1 물질막(215A~215H)은 콘택 영역(A_C1, A_C2), 더미 콘택 영역(A_D), 및 주변 영역(A_P)의 층간 절연막(ILD2~ILD9)을 지지하는 역할을 할 수 있다.

[0053] 제1 물질막(215A~215H) 제거 후, 제1 물질막(215A~215H)이 제거된 영역을 도전막으로 채운다. 도전막은 폴리실리콘막, 금속막, 또는 베리어막 및 금속막의 적층막 중 적어도 어느 하나로 형성할 수 있다. 이로써, 다층의 패드막(PL1~PL8), 다층의 더미막들(DL1~DL8)이 형성된다.

[0054] 제1 물질막(215A~215H)이 도전막으로 형성되고, 제2 물질막(225A~225H)이 희생막으로 형성된 경우 후속 공정은 이하와 같다. 먼저, 상술한 바와 같이 슬릿을 형성하여 제1 및 제2 물질막(215A~215H, 225A~225H)을 패터닝 한다. 이로써 다층의 패드막들(PL1~PL8), 및 다층의 더미막들(DL1~DL8)이 패터닝된다.

[0055] 이 후, 슬릿을 통해 노출된 제2 물질막(225A~225H)을 식각 공정을 통해 선택적으로 제거한다. 제2 물질막(225A~225H) 제거 후, 제2 물질막(225A~225H)이 제거된 영역을 층간 절연막(ILD2~ILD9)으로 채운다. 층간 절연막(ILD2~ILD9)은 산화막으로 형성할 수 있다.

[0056] 상술한 바와 같은 방법으로 형성된 다층의 패드막들(PL1~PL8)은 다층의 콘택 그룹(PL_G1, PL_G2)으로 구분되며, 각 콘택 그룹(PL_G1, PL_G2)을 구성하는 다층의 패드막들(PL1~PL4, PL5~PL8)은 제2 계단 구조(ST2)가 형성되도록 적층된다. 콘택 그룹들(PL_G1, PL_G2) 중 어느 하나에 인접한 더미 콘택 영역(A_D) 또는 주변 영역(A_P)에는 그에 인접한 콘택 그룹과 동일한 적층막들로 구성된 더미 콘택 구조물(P3, P4)이 형성된다. 더미 콘택 구조물(P3, P4)은 그에 인접한 콘택 그룹의 가장자리와 대칭되며 그에 마주하는 제2 계단 구조(ST2)의 가장자리를

구비한다.

- [0057] 패드막들(PL1~PL8)을 형성한 후, 후속 공정을 수행한다. 상기에서 패드막들(PL1~PL8)이 폴리 실리콘막으로 형성된 경우, 슬릿을 통해 노출된 폴리 실리콘막을 실리사이드화하여 금속 실리사이드막을 형성할 수 있다. 이 경우, 패드막들(PL1~PL8)의 저항을 낮출 수 있다.
- [0058] 이 후, 슬릿이 형성된 전체 구조 상부에 절연막(245)을 형성하고, 절연막(245)의 표면을 평탄화시킨다. 이 때, 하부에 더미 콘택 구조물(P3, P4)이 형성되지 않은 경우, 더미 콘택 영역(A_D)과 주변 영역(A_P)의 절연막(245)이 오목하게 패이는 디싱(dishing) 현상이 발생할 수 있다. 본 발명의 일 실시 예에서는 더미 콘택 영역(A_D)과 주변 영역(A_P)에 더미 콘택 구조물(P3, P4)을 잔류시킴으로써 절연막(245)의 표면을 평탄화하는 과정에서 절연막(245)의 디싱 현상을 줄일 수 있다.
- [0059] 이어서, 식각 공정을 수행하여 다층의 패드막들(PL1~PL8) 각각을 노출시키는 콘택홀들을 형성한다. 그리고 나서, 콘택홀들 내부를 도전막으로 채워서 다층의 패드막들(PL1~PL8) 각각에 연결되는 콘택 플러그들(250A~250H)을 형성한다. 본 도면에서는 절취되지 않은 콘택 플러그들(250A~250H)의 형성 영역을 설명의 편의를 위해 점선으로 나타내었다.
- [0060] 도 4a 및 도 4b는 본 발명의 실시 예들에 따른 콘택 구조물의 다양한 형태들을 나타낸 도면들이다.
- [0061] 도 4a에 도시된 바와 같이, 도 3g에서 상술한 바와 같이 제1 물질막(215A~215H)이 도전막으로 형성된 경우, 콘택 구조물(P2)의 패드막은 워드 라인 구조물(P1)의 워드 라인에 연결되어 워드 라인과 동일한 도전막으로 이루어진 판 형태로 형성될 수 있다.
- [0062] 또한, 도 4b에 도시된 바와 같이 제1 물질막(215A~215H)이 희생막으로 형성된 경우, 콘택 구조물(P2)은 콘택 구조물(P2) 중앙부에 잔류된 희생막(215)과 희생막(215)을 감싸는 패드막(PL)을 포함한다. 이 때, 콘택 구조물(P2)의 폭(W2)은 워드 라인 구조물(P1)의 폭(W1)보다 넓게 형성된다.
- [0063] 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 3차원 불휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다. 특히 도 5a 내지 도 5e는 설명의 편의를 위해 콘택 영역들(A_C1~A_C4), 더미 콘택 영역들(A_D1~A_D3), 및 주변 영역(A_P)만을 나타낸 것이다. 도 5a 내지 도 5e에 도시된 3차원 불휘발성 메모리 소자는 도 2에 도시된 3차원 불휘발성 메모리 소자에 비해 더 많은 수로 적층된 패드막들을 포함하는 경우를 예로 든 것으로서, 셀 영역의 구조는 메모리 셀의 적층 수만 다를 뿐 도 2에 도시된 셀 영역의 구조와 동일하다.
- [0064] 도 5a를 참조하면, 본 발명의 일 실시 예에 따른 3차원 불휘발성 메모리 소자는 셀 영역(미도시)과 주변 영역(A_P) 사이에 교대로 배열되며 일렬로 배열된 콘택 영역들(A_C1~A_C4) 및 더미 콘택 영역들(A_D1~A_D3)을 포함한다. 콘택 영역들(A_C1~A_C4)은 셀 영역의 적어도 일측에 일정 간격으로 이격되어 배열된다. 더미 콘택 영역(A_D1~A_D3)은 서로 인접한 콘택 영역들(A_C1~A_C4) 사이의 영역으로 정의된다. 더미 콘택 영역(A_D1~A_D3)의 폭은 콘택 영역(A_C1~A_C4)보다 넓게 정의될 수 있다.
- [0065] 상술한 셀 영역, 콘택 영역들(A_C1~A_C4), 더미 콘택 영역들(A_D1~A_D3), 및 주변 영역(A_P)을 포함하고, 하부 구조물이 형성된 기판(300) 상에 다층의 제1 물질막(315A~315P) 및 다층의 제2 물질막(325A~325P)을 교대로 적층하여, 순차로 적층된 다층의 적층 그룹들(ML1~ML4)을 형성한다.
- [0066] 도면에 도시하지 않았으나, 하부 구조물은 소스 라인 또는 파이프 게이트를 포함한다. 또한 다층의 적층 그룹들(ML1~ML4)과 기판(300) 사이에는 하부 구조물과 그 상부에 형성되는 도전막 사이를 절연하기 위한 층간 절연막(305)이 더 형성될 수 있다. 층간 절연막(305)은 산화막으로 형성될 수 있다.
- [0067] 적층 그룹들(ML1~ML4) 각각을 구성하는 제1 및 제2 물질막의 적층 수는 적층 그룹별로 동일하게 형성하여, 적층 그룹들(ML1~ML4) 두께를 동일하게 형성한다. 적층 그룹들(ML1~ML4)의 적층 수는 다양하게 설정될 수 있다. 적층 그룹들(ML1~ML4) 각각을 구성하는 제1 및 제2 물질막의 적층 수는 제1 계단 구조 및 제2 계단 구조를 형성하기 위한 마스크 패턴의 최대 증착 두께에 의해 제한될 수 있다.
- [0068] 제1 물질막(315A~315P)은 패드막 및 더미막이 형성될 영역에 형성되는 것으로서, 도전막 또는 희생막으로 형성될 수 있다. 제2 물질막(325A~325P)은 패드막들 사이 또는 더미막들 사이를 절연하거나, 패드막 및 더미막과 그들 상부에 형성될 구조물 사이를 절연하기 위한 층간 절연막이 형성될 영역에 형성되는 것으로서, 층간 절연막 또는 희생막으로 형성될 수 있다. 제1 물질막(315A~315P) 및 제2 물질막(325A~325P)에 대한 구체적인 예는 도 3a에서 상술한 바와 동일하다.

- [0069] 본 도면에 도시되진 않았으나, 다층의 적층 그룹들(ML1~ML4) 형성 후, 도 3a에서 상술한 바와 같이 수직 채널막과 메모리 적층막을 형성하기 위한 공정이 수행될 수 있다. 상기에서 한 쌍의 수직 채널막은 파이프 게이트 내에 매립된 파이프 채널에 의해 연결될 수 있다.
- [0070] 이어서, 다층의 적층 그룹들(ML1~ML4) 상에 마스크 패턴(330A)을 형성한다. 마스크 패턴(330A)은 포토레지스트막을 증착한 후, 이를 노광하고 현상하는 포토리소그래피 공정을 통해 형성할 수 있다. 최초로 형성된 마스크 패턴(330A)은 주변 영역(A_P)에 인접한 일단의 콘택 영역(A_C4)을 개구시키도록 형성된다. 이로써, 마스크 패턴(330A)은 주변 영역(A_P)에 인접한 더미 콘택 영역(A_D3)과 콘택 영역(A_C4)의 경계에 배치된 가장자리를 구비한다.
- [0071] 최초로 형성된 마스크 패턴(330A)은 제1 계단 구조 형성을 위해 마스크 패턴(330A)을 축소시키면서 식각 공정을 반복하여 적층 그룹들(ML1~ML4)을 패터닝하는 후속 공정을 진행하는 과정에서 식각 베리어로서의 역할을 수행할 수 있을만큼 충분한 두께로 형성된다.
- [0072] 도 5b를 참조하면, 마스크 패턴(330A)을 식각 베리어로 다층의 적층 그룹들(ML1~ML4) 중 최상단의 적층 그룹(ML4)을 식각한다. 이어서, 다층의 적층 그룹들(ML1~ML4) 중 최하단의 적층 그룹(ML1)이 노출될 때까지 마스크 패턴(330A)을 식각 공정으로 축소시키는 공정과 축소된 마스크 패턴(330B, 330C)을 식각 베리어로 적층 그룹들(ML2~ML4)의 노출된 영역을 식각하는 공정을 반복 수행한다. 마스크 패턴(330A~330C)을 식각 베리어로 적층 그룹들(ML2~ML4)을 식각하는 단위 공정에서 식각되는 두께는 적층 그룹들(ML2~ML4) 각 단의 두께 만큼이다. 이로써, 다층의 적층 그룹들(ML1~ML4)간에 단차를 갖는 제1 계단 구조(ST1)가 형성된다.
- [0073] 도 5c를 참조하면, 마스크 패턴(330C)을 제거하고, 잔류물 제거를 위한 세정 공정을 실시한다. 이어서, 제1 계단 구조(ST1)가 형성된 전체 구조 상부에 마스크 패턴(340A)을 형성한다. 마스크 패턴(340A)은 포토레지스트막을 증착한 후, 이를 노광하고 현상하는 포토리소그래피 공정을 통해 형성할 수 있다. 마스크 패턴(340A)용 포토레지스트막은 제1 계단 구조(ST1)의 단차가 유지될 수 있도록 제1 계단 구조(ST1)의 표면을 따라 형성되도록 콘포멀(conformal) 타입으로 형성될 수 있다. 마스크 패턴(340A)은 제1 계단 구조(ST1)를 구성하는 적층 그룹(ML1~ML4) 각 단 상부에 형성된다. 그리고, 마스크 패턴(340A)은 적층 그룹들(ML1~ML4)에 각 단이 제1 물질막/제2 물질막 한 쌍(315A/325A~315P/325P)으로 구성된 제2 계단 구조를 형성하기 위한 것이다. 최초로 형성된 마스크 패턴(340A)은 제2 계단 구조 형성을 위해 적층 그룹들(ML1~ML4) 각단 최하층(315A/325A, 315E/325E, 315I/325I, 315M/325M)의 식각 예정 영역을 노출시키는 패턴으로 형성된다. 이러한 마스크 패턴(340A)에 의해 단차를 갖는 적층 그룹들(ML1~ML4)간의 경계에 인접한 더미 콘택 영역(A_D1~A_D3)의 일부와, 콘택 영역(A_C1~A_C4)이 차단된다. 특히 마스크 패턴(340A)은 더미 콘택 영역(A_D) 중 더미 콘택 구조물이 형성될 영역을 차단한다. 마스크 패턴(340A)은 적층 그룹들(ML1~ML4) 간 경계를 기준으로 콘택 영역(A_C1~A_C4)과 더미 콘택 영역(A_D1~A_D3)을 동일한 폭(W_A=W_B)으로 덮을 수 있다.
- [0074] 최초로 형성된 마스크 패턴(340A)은 제2 계단 구조 형성을 위해 마스크 패턴(340A)을 축소시키면서 식각 공정을 반복하여 적층 그룹들(ML1, ML2)을 패터닝하는 후속 공정을 진행하는 과정에서 식각 베리어로서의 역할을 충분히 수행할 수 있을 정도로 충분한 두께로 형성된다.
- [0075] 도 5d를 참조하면, 마스크 패턴(340A)을 식각 베리어로 제2 계단 구조를 구성하는 1개 단의 두께만큼 다층의 적층 구조(ML1~ML4)를 식각한다. 즉, 마스크 패턴(340A)을 식각 베리어로 적층 그룹들(ML1~ML4) 각 단의 최상층에 형성된 제1 및 제2 물질막(315D/325D, 315H/325H, 315L/325L, 315P/325P)을 식각한다.
- [0076] 이어서, 마스크 패턴(340A)을 식각하여 그 크기를 축소시킨다. 이로써 식각된 제1 및 제2 물질막(315D/325D, 315H/325H, 315L/325L, 315P/325P)의 상면 일부가 축소된 마스크 패턴에 의해 노출된다. 이 후, 축소된 마스크 패턴을 식각 베리어로 적층 그룹들(ML1~ML4) 각각의 노출된 영역을 제1 및 제2 물질막 한쌍의 두께만큼 식각한다. 마스크 패턴을 축소시키는 공정 S1과 축소된 마스크 패턴을 식각 베리어로 제1 및 제2 물질막 한쌍의 두께만큼 적층 그룹들(ML1~ML4)의 노출된 영역을 식각하는 공정 S2는 제1 계단 구조(ST1) 각 단을 구성하는 적층 그룹들(ML1~ML4)의 최하단에 배치된 제1 및 제2 물질막(315A/325A, 315E/325E, 315I/325I, 315M/325M)이 식각될 때 까지 반복 실시된다. 상술한 공정을 통해 각 적층 그룹들(ML1~ML4) 각각이 제2 계단 구조(ST2)가 형성된 가장자리를 포함하는 패드 적층 그룹들(ML1A~ML4A), 더미적층 그룹(ML1B~ML4B)으로 분할된다. 이 때, 동일한 층의 적층 그룹들(ML1A/ML1B~ML4A/ML4B)은 서로 마주하며 대칭되는 제2 계단 구조(ST2)를 구비한다.
- [0077] 적층 그룹들(ML1~ML4) 각각의 최하단에 형성된 제1 및 제2 물질막(315A/325A, 315E/325E, 315I/325I, 315M/325M)을 식각할 때 식각 베리어로 이용되는 마스크 패턴(340B)은 마스크 패턴(340B)이 식각 베리어 역할을

충분히 수행할 수 있을 만큼의 두께로 형성되어야 한다. 이를 위해, 최초로 형성된 마스크 패턴(340A)의 두께는 반복되는 식각 공정을 통해 축소되는 두께와 최후로 남게 되는 마스크 패턴(340B)의 두께를 고려하여 설정된다.

- [0078] 본 발명의 일 실시 예에서는 하나의 마스크 패턴의 폭을 줄여가며 식각 공정을 반복 수행하여 적층막들의 최상층으로부터 최하층에 이르는 계단 구조를 형성할 때보다 적층막들 각각에 형성된 계단 구조를 통해 노출되는 적층막들의 폭을 균일하게 형성할 수 있다.
- [0079] 마스크 패턴을 형성하기 위해 증착되는 포토레지스트막의 최대 증착 두께를 통해 식각될 수 있는 적층막들의 증착 수가 최대 8개 층의 제1 물질막 및 8개 층의 제2 물질막으로 제한되는 경우, 도 1a 내지 도 1d에서 상술한 종래 기술에 따르면 16개 단으로 구성된 계단 구조를 형성하기 위해 2회의 마스크 패턴 형성 공정과, 14회의 마스크 패턴 축소 공정과, 16회의 식각 공정을 실시해야 한다. 이에 비해 상술한 본 발명의 일 실시 예에 따르면, 16개 단으로 구성된 계단 구조를 형성하기 위해 2회의 마스크 패턴 형성 공정과, 5회의 마스크 패턴 축소 공정과, 9회의 식각 공정만을 실시하면 되므로 공정 시간 및 공정 횟수를 줄일 수 있다. 본 발명에서와 같이 마스크 패턴 축소 공정이 절감되면, 포토레지스트막의 두께 또한 감소시킬 수 있으므로 포토리소그래피 공정 시간 또한 단축할 수 있다.
- [0080] 도 5e를 참조하면, 마스크 패턴(340B)을 제거하고 잔류물을 제거하기 위한 세정 공정을 수행한 후, 예정된 후속 공정을 실시한다. 이어지는 후속 공정은 도 3g에서 상술한 바와 같이 제1 물질막(315A~315P) 및 제2 물질막(325A~325P)의 조성에 따라 달라진다.
- [0081] 도 3g에서 상술한 바와 동일한 공정을 통해 다층의 패드막들(PL1~PL16), 다층의 층간 절연막(ILD1~ILD17), 더미막들(DL1~DL16)이 형성된다. 다층의 패드막들(PL1~PL16)은 다층의 콘택 그룹(PL_G1~PL_G4)으로 구분되며, 각 콘택 그룹(PL_G1~PL_G4)을 구성하는 다층의 패드막들(PL1~PL4, PL5~PL8, PL9~PL12, PL13~PL16)은 제2 계단 구조(ST2)가 형성되도록 적층된다. 콘택 그룹들(PL_G1~PL_G4) 중 어느 하나에 인접한 더미 콘택 영역(A_D1~A_D3) 또는 주변 영역(A_P)에는 그에 인접한 콘택 그룹과 동일한 적층막들로 구성된 더미 콘택 구조물(P3A, P3B, P3C, P4)이 형성된다. 더미 콘택 구조물(P3A, P3B, P3C, P4)은 그에 인접한 콘택 그룹의 가장자리와 대칭되며 그에 마주하는 제2 계단 구조(ST2)의 가장자리를 구비한다.
- [0082] 패드막들(PL1~PL16)을 형성한 후, 도 3g에서 상술한 바와 같이 실리사이드화 공정, 절연막(345) 형성 공정, 절연막(345)의 표면을 평탄화시키는 공정을 수행한다. 절연막(345)의 평탄화 공정시 더미 콘택 구조물(P3A, P3B, P3C, P4)이 절연막(345)의 디싱 현상을 줄일 수 있다.
- [0083] 이어서, 식각 공정을 수행하여 다층의 패드막들(PL1~PL16) 각각을 노출시키는 콘택홀들을 형성한다. 그리고 나서, 콘택홀들 내부를 도전막으로 채워서 다층의 패드막들(PL1~PL16) 각각에 연결되는 콘택 플러그들(350A~350P)을 형성한다. 본 도면에서는 단면이 절취되지 않은 콘택 플러그들(350A~350P)의 형성 영역을 설명의 편의를 위해 점선으로 나타내었다. 콘택 플러그들(350A~350P)은 그룹(CP_G1~CP_G4)별로 콘택 그룹들(PL_G1~PL_G4) 중 선택된 콘택 그룹의 제2 계단 구조(ST2) 상부에 형성된다. 도 6은 본 발명에 따른 메모리 시스템을 간략히 보여주는 블록도이다.
- [0084] 도 6을 참조하면, 본 발명에 따른 메모리 시스템(600)은 메모리 소자(620)와 메모리 컨트롤러(610)를 포함한다.
- [0085] 메모리 소자(620)는 도 2에서 상술한 3차원 불휘발성 메모리 소자를 포함한다. 즉, 메모리 소자(620)는 기판 상에 적층된 다층의 워드 라인들을 포함하는 워드 라인 구조물, 및 워드 라인 구조물과 연결되면서 계단 구조로 패터닝된 콘택 영역을 포함한다. 메모리 소자(620)의 콘택 영역은 워드 라인들 각각에 연결된 패드막 적어도 2층 이상이 하나의 콘택 그룹으로 형성되고, 콘택 그룹 각각은 일정 간격으로 이격되어 형성된다. 또한 메모리 소자(620)는 다른 형태의 반도체 기억 소자(ex, 디램 장치 및/또는 에스램 장치등)를 더 포함할 수 있다.
- [0086] 메모리 컨트롤러(610)는 호스트(Host)와 메모리 소자(620) 간의 데이터 교환을 제어한다. 이러한 메모리 컨트롤러(610)는 메모리 시스템(600)의 전반적인 동작을 제어하는 프로세싱 유닛(612)을 포함할 수 있다. 또한, 메모리 컨트롤러(610)는 프로세싱 유닛(612)의 동작 메모리로서 사용되는 에스램(SRAM)(611)을 포함할 수 있다. 이에 더하여, 메모리 컨트롤러(610)는 호스트 인터페이스(613), 메모리 인터페이스(615)를 더 포함할 수 있다. 호스트 인터페이스(613)는 메모리 시스템(600)과 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 인터페이스(615)는 메모리 컨트롤러(610)와 메모리 소자(620)를 접속시킬 수 있다. 더 나아가서, 메모리 컨트롤러(610)는 에러 정정 블록(ECC)(614)를 더 포함할 수 있다. 에러 정정 블록(614)은 메모리 소자(620)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 시스템(600)은 호스트

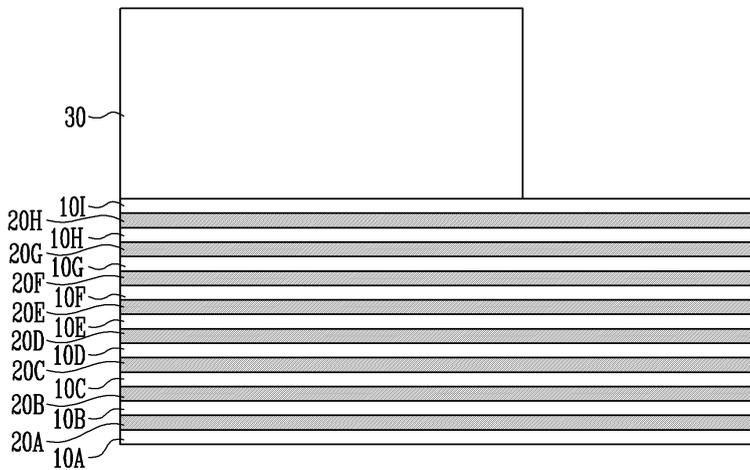
(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 메모리 시스템(600)은 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 메모리 시스템(600)은 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.

부호의 설명

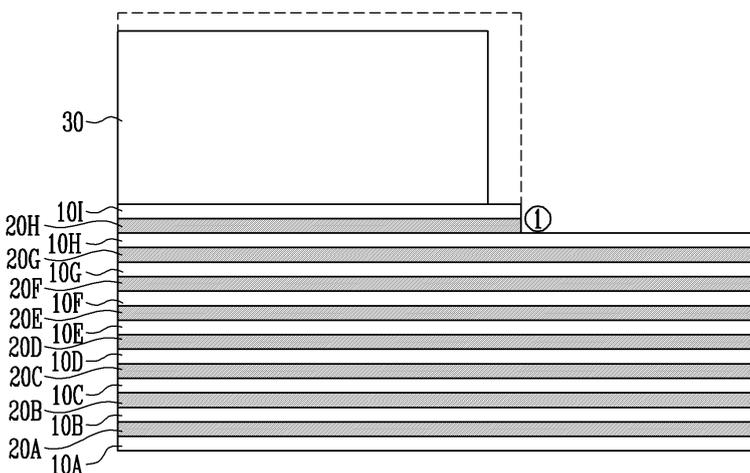
[0087] A_M: 셀 영역	A_C1, A_C2, A_C3, A_C4: 콘택 영역
A_P: 주변 영역	100, 200, 300: 기판
P1: 워드 라인 구조물	P2: 콘택 콘택 구조물
P3, P4, P3A, P3B, P3C: 더미 구조물	WL: 워드 라인
ILD1~ILD17: 층간 절연막	DL1~DL16: 더미막
210A~210H, 310A~310P: 제1 물질막	220A~220H, 320A~320P: 제2 물질막
ST1: 제1 계단 구조	ST2: 제2 계단 구조
250A~250H, 350A~350P: 콘택 플러그	PL_G1, PL_G2: 콘택 그룹
230, 330A~330C, 240A~240D, 340A~340B: 마스크 패턴	

도면

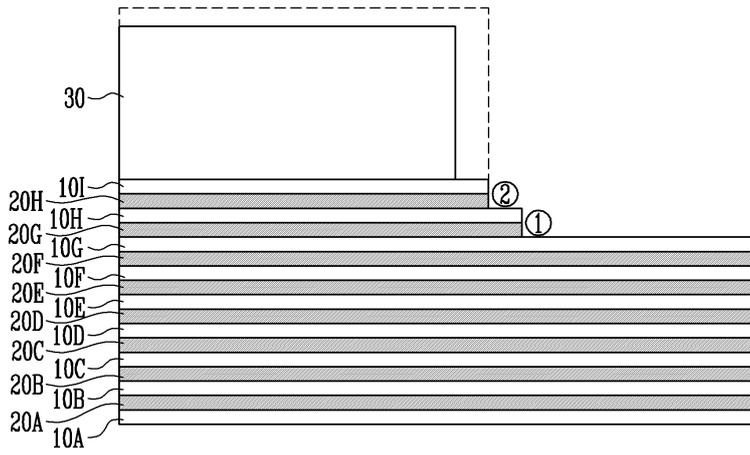
도면1a



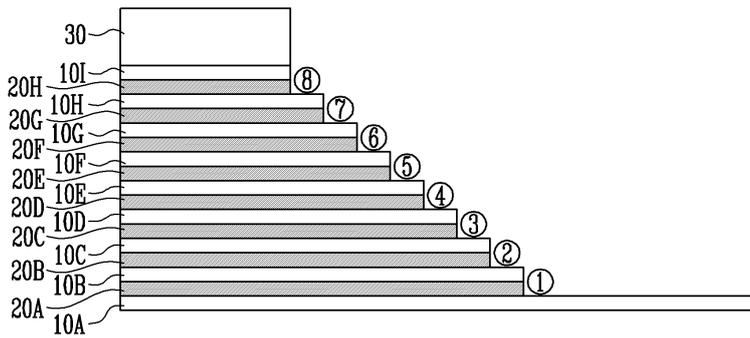
도면1b



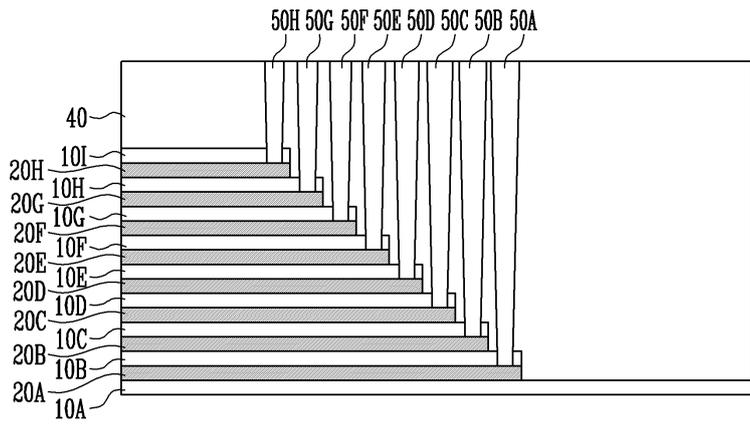
도면1c



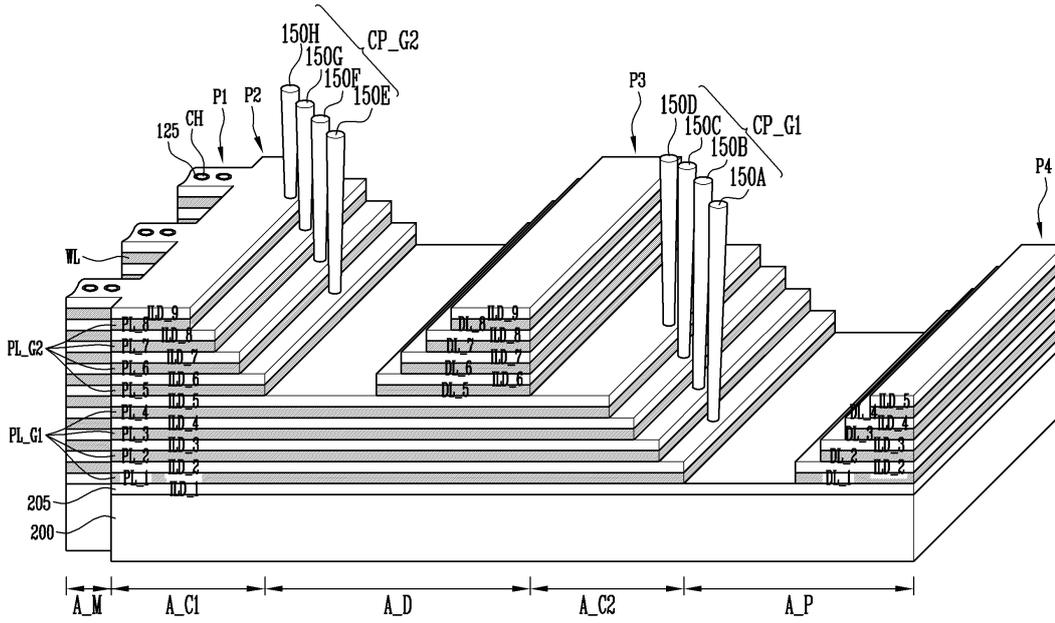
도면1d



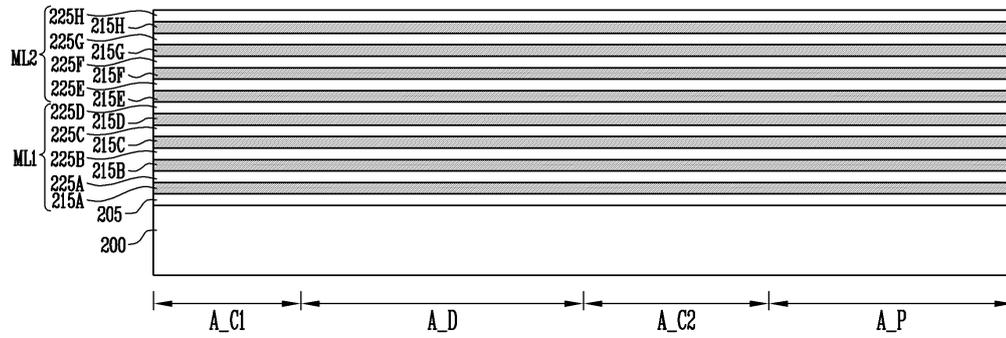
도면1e



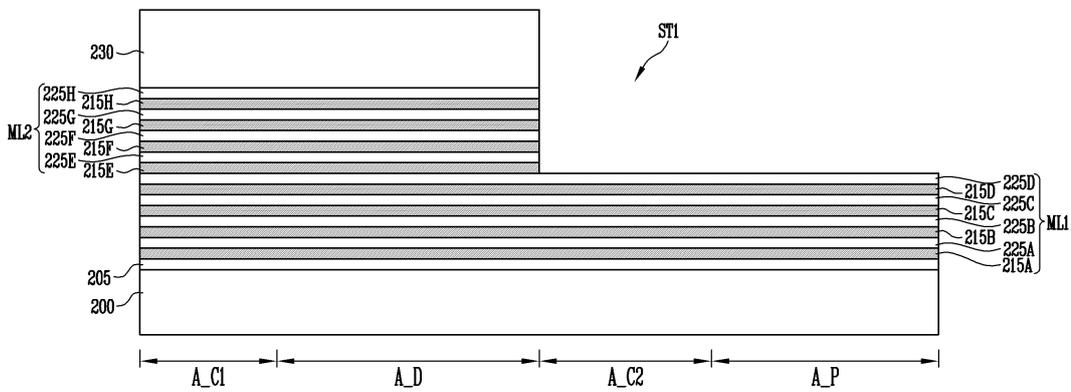
도면2



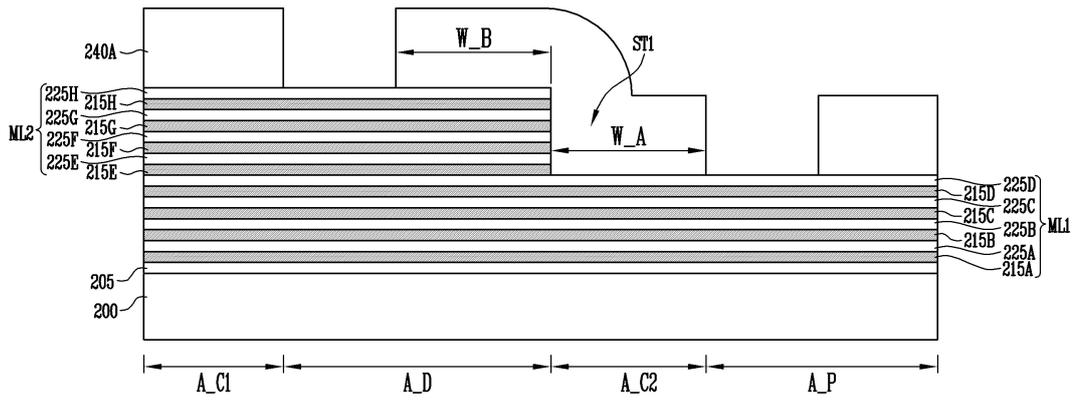
도면3a



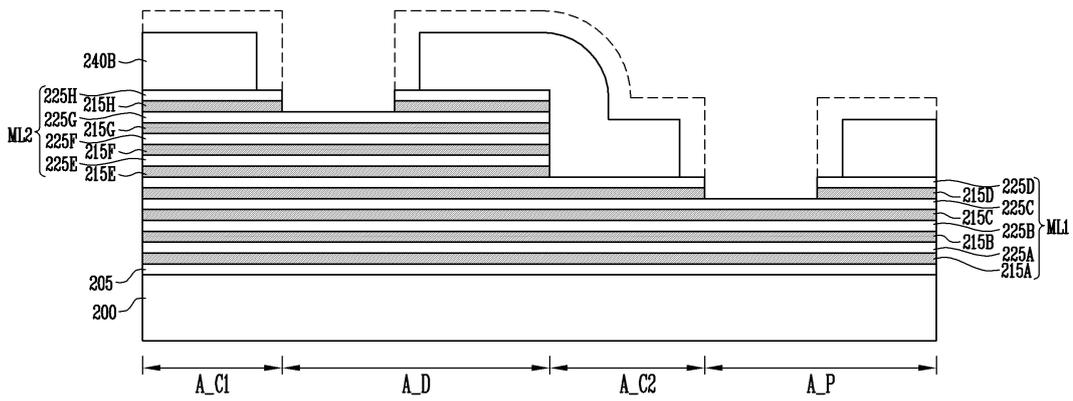
도면3b



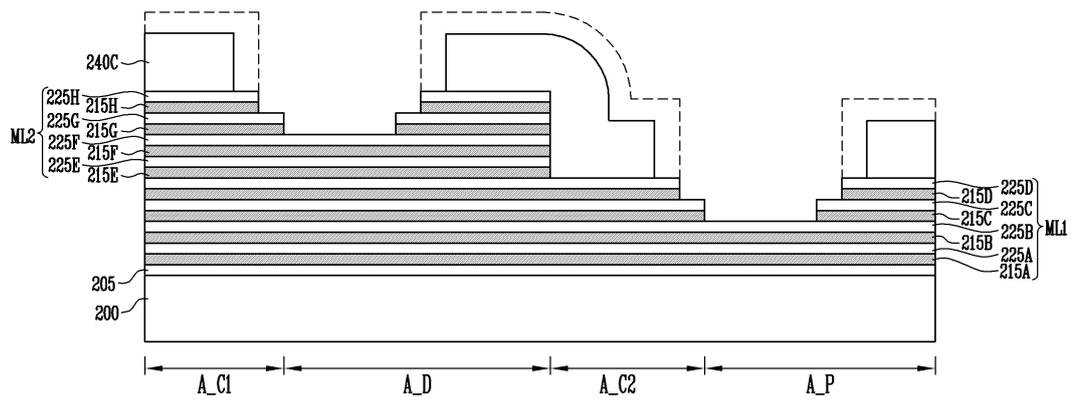
도면3c



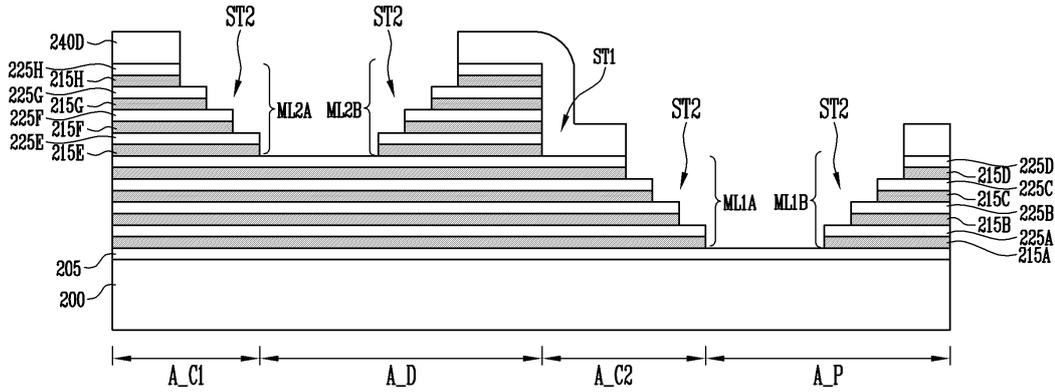
도면3d



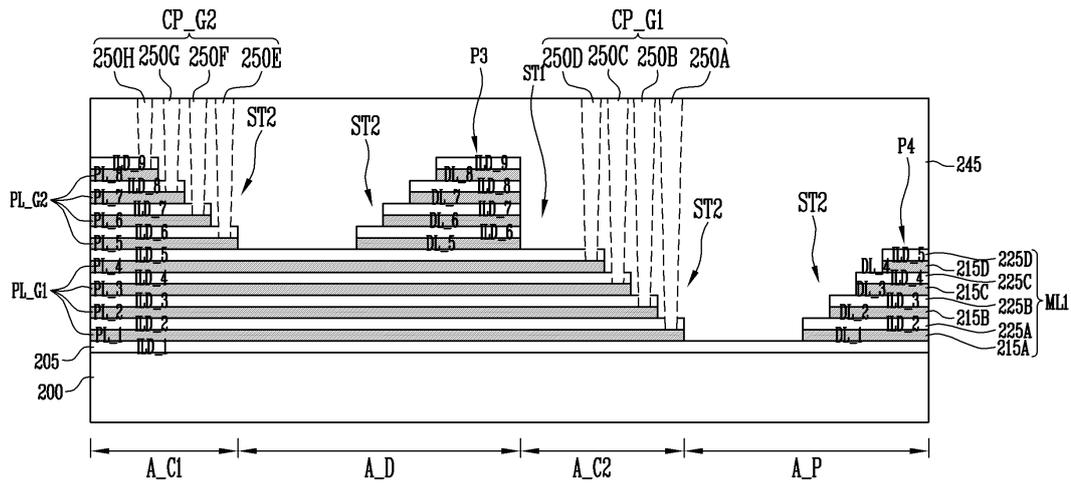
도면3e



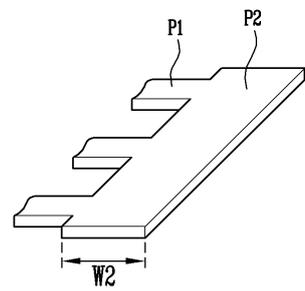
도면3f



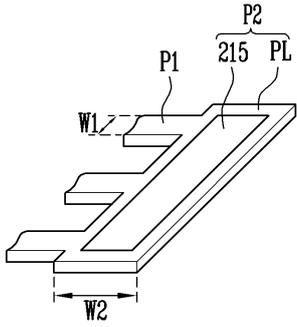
도면3g



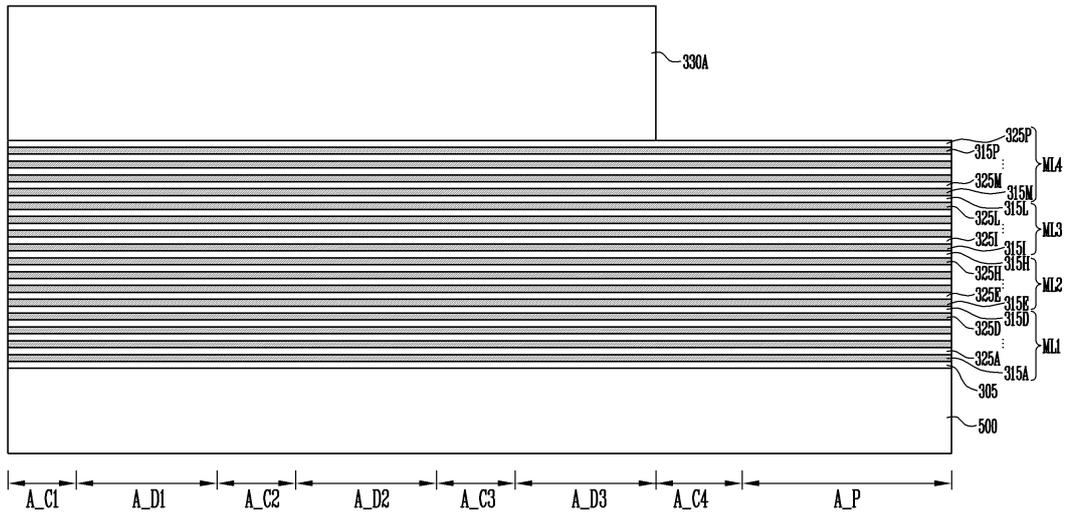
도면4a



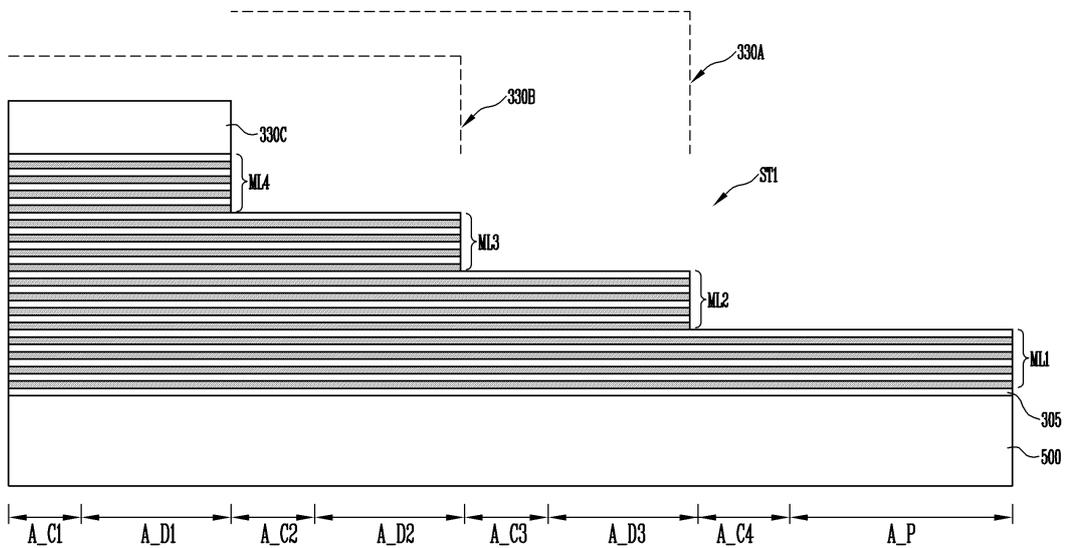
도면4b



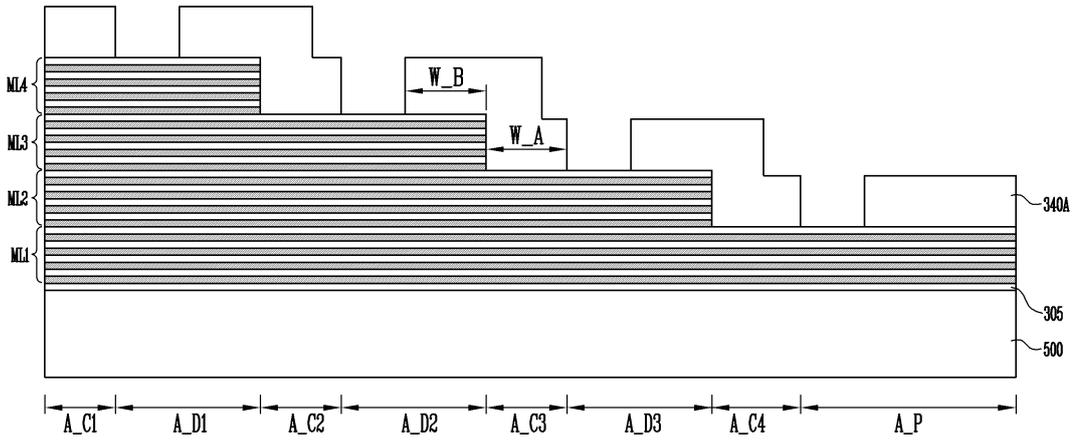
도면5a



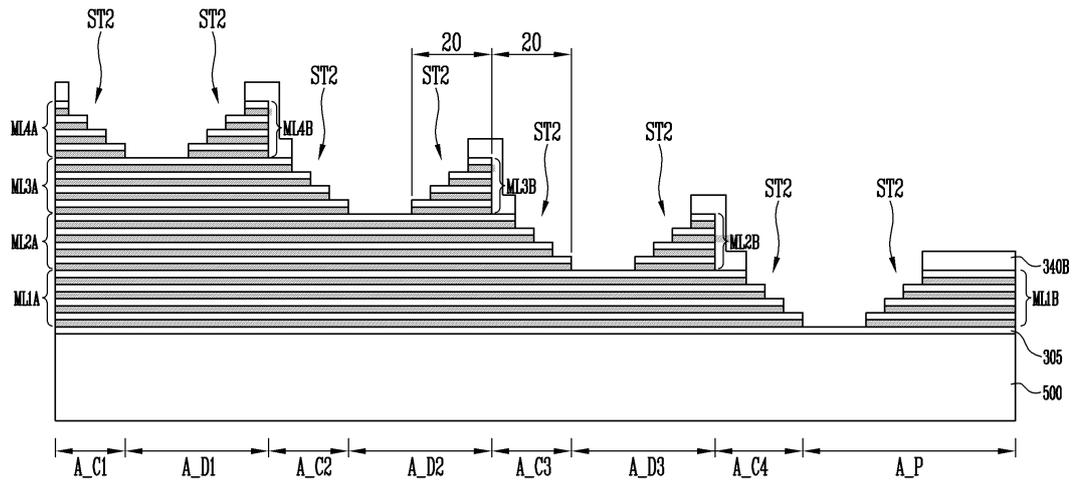
도면5b



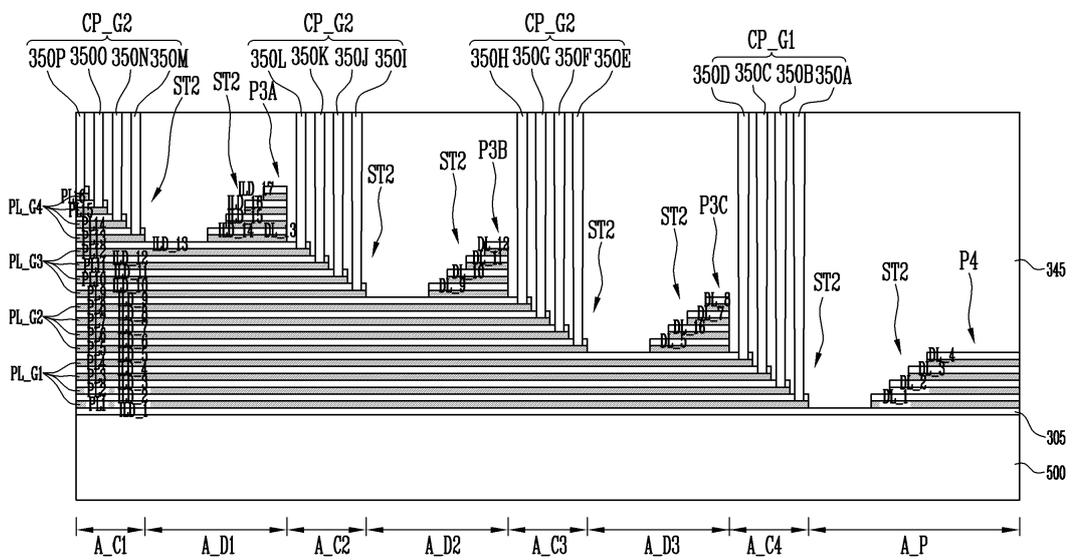
도면5c



도면5d



도면5e



도면6

