



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202147584 A

(43) 公開日：中華民國 110 (2021) 年 12 月 16 日

(21) 申請案號：110103658 (22) 申請日：中華民國 110 (2021) 年 02 月 01 日

(51) Int. Cl. : *H01L27/11551 (2017.01)* *H01L27/11548 (2017.01)*
H01L27/11556 (2017.01) *H01L27/11575 (2017.01)*
H01L27/11578 (2017.01) *H01L27/11582 (2017.01)*

(30) 優先權：2020/02/12 美國 62/975,324
 2020/08/31 美國 17/008,015

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
 日本

(72) 發明人：富爾福德 H 吉姆 FULFORD, H. JIM (US)；加德納 馬克 I GARDNER,
 MARK I. (US)

(74) 代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：22 共 37 頁

(54) 名稱

3D 邏輯及 3D 記憶體之架構設計及製程

(57) 摘要

本文中的技術包含藉由組合複數基板形成電路的方法。高電壓裝置係在第一晶圓上製造，以及低電壓裝置及/或記憶體則係在第二晶圓及/或第三晶圓上製造。

Techniques herein include methods of forming circuits by combining multiple substrates. High voltage devices are fabricated on a first wafer, and low voltage devices and/or memory are then fabricated on a second wafer and/or third wafer.

指定代表圖：

符號簡單說明：

101:基板

106:佈線平面

201:記憶體(記憶體裝置/記憶體晶圓)

202:HV 2D 平面裝置(基板、晶圓)

203:奈米片(奈米片裝置)

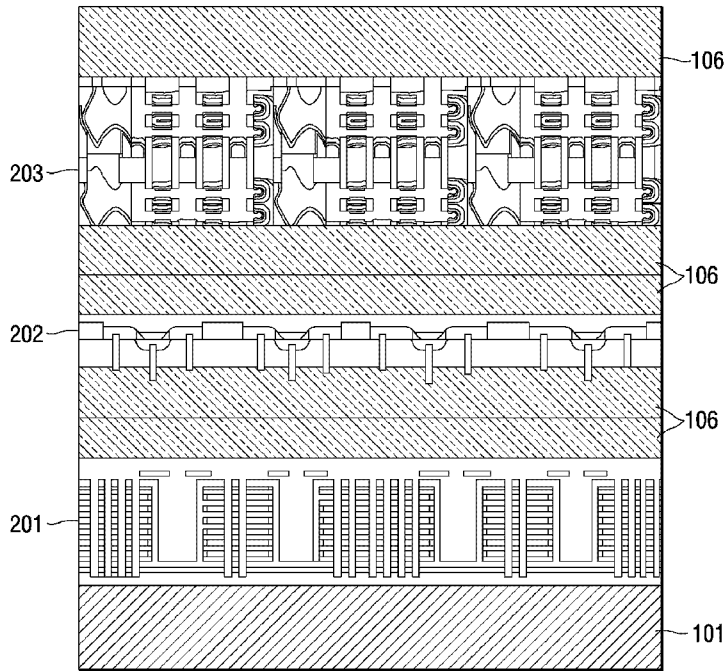


圖 6



202147584

【發明摘要】

【中文發明名稱】 3D邏輯及3D記憶體의架構設計及製程

【英文發明名稱】 ARCHITECTURE DESIGN AND PROCESS FOR 3D LOGIC AND 3D MEMORY

【中文】

本文中的技術包含藉由組合複數基板形成電路的方法。高電壓裝置係在第一晶圓上製造，以及低電壓裝置及/或記憶體則係在第二晶圓及/或第三晶圓上製造。

【英文】

Techniques herein include methods of forming circuits by combining multiple substrates. High voltage devices are fabricated on a first wafer, and low voltage devices and/or memory are then fabricated on a second wafer and/or third wafer.

【指定代表圖】 圖 6

【代表圖之符號簡單說明】

101:基板

106:佈線平面

201:記憶體（記憶體裝置/記憶體晶圓）

202:HV 2D平面裝置（基板、晶圓）

203:奈米片（奈米片裝置）

【發明說明書】

【中文發明名稱】 3D邏輯及3D記憶體的架構設計及製程

【英文發明名稱】 ARCHITECTURE DESIGN AND PROCESS FOR 3D LOGIC AND 3D MEMORY

【技術領域】

【0001】（相關案之交互參考）本申請案係基於以下申請案並主張其優先權：西元2020年2月12日發明名稱為「ARCHITECTURE DESIGN AND PROCESS FOR 3D LOGIC AND 3D MEMORY」之美國臨時專利申請案第62/975,324號；及西元2020年8月31日發明名稱為「ARCHITECTURE DESIGN AND PROCESS FOR 3D LOGIC AND 3D MEMORY」之美國非臨時專利申請案第17/008,015號，此二者係藉由參照整體併入於此。

【0002】本揭露內容相關於積體電路及微電子裝置的製造，包含半導體裝置、電晶體、及積體電路。更特別的，本揭露內容相關於三維（3D）電晶體的製造。

【先前技術】

【0003】在半導體裝置的製造中（特別是在微觀尺度上），執行諸多製造製程，例如成膜沉積、蝕刻遮罩形成、圖案化、材料蝕刻及移除、及摻雜處理。重複執行這些製程，以在基板上形成期望的半導體裝置元件。從發展歷程來看，利用微製造，電晶體已在一平面中產生，且佈線/金屬形成於主動裝置平面的上方，且因此電晶體已以二維（2D）電路或2D製造為特徵。縮放的努力已大幅增加2D電路中每單位面積的電晶體數目，但當縮放進入個位數奈米的半導體裝置

製造時，縮放的努力正面臨更大的挑戰。半導體裝置製造商已表達對電晶體彼此堆疊於頂部的3D半導體電路的需求。

【0004】 儘管關鍵尺寸縮放之不可避免的飽和，但3D整合仍被視為持續半導體縮放的可行選擇。當接觸閘極節距由於製造可變性及靜電裝置限制而達到縮放限制時，2D電晶體密度的縮放停止。即使是例如垂直通道全環繞閘極電晶體（gate-all-around transistor）的實驗性新電晶體設計（其可能將來能夠克服這些接觸閘極節距縮放的限制）仍不保證使半導體縮放回到正軌，此乃因為電阻值、電容值、及可靠性的考量限制了線節距的縮放，從而限制了電晶體可佈線於電路中的密度。

【0005】 3D整合，亦即複數裝置的垂直堆疊，旨在藉由增加電晶體的空間密度而非面積密度來克服這些縮放限制。這一想法已由快閃記憶體產業以採用3D NAND而成功得以證明及實施。例如在CPU或GPU產品中使用的主流CMOS VLSI縮放係正在探索採用3D整合作為使半導體線路圖向前移動的主要手段，且因此期望支持之技術。

【發明內容】

【0006】 本文中的技術提供一種具有內含3D記憶體及由複數基板組合成的2D平面選項之高性能3D CMOS裝置架構、以及這些裝置的製造方法。晶圓的堆疊可結合諸多類型的裝置。例如，可組合兩到三個晶圓，以提供低電壓（LV，low-voltage）CMOS、高電壓（HV，high-voltage）CMOS、及3D NAND的最佳整合。其他組合係加以考慮。

【0007】 晶圓組合提供處理方面的優勢。因為許多記憶體電路及其他電路依賴HV（大於5至10V）裝置，故如此裝置最適於2D HV裝置，以包含平面CMOS（N/P）、鰭式FET（N/P）。HV裝置（例如，平面及鰭式FET二者）可製造於

第 2 頁，共 10 頁(發明說明書)

第一晶圓上。LV裝置及/或記憶體係接著製造於第二晶圓及/或第三晶圓上。諸多組合是可能的。藉由LV及HV裝置的分別處理，可達成製程優化。例如，一些類型的裝置相較於其他者具有不同的溫度限制。因此，當複數類型的裝置製造於單一晶圓上時，在處理溫度方面做出折衷。本文中的技術將任何2D電晶體與任何3D裝置結構整合。此外，取決於電路需求，可選地執行同一電晶體平面上的3D及2D裝置。

【0008】 為清楚起見而呈現本文中所述之不同步驟的討論順序。通常，這些步驟可以任何適當的順序執行。此外，儘管本文中之不同特徵、技術、配置等的任一者可在本揭露內容的不同地方進行討論，但其意在概念的每一者可彼此獨立或彼此組合的加以執行。因此，本發明可以許多不同的方式來實施及審視。

【0009】 本發明內容章節不明確指出本揭露內容或所請求特徵的每一實施例及/或每一遞增新穎的實施態樣。相反，本發明內容僅提供不同的實施例的初步討論、及相對於習知技術的新穎性的對應點。對於實施例的額外細節及/或可能的觀點，讀者係引導至如下進一步討論之本揭露內容的實施方式部分及對應圖式。

【圖式簡單說明】

【0010】 參考以非限制方式給出的描述內容，結合附圖，本申請案將更好的理解，其中，

【0011】 圖1A-1C顯示組合兩基板之流程的示意圖。

【0012】 圖2A-2C顯示組合兩基板之流程的示意圖。

【0013】 圖3A-3D顯示組合兩基板之流程的示意圖。

【0014】 圖4A-4D顯示組合兩基板之流程的示意圖。

第 3 頁，共 10 頁(發明說明書)

【0015】 圖5A-5E顯示組合三基板之流程的示意圖。

【0016】 圖6顯示橫剖面基板部分的示意圖，具有3D NAND記憶體、HV 2D平面裝置、及LV 3D奈米片裝置。

【0017】 圖7顯示PMOS晶圓頂部上的LV CFET NMOS的示意圖。

【0018】 圖8顯示磊晶堆疊的示意圖，氧化物係位於磊晶堆疊下方。

【0019】 圖9-12顯示產生CFET源極/汲極下凹模組的流程的示意圖。

【0020】 圖13A及13B顯示HV及LV鰭式裝置的部分的立體圖。

【0021】 圖14顯示一晶圓上的HV平面電晶體的橫剖面圖。

【0022】 圖15A-15B顯示三基板及完全經過金屬x繞線的LV晶圓的示意圖。

【0023】 圖16A-16B顯示三基板及完全經過金屬x繞線的HV晶圓的示意圖。

【0024】 圖17A-17B顯示三基板及完全經過金屬x繞線的記憶體裝置的示意圖。

【0025】 圖18顯示HV基板結合至記憶體晶圓的示意圖。

【0026】 圖19顯示HV基板結合至圖18之記憶體晶圓的示意圖，其中頂部表面被移除且氧化物層被轉換為佈線層。

【0027】 圖20顯示LV晶圓結合至記憶體晶圓的示意圖。

【0028】 圖21顯示HV基板結合至圖20之記憶體晶圓的示意圖，其中頂部表面被移除且氧化物層被轉換為佈線層。

【0029】 圖22顯示中間添加電源軌的PMOS的示意圖。

【實施方式】

【0030】 在本說明書全文中對「一實施例」或「一個實施例」的引用是指結合一實施例所述的特定特徵、結構、材料、或特性係包含於本申請案之至少一實施例中，但不表示它們存在於每一實施例中。

【0031】因此，在本說明書全文諸處出現的片語「在一實施例中」或「在一個實施例中」未必是指本申請案的相同實施例。再者，在一或更多實施例中，特定的特徵、結構、材料、或特性可以任何適當方式加以組合。

【0032】本文中的技術包含藉由組合複數基板來形成積體電路的方法。每一基板可同時加以處理/製造，且可利用針對每一基板上正製造之個別裝置優化的處理參數（例如，溫度）加以處理/製造。例如，3D DRAM及3D NAND電路具有HV裝置、LV裝置、邏輯元件、及記憶單元元件。本文中的技術結合不同的基板，以從每一電路塊獲得最大化的性能。本文中所提出的方法的一實施態樣顯示如何藉由結合晶圓來優化3D NAND。本文亦涵蓋將用於HV的現有2D裝置整合至3D NAND中，以包含2D HV裝置，從而包含平面CMOS（N/P）、鰭式FET（N/P）、併排奈米片（N/P）（橫向全環繞閘極裝置）。

【0033】本文中的結合技術及流程可包含西元2019年9月17日發明名稱為「High Density Logic And Memory Formation For Advanced Circuit Architecture」之美國第62/901,591號中所述的內容、以及西元2019年10月3日發明名稱為「Method of Making Multiple Nano layer transistors to enhance a multiple stack CFET performance」之美國第16/592,519號中所述的內容，兩者係藉由參照整體併入於此。

【0034】本文中的例示性實施例將參考附圖加以描述。實施例將顯示利用整合在一起之HV晶圓、LV晶圓、及記憶體裝置晶圓的製程流程。

【0035】在圖1A至1C中，組合兩基板，每一基板具有位於HV及LV裝置下方的氧化物。在圖1A中，上基板101具有沉積在主體基板材料（例如，矽）上的介電質102（例如，矽氧化物）。在介電質102上，製造低電壓裝置103的平面。注意，LV裝置103的平面可包含3D裝置、堆疊裝置、橫向全環繞閘極裝置等。在LV裝置103的平面上，形成佈線平面106。如此之佈線平面106（金屬X繞線）

可具有一或複數佈線位準 (wiring level)。本文中的佈線結構可利用習知製程形成，例如沉積氧化物、利用光遮罩來蝕刻凹槽及穿孔、完成雙鑲嵌金屬填充、覆蓋物拋光 (polishing over burden)、增加接觸部。圖1A的下基板101具有在基板101上之介電質102上方形成的HV裝置104。然後，記憶體裝置105可形成於HV裝置104上，隨後在該下基板101上形成佈線平面106。

【0036】在圖1B中，兩基板係在各自的金屬佈線層處對準及接合。據此，一基板實質上被翻轉，以進行如此之對準。在基板被結合之後，複數基板其中一者上的主體材料可加以研磨或拋光，直至到達介電質為止。然後，第三佈線平面可形成於如此的介電質中 (圖1C)。據此，產生組合基板，且可執行額外的佈線及製造步驟。

【0037】在圖2A至2C中的例示性實施例中，僅LV裝置包含位於裝置平面與主體基板材料之間的氧化物。因此，圖2A中的下基板101具有直接形成於主體基板材料上的HV裝置104，且具有形成於HV裝置104上的記憶體裝置105。LV裝置平面103被翻轉且與HV/記憶體裝置104/105對準，進行對準與結合 (圖2B)。主體基板材料可從組合基板的LV側移除，直至到達介電質102的覆層為止。然後，如此露出的氧化物層可被轉換成金屬繞線層 (佈線平面) 106 (圖2C)。

【0038】圖3A至3D的例示性實施例類似於圖2A至2C，惟圖3A中的兩基板皆沒有將HV及LV裝置與主體基板材料隔開的介電質層。LV基板101被翻轉、對準、且與HV基板101結合 (圖3B)。在圖3C中，LV側的主體基板材料的厚度減小。在圖3D中，剩下的基板材料被轉換為低溫記憶體105，且接著在其上形成佈線平面106。圖4A至4D中的流程顯示低溫記憶體是可選的。

【0039】圖5A至5E的例示性實施例顯示用於HV、LV、及記憶體的分離的晶圓，且在裝置與基板之間具有氧化物。注意，本文中的堆疊順序是例示性的，且可使用任何順序。圖5A顯示三個來料基板。HV裝置基板可被翻轉、對準、且

結合到記憶體裝置基板（圖5B）。主體基板材料可從HV裝置側移除，且介電層被轉換為金屬繞線/佈線平面（圖5C）。在圖5D中，LV基板被翻轉，且與新形成的金屬繞線層對準且結合於其上。然後，可在LV裝置側移除主體基板材料，且然後，將氧化物層轉換為繞線層（圖5E）。據此，可想到本文中的許多不同組合。

【0040】圖6顯示具有3D NAND記憶體201、HV 2D平面裝置202、及LV 3D奈米片裝置203的例示性橫剖面基板部分。圖7顯示在PMOS晶圓頂部的例示性LV CFET NMOS。使用氣相蝕刻劑的蝕刻可對矽303及SiGe2 302比SiGe1 301具有較大的蝕刻速率。移除SiGe2，以留下矽奈米片NFET及SiGe1奈米片PFET。

【0041】圖8係例示性形成磊晶堆疊，其中氧化物位於磊晶堆疊下方。如此之堆疊可用於形成LV 3D裝置。在如此之製程中，SiGe 2 302層從Si或SiC 303奈米片之間移除，以形成NFET。SiGe2 302層從SiGe1 301奈米片之間移除，以同時形成PFET。304為SiGe3或Ge。306係Si基板，且305係氧化物。這適用於包含相同類型之電晶體的電晶體堆疊，也適用於包含不同類型之電晶體的電晶體堆疊。可產生N到N+1奈米片。

【0042】圖9顯示CFET源極/汲極下凹模組的開始。圖10顯示CFET內部間隔模組的開始：蝕刻SiGe2凹痕。SiGe2的蝕刻速率可遠大於SiGe1。注意，蝕刻劑及蝕刻條件是已知的，且可在氣相蝕刻工具（例如，可從Tokyo Electron Limited獲得的Certas）上執行。圖11顯示替換金屬閘極製程及P-功函數（P-work function）金屬模組的開始。在圖12中，在移除SiGe2奈米片後，以釋放分別用於N/P FET的Si或SiC及SiGe1通道。

【0043】圖13A及13B顯示可在本文中使用的例示性高電壓及低電壓鰭式裝置的部分的立體圖，其中401為氧化物，402為矽基板，403為源極，404為汲極，且405為閘極。這些鰭式FET裝置係習知的。圖14係一晶圓上的HV平面電晶體的

例示性橫剖面，其中501係NMOS，502係PMOS，503係P阱，504係N阱，505係基板，且506是凹槽隔離。

【0044】圖15A及15B顯示完全經過金屬x繞線的LV晶圓。顯示奈米片203的範例。在圖16A及16B中，HV晶圓202係顯示完全經過金屬x繞線（具有平面裝置）。在圖17A及17B中，具有記憶體裝置（NAND記憶體）201的基板係顯示經過金屬x繞線。在圖18中，HV基板202被翻轉且結合到記憶體晶圓201。移除頂部表面，且氧化物被轉換為佈線層（圖19）。LV晶圓103被翻轉，且結合到堆疊（圖20）。在圖21中，移除堆疊的頂部，以及露出的氧化物被轉換為佈線平面。圖22顯示電源軌可向下添加於PMOS的中間，且可被「埋」在主動裝置下方。如此之軌線可用於NFET或PMOS的接地或電源。可針對每一金屬x層進行FET到軌線的連接。

【0045】據此，獲得最大化的性能可藉由在不同處理條件（例如，退火溫度）下於不同基板上處理LV、HV、及記憶體來達成優化的裝置，以及接著組成基板堆疊，以求更佳性能的裝置。

【0046】在前面的描述中，已提出具體細節，例如處理系統的特定幾何形狀、及本文中所使用之諸多元件及製程各種組件的描述。然而，應理解，本文中的技術可在背離這些具體細節的其他實施例中實施，且如此的細節係針對解釋而非限制的目的。本文中所揭露的實施例已參考附圖加以描述。類似的，就解釋的目的而言，已提出特定的數字、材料、及配置，以提供透徹的理解。然而，實施例可在沒有如此之具體細節的情況下實施。具有實質上相同功能性構造的元件係由類似的參考標記表示，且因此可省略任何重複的描述。

【0047】諸多技術已描述為複數分離的操作，以幫助理解諸多實施例。描述的順序不應被解讀為暗示這些操作必定順序相依。實際上，這些操作無需按

照所呈現的順序執行。所述操作可按照與所述實施例不同的順序加以執行。在額外的實施例中，可實施諸多額外的操作，及/或可省略所述操作。

【0048】 如本文所用的「基板」或「目標基板」通常是指根據本發明正被處理的物體。基板可包含裝置的任何材料部分或結構，特別是半導體或其他電子裝置，且例如可為基礎基板結構（例如，半導體晶圓、網線（reticle））、或基礎基板上或覆蓋基礎基板的覆層（例如，薄膜）。因此，基板不限於任何特定的基礎結構，下方層或上方層、圖案化或未圖案化，而係解讀成包含任何如此之覆層或基礎結構，及覆層及/或基礎結構的任何組合。描述內容可參考特定類型的基板，但其僅針對說明性的目的。

【0049】 本領域技術的技術人員亦將理解，可對上述技術的操作進行許多變化，其仍達成本發明之相同的目的。如此之變化意在被本揭露內容的範圍覆蓋。如此，本發明之實施例的前述描述不意圖為限制性。相反，本發明實施例的任何限制係呈現在以下申請專利範圍中。

【符號說明】

【0050】

101:基板

102:介電質

103:LV裝置（LV裝置平面/LV晶圓）

104:HV裝置（HV裝置平面/HV晶圓）

105:記憶體（記憶體裝置/記憶體晶圓）

106:佈線平面

201:記憶體（記憶體裝置/記憶體晶圓）

202:HV 2D平面裝置（基板、晶圓）

第 9 頁，共 10 頁(發明說明書)

203:奈米片（奈米片裝置）

301:SiGe

302:SiGe

303:Si或SiC

304:SiGe或Ge

305:氧化物

306:矽基板

401:氧化物

402:矽基板

403:源極

404:汲極

405:閘極

501:NMOS

502:PMOS

503:P阱

504:N阱

506:凹槽隔離

【發明申請專利範圍】

【請求項1】 一種電路形成方法，該方法包含：

在具有與一背面相對之一正面的一第一基板上，於該正面上形成一第一介電層，在該第一介電層上形成低電壓裝置，以及在該低電壓裝置上方形成一第一佈線平面；

在具有與一背面相對之一正面的一第二基板上，於該正面上形成高電壓裝置，在該高電壓裝置上方形成記憶體裝置，以及在該記憶體裝置上方形成一第二佈線平面；以及

使該第一佈線平面對準，以與該第二佈線平面接觸，以及使該第一基板與該第二基板接合，以形成一組合基板。

【請求項2】 如請求項1之電路形成方法，其中在具有與一背面相對之一正面的該第二基板上，在於該正面上形成該高電壓裝置之前，在該正面上形成一第二介電層，在該第二介電層上形成該高電壓裝置，然後在高電壓裝置上方形成該記憶體裝置，以及在該記憶體裝置上方形成該第二佈線平面。

【請求項3】 如請求項1之電路形成方法，更包含從該第一基板的該背面移除主體基板材料，直至露出該第一介電層為止。

【請求項4】 如請求項3之電路形成方法，更包含利用該第一介電層形成一第三佈線平面。

【請求項5】 如請求項1之電路形成方法，其中形成步驟包含在該第一基板上與該第二基板上使用不同的退火溫度。

【請求項6】 如請求項1之電路形成方法，其中該低電壓裝置包含三維（3D）裝置、堆疊裝置、或橫向全環繞閘極裝置。

【請求項7】如請求項1之電路形成方法，其中形成該第一佈線平面的步驟及形成該第二佈線平面的步驟包含沉積氧化物、利用一光遮罩來蝕刻凹槽及穿孔、或增加接觸部。

【請求項8】如請求項1之電路形成方法，其中該高電壓裝置包含平面式或鰭式FET裝置。

【請求項9】一種積體電路形成方法，該方法包含：

在具有與一背面相對之一正面的一第一基板上，於該正面上形成低電壓裝置，以及在該低電壓裝置上方形成一第一佈線平面；

在具有與一背面相對之一正面的一第二基板上，於該正面上形成高電壓裝置，在該高電壓裝置上方形成第一記憶體裝置，以及在該第一記憶體裝置上方形成一第二佈線平面；以及

使該第一佈線平面對準，以與該第二佈線平面接觸，以及使該第一基板與該第二基板接合，以形成一組合基板。

【請求項10】如請求項9之積體電路形成方法，更包含：

從該第一基板減少一厚度的主體基板材料；

使該第一基板的剩下的主體基板材料轉換成一第一介電層；以及

利用該第一介電層形成一第三佈線平面。

【請求項11】如請求項9之積體電路形成方法，更包含：

從該第一基板減少一厚度的主體基板材料；

利用該第一基板的剩下的主體基板材料形成第二記憶體裝置；以及

在該第二記憶體裝置上方形成一第四佈線平面。

【請求項12】如請求項9之積體電路形成方法，其中，形成步驟包含在該第一基板上與該第二基板上使用不同的退火溫度。

【請求項13】如請求項9之積體電路形成方法，其中，該低電壓裝置包含三維（3D）裝置、堆疊裝置、或橫向全環繞閘極裝置。

【請求項14】如請求項9之積體電路形成方法，其中，形成該第一佈線平面的步驟及形成該第二佈線平面的步驟包含沉積氧化物、利用一光遮罩來蝕刻凹槽及穿孔、或增加接觸部。

【請求項15】一種電路形成方法，該方法包含：

在具有與一背面相對之一正面的一第一基板上，於該正面上形成一第一介電層，在該第一介電層上形成低電壓裝置，以及在該低電壓裝置上方形成一第一佈線平面；

在具有與一背面相對之一正面的一第二基板上，於該正面上形成一第二介電層，在該第二介電層上形成高電壓裝置，及在該高電壓裝置上方形成一第二佈線平面；以及

在具有與一背面相對之一正面的一第三基板上，於該正面上形成一第三介電層，在該第三介電層上形成記憶體裝置，以及在該記憶體裝置上方形成一第三佈線平面；

使該第三佈線平面對準，以接觸該第二佈線平面，以及使該第三基板與該第二基板接合，以形成一組合基板；

從該第二基板的該背面移除主體基板材料，直至露出該第二介電層為止；

利用該第一介電層形成一第四佈線平面；以及

使該第二佈線平面對準，以接觸該第四佈線平面，以及使該第一基板與該組合基板接合。

【請求項16】如請求項15之電路形成方法，其中，形成步驟包含在該第一基板上、該第二基板上、與該第三基板上使用不同的退火溫度。

【請求項17】如請求項15之電路形成方法，其中，該低電壓裝置包含三維（3D）裝置、堆疊裝置、或橫向全環繞閘極裝置。

【請求項18】如請求項15之電路形成方法，其中，形成該第一佈線平面的步驟、形成該第二佈線平面的步驟、及形成該第三佈線平面的步驟包含沉積氧化物、利用一光遮罩來蝕刻凹槽及穿孔、或增加接觸部。

【請求項19】如請求項15之電路形成方法，其中，堆疊該第一基板、該第二基板、及該第三基板的順序不同。

【請求項20】如請求項15之電路形成方法，其中，形成一第四佈線平面的步驟包含：

從該第一基板減少一厚度的主體基板材料；

使該第一基板的剩下的主體基板材料轉換成該第一介電層；以及

利用該第一介電層形成該第四佈線平面。

【發明圖式】

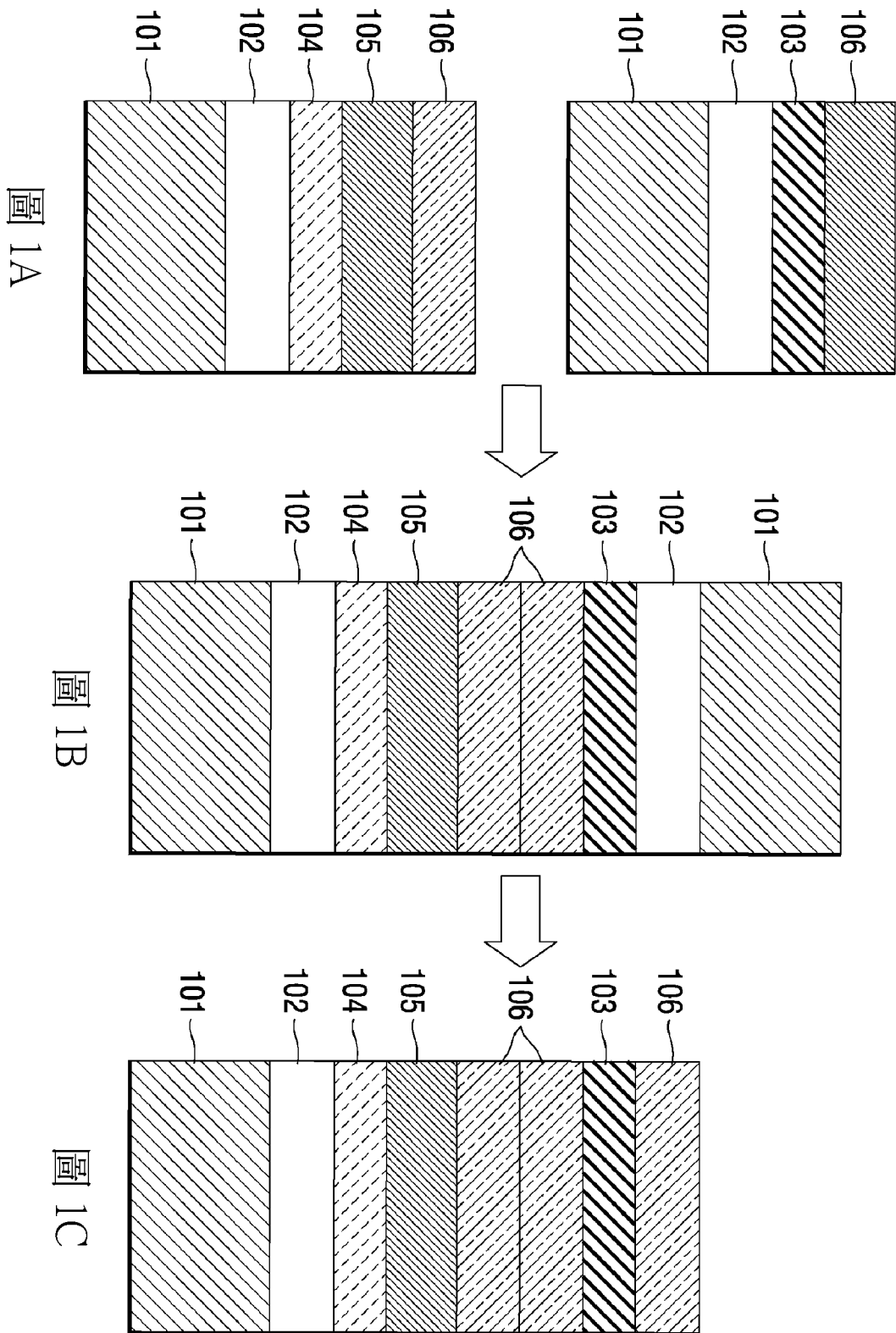


圖 1A

圖 1B

圖 1C

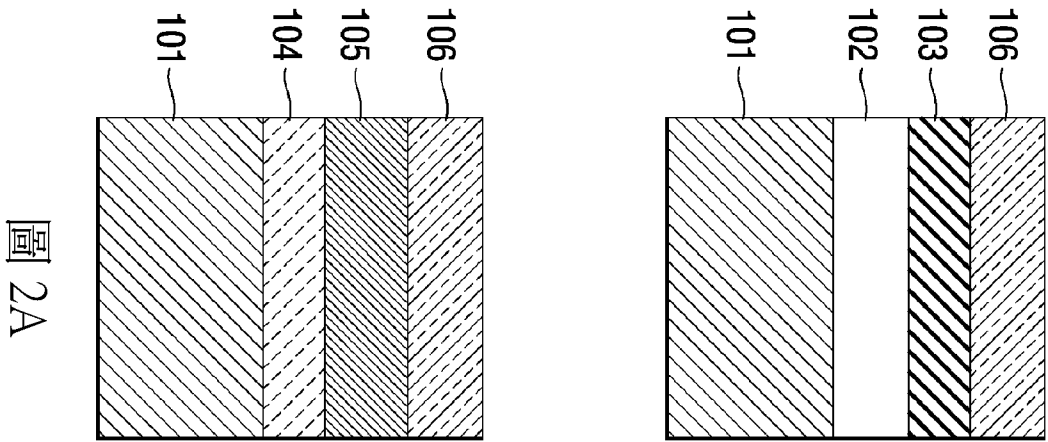


圖 2A

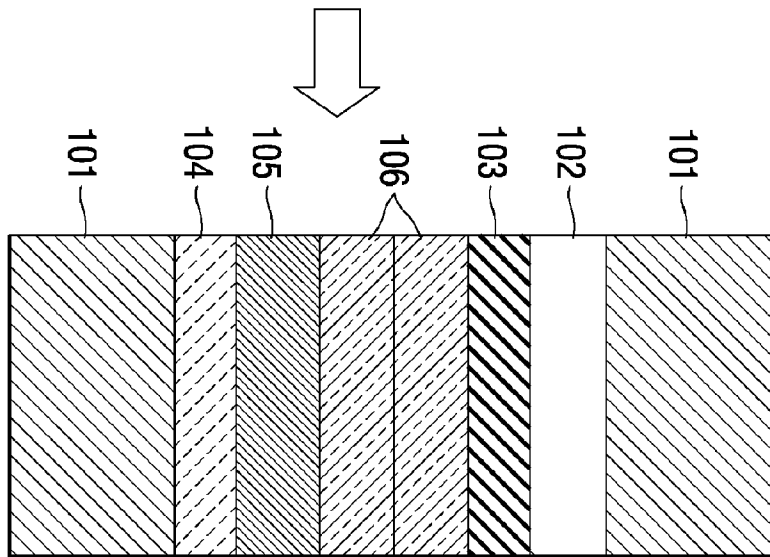


圖 2B

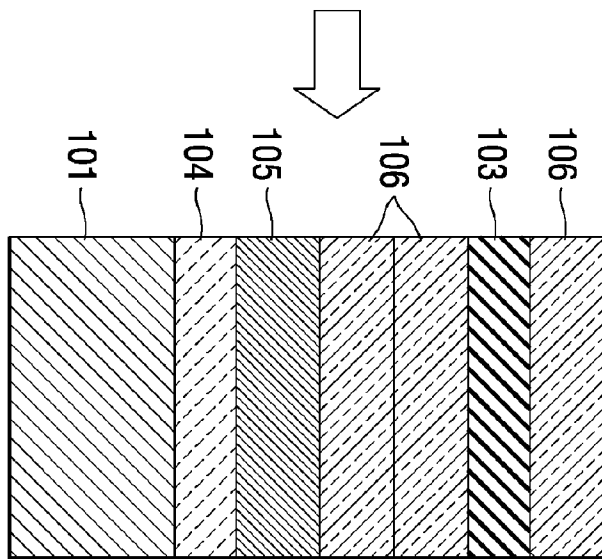


圖 2C

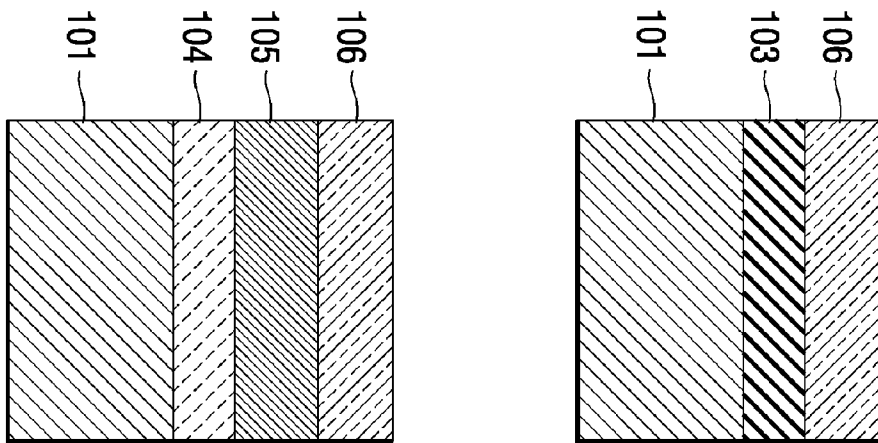


圖 3A

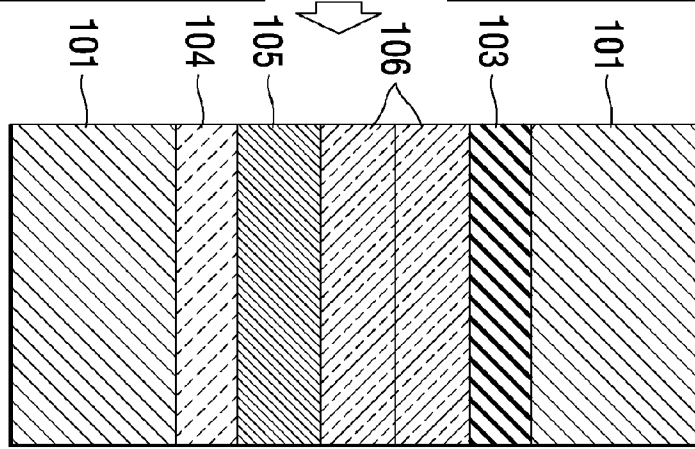


圖 3B

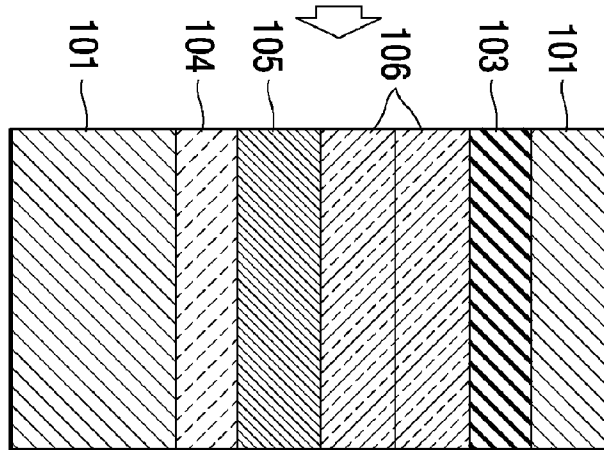


圖 3C

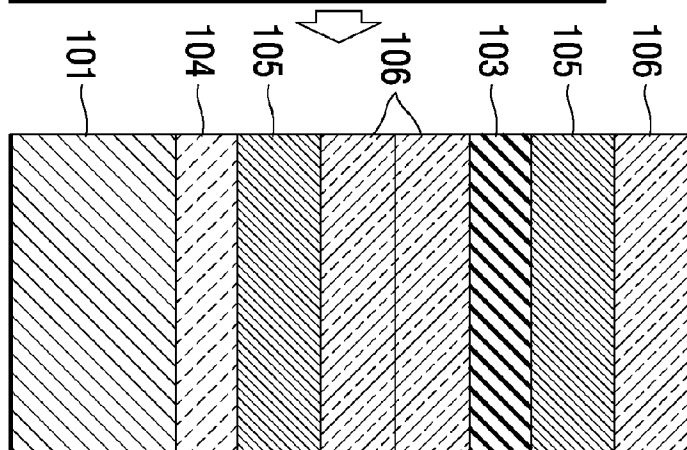


圖 3D

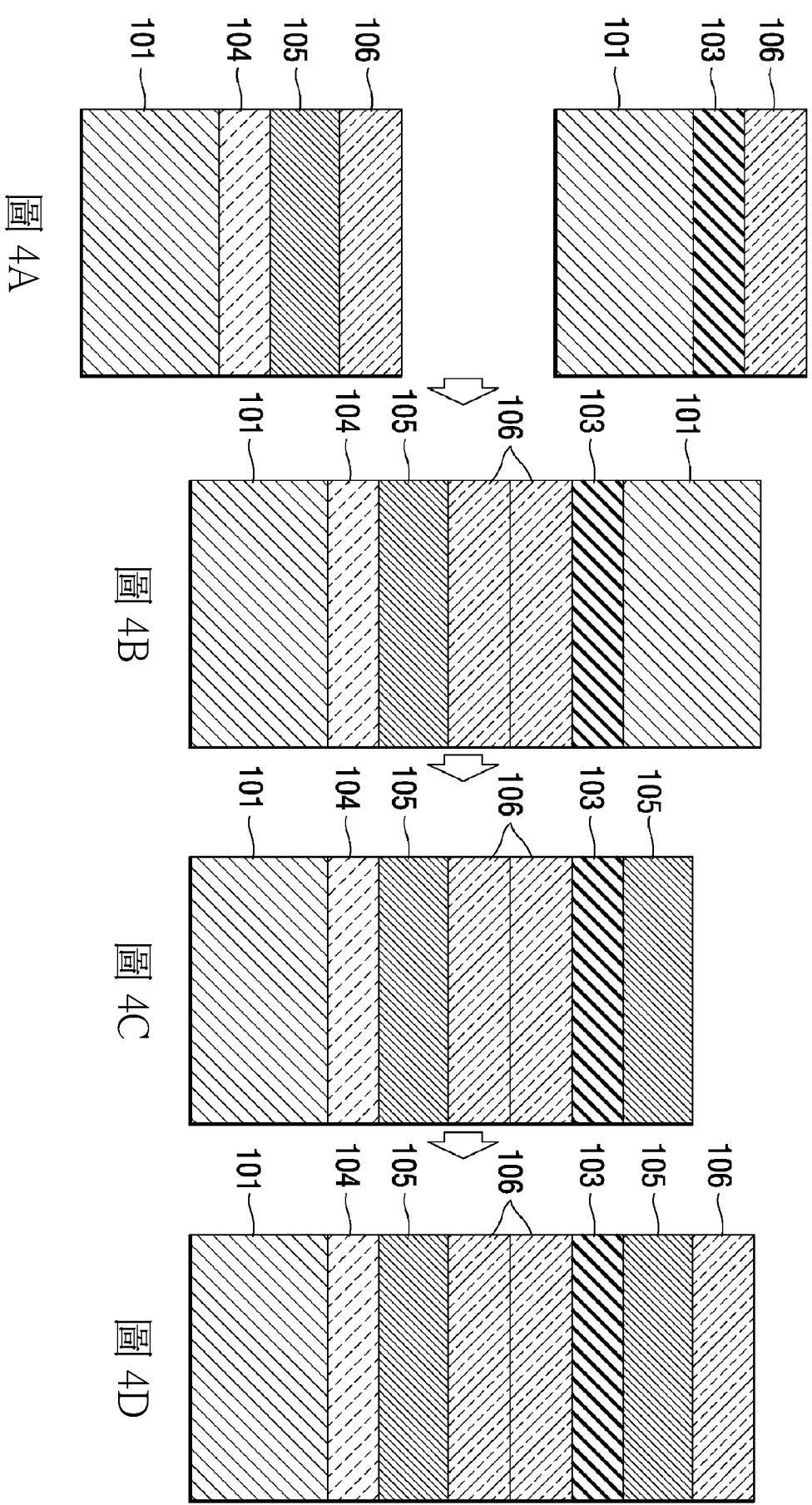


圖 4A

圖 4B

圖 4C

圖 4D

圖 5A

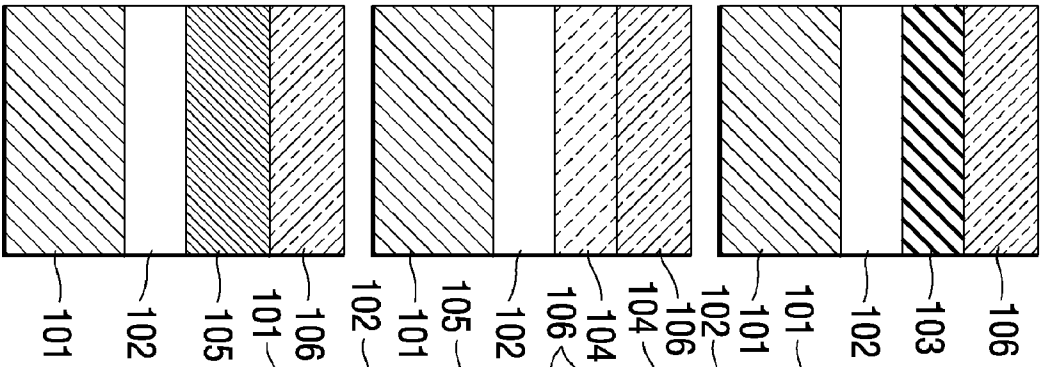


圖 5B

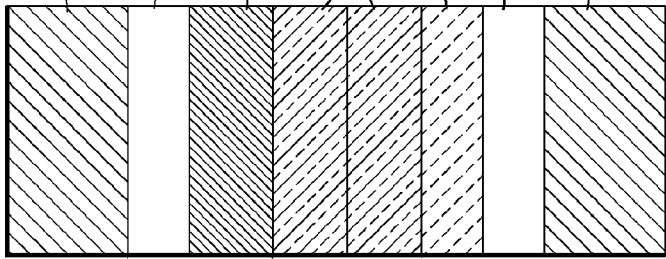


圖 5C

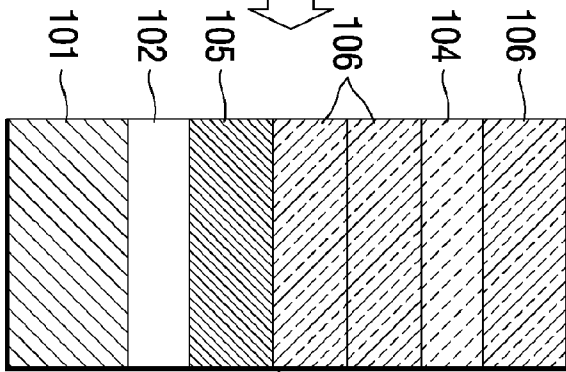


圖 5D

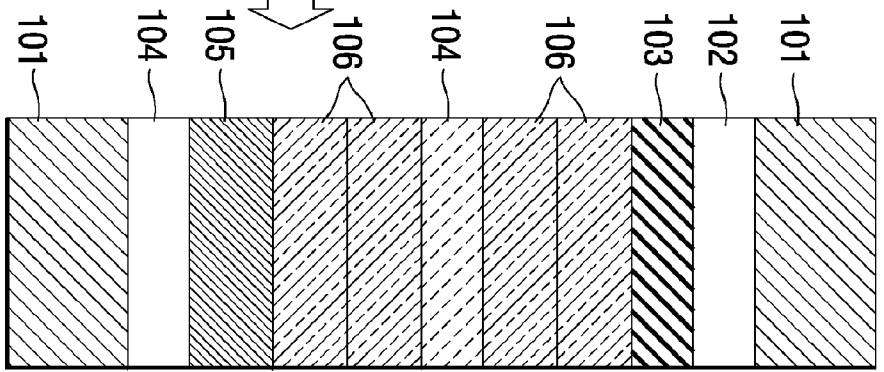
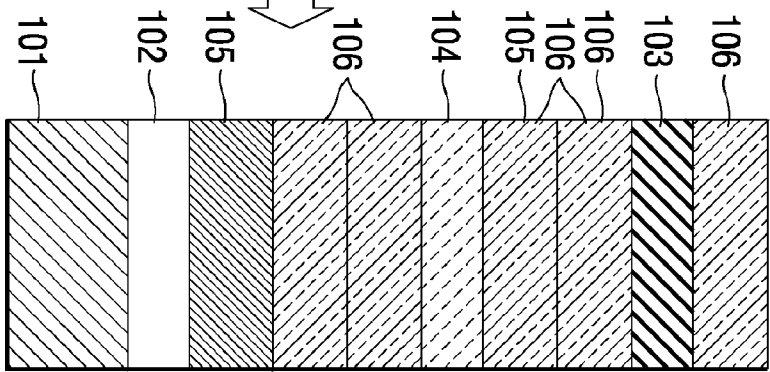


圖 5E



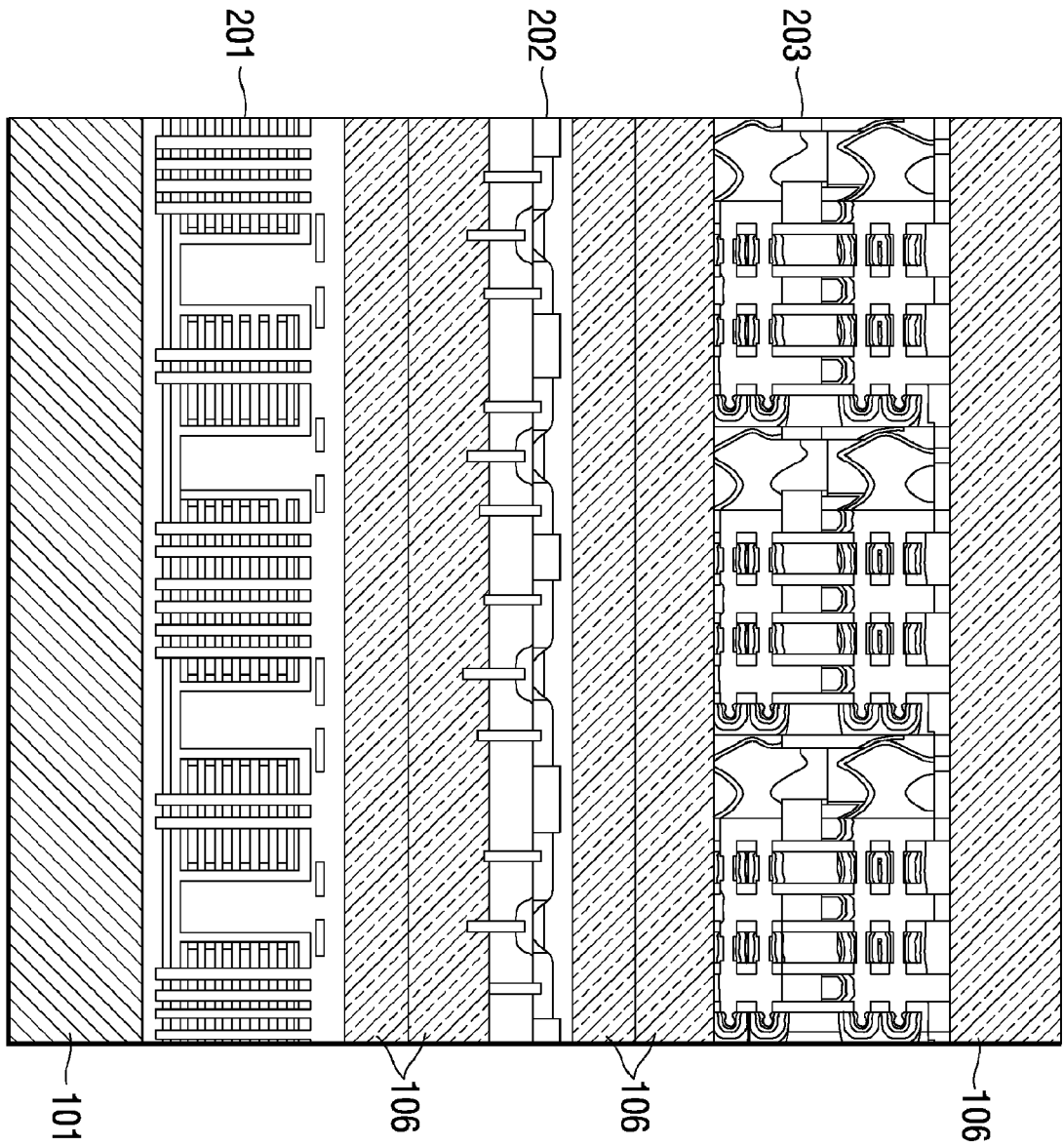


圖 6

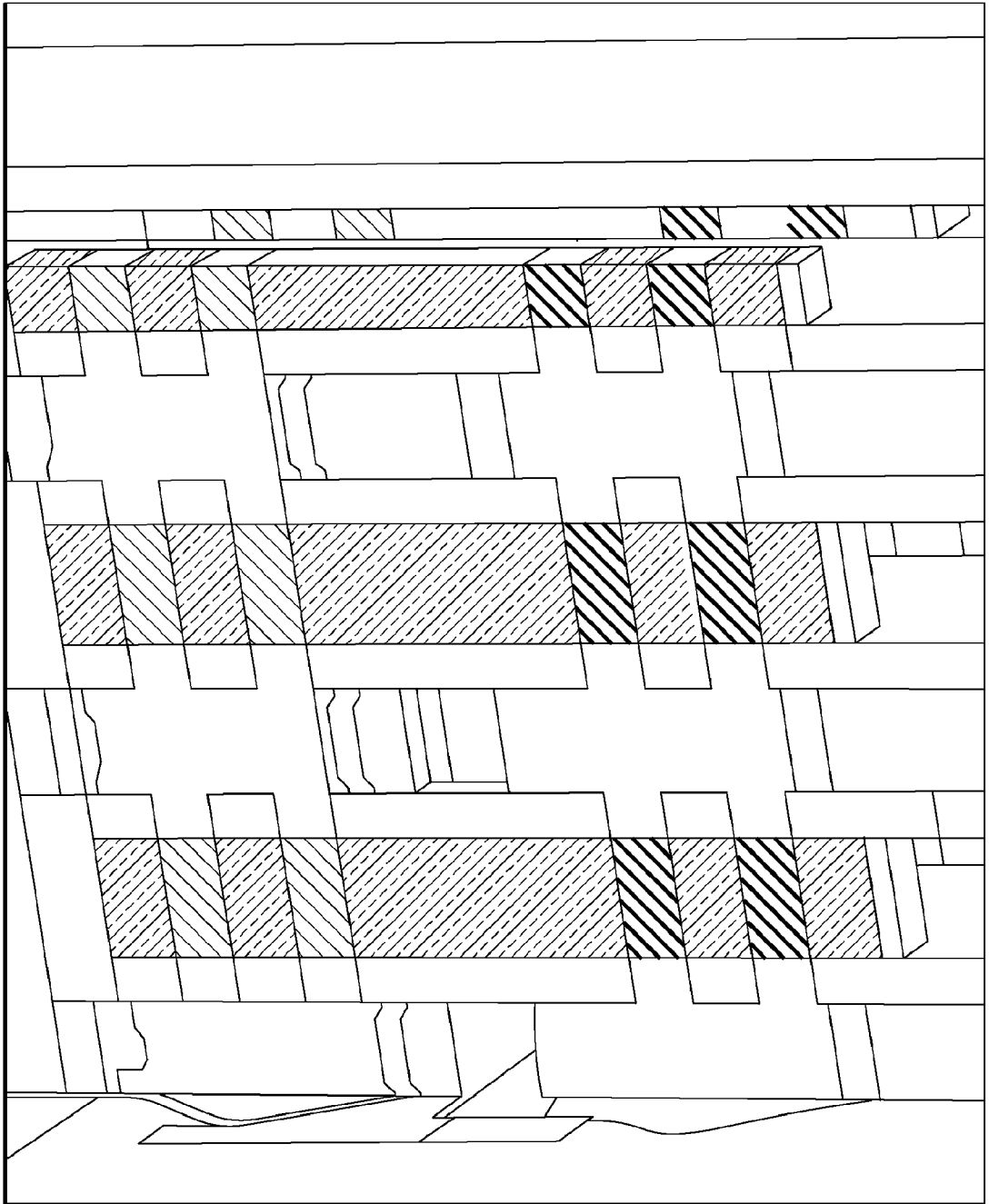
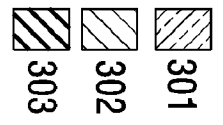


圖 7

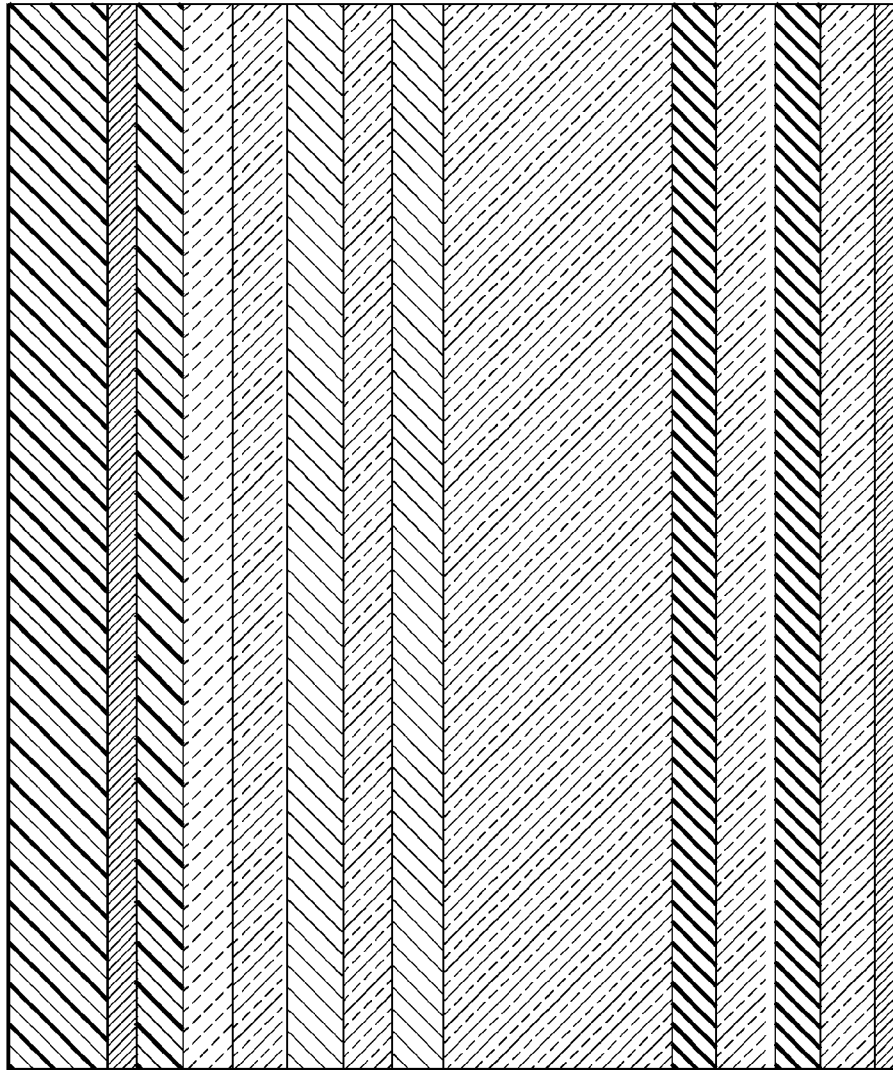
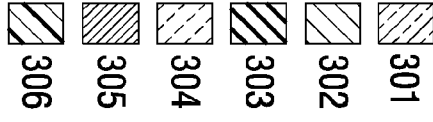


圖 8

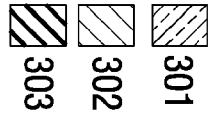


圖 9

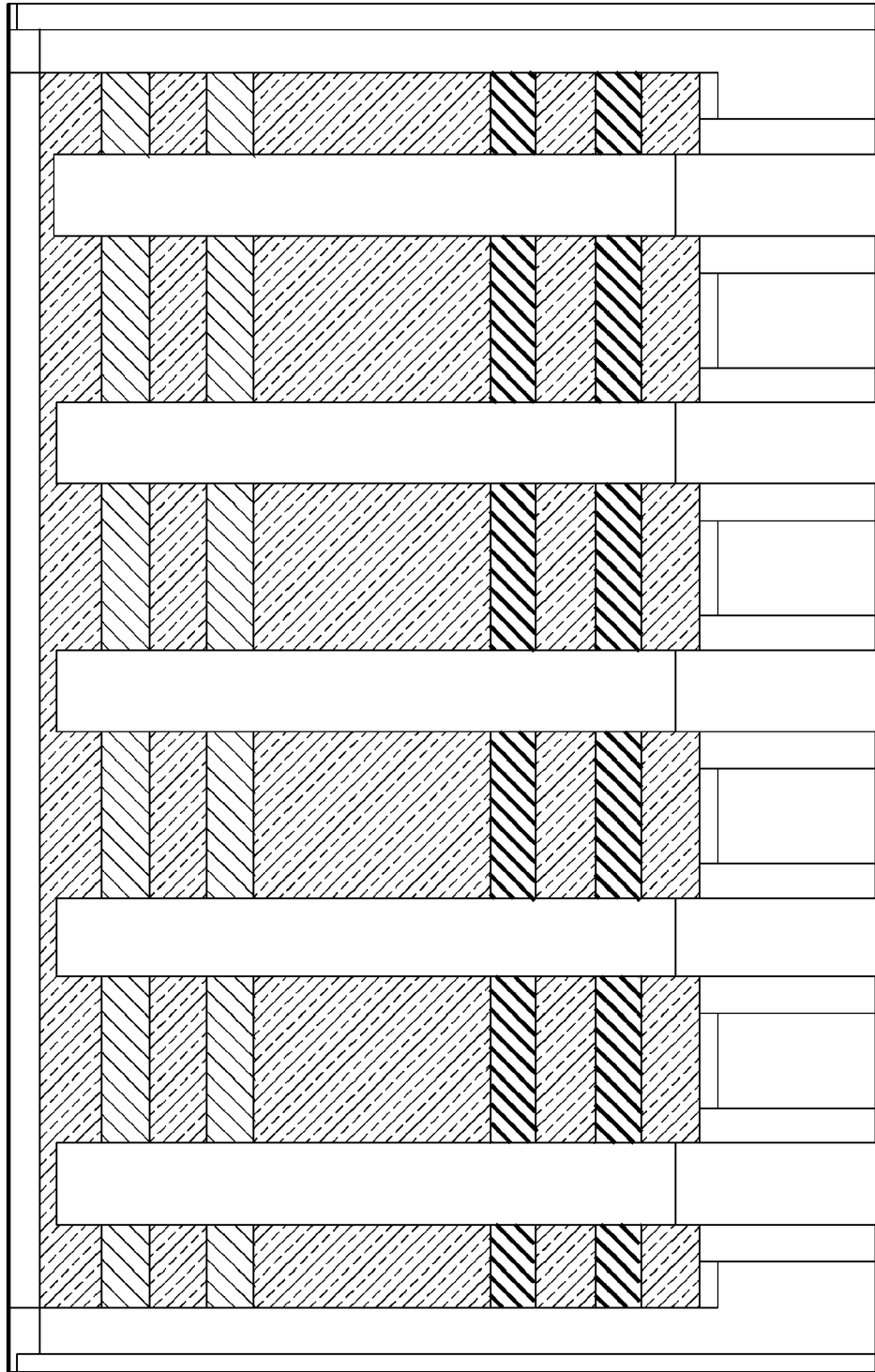
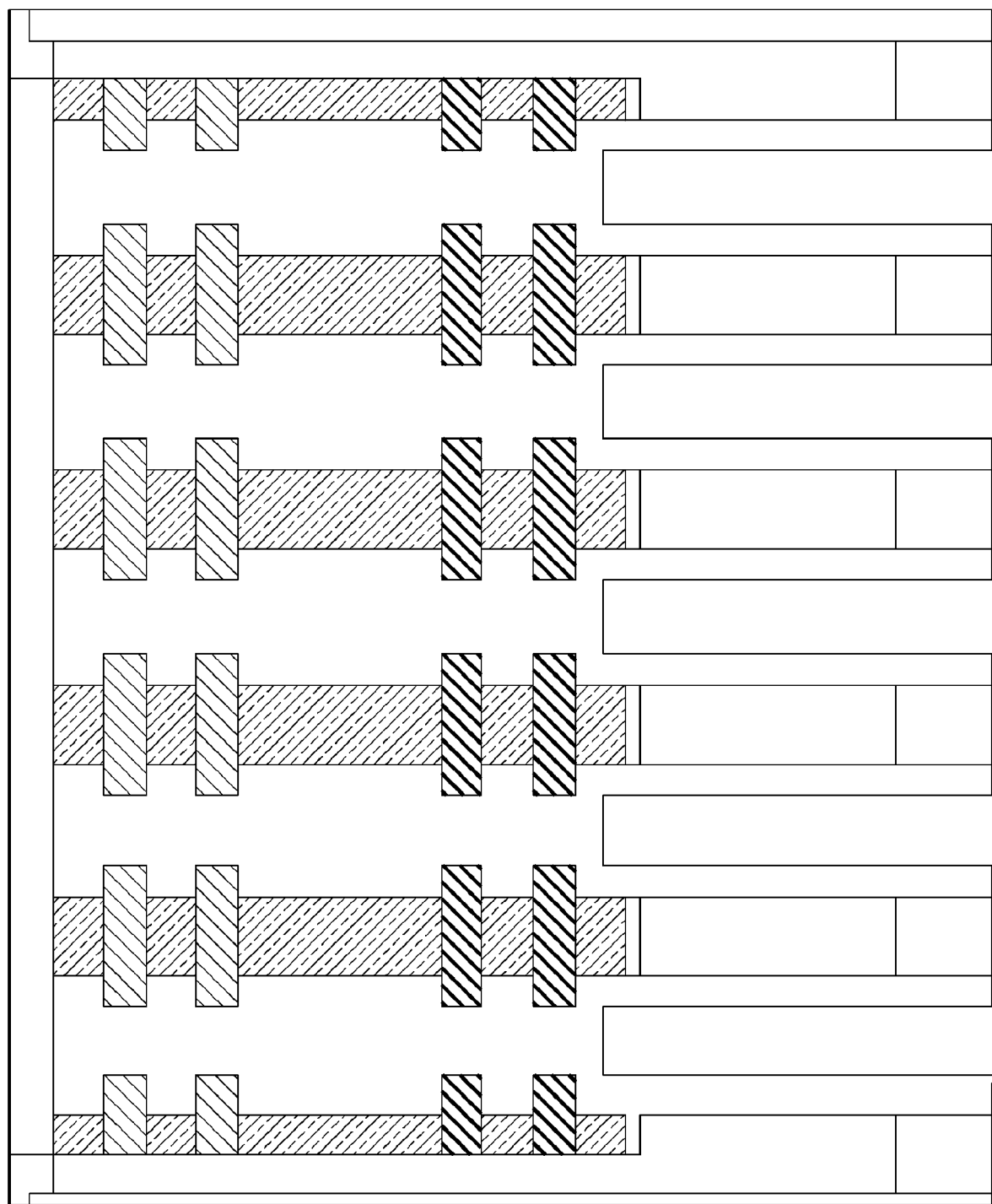
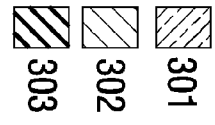


圖 10



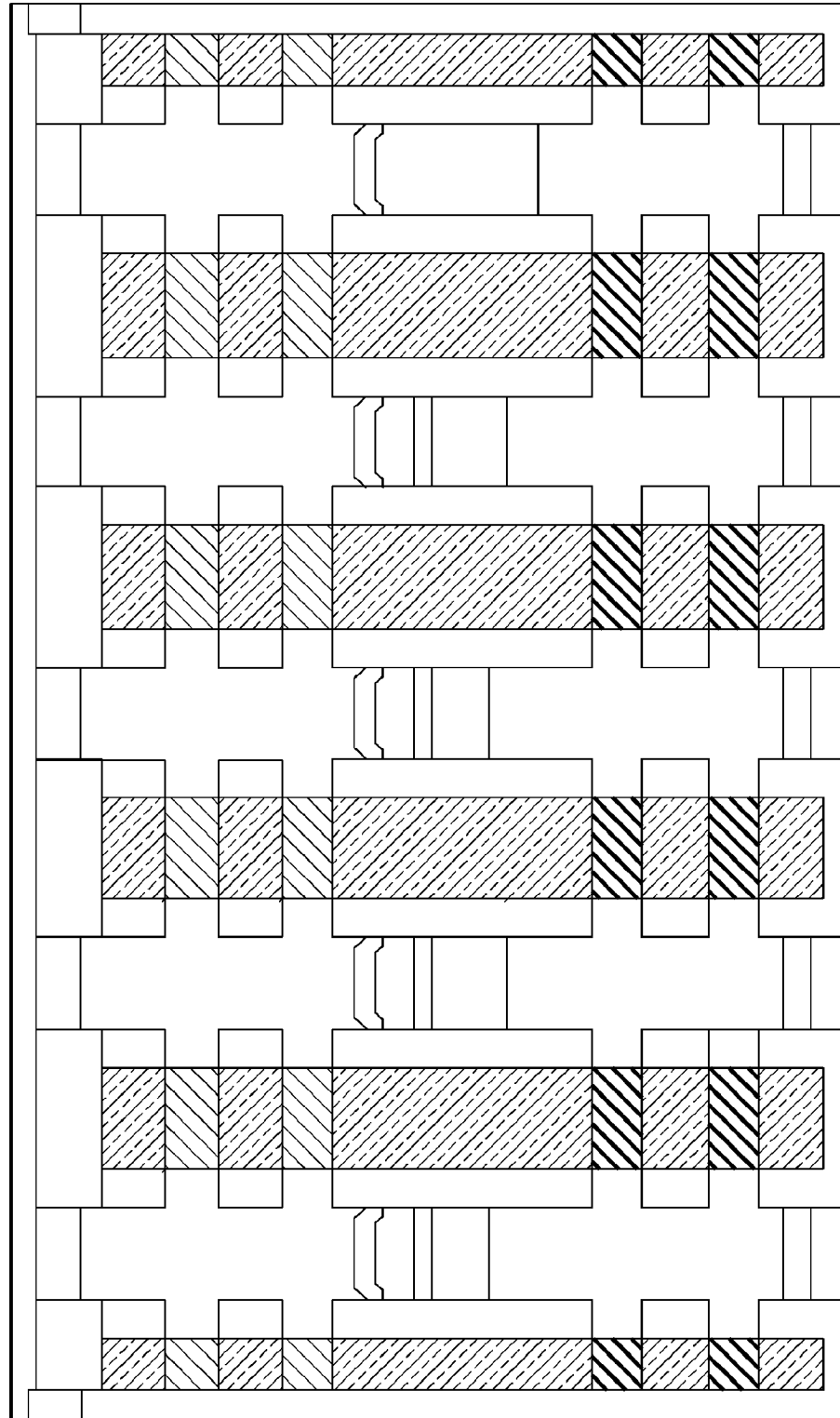
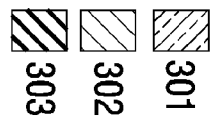


圖 11

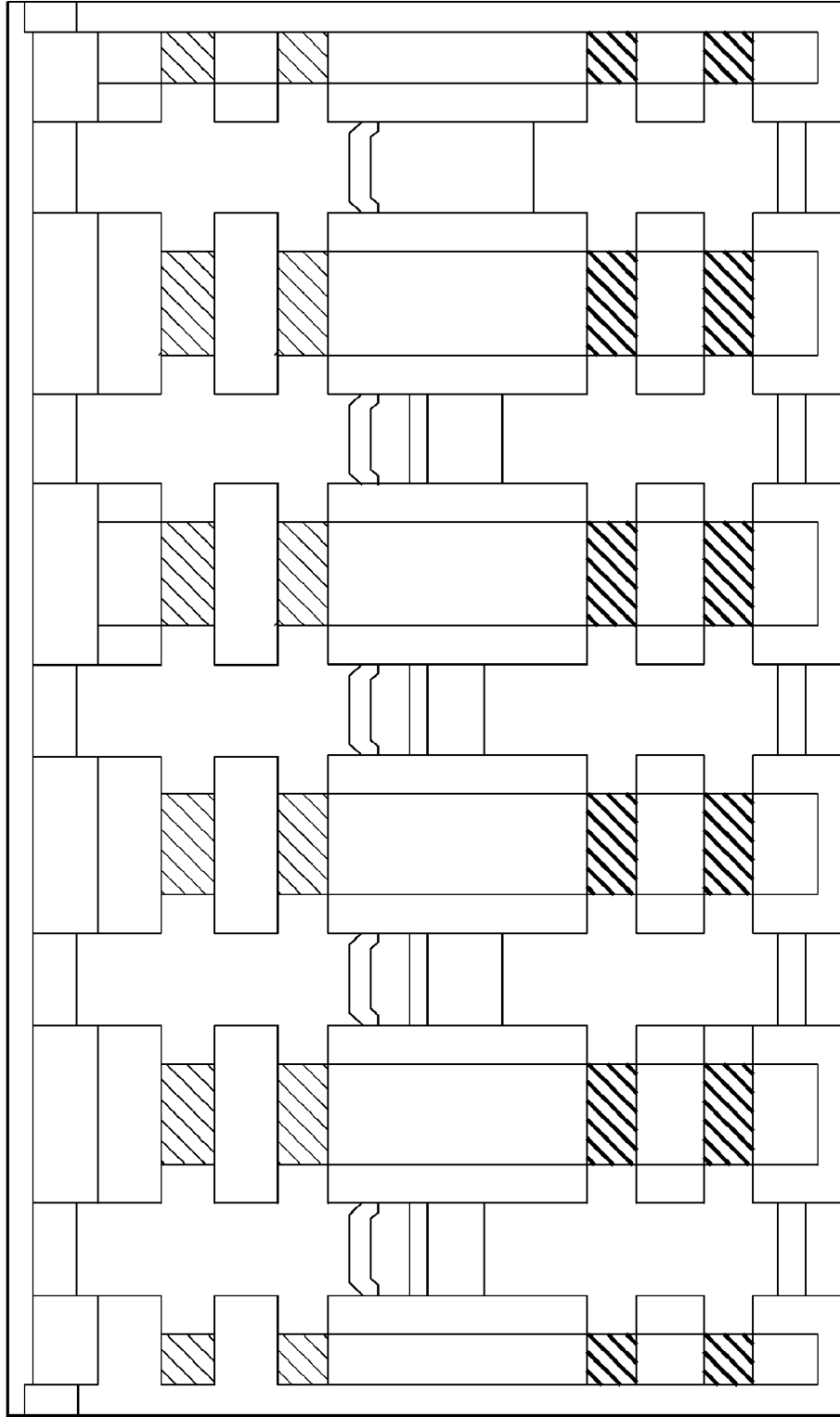
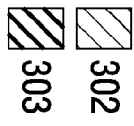


圖 12

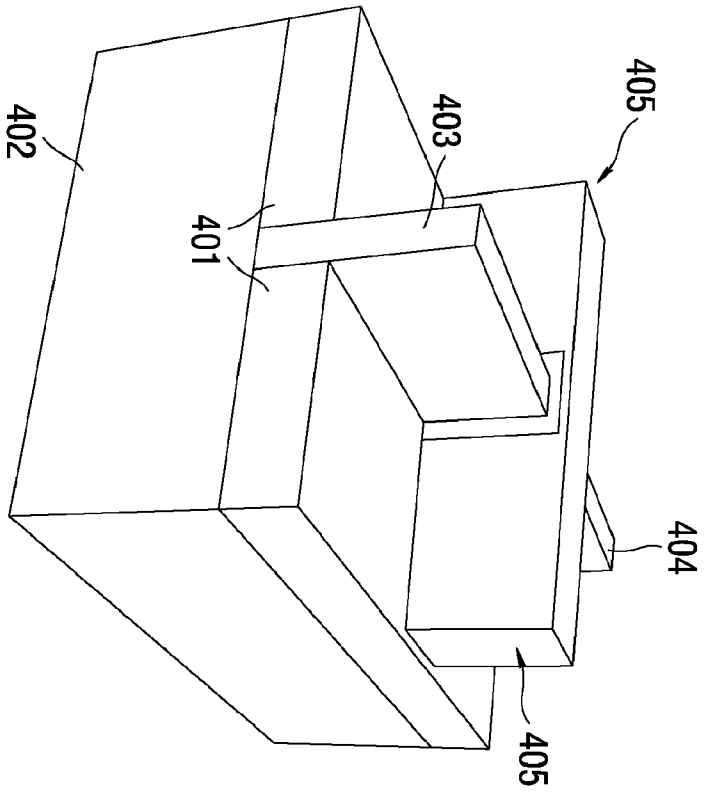


圖 13A

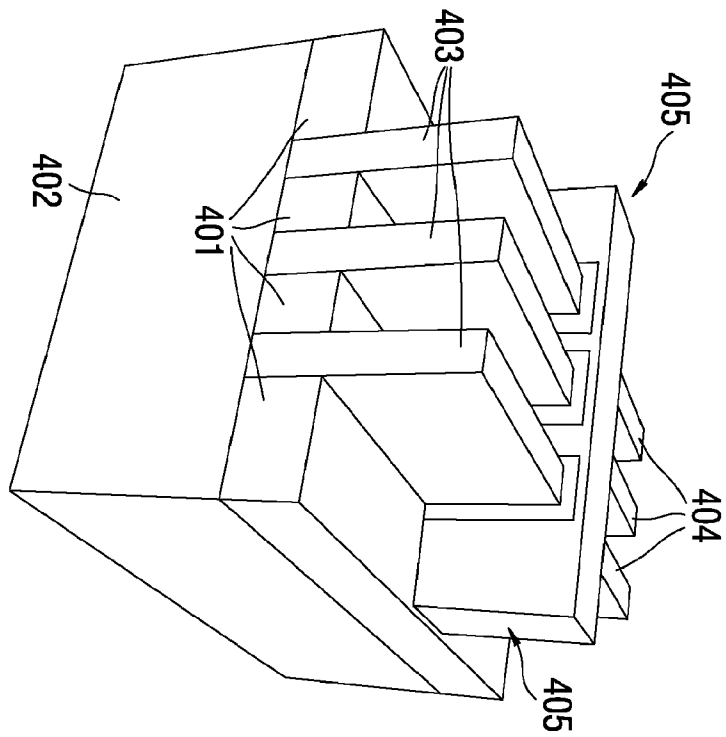


圖 13B

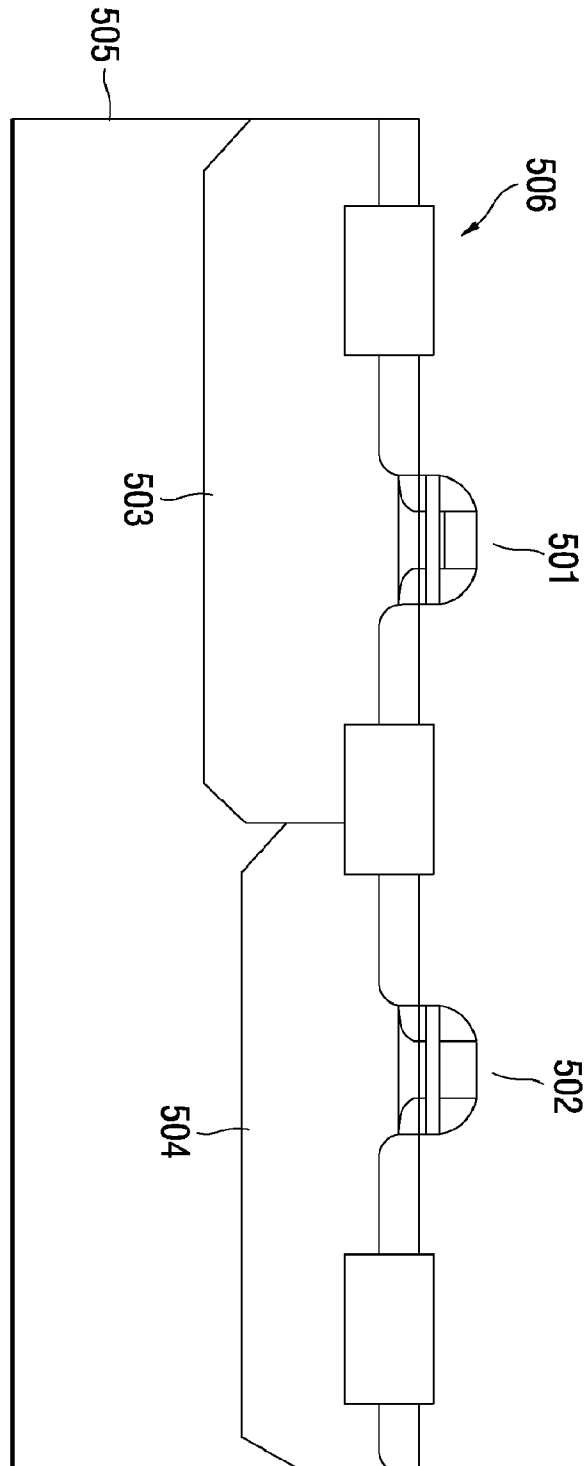


圖 14

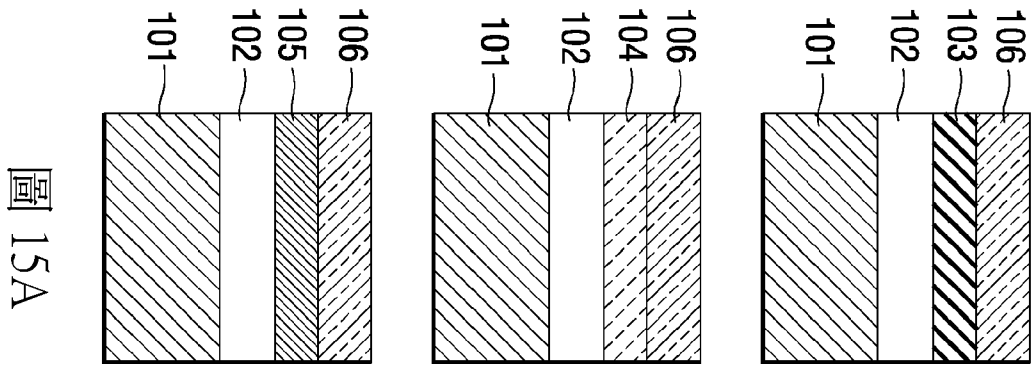


圖 15A

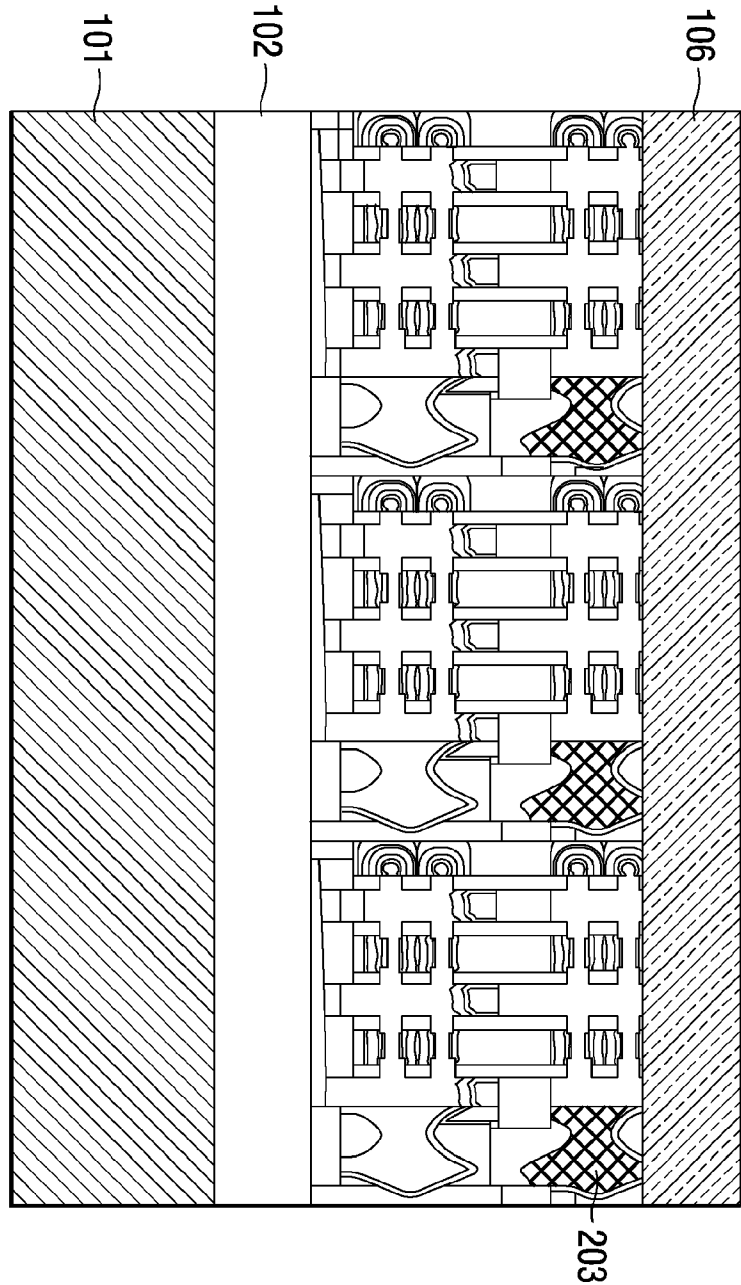


圖 15B

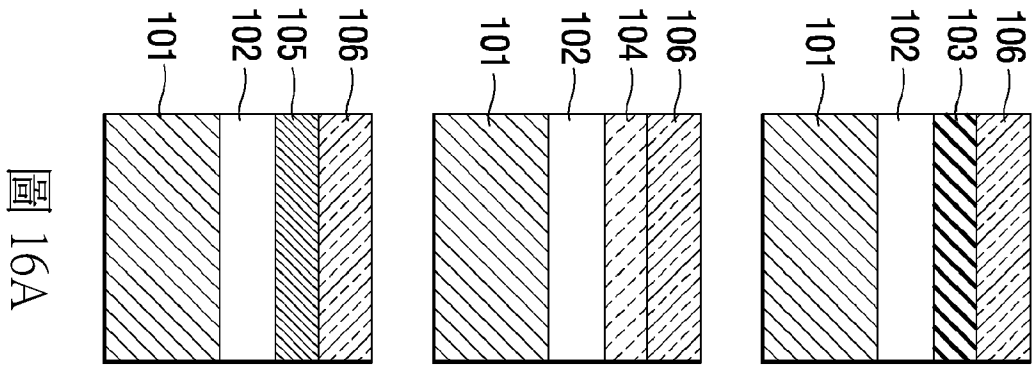


圖 16A

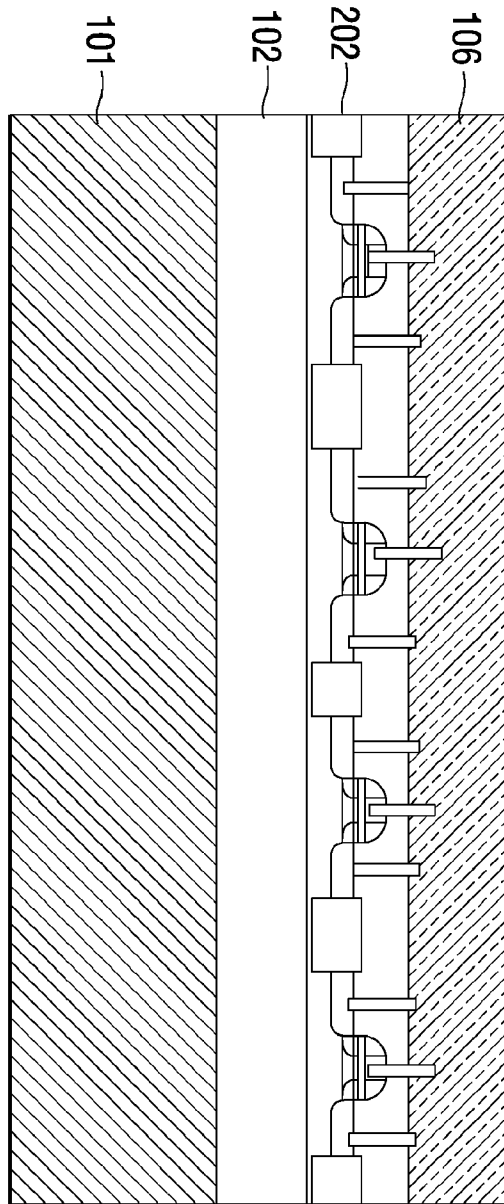
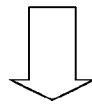


圖 16B

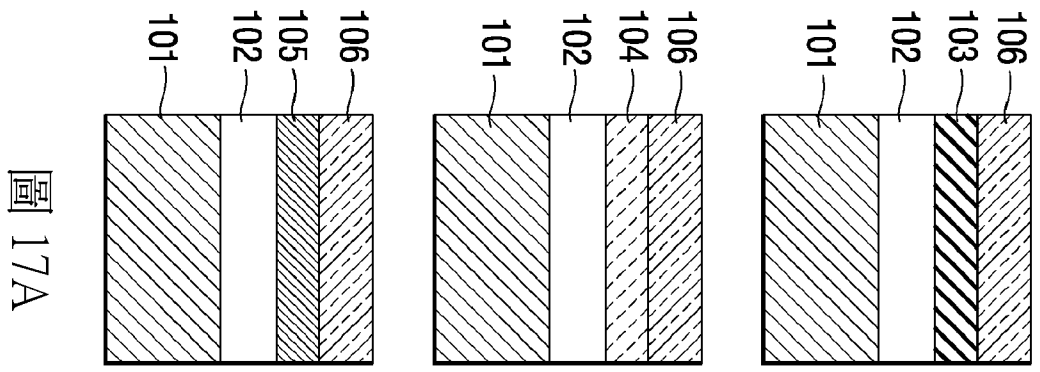


圖 17A

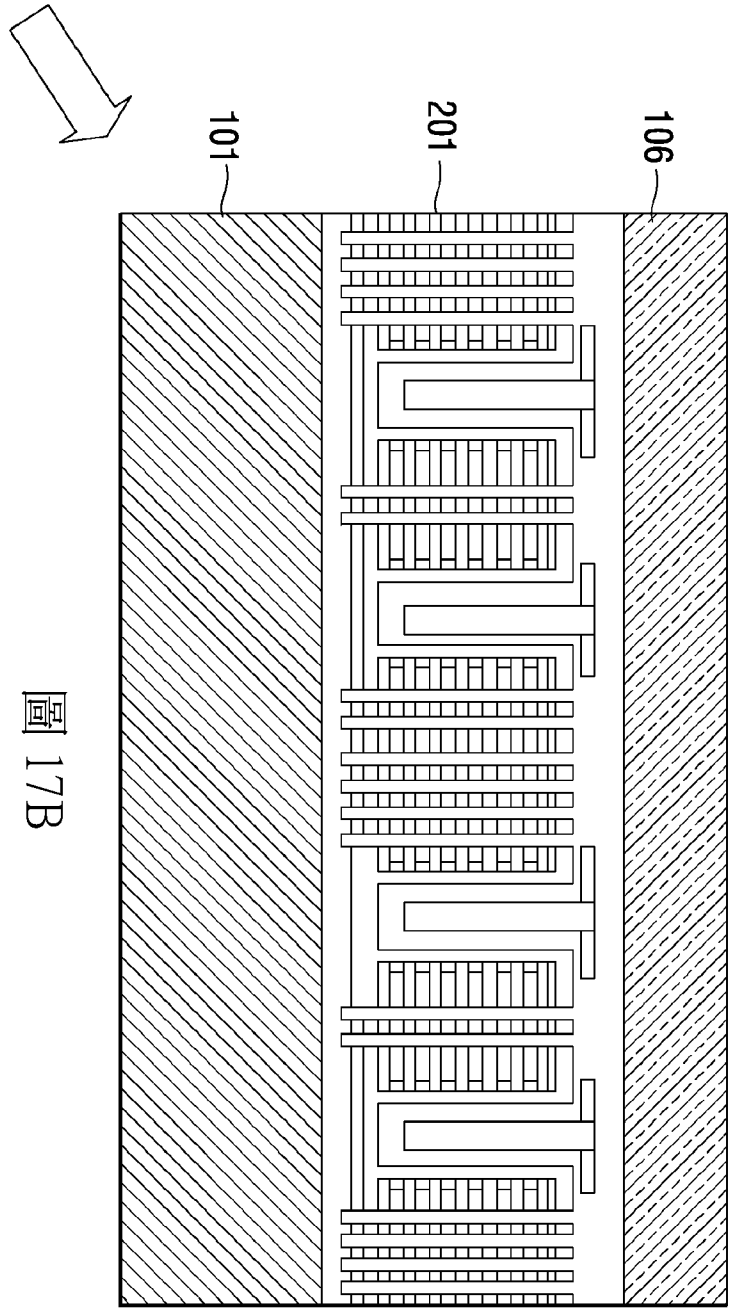
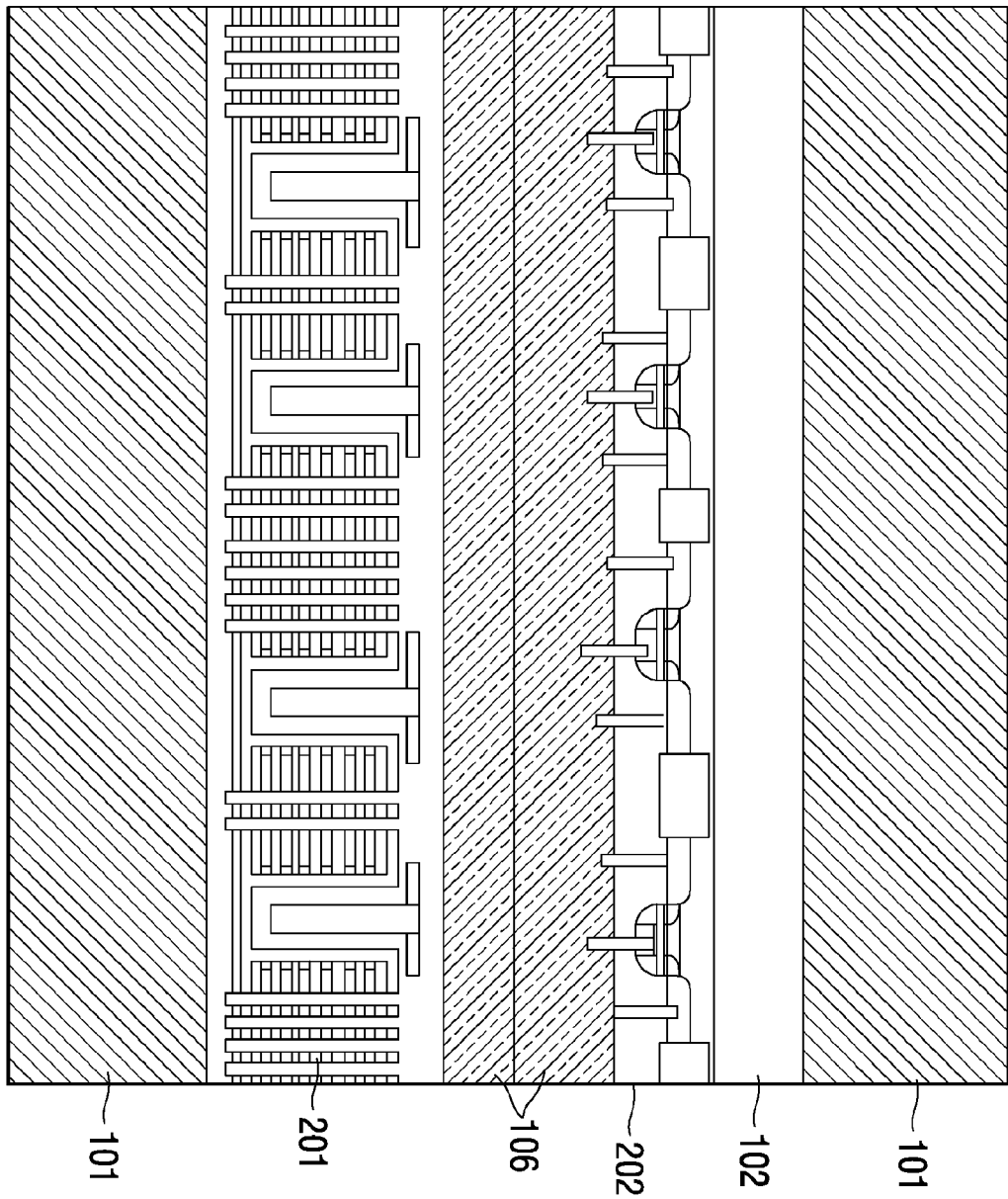


圖 17B

圖 18



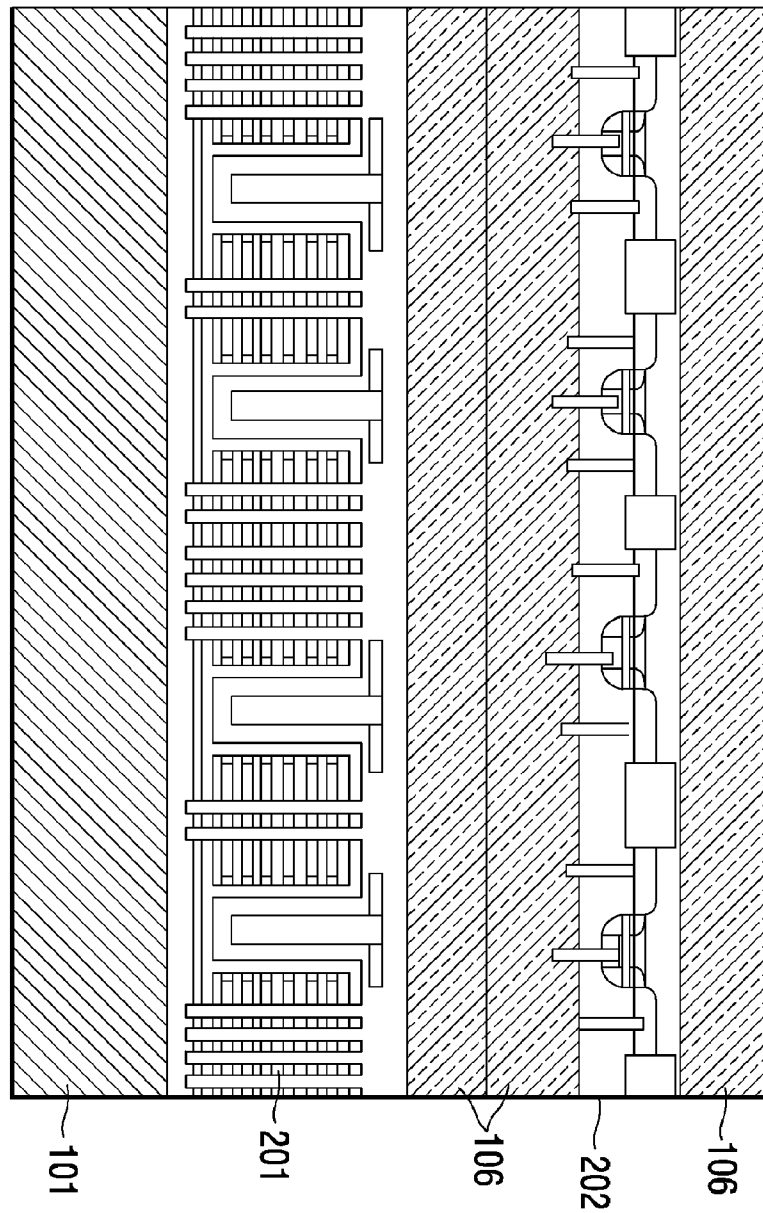


圖 19

圖 20

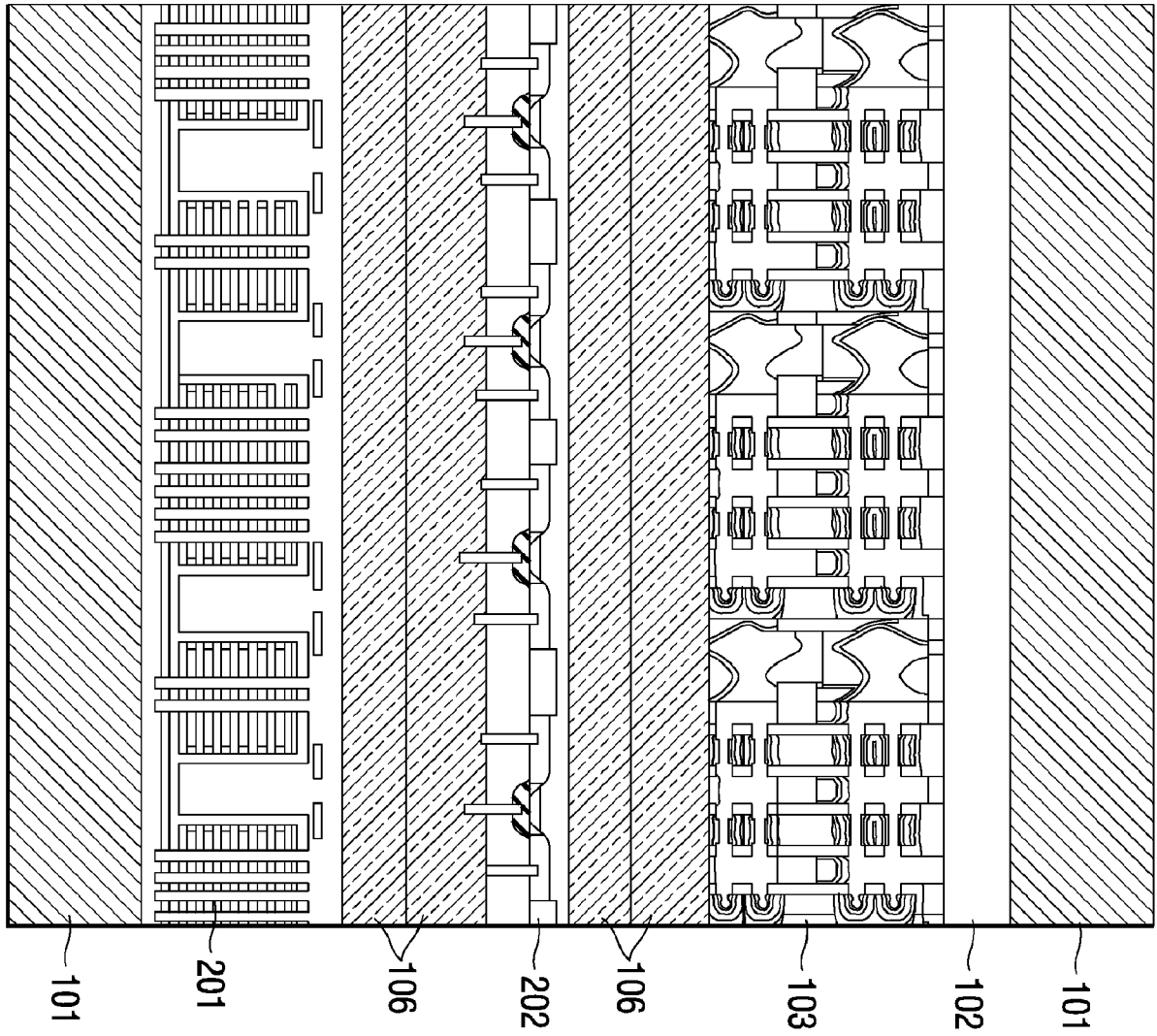
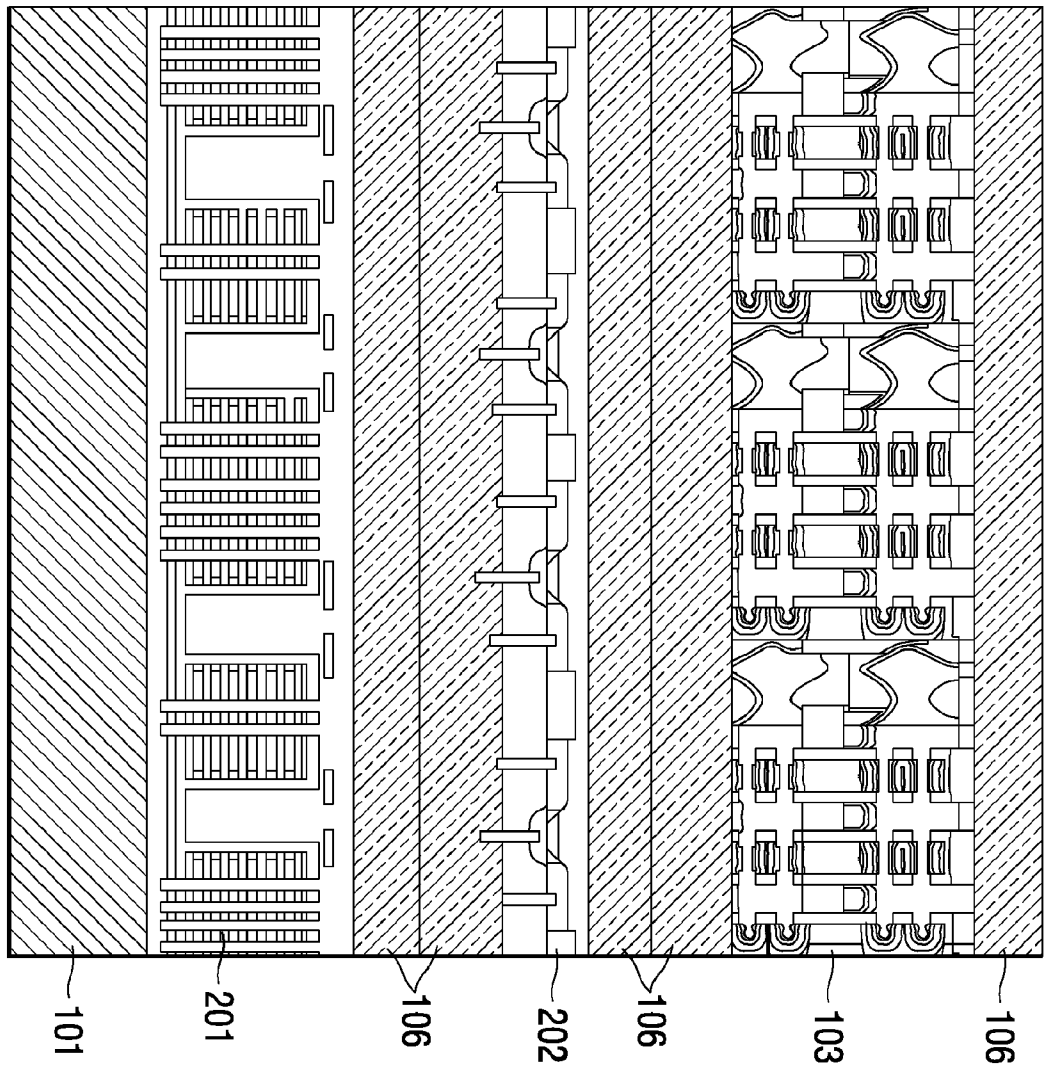


圖 21



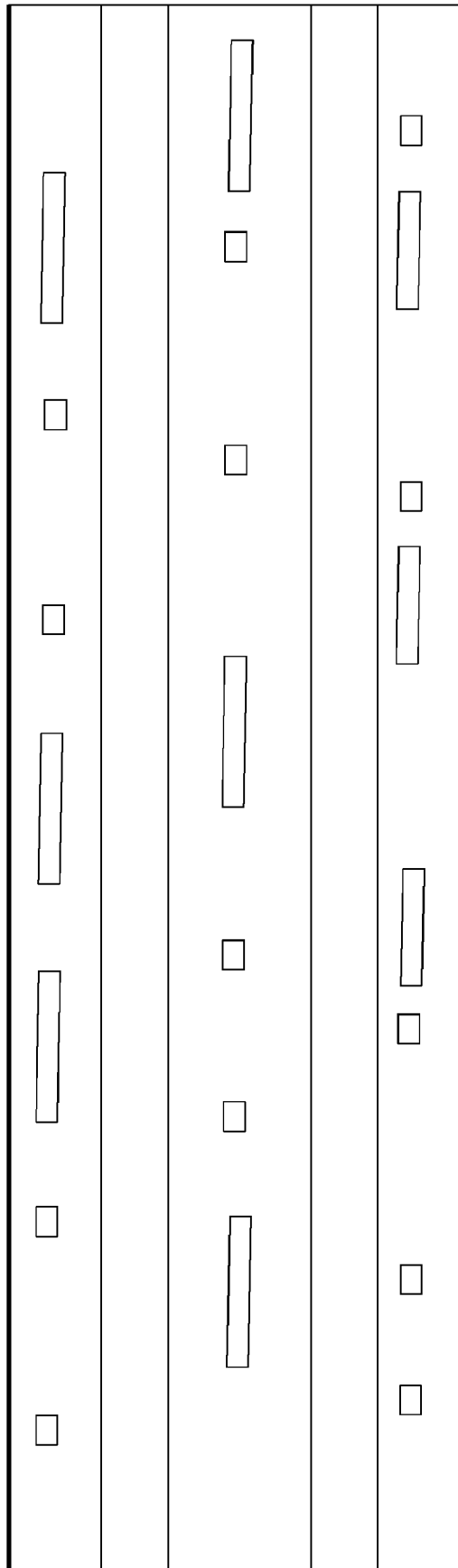


圖 22