(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 27/108

(11) 공개번호 10-2004-0027269
(43) 공개일자 2004년04월01일

(21) 출원번호 10-2003-0016314
(22) 출원일자 2003년03월15일

(30) 우선권주장 JP-P-2002-00280238 2002년09월26일 일본(JP)

(71) 출원인 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 시라따께시게루
일본도꾜도지요다꾸마루노우찌2쪼메2-3미쓰비시덴키가부시키가이샤내

다께우찌마사히꼬
일본도꾜도지요다꾸마루노우찌2쪼메2-3미쓰비시덴키가부시키가이샤내

(74) 대리인 주성민
구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

게이트 전극과 컨택트 플러그 사이의 절연성을 유지하면서 컨택트 플러그와, 그것에 전기적으로 접속되는 불순물 영역 사이의 전기 저항을 저감하는 기술을 제공한다. 반도체 기판(1)상에 설치된 게이트 구조(60)의 측면에 측벽 절연막(17)을 형성하여 게이트 전극(50) 사이에 측벽 절연막(17)이 개재하도록 n형 불순물 영역(13a,13b) 상에 자기 정합적으로 에피택셜층(19a, 19b)을 형성한다. 에칭 저지막(20) 및 층간 절연막(21)을 이 순서로 전면에 형성한다. 에칭 저지막(20)을 에칭 스토퍼로 이용하여 층간 절연막(21)을 에칭하고, 계속해서 노출하고 있는 에칭 저지막(20)을 에칭한다. 이에 의해, 에피택셜층(19a, 19b)에 이르는 컨택트홀(30a, 30b)이 형성된다.

대표도

도 1

색인어

에피택셜층, 에칭 스토퍼, 층간 절연막, 컨택트 플러그, DRAM

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태1에 따른 반도체 장치의 구조를 도시하는 단면도.

도 2는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 3은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 4는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 5는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 6은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 7은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 8은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 9는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 10은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 11은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 12는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 13은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 14는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 15는 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 16은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 17은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도.

도 18은 본 발명의 실시 형태1에 따른 반도체 장치의 제조 방법을 공정순으 로 도시하는 단면도.

도 19는 본 발명의 실시 형태2에 따른 반도체 장치의 구조를 도시하는 단면도.

도 20은 본 발명의 실시 형태2에 따른 반도체 장치의 제조 공정의 일부를 도시하는 단면도.

도 21은 본 발명의 실시 형태3에 따른 반도체 장치의 구조를 도시하는 단면도.

도 22는 본 발명의 실시 형태3에 따른 반도체 장치의 제조 공정의 일부를 도시하는 단면도.

도 23은 본 발명의 실시 형태4에 따른 반도체 장치의 구조를 도시하는 단면도.

도 24는 본 발명의 실시 형태4에 따른 반도체 장치의 제조 공정의 일부를 도시하는 단면도.

도 25는 본 발명의 실시 형태4에 따른 반도체 장치의 변형예의 구조를 도시하는 단면도.

도 26은 본 발명의 실시 형태4에 따른 반도체 장치의 변형예의 제조 공정의 일부를 도시하는 단면도.

도 27은 본 발명의 실시 형태4에 따른 반도체 장치의 변형예의 구조를 도시하는 단면도.

도 28은 본 발명의 실시 형태4에 따른 반도체 장치의 변형예의 제조 공정의 일부를 도시하는 단면도.

도 29는 종래의 반도체 장치의 구조를 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

8 : p형 웰 영역

13a, 13b : n형 불순물 영역

17 : 측벽 절연막

19a, 19b : 에피택셜층

20 : 에칭 저지막

21 : 층간 절연막

22a, 22b : 컨택트 플러그

24a, 24b : n형 불순물 영역

30a, 30b : 컨택트홀

50 : 게이트 전극

60 : 게이트 구조

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 장치 및 그 제조 방법, 특히 선택 에피택셜 성장법을 이용한 자기 정합 컨택트 구조체를 갖는 반도체 장치 및 그 제조 방법에 관한 것이 다.

반도체 장치의 집적도의 증가와 함께 배선 폭이 가늘어져 배선간의 스페이스 폭도 점차로 작아지고 있다. 따라서, 배선간을 관통하는 컨택트홀을 형성하기 위해서는 그와 같은 상황 하에 있는 배선간의 스페이스 폭보다도 미세한 패턴이 필요해지고 있다.

배선간의 스페이스 폭이 0.25μm으로 설정되는 디자인 룰에서 요구되는 컨택트홀의 사이즈 C는 사진 제판 처리 공정의 정합정밀도(=α)와 치수 정밀도(=β)를 고려하면, $C \leq 0.25 - f(\alpha, \beta)\,\mu m$이 필요해져 있다. 그리고, 반도체 장치의 집적도의 증가에 수반하여 컨택트홀의 사이즈 C는 노광 장치의 광원의 파장으로 결정되는 미세화의 한계를 넘게 되어 있다. 또, $f(\alpha, \beta)$는 α 및 β을 변수로 하는 함수이다.

이러한 문제를 해결하기 위해서 0.25μm 룰의 반도체 장치가 제조될 때부터 자기 정합 컨택트 기술이 이용되게 되었다.

DRAM(Dynamic Random Access Memory)에서는 메모리 셀 어레이 내의 워드선 사이에 형성되는 비트 라인 컨택트 및 스토리지 노드 컨택트에 자기 정합 컨택트 기술이 이용되는 경우가 가장 많다. 이 경우에 중요한 것은 워드선과 전기적으로 단락하지 않고 메모리 셀 트랜지스터의 소스 · 드레인 영역과 비트선 및 스토리지 노드를 얼마나 저저항으로 접속하는가하는 것이다. 또, 「비트 라인 컨택트」란 비트선에 접속되는 컨택트 플러그이고 「스토리지 노드 컨택트」란 DRAM 캐패시터의 스토리지 노드에 접속되는 컨택트 플러그이다.

이하에 도 29를 참조하여, 자기 정합 컨택트 기술이 이용되는 종래의 반도체 장치의 제조 방법에 대하여 설명한다. 도 29는 종래의 반도체 장치의 구조를 도시하는 단면도이고 도 29에 도시하는 반도체 장치는 예를 들면 DRAM의 메모리 셀을 갖는 반도체 장치이고 도 29에서는 그 일부를 나타내고 있다.

도 29를 참조하여, 종래의 반도체 장치의 제조 방법에서는 우선 반도체 기판(101)의 주면 내에 예를 들면 실리콘 산화막으로 이루어지는 소자 분리 절연막(105)을 형성한다. 그리고, 소자 분리 절연막(105)에 의해 구분된 반도체 기판(101)의 주면 내에 p형 불순물 영역인 p형 웰 영역(108)을 형성한다.

다음에, 복수의 게이트 구조(160) 및 복수의 소스 · 드레인 영역(113a, 113b)을 형성한다. 게이트 구조(160)는 게이트 절연막(109), 워드선인 게이트 전극(150) 및 캡막(112)이 이 순서로 p형 웰 영역(108) 상에 적층된 구조를 이루고 있다. 그리고, 게이트 전극(150)은 폴리실리콘막(110), 도시하지 않은 버퍼막, 및 금속막(111)이 이 순서로 적층된 구조를 이루고 있다.

게이트 절연막(109)은 예를 들면 실리콘 산화막으로 이루어지고, 캡막(112)은 예를 들면 실리콘 질화막으로 이루어진다. 또한, 게이트 전극(150)의 버퍼막은 예를 들면 WSiN으로 이루어지고, 금속막(11)은 예를 들면 텅스텐(W)으로 이루어진다.

소스 · 드레인 영역(113a, 113b)은 각각 n형 불순물 영역이고, 상호 소정 거리를 이루어 p형 웰 영역(108)의 상면 내에 형성된다. 구체적으로는 각 소스 · 드레인 영역(113a, 113b)은 상호 인접하는 게이트 구조(160)에 끼워진 p형 웰 영역(108)의 상면 내에 형성된다.

다음에 게이트 구조(160)의 측면상에 예를 들면 실리콘 질화막으로 이루어지는 측벽 절연막(117)을 형성한다. 그리고, 선택 에피택셜 성장법을 이용하여 소스 · 드레인 영역(113a, 113b) 상에 각각 에피택셜층(119a, 119b)을 자기 정합적으로 형성한다.

다음에, 에피택셜층(119a, 119b)의 상면에만 도시하지 않은 실리사이드층을 형성한다. 구체적으로는, 우선 전면에 티탄(Ti)막을 스퍼터법에 의해 형성하고, 계속해서 열 처리를 행한다. 이에 의해, 실리콘과 Ti가 반응하여 실리사이드화가 행해진다. 그리고, 미반응의 티탄막을 제거함으로써 에피택셜층(119a, 119b)의 상면에만 실리사이드층이 형성된다.

다음에, 게이트 구조(160) 사이의 스페이스를 충전하면서 전면에 층간 절연막(121)을 형성하고, 그 후, 층간 절연막(121)의 상면을 평탄화한다. 층간 절연막(121)은 예를 들면, 붕소 및 인등의 불순물을 포함하는 실리콘 산화막으로 이루어진다. 그리고, 소정의 개구 패턴을 갖는 레지스트를 층간 절연막(121)상에 형성하여 층간 절연막(121)을 선택적으로 에칭한다. 이에 의해, 에피택셜층(119a) 상의 실리사이드층에 이르는 컨택트홀(130a)과, 에피택셜층(119b) 상의 실리사이드층에 이르는 컨택트홀(130b)이 형성된다. 또, 층간 절연막(121)을 에칭할 때에는 측벽 절연막(117) 및 게이트 구조(160)의 캡막(112)이 에칭 스토퍼로서 기능하기 때문에 게이트 전극(150)이 노출하지 않고 컨택트홀(130a, 130b)이 자기 정합적으로 형성된다.

다음에, 컨택트홀(130a)을 충전하는 컨택트 플러그(122a)와, 컨택트홀(130b)을 충전하는 컨택트 플러그(122b)를 형성한다. 각 컨택트 플러그(122a, 122b)는 예를 들면 폴리실리콘막으로 이루어진다. 그리고, 컨택트 플러그(122b)에 전기적으로 접속시켜 도시하지 않은 비트선을 설치한다. 이에 의해, 비트선과 소스 · 드레인 영역(113b)이 컨택트 플러그(122b) 및 에피택셜층(119b)을 개재하여 전기적으로 접속된다.

또한, 컨택트 플러그(122a)에 전기적으로 접속시켜 도시하지 않은 DRAM 캐패시터의 스토리지 노드를 설치한다. 이에 의해, 캐패시터의 스토리지 노드와 소스 · 드레인 영역(113a)이 컨택트 플러그(122a) 및 에피택셜층(119a)을 개재하여 전기적으로 접속된다. 그 후, 캐패시터의 유전체막 및 상부 전극을 설치한다.

또, 자기 정합 컨택트 기술이 이용되고 있는 반도체 장치에 관한 선행 기술 문헌 정보로서 특허 문헌1,2가 있다. 또한, 선택 에피택셜 성장법이 이용되고 있는 반도체 장치에 관한 선행 기술 문헌 정보로서 비특허 문헌1이 있다.

특허 문헌1

일본국 특허 공개 평성6년 37272호 공보

특허 문헌2

일본국 특허 공개 2001 44382호 공보

비특허 문헌1

마쯔하시 히데아키 외 3명, 「엘리베이티드 소스 · 드레인을 이용한 0.15μm 게이트 길이 S0I C0MS 트랜지스터의 개발」, 오키전기 연구 개발, 2000년 10월, 제184호, Vo1.67, No.3, pp. 61 64

발명이 이루고자 하는 기술적 과제

상술과 같은 구성을 이루는 종래의 반도체 장치에서는 컨택트홀(130a, 130b)을 형성할 때에 게이트 전극(150)의 측면이 노출하지 않기 때문에 측벽 절연막(117)에는 어느 정도 크기의 막 두께가 필요하기 때문에 측벽 절연막(117)의 박막화가 곤란하였다. 이 때문에, 워드선간, 즉 게이트 전극(150)간의 스페이스 폭이 작아짐에 따라 에피택셜층(119a)과 소스 · 드레인 영역(113a)의 접촉 면적이나, 에피택셜층(119b)과 소스 · 드레인 영역(113b)의 접촉 면적이 감소하여 컨택트 플러그(122a)와 소스 · 드레인 영역(113a)간의 전기 저항이나 컨택트 플러그(122b)와 소스 · 드레인 영역(113b)간의 전기 저항이 증가한다.

상술의 내용을 바꿔 말하면, 게이트 전극(150) 간의 스페이스 폭이 작아진 경우에도 컨택트 플러그(122a, 122b)와 소스 · 드레인 영역(113a, 113b)간의 전기 저항의 값을 유지하기 위해 측벽 절연막(117)의 막 두께를 얇게 하면 컨택트홀(130a, 130b)을 형성할 때의 사진 제판 공정에서의 정합 정밀도나 치수 정밀도에 오차가 생긴 경우에 게이트 전극(150)과 컨택트 플러그(122a, 122b)가 전기적으로 단락하여 기능 동작 불량의 발생이나, 번인으로 불량을 수속시키기 어렵다는 문제가 발생하는 일이 있었다.

특히, 게이트 전극(150)간의 스페이스가 현저하게 좁아지는 0.13μm의 설계기준 이하에서는 상술의 문제가 반도체 장치의 성능에 크게 영향을 준다.

또한, 0.13μm의 설계 기준 이하에서의 DRAM 에서는 메모리 셀 트랜지스터의 채널 폭이 축소되면 전류 구동 능력이 저하한다. 그 때문에, 메모리 셀에 안정된 동작을 하게 하기 위해서는 미세화됨에도 불구하고 컨택트 플러그와 소스 · 드레인 영역간의 전기 저항은 전 세대와 동등 혹은 그것 이하로 저저항화시킬 필요가 있다.

그래서 본 발명은 상술의 문제에 감안하여 이루어진 것으로, 게이트 전극과 컨택트 플러그간의 절연성을 유지하면서 컨택트 플러그와, 그것에 전기적으로 접속되는 불순물 영역 사이의 전기 저항을 저감하는 기술을 제공하는 것을 목적으로 한다.

본 발명의 반도체 장치의 제조 방법은, (a) 노출하고 있는 제1 불순물 영역을 주면 내에 가짐과 동시에 그 측방에 제1 절연막이 설치된 게이트 전극을 포함하는 게이트 구조를 상기 주면상에 갖는 반도체 기판을 준비하는 공정과, (b) 상기 게이트 전극 사이에 상기 제1 절연막이 개재하도록 상기 제1 불순물 영역상에 에피택셜층을 형성하는 공정과, (c) 상기 게이트 전극의 측방과 상기 에피택셜층의 상면 전체와 제2 절연막을 형성하는 공정과, (d) 상기 공정(c)의 실행에 의해 얻어진 구조의 상면상에 층간 절연막을 형으로 이루는 공정과, (e) 상기 제2 절연막을 에칭 스토퍼로 이용하여 상기 층간 절연막을 에칭하고, 상기 게이트 전극 사이에 상기 제2 절연막이 개재하고, 또한 상기 에피택셜층 상의 상기 제2 절연막에 이르는 제1 컨택트홀을 상기 층간 절연막에 형성하는 공정과, (f) 상기 공정(e)의 실행에 의해 노출한 상기 제2 절연막을 에칭하여 상기 에피택셜층에 이르는 제2 컨택트홀을 상기 제2 절연막에 형성하는 공정과, (g) 상기 제1, 2 컨택트홀을 충전하는 컨 택트 플러그를 형성하는 공정을 구비한다.

또한, 본 발명의 반도체 장치의 제조 방법은, 상기 공정(a)에서 준비되는 상기 반도체 기판은 상기 제1 불순물 영역과는 다른 도전형인 제2 불순물 영역을 상기 주면 내에 더 가지고, 상기 제1 불순물 영역은 상기 제2 불순물 영역 내에 설치되어 있고, (h) 상기 공정(f)의 후이고, 상기 공정(g)의 전에 상기 제1, 2 컨택트홀 및 상기 에피택셜층을 개재하여 상기 반도체 기판의 상기 주면 내에 불순물을 도입하고, 상기 제1 불순물 영역과 동일한 도전형이고 상기 제1 불순물 영역보다도 깊은 제3 불순물 영역을 상기 제2 불순물 영역의 상면 내에 형성하는 공정을 더 구비한다.

또한, 본 발명의 반도체 장치의 제조 방법은, (i) 상기 공정(f)의 후이고, 상기 공정(g) 전에 상기 공정(f)의 실행에 의해 노출한 상기 에피택셜층을 그 상면에서 부분적으로 제거하는 공정을 더 구비한다.

또한, 본 발명의 반도체 장치의 제조 방법은, 상기 공정(g)은, (g-1) 상기 제1, 2의 컨택트홀 내에 금속막을 형성하는 공정을 포함한다.

또한, 본 발명의 반도체 장치의 제조 방법은, 상기 공정(g)은, (g-2) 상기 공정(g-1)의 전에, 상기 에피택셜층의 상면상에, 배리어 메탈층을 형성하는 공정을 더욱 포함하여, 상기 공정(g-1)에 있어서, 상기 배리어 메탈층상에 상기 금속막을 형성한다.

또한, 본 발명의 반도체 장치는, 제1 불순물 영역을 주면 내에 갖는 반도체 기판과, 상기 제1의 불순물 영역상에 설치된 에피택셜층과, 상기 반도체 기판상에 설치되고, 게이트 전극을 갖는 게이트 구조와, 상기 게이트 전극과, 상기 에피택셜층 사이에 개재하는 제1 절연막과, 상기 에피택셜층의 상면상에 부분적으로 설치된 제2 절연막과, 상기 반도체 기판, 상기 에피택셜층, 상기 게이트 구조, 및 상기 제1, 2의 절연막을 덮는 층간 절연막과, 상기 게이트 전극 사이에 상기 제2의 절연막이 개재하여, 또한 상기 에피택셜층에 도달하며, 상기 층간 절연막 내에 설치된 콘택트홀과, 상기 콘택트홀내를 충전하는 컨택트 플러그를 구비한다.

또한, 본 발명의 반도체 장치는, 상기 반도체 기판은, 상기 제1의 불순물 영역과는 다른 도전형의 제2 불순물 영역을 상기 주면 내에 더욱 포함하고, 상기 제1의 불순물 영역은, 상기 제2의 불순물 영역 내에 설치되고 있고, 상기 에피택셜층과의 계면 부근의 불순물 농도보다도, 상기 제2의 불순물 영역과의 계면 부근의 불순물 농도가 낮다.

또한, 본 발명의 반도체 장치는, 상기 에피택셜층의 상면은, 상기 콘택트플러그에 접촉하고 있는 부분이, 상기 제2의 절연막에 접촉하고 있는 부분보다도 오목하다.

또한, 본 발명의 반도체 장치는, 상기 컨택트 플러그는 금속막을 포함한다.

또한, 본 발명의 반도체 장치는, 상기 컨택트 플러그는, 상기 에피택셜층의 상면상에 설치된 배리어 메탈층을 더욱 포함하여, 상기 금속막은 상기 배리어 메탈층의 위에 설치되어 있다.

발명의 구성 및 작용

<실시 형태1>

도 1은 본 발명의 실시 형태1에 따른 반도체 장치의 구조를 도시하는 단면도이다. 도 1에 도시하는 반도체 장치는 예를 들면 DRAM의 메모리 셀을 갖는 반도체 장치이고, 도 1에서는 그 일부를 나타내고 있다.

도 1에 도시한 바와 같이, 본 실시의 형태1에 따른 반도체 장치는 반도체 기판(1)과, 복수의 게이트 구조(60)와, 각 게이트 구조(60)의 측면상에 설치된 측벽 절연막(17)과, 에칭 저지막(20)과, 에피택셜층(19a, 19b)과, 층간 절연막(21)과, 컨택트홀(30a, 30b)과, 컨택트 플러그(22a, 22b)를 구비하고 있다.

반도체 기판(1)은 예를 들면 실리콘 기판으로 이루어져, 그 주면 내에 소자 분리 절연막(5), p형 웰 영역(8) 및 n형 불순물 영역(13a, 13b)을 갖고 있다. p형 웰 영역(8)은 p형 불순물 영역이고, 소자 분리 절연막(5)으로 구분된 반도체 기판(1)의 주면 내에 설치되어 있다. n형 불순물 영역(13a, 13b)은 상호 소정 거리를 이루어 각각 p형 웰 영역(8)의 상면 내에 설치되어 있다. 그리고, 각 n형 불순물 영역(13a, 13b)은 메모리 셀 트랜지스터의 소스 · 드레인 영역으로서 기능한다.

도 1 중의 게이트 구조(60)는 메모리 셀 트랜지스터의 게이트 구조이고, n형 불순물 영역(13a)과 n형 불순물 영역(13b) 사이에 있는 p형 웰 영역(8)상에 설치되어 있다. 아직 게이트 구조(60)는 게이트 절연막(9), 워드선으로서 기능하는 게이트 전극(50) 및 캡막(12)이 이 순서로 p형 웰 영역(8) 상에 적층된 구조를 이루고 있다. 그리고, 게이트 전극(50)은 n형의 불순물이 도입된 폴리실리콘막(10), 도시하지 않은 버퍼막, 및 금속막(11)이 이 순서로 적층된 구조를 이루고 있다. 또, 게이트 전극(50)의 폴리실리콘막(10) 측면에는 도시하지 않은 실리콘 산화막이 설치되어 있다.

게이트 절연막(9)은 예를 들면 실리콘 산화막으로 이루어지고 캡막(12)은 예를 들면 실리콘 질화막으로 이루어진다. 또한, 게이트 전극(50)의 버퍼막은 예를 들면 WSiN으로 이루어지고, 금속막(11)은 예를 들면 텅스텐(W)으로 이루어진다.

측벽 절연막(17)은 예를 들면 실리콘 질화막으로 이루어지고, 각 게이트 구조(60)에서의 게이트 전극(50) 및 캡막(12)의 측면상에 설치되어 있다. 또한 측벽 절연막(17)은 게이트 절연막(9)을 개재하여 n형 불순물 영역(13a, 13b) 상에도 설치되어 있다.

에피택셜층(19a)은 n형 불순물 영역(13a)의 상면상에 설치되고, 또한 각각이 n형 불순물 영역(13a)의 상측에 위치하면서 상호 대면하는 측벽 절연막(17) 상에 부분적으로 설치되어 있다. 그 때문에, n형 불순물 영역(13a)의 상측에 위치하는 측벽 절연막(17)은 에피택셜층(19a)과 게이트 전극(50) 사이에 개재하고 있다.

에피택셜층(19b)은 n형 불순물 영역(13b)의 상면상에 설치되고, 또한 각각이 n형 불순물 영역(13b)의 상측에 위치하면서 상호 대면하는 측벽 절연막(17) 상에 부분적으로 설치되어 있다. 그 때문에, n형 불순물 영역(13b)의 상측에 위치하는 측벽 절연막(17)은 에피택셜층(19b)과 게이트 전극(50) 사이에 개재하고 있다. 또, 각 에피택셜층(19a, 19b)은 선택 에피택셜 성장법에 의해 형성된다.

에칭 저지막(20)은 예를 들면 실리콘 질화막으로 이루어지고, 측벽 절연막(17) 및 캡막(12)의 위에 설치되고, 또한 에피택셜층(19a, 19b) 상에 부분적 으로 설치되어 있다.

층간 절연막(21)은 예를 들면 인이나 붕소 등의 불순물을 포함한 실리콘 산화막으로 이루어져, 게이트 구조(60) 사이의 스페이스를 충전하면서 반도체 기판(1), 에피택셜층(19a, 19b), 게이트 구조(60), 측벽 절연막(17) 및 에칭 저지막

(20)을 덮고 있다.

각 컨택트홀(30a, 30b)은 층간 절연막(21) 및 에칭 저지막(20) 내에 설치되어 있다. 컨택트홀(30a)은 에피택셜층(19a)에 달하고 있고, 게이트 전극(50) 사이에 에칭 저지막(20) 및 측벽 절연막(17)이 개재하고 있다. 또 컨택트홀(30b)은 에피택셜층(19b)에 이르고 있고, 게이트 전극(50) 사이에 에칭 저지막(20) 및 측벽 절연막(17)이 개재하고 있다.

각 컨택트 플러그(22a, 22b)는 예를 들면 n형 불순물이 도핑된 폴리실리콘막으로 이루어진다. 그리고, 컨택트 플러그(22a, 22b)는 각각 컨택트홀(30a, 30b)을 충전하고 있다.

또, 도 1에서는 도시하지 않지만, 본 실시 형태1에 따른 반도체 장치에는, 컨택트 플러그(22b)에 전기적으로 접속된 비트선이 설치되어 있고, 이러한 비트선과 n형 불순물 영역(13b)이 컨택트 플러그(22b) 및 에피택셜층(19b)을 개재하여 전기적으로 접속되어 있다.

또한, 비트선과 같이 도 1에서는 도시하지 않지만, 본 실시 형태1에 따른 반도체 장치에는 메모리 셀의 캐패시터가 설치되어 있다. 캐패시터의 스토리지 노드는 컨택트 플러그(22a)에 전기적으로 접속되어 있고, 스토리지 노드와 n형 불순물 영역(13a)이 컨택트 플러그(22a) 및 에피택셜층(19a)을 개재하여 전기적으로 접속되어 있다.

다음에, 도 1에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다. 도 2 18은 도 1에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 단면도이다. 또, 상술의 도 1에 도시하는 반도체 장치는 도 18에 도시하는 구조 중, DRAM의 메모리 셀이 형성되어 있는 부분을 확대하여 나타내고 있다.

우선 도 2에 도시한 바와 같이, 반도체 기판(1) 상에 막 두께 15nm의 버퍼 절연막(4)을 형성한다. 이러한 버퍼 절연막(4)은 예를 들면 반도체 기판(1)의 표면을 웨트 산화함으로써 형성할 수 있다.

다음에, 예를 들면 CVD(Chemical Vapor Deposition)법에 의해 막 두께 1O0nm의 실리콘 질화막(2)을 버퍼 절연막(4) 상에 형성한다. 그리고, 도시하지 않은 포토레지스트를 실리콘 질화막(2)상에 형성하고, 이러한 포토레지스트에 사진 제판 처리에 의해 소정의 개구 패턴을 형성한다. 이 소정의 개구 패턴을 갖는 포토레지스트를 마스크로 이용하여 실리콘 질화막(2) 및 버퍼 절연막(4)으로 이루어지는 적층막을 드라이 에칭법에 의해 이방성 에칭하여 실리콘 질화막(2) 및 버퍼 절연막(4)을 부분적으로 제거한다. 그 후, 포토레지스트를 제거한다.

다음에, 실리콘 질화막(2) 및 버퍼 절연막(4)으로 이루어지는 적층막을 마스크로 이용하여 드라이 에칭법에 의해 반도체 기판(1)을 두께 방향으로 250nm 이방성 에칭한다. 이에 의해, 반도체 기판(1)에 얕은 트렌치(3)가 형성된다. 그리고, 얕은 트렌치(3)의 표면을 열 산화하여 얕은 트렌치(3)를 형성했을 때 발생한 손상 을 제거한다.

다음에 도 3에 도시한 바와 같이, 얕은 트렌치(3)를 충전하면서 반도체 기판(1) 및 실리콘 질화막(2)의 위에 실리콘 산화막(45)을 형성한다. 또, 실리콘 산화막(45)의 얕은 트렌치(3)로의 매립 공정은 단차 피복성이 우수한 방법에 의해 행해지는 것이 바람직하다. 이러한 방법으로서 HDP(고밀도 플라즈마)를 이용한 CVD법이 좋다.

다음에 도 4에 도시한 바와 같이, CMP 법을 이용하여, 실리콘 산화막(45)을 그 상면에서 연마한다. 이 때, 실리콘 질화막(2)은 연마 시의 스토퍼로서 기능한다. 이에 의해, 얕은 트렌치(3)를 충전하여 실리콘 산화막으로 이루어지는 소자 분리 절연막(5)이 완성함과 동시에 가공 도중 구조체의 상면은 평탄화된다. 연마 후, 예를 들면 아르곤(Ar) 분위기 속에서 열 처리를 행하여 소자 분리 절연막(5)을 소결한다.

다음에 도 5에 도시한 바와 같이, 소자 분리 절연막(5)의 상면과, 버퍼 절연막(4)의 상면이 거의 동일 평면상에 위치하도록, 소자 분리 절연막(5)을 일부 제거한다. 계속해서 실리콘 질화막(2)을 제거하여 버퍼 절연막(4)을 노출시킨다. 그리고, 반도체 기판(1)의 상측, 구체적으로는 버퍼 절연막(4) 및 소자 분리 절연막(5)의 위에 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 형성한다. 그리고, 이러한 포토레지스트를 마스크로 이용하여 이온 주입을 행하여, 반도체 기판(1)의 주면 내에 n형의 불순물을 도입한다. 이에 의해, 도 6에 도시한 바와 같이, 소자 분리 절연막(5)으로 구분된 반도체 기판(1)의 주면 내에, n형 불순 물 영역인 n형 웰 영역(7)이 형성된다. 또, 이 n형 웰 영역(7)에는 예를 들면 로직 회로의 p형 M0S 트랜지스터가 형성된다. 또한, 이 이온 주입 공정을 필요에 따라서 적절하게 행하여 설계와 같아지도록 트랜지스터의 임계값 전압을 조정한다.

다음에, n형 웰 영역(7)을 형성할 때에 이용한 포토레지스트를 제거하여 반도체 기판(1)의 상측, 구체적으로는 버퍼 절연막(4) 및 소자 분리 절연막(5)의 위에 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 형성한다. 그리고, 이러한 포토레지스트를 마스크로 이용하여 이온 주입을 행하여 반도체 기판(1)의 주면 내에 p형의 불순물을 도입한다. 이에 의해, 도 7에 도시한 바와 같이, 소자 분리 절연막(5)으로 구분된 반도체 기판(1)의 주면 내에 p형 불순물 영역인 p형 웰 영역(8)이 형성된다. 여기서 도 7에서는, 2개의 p형 웰 영역(8)을 나타내고 있지만, 한쪽의 p형 웰 영역(8)에는 DRAM의 메모리 셀 트랜지스터로서 기능하는 n형 MOS 트랜지스터가 형성되어, 다른 쪽의 웰 영역(8)에는 예

를 들면 로직 회로의 n형 M0S 트랜지스터가 형성된다. 또한, 이 이온 주입 공정을 필요에 따라 적절하게 행하여 설계와 같아지도록 트랜지스터의 임계값 전압을 조정한다. 또, DRAM의 메모리 셀 트랜지스터가 형성되는 p형 웰 영역(8)을 「메모리 셀용 웰 영역(8)」, 로직 회로의 n형 MOS 트랜지스터가 형성되는 p형 웰 영역(8)을 「로직용 웰 영역(8)」이라 부른다.

다음에 도 8에 도시한 바와 같이, 반도체 기판(1) 상의 버퍼 절연막(4)을 제거하여 재차 노출된 반도체 기판(1)의 표면을 열 산화한다. 이에 의해, 게이트 절연막(9)이 반도체 기판(1)상에 형성된다. 그리고, 소자 분리 절연막(5) 및 게이트 절연막(9)의 위에 막 두께 50nm이고, n형 불순물이 도입된 폴리실리콘막(10)을 예를 들면 CVD법에 의해 형성한다.

다음에, 폴리실리콘막(10) 상에 예를 들면 스퍼터법에 의해 막 두께 5nm의 버퍼층(도시하지 않음)을 형성한다. 그리고, 버퍼층상에 예를 들면 스퍼터법에 의해 막 두께 50nm의 금속막(11)을 형성한다. 여기서, 폴리실리콘막(10)상에 직접 금속막(11)을 형성한 경우에는 폴리실리콘막(10)과 금속막(11)이 반응하여 그 동안에 비교적 저항이 높은 텅스텐 실리사이드막이 형성된다. 본 실시 형태에서는, 그것을 방지하기 위해 폴리실리콘막(10)과 금속막(11) 사이에 버퍼층을 설치하고 있다.

다음에 금속막(11)상에 예를 들면 CVD법에 의해, 막 두께 180nm의 캡막(12)을 형성한다. 그리고, 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 캡막(12)상에 형성하여, 이러한 포토레지스트를 마스크로 이용하여, 캡막(12), 금속막(11), 버퍼층 및 폴리실리콘막(10)을 에칭하여 패터닝한다. 이에 의해, 도 9에 도시한 바와 같이, 폴리실리콘막(10), 버퍼층 및 금속막(11)으로 이루어지는 폴리 메탈 구조의 게이트 전극(50)과, 이러한 게이트 전극(50)상에 설치된 캡막(12)과, 게이트 절연막(9)으로 이루어지는 게이트 구조(60)가 메모리 셀용 웰 영역(8)상에 복수 형성된다. 즉, 메모리셀 트랜지스터의 게이트 구조(60)가 메모리셀용 웰 영역(8)상에 복수 형성된다. 동시에, 로직용 웰 영역(8)상과 n형 웰 영역(7)상에 게이트 구조(60)가 형성된다. 또 본 실시의 형태에서는 상호 인접하는 메모리 셀 트랜지스터의 게이트 구조(60)에 있어서 한쪽 게이트 구조(60)에서의 게이트 전 극(50)의 측면과, 이러한 게이트 전극(50)의 측면과 대면하는 다른 쪽의 게이트 구조(60)에서의 게이트 전극(50)의 측면과의 거리(이후, 단순히 「게이트 전극(50) 간의 거리」라 한다)는 예를 들면 150nm로 설정된다.

다음에, 금속막(11) 및 버퍼층을 산화하지 않고, 폴리실리콘막(10)의 측면에 선택적으로 실리콘 산화막(도시하지 않음)을 형성한다. 이 실리콘 산화막은 H_2/H_2O 분위기 속에서 텅스텐을 환원하면서 폴리실리콘막(10)을 선택적으로 산화함으로써 형성할 수 있다. 또한, 이 실리콘 산화막을 폴리실리콘막(10)에 형성함으로써 폴리실리콘막(10)을 에칭했을 때에 야기된 손상을 제거할 수 있고, 또한 M0S 트랜지스터에서의 전계 집중의 완화를 도모할 수 있다.

다음에, 게이트 전극(50) 및 소자 분리 절연막(5)을 마스크로 이용하여 포토레지스트를 형성하지 않고 반도체 기판(1)에 이온 주입을 행하여 반도체 기판(1)의 주면 내에 n형의 불순물을 도입한다. 이에 의해, 도 9에 도시한 바와 같이, 메모리셀용 웰 영역(8)의 상면 내에 얕고 비교적 저농도의 n형 불순물 영역(13a, 13b)이 상호 소정 거리를 이루어 형성된다. 동시에, 로직용 웰 영역(8)의 상면 내에 얕고 비교적 저농도의 복수의 n형 불순물 영역(13d)이 상호 소정 거리를 이뤄 형성되어 n형 웰 영역(7)의 상면 내에 얕고 비교적 저농도의 복수의 n형 불순물 영역(13c)이 상호 소정 거리를 이루고 형성된다. 이들의 n형 불순물 영역(13a 13d)은 예를 들면 가속 에너지 10keV, 도우즈량 $2\times10^{13}\ cm^{-2}$ 로 인(P) 이온을 주입함으로써 얻어진다.

다음에 도 10에 도시한 바와 같이, 전면에, 예를 들면 CVD법에 의해, 막 두께 15nm의 실리콘 질화막(14)을 형성한다. 이 후, 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 실리콘 질화막(14) 상에 형성하여 이러한 포토레지스트를 마스크로 이용하여 이온 주입을 행하여 반도체 기판(1)의 주면 내에 n형의 불순물을 도입한다. 이에 의해, 도 11에 도시한 바와 같이, 로직용 웰 영역(8)의 상면 내에 깊고 비교적 고농도의 n형 불순물 영역(15)이 형성된다. 이 n형 불순물 영역(15)은 예를 들면 가속 에너지 55keV, 도우즈량 $4\times10^{15}\ cm^{-2}$ 로 비소(As) 이온을 주입함으로써 얻어진다. 이 경우의 이온 주입에서는 이온은 실리콘 질화막(14)을 관통하여 반도체 기판(1)에 주입된다.

다음에, n형 불순물 영역(15)을 형성할 때에 이용한 포토레지스트를 제거하여 소정의 개구 패턴을 갖는 새로운 포토레지스트(도시하지 않음)를 실리콘 질화막(14) 상에 형성하고 이러한 포토레지스트를 마스크에 이용하여 이온 주입을 행하여 반도체 기판(1)의 주면 내에 p형의 불순물을 도입한다. 이에 의해, 도 11에 도시한 바와 같이, n형 웰 영역(7)의 상면 내에 깊고 비교적 고농도의 p형 불순물 영역(16)이 형성된다. 이 p형 불순물 영역(16)은 예를 들면 가속 에너지 40keV, 도우즈량 $4\times10^{15}\ cm^{-2}$ 로 붕소(BF_2) 이온을 주입함으로써 얻어진다. 이 경우의 이온 주입에서도 이온은 실리콘 질화막(14)을 관통하여 반도체 기판(1)에 주입된다.

다음에 질소 분위기 속에서, 램프 어닐링법을 이용하여, 예를 들면 900℃에 서 10초간 열 처리를 행하여 n형 불순물 영역(15, 16) 중의 불순물을 전기적으로 활성화한다. 이에 의해, 로직용 웰 영역(8)의 상면 내에 n형 불순물 영역(13d, 15)으로 이루어지는 소스 · 드레인 영역을 완성한다. 또한, n형 불순물 영역(13c)은 p형 불순물 영역(16)에서 보상되어 n형 웰 영역(7)의 상면 내에 p형의 소스 · 드레인 영역을 완성한다.

다음에, 사진 제판 기술을 이용하여 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 실리콘 질화막(14)상에 형성하여 이러한 포토레지스트를 마스크로 이용하여 실리콘 질화막(14)을 이방성 에칭한다. 이에 의해, 메모리셀용 웰 영역(8) 상의 게이트 구조(60)의 측방, 구체적으로는 이러한 게이트 구조(60)의 캡막(12) 및 게이트 전극(50)의 측면에 실리콘 질화막으로 이루어지는 측벽 절연막(17)이 형성된다. 이 측벽 절연막(17)을 형성하는 경우에는 이방성 에칭으로 게이트 절연막(9)까지도 제거해도 좋지만 게이트 절연막(9)에 대하여 선택비가 높은 이방성 에칭 방법을 이용하여, 도 11에 도시한 바와 같이, 실리콘 질화막(14)만을 제거함으로써 반도체 기판(1)에 에칭의 손상이 남지 않도록 하는 쪽이 바람직하다.

다음에 도 12에 도시한 바와 같이, 예를 들면 희불산(DHF)으로 n형 불순물 영역(13a, 13b) 상의 게이트 절연막(9)을 제거하여 반도체 기판(1)을 부분적으로 노출시킨다. 그리고, 도 13에 도시한 바와 같이, 선택 에피택셜 성장법에 의해 n형 불순물 영역(13a, 13b)의 위에 각각 에피택셜층(19a, 19b)을 형성한다. 본 실시 형태에서는 이 때의 에피택셜 성장을 등방적으로 진행시키기 때문에 에피택셜층(19a, 19b)이 자기 정합적으로 형성된다. 이에 의해, 게이트 전극(50) 사이에 측벽 절연막(17)이 개재하도록 n형 불순물 영역(13a, 13b)의 위에 각각 에피택셜층(19a, 19b)이 형성된다. 이 에피택셜층(19a, 19b)의 각각은 예를 들면 LPCVD(감압 CVD)법을 이용하여 막 두께 40nm로 형성된다.

이러한 에피택셜 성장 공정은 온도 680 850℃, 압력 40 6666Pa에서 행해지고, 유량 1×10 $^{-4}$ 8×10 $^{-4}$ m ^{3} / min의 디크로실란(DCS)과 유량 40 400L/min의 염화수소(HCl)를 이용하여 행해진다. 또, 에피택셜 성장의 전 처리로서 유량 1 10L/min의 수소(H_2) 가스를 사용한다. 또한, 워드선이 연장하고 있는 방향, 즉 게이트 전극(50)이 연장하고 있는 방향에서 상호 인접하는 에피택셜층(19a)이 상호 전기적으로 절연되도록 에피택셜층(19a)의 치수는 제어되고 있다. 마찬가지로, 게이트 전극(50)이 연장하고 있는 방향에서 상호 인접하는 에피택셜층(19b)이 상호 전기적으로 절연되도록 에피택셜층(19b)의 치수는 제어되어 있다. 또 도 13은 게이트 전극(50)이 연장하고 있는 방향에 대하여 수직인 방향에서의 단면도이다.

다음에 도 14에 도시한 바와 같이, 예를 들면 CVD법으로 막 두께 20nm의 실리콘 질화막으로 이루어지는 에칭 저지막(20)을 전면에 형성한다. 이에 의해, 게이트 전극(50)의 측방과 에피택셜층(19a, 19b)의 상면 전체와 에칭 저지막(20)이 형성된다.

다음에 예를 들면 CVD법으로 인이나 붕소 등의 불순물이 도핑된 막 두께 800nm의 실리콘 산화막을 에칭 저지막(20)상에 퇴적한다. 이 실리콘 산화막은 TEOS 산화막이고, B_2H_6, PH_3 및 TEOS가 재료 가스로서 이용되어 형성된다. 다음에 산소 분위기 속에서 램프 어닐링법을 이용하여 예를 들면 950℃에서 10초간 열 처리를 행하여 실리콘 산화막을 리플로우시킨다. 이에 의해, 실리콘 산화막으로 이루어져 게이트 구조(60) 사이의 스페이스를 충전하는 층간 절연막(21)이 에칭 저지막(20)상에 형성된다. 또, 게이트 구조(60) 사이의 스페이스에 대한 매립 성능을 향상시키기 위해 층간 절연막(21)에는 보론이 도핑되어 있다.

다음에, 예를 들면 CMP 법을 이용하여 층간 절연막(21)을 그 상면에서 200nm 연마한다. 이에 의해, 가공 도중의 구조체는 평탄화된다. 또 층간 절연막(21)은 컨택트홀(30a, 30b)을 형성할 때에 실행되는 사진 제판 공정에서의 프로세스 여유도를 크게 하기 위해서 그 상면이 평탄화된다.

다음에, 사진 제판 기술을 이용하여, 소정의 개구 패턴을 갖는 포토레지스트(도시하지 않음)를 층간 절연막(21)상에 형성하고 이러한 포토레지스트를 마스크로 이용하여 층간 절연막(21)을 이방성 에칭한다. 이 때, 에칭 저지막(20)은 에칭 스토퍼로서 기능한다. 이에 의해, 도 16에 도시한 바와 같이, 게이트 전극(50) 사이에 에칭 저지막(20) 및 측벽 절연막(17)이 개재하여, 또한 에피택셜층(19a) 상의 에칭 저지막(20)에 이르는 컨택트홀(31a)이 층간 절연막(21)에 자기 정합적으로 형성된다. 동시에, 게이트 전극(50)과의 사이에 에칭 저지막(20) 및 측벽 절연막(17)이 개재하여 또한 에피택셜층(19b) 상의 에칭 저지막(20)에 이르는 컨택트홀(31b)이 층간 절연막(21)에 자기 정합적으로 형성된다. 또, 에칭 스 토퍼로서 이용되는 에칭 저지막(20)과의 선택비를 높이기 위해 층간 절연막(21)에는 인이 도핑되어 있다.

다음에, 도 17에 도시한 바와 같이, 도 16에 도시하는 공정의 실행에 의해 노출한 에칭 저지막(20)에 대하여 이방성 에칭을 행하여 에피택셜층(19a)에 이르는 컨택트홀(32a)과, 에피택셜층(19b)에 이르는 컨택트홀(32b)을 에칭 저지막(20)에 형성한다. 이에 의해, 컨택트홀(31a, 32a)로 이루어져 에피택셜층(19a)에 이르는 컨택트홀(30a)이 층간 절연막(21) 및 에칭 저지막(20) 내에 완성한다. 동시에, 컨택트홀(31b, 32b)로 이루어져 에피택셜층(19b)에 이르는 컨택트홀(30b)이 층간 절연막(21) 및 에칭 저지막(20) 내에 완성한다. 또 본 실시 형태에서는, 각 컨택트홀(30a, 30b)의 최대 직경은 예를 들면 180nm로 설정되어 있다. 또한 본 실시 형태에서는 에칭 저지막(20)을 에칭할 때에는 이러한 에칭이 반도체 기판(1)에까지 이르지 않기 때문에 반도체 기판(1)에 에칭의 손상이 남지 않도록 할 수 있다.

다음에 도 18에 도시한 바와 같이, 예를 들면 CVD법을 이용하여 컨택트홀(30a, 30b)을 충전하면서 층간 절연막(21) 상에 폴리실리콘막을 형성한다. 이 폴리실리콘막에는 n형 불순물이 도핑되어 있다. 그리고, 예를 들면 CMP 법에 의해 폴리실리콘막을 그 상면에서 연마하여 컨택트홀(30a, 30b)보다도 상측의 폴리실리콘막을 제거한다. 이에 의해, 폴리실리콘막으로 이루어져 컨택트홀(30a) 내를 충전하는 컨택트 플러그(22a)를 완성한다. 동시에, 폴리실리콘막으로

이루어져 컨택트홀(30b) 내를 충전하는 컨택트 플러그(22b)를 완성한다. 또 층간 절연막(21)은 폴리실리콘막의 연마 시의 스토퍼로서 기능한다.

다음에, 컨택트 플러그(22b)에 전기적으로 접속시켜 도시하지 않은 비트선을 설치한다. 이에 의해, 비트선과, 소스 · 드레인 영역으로서 기능하는 n형 불순물 영역(13b)이 컨택트 플러그(22b) 및 에피택셜층(19b)을 개재하여 전기적으로 접속된다. 또한, 컨택트 플러그(22a)에 전기적으로 접속시켜 도시하지 않은 DRAM 캐패시터의 스토리지 노드를 설치한다. 이에 의해, 캐패시터의 스토리지 노드와, 소스 · 드레인 영역으로서 기능하는 n형 불순물 영역(13a)이 컨택트 플러그(22a) 및 에피택셜층(19a)을 개재하여 전기적으로 접속된다. 그 후, 캐패시터의 유전체막 및 상부 전극을 설치한다.

이와 같이 하여, 자기 정합 컨택트 구조체를 갖는 메모리셀 트랜지스터가 형성된다.

상술된 바와 같이, 본 실시 형태1에 따른 반도체 장치에서는 게이트 전극(50)과 에피택셜층(19a, 19b) 사이에 개재하는 측벽 절연막(17)과, 에피택셜층(19a, 19b) 상에 설치되고 게이트 전극(50)과 컨택트 플러그(22a, 22b) 사이에 개재하는 에칭 저지막(20)이 설치되어 있다. 그 때문에, 본 실시 형태와 같이 컨택트홀(30a, 30b)을 형성할 때에 게이트 전극(50)이 노출하는 것을 방지하기 위해 에칭 저지막(20)을 에칭 스토퍼로서 이용하는 경우이고, 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 저감하기 위해 측벽 절연막(17)의 막 두께를 얇게 하고, 에피택셜층(19a, 19b)과 n형 불순물 영역(13a, 13b)의 접촉 면적을 크게 한 경우에도 에칭 저지막(20)의 막 두께를 조정함으로써 컨택트홀(30a, 30b)의 형성 시에 게이트 전극(50)이 노출하는 것을 확 실하게 방지할 수 있다. 따라서, 게이트 전극(50)과 컨택트 플러그(22a, 22b) 사이의 절연성을 유지하면서 컨택트 플러그(22a, 22b)와, 그것에 전기적으로 접속되는 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 저감할 수 있다. 그 결과, 게이트 전극(50)과 컨택트 플러그(22a, 22b)가 전기적으로 단락함으로써 생긴다, 기능 동작 불량의 발생이나 번인으로 불량이 수속하기 어렵다는 문제의 발생을 방지할 수 있고 전기적 특성도 신뢰성도 양호한 반도체 장치를 제공할 수 있다.

또, 에피택셜층(19a, 19b)과 n형 불순물 영역(13a, 13b) 사이의 접촉 저항은 통상, 에피택셜층(19a, 19b)과 컨택트 플러그(22a, 22b) 사이의 접촉 저항보다도 한자리수 정도 높은 값을 도시한다. 따라서, 게이트 전극(50)과 컨택트 플러그(22a, 22b)의 전기적인 단락을 방지하기 위해 에칭 저지막(20)의 막 두께를 깊게 하여 에피택셜층(19a, 19b)과 컨택트 플러그(22a, 22b)의 접촉 면적이 감소하였다고 해도 그 감소는 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항에 거의 영향을 주지 않는다. 즉, 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항은 에피택셜층(19a, 19b)과 n형 불순물 영역(13a, 13b)과의 접촉 면적에서 거의 결정된다.

또한, 본 실시 형태1에 따른 반도체 장치에 따르면, 컨택트 플러그(22a, 22b)와, n형 불순물 영역(13a, 13b) 사이에 에피택셜층(19a, 19b)이 개재하고 있다. 그리고, 상호 인접하는 게이트 구조(60)에서 한쪽의 게이트 구조(60)의 측면상에 설치된 측벽 절연막(17)과, 이러한 측벽 절연막(17)에 대향하는 다른 쪽의 게이트 구조(60)의 측면상에 설치된 측벽 절연막(17) 사이에 끼워진 n형 불순물 영역(13a, 13b)의 상면 전체에 에피택셜층(19a, 19b)이 형성되어 있다. 따라서, 컨택트홀(30a, 30b)을 형성할 때의 사진 제판 공정에서 정합 정밀도나 치수 정밀도에 오차가 생긴 경우에는 에피택셜층(19a, 19b)과 컨택트 플러그(22a, 22b)의 접촉 면적은 저감하지만 에피택셜층(19a, 19b)과 n형 불순물 영역(13a, 13b)의 접촉 면적은 변화하지 않기 때문에 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항은 거의 변화하지 않는다. 그 때문에, 컨택트홀(30a, 30b)을 형성할 때의 사진 제판 공정에서 정합 정밀도나 치수 정밀도에 오차가 생긴 경우에도, DRAM의 메모리셀에의 데이터 기입 불량의 발생이나 리프레시 특성의 열화를 방지할 수 있다.

또한, 본 실시 형태1에 따른 반도체 장치에서는 컨택트홀(30a, 30b)과, n형 불순물 영역(13a, 13b) 사이에 에피택셜층(19a, 19b)이 개재하여 있기 때문에 컨택트홀(30a, 30b)을 형성할 때에 반도체 기판(1)의 표면에 에칭의 손상이 야기되지 않는다. 따라서, 반도체 기판(1)에 에칭 손상이 야기됨으로써 발생하는 리프레시 특성의 열화를 방지할 수 있다.

또한, 본 실시 형태1에 따른 내용을 반도체 장치의 제조 방법에 관한 내용으로서 파악하면 이하와 같이 말할 수 있다. 즉, 본 실시 형태1에 따른 반도체 장치의 제조 방법에 따르면 컨택트 플러그(22a)와 n형 불순물 영역(13a)간의 전기 저항, 또는 컨택트 플러그(22b)와 n형 불순물 영역(13b)간의 전기 저항을 저감하기 위해 측벽 절연막(17)의 막 두께를 얇게 한 경우에도 에칭 저지막(20)의 막 두께를 조정함으로써, 도 16에 도시하는 공정에서 컨택트홀(30a, 30b)의 일부, 즉 컨택트 홀(31a, 31b)을 형성할 때 게이트 전극(50)이 노출하는 것을 확실하게 방지할 수 있다. 따라서, 게이트 전극(50)과 컨택트 플러그(22a, 22b)간의 절연성을 유지하면서 컨택트 플러그(22a, 22b)와 그것에 전기적으로 접속되는 n형 불순물 영역(13a, 13b)간의 전기 저항을 저감할 수 있다.

또한, 본 실시 형태1에 따른 반도체 장치의 제조 방법에 따르면, 에피택셜층(19a, 19b)을 자기 정합적으로 형성하고, 그 후에, 이러한 에피택셜층(19a, 19b)에 이르는 컨택트홀(30a, 30b)을 형성하고 있다. 따라서, 컨택트홀(30a, 30b)을 형성할 때의 사진 제판 공정에서 정합 정밀도나 치수 정밀도에 오차가 생긴 경우에는 에피택셜층(19a, 19b)과 컨

택트 플러그(22a, 22b)의 접촉 면적은 저감하지만 에피택셜층(19a, 19b)과 n형 불순물 영역(13a, 13b)의 접촉 면적은 변화하지 않는다. 따라서, 이러한 경우에도 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b)간의 전기 저항은 거의 변화하지 않고 DRAM의 메모리셀에의 데이터 기입 불량의 발생이나 리프레시 특성의 열화를 방지할 수 있다.

또한, 본 실시 형태1에 따른 반도체 장치의 제조 방법에 따르면, 컨택트홀(30a, 30b)을 형성할 때는 n형 불순물 영역(13a, 13b) 상에 에피택셜층(19a, 19b)이 존재하고 있다. 그 때문에, 컨택트홀(30a, 30b)을 형성할 때에 반도체 기판(1)의 표면에 에칭의 손상이 야기되지 않는다. 따라서, 반도체 기판(1)에 에칭 손상이 야기됨으로써 발생하는 리프레시 특성의 열화를 방지할 수 있다.

또한, 본 실시 형태1에서는 n형 불순물 영역(13a, 13b) 상에 에피택셜층(19a, 19b)을 둠으로써 컨택트 플러그(22a, 22b)의 접촉면을 반도체 기판(1)으로부터 들어 올리고 있다. 그 때문에, 실효적인 컨택트홀(30a, 30b)의 어스펙트비를 저감하는 것이 가능해진다. 따라서, 컨택트홀(30a, 30b)을 형성할 때의 프로세스 마진을 확대할 수 있다.

또한, 본 실시 형태1에서는, n형 불순물 영역(13a, 13b) 상에 에피택셜층(19a, 19b)을 설치하고 있기 때문에 게이트 구조(60)간의 스페이스의 어스펙트비를 작게 할 수 있다. 따라서, 이러한 스페이스 사이를 층간 절연막(21)으로 매립할 때의 매립 불량의 발생을 억제할 수 있다.

<실시 형태2>

도 19는 본 발명의 실시 형태2에 따른 반도체 장치의 구성을 나타내는 단면도이다. 본 실시 형태2에 따른 반도체 장치는 상술한 실시 형태1에 따른 반도체 장치에서 p형 웰 영역(8)의 상면 내에 다시 n형 불순물 영역(24a, 24b)을 구비하는 것이다. 그리고, n형 불순물 영역(13a, 24a)에 갖고 메모리 셀 트랜지스터의 한쪽의 소스 · 드레인 영역으로서 기능하여 n형 불순물 영역(13b, 24b)에서 갖고 메모리 셀 트랜지스터의 다른 쪽 소스 · 드레인 영역으로서 기능한다.

도 19에 도시한 바와 같이, n형 불순물 영역(24a)은 컨택트 플러그(22a)의 하측이고, p형 웰 영역(8)의 상면 내에 n형 불순물 영역(13a)과 부분적으로 중첩되면서 n형 불순물 영역(13a)보다도 깊게 형성되어 있다. 또한, n형 불순물 영역(24a)의 폭, 즉 반도체 기판(1)의 두께 방향에 대하여 수직인 방향에서의 n형 불순물 영역(24a)의 치수는 n형 불순물 영역(13a)의 그것보다도 작다. 그리고, 에 피택셜층(19a)은 n형 불순물 영역(13a) 중, n형 불순물 영역(24a)과 중첩되어 있는 영역상에 설치되어 있다. 여기서, n형 불순물 영역(13a)과 n형 불순물 영역(24a)을 정합하여 1개의 n형 불순물 영역(25a)으로서 생각하면 n형 불순물 영역(25a)은 에피택셜층(19a)의 계면 부근의 불순물 농도보다도 p형 웰 영역(8)과의 계면 부근의 불순물 농도가 엷은 것이다.

또한, n형 불순물 영역(24b)은 컨택트 플러그(22b)의 하측이고, p 형 웰 영역(8)의 상면 내에 n형 불순물 영역(13b)과 부분적으로 중첩되면서 n형 불순물 영역(13b)보다도 깊게 형성되어 있다. 또한, n형 불순물 영역(24b)의 폭, 즉 반도체 기판(1)의 두께 방향에 대하여 수직인 방향에서의 n형 불순물 영역(24b)의 치수는 n형 불순물 영역(13b)의 그것보다도 작다. 그리고, 에피택셜층(19b)은 n형 불순물 영역(13b) 중, n형 불순물 영역(24b)과 중첩되어 있는 영역상에 설치되어 있다. 여기서, n형 불순물 영역(13b)과 n형 불순물 영역(24b)을 정합하여 1개의 n형 불순물 영역(25b)으로서 생각하면 n형 불순물 영역(25b)은 에피택셜층(19a)과의 계면 부근의 불순물 농도보다도 p형 웰 영역(8)과의 계면 부근의 불순물 농도가 엷은 것이다. 본 실시 형태2에 따른 반도체 장치의 그 밖의 구조는 상술의 실시 형태1에 따른 반도체 장치와 동일하기 때문에 그 설명은 생략한다.

다음에, 도 19에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다. 도 20은 도 19에 도시하는 반도체 장치의 제조 공정의 일부를 도시하는 단면도이고, DRAM의 메모리셀이 형성되어 있는 부분을 확대하여 도시하고 있다.

우선, 상술의 도 2 17에 도시하는 공정을 실행한다. 그리고, 도 20에 도시 한 바와 같이, 층간 절연막(21)을 마스크로 이용하여 전면에 대하여 이온 주입을 행한다. 이에 의해, 컨택트홀(30a) 및 에피택셜층(19a)을 개재하여 반도체 기판(1)의 주면 내에 불순물이 도입되어 n형 불순물 영역(24a)이 p형 웰 영역(8)의 상면 내에 자기 정합적으로 형성된다. 그 결과, 에피택셜층(19a)과의 계면 부근의 불순물 농도보다도 p형 웰 영역(8)과의 계면 부근의 불순물 농도가 얇은 n형 불순물 영역(25a)이 p형 웰 영역(8)의 상면 내에 형성된다. 동시에, 컨택트홀(30b) 및 에피택셜층(19b)을 개재하여 반도체 기판(1)의 주면 내에 불순물이 도입되어 n형 불순물 영역(24b)이 p형 웰 영역(8)의 상면 내에 자기 정합적으로 형성된다. 그 결과, 에피택셜층(19b)의 계면 부근의 불순물 농도보다도 p형 웰 영역(8)과의 계면 부근의 불순물 농도가 얇은 n형 불순물 영역(25b)이 p형 웰 영역(8)의 상면 내에 형성된다.

n형 불순물 영역(24a, 24b)은 예를 들면 가속 에너지 30keV, 도우즈량 $2\times10^{13}\ cm^{-2}$ 로 인(P) 이온을 주입함으로써 얻어진다.

n형 불순물 영역(24a, 24b)의 형성 후에는 도 18에 도시하는 공정을 실행하여 컨택트홀(30a, 30b)을 각각 충전하는

컨택트 플러그(22a, 22b)를 형성한다. 그 후, 비트선 및 캐패시터를 형성한다.

상술된 바와 같이 본 실시 형태2에서는 컨택트 플러그(22a, 22b)와 전기적으로 접속되는 n형 불순물 영역에서 에피택셜층(19a, 19b)의 계면 부근의 불순물 농도가 상술의 실시 형태1보다도 높기 때문에 컨택트 플러그(22a, 22b)와 n형 불순물 영역간의 전기 저항을 실시 형태1보다도 저감할 수 있다. 또한, 컨택트 플러그(22a, 22b)와 전기적으로 접속되는 n형 불순물 영역에서 p형 웰 영역(8)과의 계면 부근의 불순물 농도는 상술의 실시 형태1과 거의 동일하기 때문에 이러한 n형 불순물 영역과 p형 웰 영역(8) 사이에 발생하는 PN 접합의 전계의 상승을 억제할 수 있다. 즉, n형 불순물 영역과 p형 웰 영역(8) 사이에 발생하는 전계의 상승을 억제하면서 n형 불순물 영역과 컨택트 플러그(22a, 22b) 사이의 전기 저항을 저감할 수 있다. 그 결과, 양호한 리프레시 특성을 갖는 반도체 장치를 얻을 수 있다.

<실시 형태3>

도 21은 본 발명의 실시 형태3에 따른 반도체 장치의 구성을 나타내는 단면도이다. 본 실시의 형태3에 따른 반도체 장치는 상술의 실시 형태1에 따른 반도체 장치에서 에피택셜층(19a, 19b)의 각 상면에 오목부가 형성되어 있는 것이다. 구체적으로는, 에피택셜층(19a)의 상면은 컨택트 플러그(22a)에 접촉하고 있는 부분이 측벽 절연막(17)에 접촉하고 있는 부분보다도 오목하다. 또한, 에피택셜층(19b)의 상면은 컨택트 플러그(22b)에 접촉하고 있는 부분이 측벽 절연막(17)에 접촉하고 있는 부분보다도 오목하다. 그 밖의 구조에 대해서는 실시 형태1에 따른 반도체 장치와 동일하기 때문에 그 설명은 생략한다.

다음에, 도 21에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다. 도 22는 도 21에 도시하는 반도체 장치의 제조 공정의 일부를 도시하는 단면도이고, DRAM의 메모리셀이 형성되어 있는 부분을 확대하여 도시하고 있다.

우선, 상술의 도 2 17에 도시하는 공정을 실행한다. 그리고, 도 22에 도시 한 바와 같이, 예를 들면 CF_4와 O_2를 이용한 드라이 에칭에 의해 이방적 또는 등방적으로 노출하고 있는 에피택셜층(19a, 19b)의 상면을 자기 정합적으로 5 20nm 제거한다. 이 때, 층간 절연막(21) 및 에칭 저지막(20)은 에칭 마스크로 하여 기능한다. 또, 본 실시 형태3에서는 도 22에 도시하는 공정의 실행에 의해 각 에피택셜층(19a, 19b)의 상면에 형성된 오목부를 포함시켜 컨택트홀(30a, 30b)로 한다.

다음에, 도 18에 도시하는 공정을 실행하여, 컨택트홀(30a, 30b)을 각각 충전하는 컨택트 플러그(22a, 22b)를 형성한다. 그 후, 비트선 및 캐패시터를 형성한다.

이와 같이, 본 실시 형태3에 따른 반도체 장치에서는 에피택셜층(19a, 19b)의 상면은 컨택트 플러그(22a, 22b)에 접촉하고 있는 부분이 측벽 절연막(17)에 접촉하고 있는 부분보다도 오목하다. 그 때문에, 상술의 제조 방법으로 제조할 수 있다. 즉, 컨택트홀(30a, 30b)을 형성하여 에피택셜층(19a, 19b)의 상면을 노출시킨 후에(도 17 참조) 에피택셜층(19a, 19b)을 그 상면에서 부분적으로 제거하고(도 22 참조) 그 후에 컨택트 플러그(22a, 22b)를 컨택트홀(30a, 30b)에 충전함으로써(도 18 참조) 본 실시 형태3에 따른 반도체 장치를 얻을 수 있다.

따라서, 에칭 저지막(20)을 드라이 에칭법에 의해 이방성 에칭하여 에피택셜층(19a, 19b)의 상면을 노출시키는 경우에 에피택셜층(19a, 19b)에 발생하는 에칭 손상층, 카본계 불순물, 및 금속계 불순물을 에피택셜층(19a, 19b)을 그 상면에서 부분적으로 제거함으로써 제거할 수 있다. 그 결과, 에피택셜층(19a, 19b)의 상면 이 부분적으로 제거되어 있지 않은 실시 형태1에 따른 반도체 장치보다도 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 저감할 수 있다.

또, 에피택셜층(19a, 19b)을 부분적으로 제거할 때에는 에칭 저지막(20)을 제거하여 에피택셜층(19a, 19b)을 노출하는 경우보다도 낮은 에너지의 드라이 에칭 방법이 채용된다. 이 낮은 에너지의 드라이 에칭 방법에서는 통상, 웨트 에칭 방법과 같이 등방적으로 에칭되기 때문에 에피택셜층(19a, 19b)에 에칭 손상이 생기지 않는다.

또한, 본 실시 형태3에 따른 내용을 반도체 장치의 제조 방법에 관한 내용으로서 파악하면 이하와 같다고 말할 수 있다. 즉, 본 실시 형태3에 따른 반도체 장치의 제조 방법에 따르면, 도 17에 도시하는 공정의 실행에 의해 에피택셜층(19a, 19b)에 발생한 에칭 손상층 등을 도 22에 도시하는 공정을 실행함으로써 제거할 수 있다. 그 결과, 에피택셜층(19a, 19b)의 상면을 부분적으로 제거하지 않은 실시 형태1에 따른 반도체 장치의 제조 방법보다도 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 저감할 수 있다.

또, 상술의 실시 형태2에서 도 22에 도시하는 공정을 추가함으로써 실시 형태2에 따른 발명의 효과 외에 본 실시 형태3에 따른 발명의 효과가 얻어짐은 물론이다. 예를 들면, 실시 형태2에서 도 20에 도시하는 공정과 도 18에 도시하는 공정 사이에 도 22에 도시하는 공정을 실행함으로써 도 17에 도시하는 공정의 실행에 의해 에피택셜층(19a, 19b)에 발생한 에칭 손상층 등을 제거할 수 있다. 또한, 이 것에 의해 도 19에 도시하는 반도체 장치에서 에피택셜층(19a, 19b)의 상면의 컨택트 플러그(22a, 22b)에 접촉하고 있는 부분이 측벽 절연막(17)에 접촉하고 있는 부분보다도 오목

해져있는 반도체 장치가 얻어진다.

<실시 형태4>

도 23은 본 발명의 실시 형태4에 따른 반도체 장치의 구성을 나타내는 단면도이다. 본 실시 형태4에 따른 반도체 장치는 상술의 실시 형태1에 따른 반도체 장치에서 각 컨택트 플러그(22a, 22b)가 폴리실리콘막을 대신하여 배리어 메탈층(26)과 금속막(27)으로 형성되어 있는 것이다. 구체적으로는, 도 23에 도시한 바와 같이, 컨택트 플러그(22a)는 컨택트홀(30a)의 표면상과 에피택셜층(19a)의 상면상에 설치된 배리어 메탈층(26)과 배리어 메탈층(26)상에 설치된 금속막(27)으로 형성되어 있다. 또한, 컨택트 플러그(22b)는 컨택트홀(30b)의 표면상과 에피택셜층(19b)의 상면상에 설치된 배리어 메탈층(26)과 배리어 메탈층(26)상에 설치된 금속막(27)으로 형성되어 있다.

배리어 메탈층(26)은 예를 들면 티탄(Ti) 및 질화 티탄(TiN)으로 이루어지고, 금속막(27)은 예를 들면 텅스텐(W)으로 이루어진다. 그 밖의 구조에 대해서는 실시 형태1에 따른 반도체 장치와 동일하기 때문에 그 설명은 생략한다.

다음에, 도 23에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다. 도 24는 도 23에 도시하는 반도체 장치의 제조 공정의 일부를 도시하는 단면도이고, DRAM의 메모리셀이 형성되어 있는 부분을 확대하여 도시하고 있다.

우선, 상술한 도 2 17에 도시하는 공정을 실행한다. 그리고, 도 18에 도시 하는 공정을 대신하여 도 24에 도시하는 공정을 실행한다. 구체적으로는, 도 24에 도시한 바와 같이, 예를 들면 CVD법에 의해 막 두께 10nm의 티탄막과 막 두께 12nm의 질화 티탄막을 이 순서로 전면에 형성한다. 이에 의해, 티탄과 질화 티탄으로 이루어지고 컨택트홀(30a, 30b) 내를 충전하지 않은 적층막(46)이 형성된다.

다음에, 예를 들면 CVD법에 의해, 막 두께 300nm의 텅스텐막(47)을 적층막(46)상에 형성한다. 이에 의해, 컨택트홀(30a, 30b)은 적층막(46) 및 텅스텐막(47)에 의해 충전된다. 그 후, 예를 들면 CMP 법에 의해, 층간 절연막(21)을 스토퍼막으로 하여 텅스텐막(47)의 상면에서 텅스텐막(47) 및 적층막(46)을 연마한다. 이에 의해, 컨택트홀(30a, 30b)보다도 상측의 텅스텐막(47) 및 적층막(46)이 제거된다. 이 결과, 티탄 및 질화 티탄으로 이루어지는 배리어 메탈층(26)과, 텅스텐으로 이루어지는 금속막(27)을 갖는 컨택트 플러그(22a, 22b)를 구비하여, 도 23에 도시하는 구조가 얻어진다. 그 후, 비트선 및 캐패시터를 형성한다.

이와 같이 본 실시 형태4에서는 각 컨택트 플러그(22a, 22b)가 금속막(27)을 포함하고 있기 때문에 실시 형태1과 같이 폴리실리콘막만으로 이루어지는 경우보다도 컨택트 플러그(22a, 22b)의 저저항화가 가능해진다. 그 결과, 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 실시 형태1보다도 저감하는 것이 가능해진다.

또한, 에피택셜층(19a, 19b)과 금속막(27) 사이에 배리어 메탈층(26)이 개재하고 있기 때문에 에피택셜층(19a, 19b)과 금속막(27)의 반응을 억제하면서 컨택트 플러그(22a, 22b)의 저저항화가 가능해진다.

또, 상술의 각 실시 형태2,3에서 도 18에 도시하는 공정을 대신해 도 24에 도시하는 공정을 실행하여 배리어 메탈층(26) 및 금속막(27)으로 이루어지는 컨택트 플러그(22a, 22b)를 형성함으로써 각 실시 형태2,3에 따른 발명의 효과 외에 본 실시 형태4에 따른 발명의 효과가 얻어짐은 물론이다.

또한 도 25에 도시한 바와 같이, 배리어 메탈층(26)의 막 두께를 깊게 하고, 게이트 구조(60)간의 스페이스를 배리어 메탈층(26)으로 충전해도 좋다. 이하에, 도 25에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다.

도 26은 도 25에 도시하는 반도체 장치의 제조 공정의 일부를 도시하는 단면도이고, DRAM의 메모리셀이 형성되어 있는 부분을 확대하여 도시하고 있다. 우선, 상술의 도 2 17에 도시하는 공정을 실행한다. 그리고, 도 24에 도시하는 공정을 대신하여 도 26에 도시하는 공정을 실행한다. 구체적으로는, 도 26에 도시한 바와 같이, 예를 들면 CVD 법에 의해 막 두께 10nm의 티탄막과 막 두께 50nm의 질화 티탄막을 이 순서로 전면에 형성한다. 이에 의해, 티탄과 질화 티탄으로 이루어져 게이트 구조(60)간의 스페이스를 충전하는 적층막(46)이 형성된다. 또, 상술의 실시형태1에서 설명한 바와 같이, 게이트 전극(50)간의 거리는 150nm로 설정되어 있고, 측벽 절연막(17), 에칭 저지막(20) 및 티탄막의 막 두께가 각각 15nm, 20nm 및 10nm로 설정되어 있다. 그 때문에, 질화 티탄막의 막 두께를 30nm 이상으로 설정함으로써 게이트 구조(60)간의 스페이스를 충전하는 적층막(46)을 얻을 수 있다(150nm/2-(15nm+20nm+10nm)=30nm).

다음에, 예를 들면 CVD법에 의해 막 두께 300nm의 텅스텐막(47)을 적층막(46)상에 형성한다. 이에 의해, 컨택트홀(30a, 30b)은 적층막(46) 및 텅스텐막(47)에 의해 충전된다. 그 후, 예를 들면 CMP 법에 의해 층간 절연막(21)을 스토퍼막으로 하여 텅스텐막(47)의 상면에서 텅스텐막(47) 및 적층막(46)을 연마한다. 이에 의해, 컨택트홀(30a, 30b)보다도 상측의 텅스텐막(47) 및 적층막(46)이 제거된다. 이 결과, 배리어 메탈층(26)이 게이트 구조(60)간의 스페이스를 충전하는 컨택트 플러그(22a, 22b)를 갖는 도 25에 도시하는 구조가 얻어진다. 그 후, 비트선 및 캐패시터를 형성

한다.

이와 같이, 텅스텐막(47)을 형성할 때에는 배리어 메탈층(26)이 되는 적층막(46)이 게이트 구조(60)간의 스페이스를 충전하고 있기 때문에 텅스텐막(47)의 피복성이 악화한 경우에도 컨택트 플러그(22a, 22b)에 보이드가 발생하는 것을 억제할 수 있다. 따라서, 컨택트 플러그(22a, 22b)의 저저항화가 가능해져 적층막(46)이 게이트 구조(60) 사이를 충전하지 않은 경우보다도 컨택트 플러그(22a, 22b)와 n형 불순물 영역(13a, 13b) 사이의 전기 저항을 저감할 수 있다.

또, 상술의 각 실시 형태2,3에서, 도 18에 도시하는 공정을 대신해 도 26에 도시하는 공정을 실행하여 금속막(27) 및 게이트 구조(60) 사이의 스페이스를 충전하는 배리어 메탈층(26)으로 이루어지는 컨택트 플러그(22a, 22b)를 형성함으로써 각 실시 형태2,3에 따른 발명의 효과 외에 상술의 효과가 얻어짐은 물론이다.

또한 도 27에 도시한 바와 같이, 각 컨택트 플러그(22a, 22b)를 배리어 메탈층(26)만으로 형성해도 좋다. 즉, 각 컨택트 플러그(22a, 22b)를 티탄과 질화 티 탄의 적층막으로 형성해도 좋다. 이하에, 도 27에 도시하는 반도체 장치의 제조 방법에 대하여 설명한다.

도 28은 도 27에 도시하는 반도체 장치의 제조 공정의 일부를 도시하는 단면도이고, DRAM의 메모리셀이 형성되어 있는 부분을 확대하여 도시하고 있다. 우선, 상술의 도 2 17에 도시하는 공정을 실행한다. 그리고, 도 24에 도시하는 공정을 대신해 도 28에 도시하는 공정을 실행한다. 구체적으로는, 도 28에 도시한 바와 같이, 예를 들면 CVD 법에 의해 막 두께 1Onm의 티탄막과 막 두께 1OOnm의 질화 티탄막을 이 순서로 전면에 형성한다. 이에 의해, 티탄과 질화 티탄으로 이루어져 컨택트홀(30a, 30b) 내를 충전하는 적층막(46)이 형성된다. 또, 상술의 실시 형태1에서 설명한 바와 같이, 각 컨택트홀(30a, 30b)의 최대 직경은 180nm로 설정되어 있고, 티탄막의 막 두께가 1Onm로 설정되어 있다. 그 때문에, 질화 티탄막의 막 두께를 80nm 이상으로 설정함으로써 컨택트홀(30a, 30b)을 충전하는 적층막(46)을 얻을 수 있다(180nm/2-10nm=80nm).

적층막(46) 형성 후에는 예를 들면 CMP 법에 의해, 층간 절연막(21)을 스토퍼막으로 하여 적층막(46)을 그 상면에서 연마한다. 이에 의해, 컨택트홀(30a, 30b)보다도 상측의 적층막(46)이 제거된다. 이 결과, 배리어 메탈층(26)만으로 이루어지는 컨택트 플러그(22a, 22b)를 구비하는 도 27에 도시하는 구조가 얻어진다. 그 후, 비트선 및 캐패시터를 형성한다.

이와 같이, 각 컨택트 플러그(22a, 22b)는 배리어 메탈층(26)만으로 형성되어 있기 때문에 실시 형태1과 같이 폴리실리콘막만으로 이루어지는 경우보다도 컨 택트 플러그(22a, 22b)의 저저항화를 가능하게 하면서 텅스텐으로 이루어지는 금속막(27)을 포함하고 있는 경우보다도 반도체 장치의 재료비용을 저감할 수 있다.

또한, 질화 티탄막은 텅스텐막보다도 피복성에 우수하기 때문에 컨택트 플러그(22a, 22b)에서의 보이드의 발생을 저감할 수 있다.

또, 상술의 각 실시 형태2,3에서 도 18에 도시하는 공정을 대신해 도 28에 도시하는 공정을 실행하여 배리어 메탈층(26)만으로 이루어지는 컨택트 플러그(22a, 22b)를 형성함으로써 각 실시 형태2, 3에 따른 발명의 효과 외에 상술의 효과가 얻어짐은 물론이다.

또한, 상술의 실시 형태1 4에서는 에칭 저지막(20)은 측벽 절연막(17)을 개재하여 게이트 전극(50)의 측방에 설치하고 있다. 본 발명에서는, 게이트 전극(50)과 컨택트 플러그(22a, 22b) 사이의 절연성은 에칭 저지막(20)에 의해 유지되어 있기 때문에 측벽 절연막(17)은 에피택셜층(19a, 19b)과 게이트 전극(50) 사이에 개재하고 있으면 좋고 게이트 전극(50)과 컨택트 플러그(22a, 22b) 사이에 개재할 필요는 없다. 그 때문에, 예를 들면 에칭 저지막(20)을 게이트 전극(50)의 측면상에 직접 설치하더라도 본 발명의 효과에 영향을 주지는 않는다.

발명의 효과

본 발명에 따른 반도체 장치의 제조 방법에 따르면, 공정 (g)에서 형성되는 컨택트 플러그와 제1 불순물 영역 사이의 전기 저항을 저감하기 위해 제1 절연막의 막 두께를 얇게 하여 제1 불순물 영역과 에피택셜층과의 접촉 면적을 크게 한 경우에도, 공정(c)에서 제2 절연막의 막 두께를 조정함으로써 공정(e)에서 제1 컨택트 홀을 형성할 때에 게이트 전극이 노출하는 것을 방지할 수 있다. 그 결과, 게이트 전극과 컨택트 플러그 사이의 절연성을 유지하면서 제1 불순물 영역과 컨택트 플러그 사이의 전기 저항을 저감할 수 있다.

또한, 본 발명에 따른 반도체 장치의 제조 방법에 따르면, 공정(h)의 실행 후에는 에피택셜층과의 계면 부근보다도 제2 불순물 영역과의 계면 부근 쪽이 불순물 농도가 얇은 제1,3 불순물 영역으로부터 이루어지는 불순물 영역이 제2 불

순물 영역의 상면 내에 형성된다. 그 때문에, 제1,3 불순물 영역으로 이루어지는 불순물 영역과, 그것과 다른 도전형인 제2 불순물 영역 사이에 발생하는 전계의 상승을 억제하면서 이러한 불순물 영역과 컨택트 플러그 사이의 전기 저항을 저감할 수 있다.

또한, 본 발명에 따른 반도체 장치의 제조 방법에 따르면, 공정(f)의 실행에 의해 에피택셜층에 발생한 에칭 손상층 등을 공정(i)을 실행함으로써 제거할 수 있다. 그 결과, 제1 불순물 영역과 컨택트 플러그 사이의 전기 저항을 저저항화할 수 있다.

또한, 본 발명에 따른 반도체 장치의 제조 방법에 따르면, 금속막을 포함하는 컨택트 플러그가 형성된다. 따라서, 컨택트 플러그가 폴리실리콘막만으로 이루어지는 경우보다도 컨택트 플러그의 저저항화가 가능해진다.

또한, 본 발명에 따른 반도체 장치의 제조 방법에 따르면, 금속막과 에피택셜층 사이에 배리어 메탈층이 설치되기 때문에 에피택셜층과 금속막의 반응을 억제하면서 컨택트 플러그가 폴리실리콘막만으로 이루어지는 경우보다도 컨택트 플러그 의 저저항화가 가능해진다.

또한, 본 발명에 따른 반도체 장치에 따르면, 게이트 전극과 에피택셜층 사이에 개재하는 제1 절연막과, 에피택셜층상에 설치되고, 게이트 전극과 컨택트 플러그 사이에 개재하는 제2 절연막을 구비하고 있다. 따라서, 층간 절연막을 에칭하여 컨택트홀을 형성할 때에 게이트 전극이 노출하는 것을 방지하기 위해 제2 절연막을 에칭 스토퍼로서 이용하는 경우이고 컨택트 플러그와 제1 불순물 영역 사이의 전기 저항을 저감하기 위해 제1 절연막의 막 두께를 얇게 하여 에피택셜층과 제1 불순물 영역과의 접촉 면적을 크게 한 경우에도 제2 절연막의 막 두께를 조정함으로써 컨택트홀 형성시에 게이트 전극이 노출하는 것을 확실하게 방지할 수 있다. 그 때문에, 게이트 전극과 컨택트 플러그 사이의 절연성을 유지하면서 컨택트 플러그와 제1 불순물 영역간의 전기 저항을 저감할 수 있다.

또한, 본 발명에 따른 반도체 장치에 따르면, 제1 불순물 영역과 제2 불순물 영역 사이에 발생하는 전계의 상승을 억제하면서 제1 불순물 영역과 컨택트 플러그간의 전기 저항을 저감할 수 있다.

또한, 본 발명에 따른 반도체 장치에 따르면, 에피택셜층의 상면은 컨택트 플러그에 접촉하고 있는 부분이 제2 절연막에 접촉하고 있는 부분보다도 오목하다. 이러한 구조는 이하와 같이 하여 얻을 수 있다. 즉, 층간 절연막에 컨택트홀을 형성하여 에피택셜층의 상면을 노출시킨 후에, 에피택셜층을 그 상면에서 부분적으로 제거하고 그 후에 컨택트 플러그를 컨택트홀로 충전함으로써 얻을 수 있다. 따라서, 에칭하여 에피택셜층의 상면을 노출시키는 경우에 에피택셜층에 발생한 에칭 손상층 등을 에피택셜층을 그 상면에서 부분적으로 제거함으로써 제거할 수 있다. 그 결과, 컨택트 플러그와 제1 불순물 영역간의 전기 저항을 저감할 수 있다.

또한, 본 발명에 따른 반도체 장치에 따르면, 컨택트 플러그가 폴리실리콘막만으로 이루어지는 경우보다도 컨택트 플러그의 저저항화가 가능해진다.

또한, 본 발명에 따른 반도체 장치에 따르면, 에피택셜층과 금속막 사이에 배리어 메탈층이 개재하기 때문에 에피택셜층과 금속막의 반응을 억제하면서 컨택트 플러그가 폴리실리콘막만으로 이루어지는 경우보다도 컨택트 플러그의 저저항화가 가능해진다.

(57) 청구의 범위

청구항 1.

(a) 노출하고 있는 제1 불순물 영역을 주면 내에 가짐과 함께, 그 측방에 제1 절연막이 설치된 게이트 전극을 포함하는 게이트 구조를 상기 주면상에 갖는 반도체 기판을 준비하는 공정과,

(b) 상기 게이트 전극 사이에 상기 제1 절연막이 개재하도록 상기 제1 불순물 영역상에 에피택셜층을 형성하는 공정과,

(c) 상기 게이트 전극의 측방과 상기 에피택셜층의 상면 전체에 제2 절연막을 형성하는 공정과,

(d) 상기 공정(c)의 실행에 의해 얻어진 구조의 상면상에 층간 절연막을 형으로 이루는 공정과,

(e) 상기 제2 절연막을 에칭 스토퍼로 이용하여 상기 층간 절연막을 에칭하고, 상기 게이트 전극 사이에 상기 제2 절연막이 개재하고, 또한 상기 에피택셜층 상의 상기 제2 절연막에 이르는 제1 컨택트홀을 상기 층간 절연막에 형성하는 공정과,

(f) 상기 공정(e)의 실행에 의해 노출한 상기 제2 절연막을 에칭하여, 상기 에피택셜층에 이르는 제2 컨택트홀을 상기 제2 절연막에 형성하는 공정과,

(g) 상기 제1, 2 컨택트홀을 충전하는 컨택트 플러그를 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 2.
제1항에 있어서,

상기 공정(a)에서 준비되는 상기 반도체 기판은 상기 제1 불순물 영역과는 다른 도전형인 제2 불순물 영역을 상기 주면 내에 더 갖고,

상기 제1 불순물 영역은 상기 제2 불순물 영역 내에 설치되어 있고,

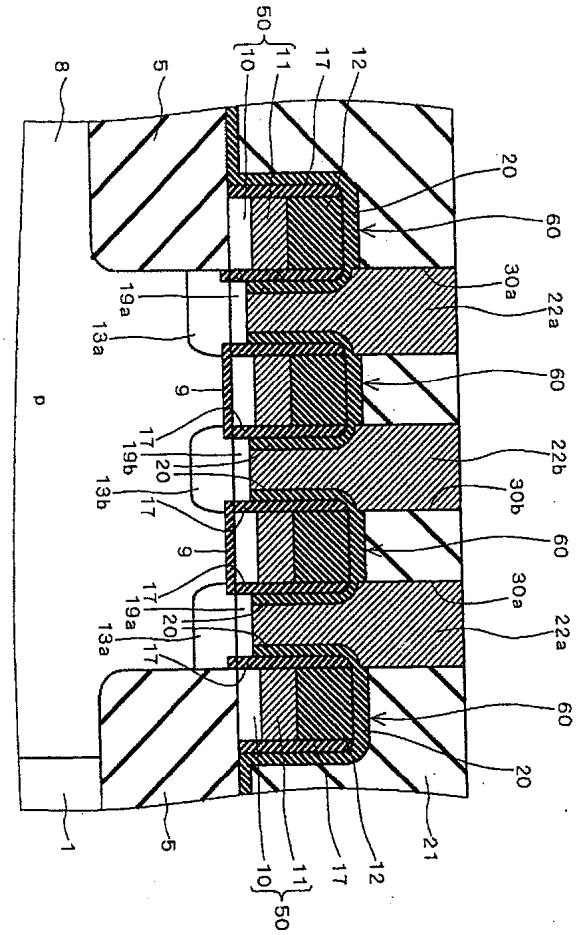
(h) 상기 공정(f)의 후이고, 상기 공정(g)의 전에, 상기 제1, 2 컨택트홀 및 상기 에피택셜층을 개재하여 상기 반도체 기판의 상기 주면 내에 불순물을 도입하고, 상기 제1 불순물 영역과 동일한 도전형이고 상기 제1 불순물 영역보다도 깊은 제3 불순물 영역을 상기 제2 불순물 영역의 상면 내에 형성하는 공정을 더 포함하는 반도체 장치의 제조 방법.

청구항 3.
제1항 또는 제2항에 있어서,

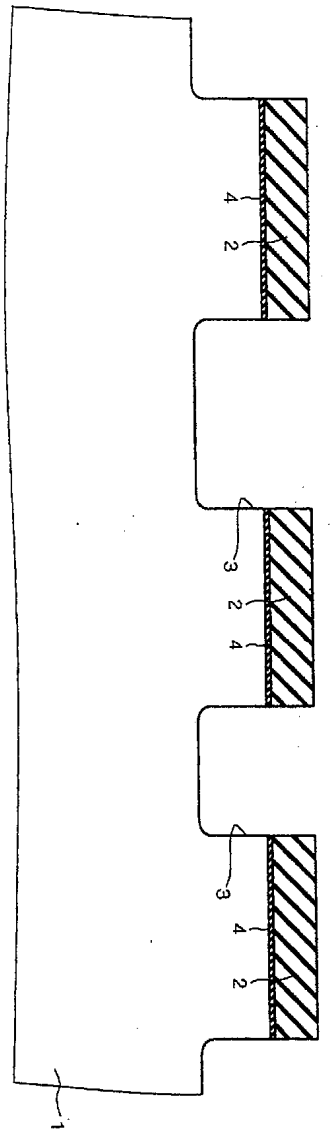
(i) 상기 공정(f)의 후이고, 상기 공정(g)의 전에, 상기 공정(f)의 실행에 의해 노출한 상기 에피택셜층을 그 상면에서 부분적으로 제거하는 공정을 더 포함하는 반도체 장치의 제조 방법.

도면

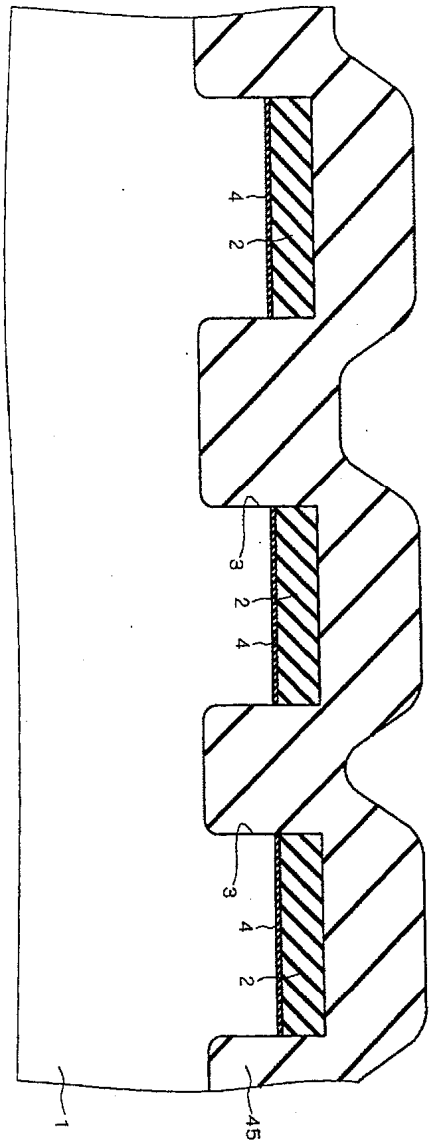
도면1



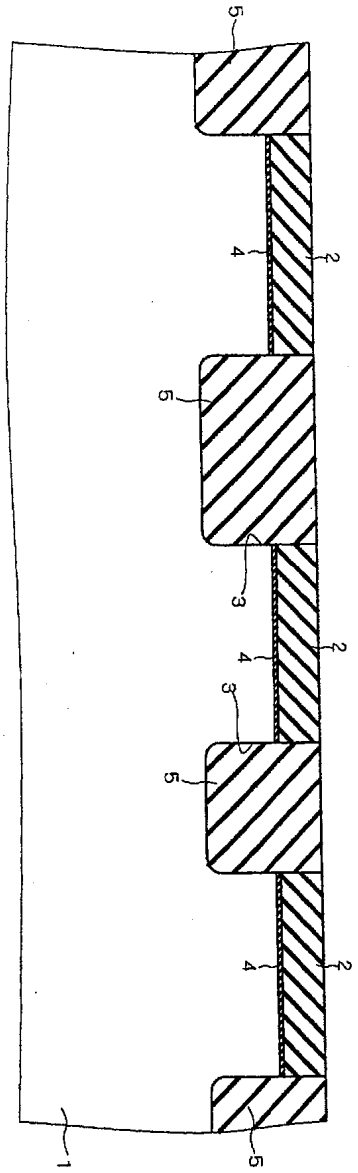
도면2



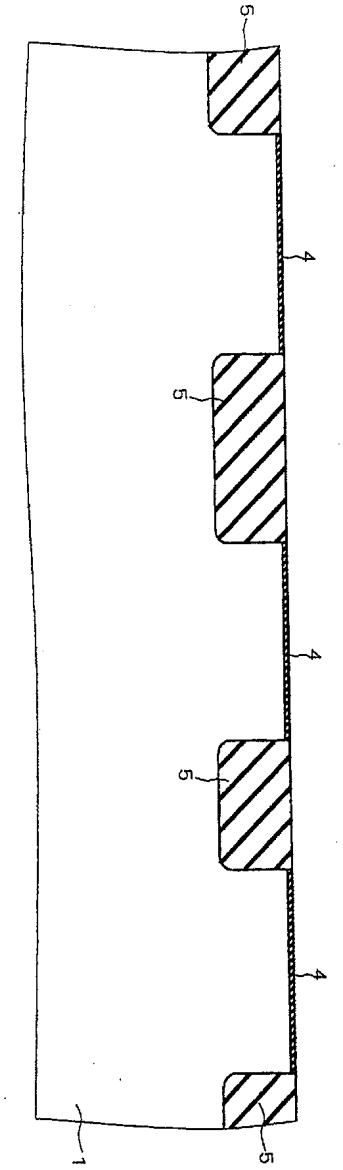
도면3



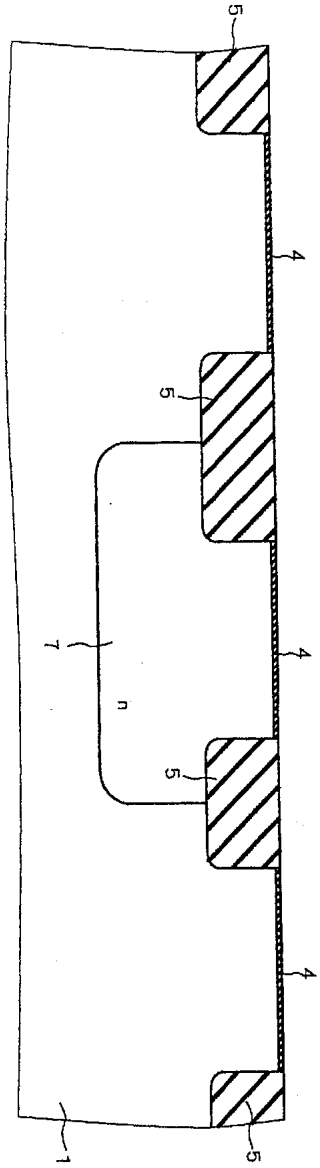
도면4



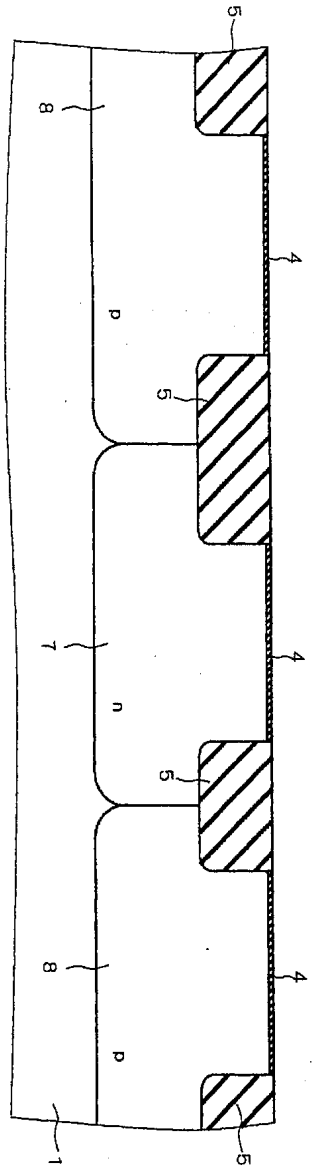
도면5



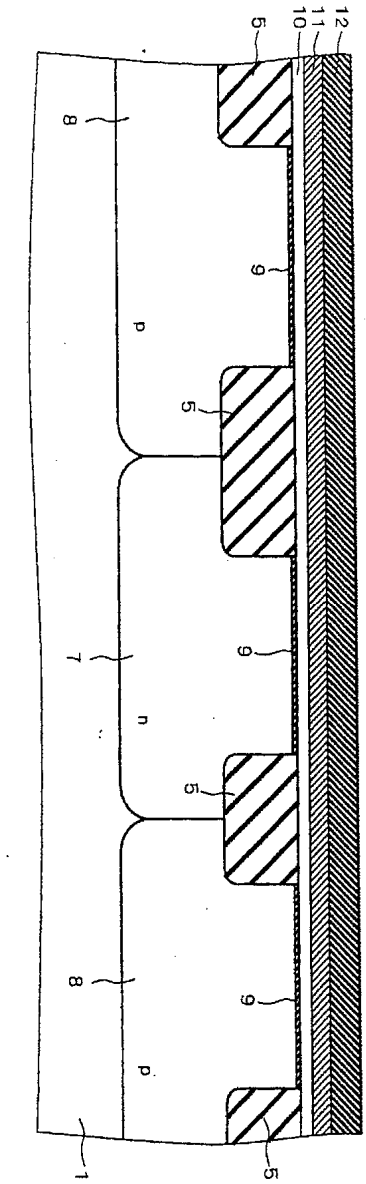
도면6



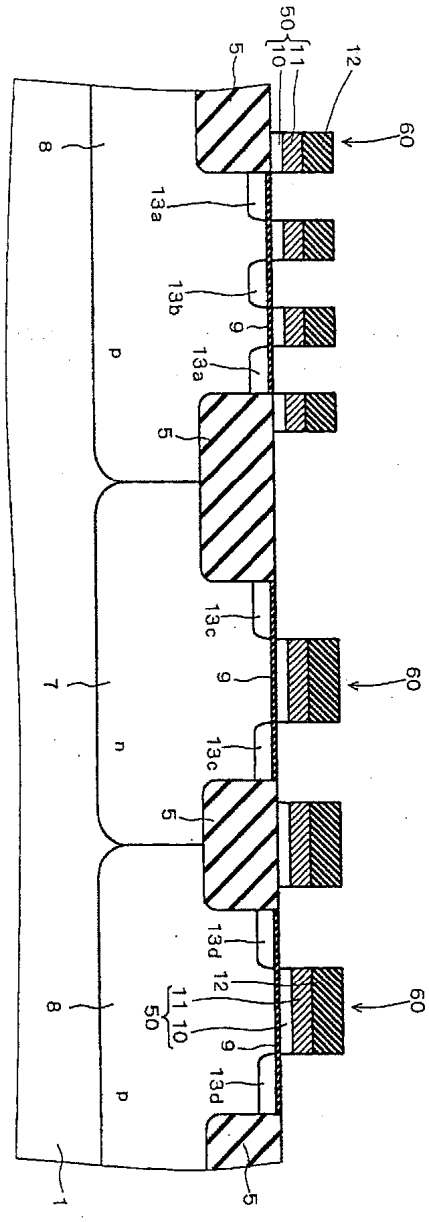
도면7



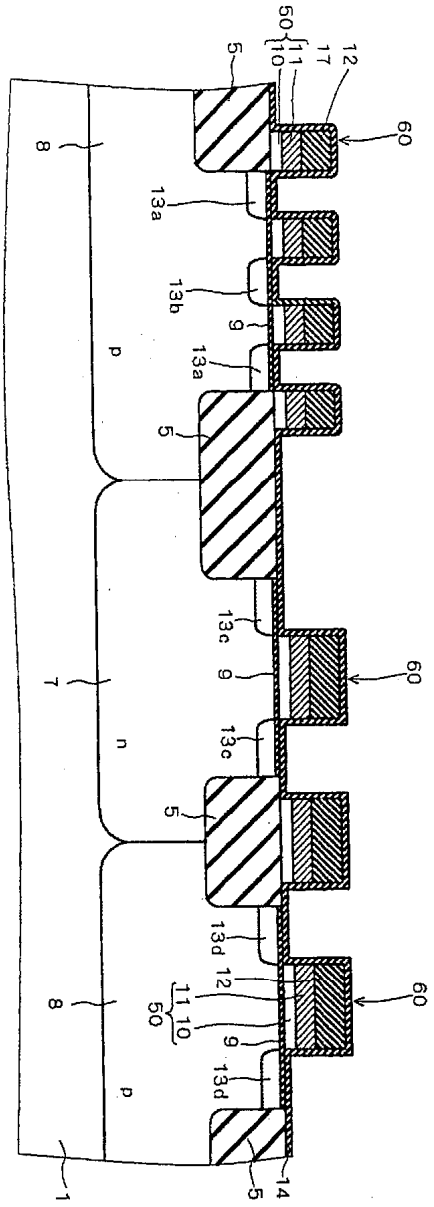
도면8



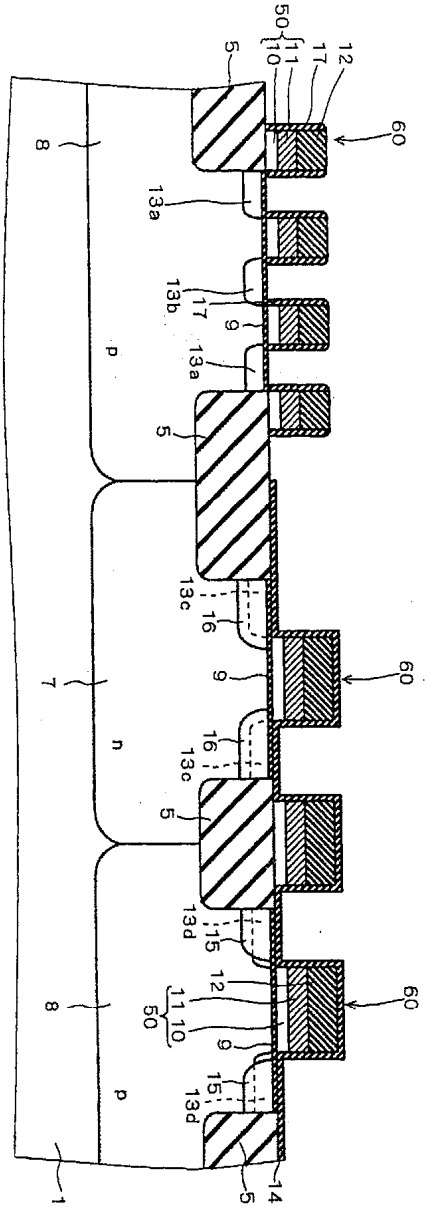
도면9


50
11
10
5
12
60
8
13a
13b
9
p
13a
5
13c
9
60
7
n
13c
5
13d
12
11
10
50
60
8
9
13d
p
1
5

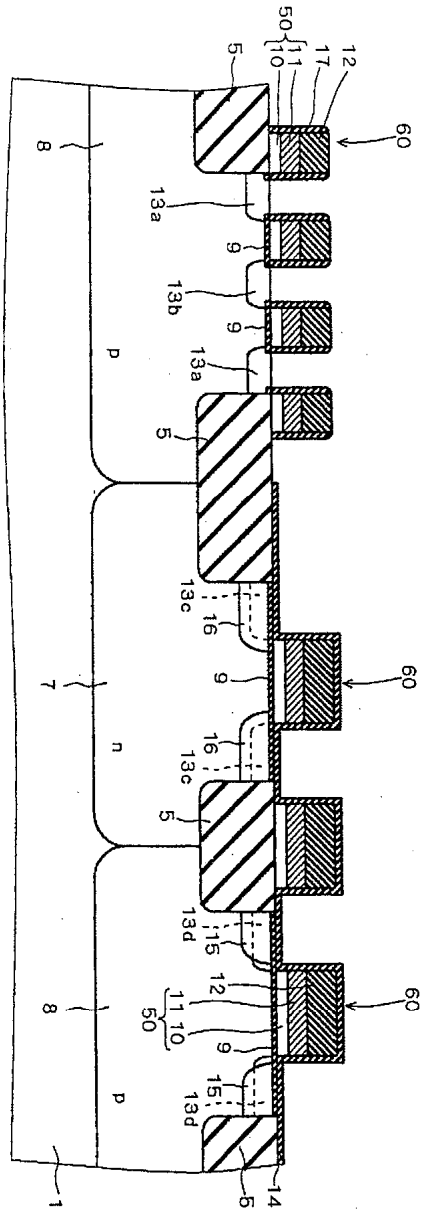
도면10


50
10
11
17
12
5
60
8
13a
13b
9
p
13a
5
13c
9
60
7
n
13c
5
13d
12
60
11
10
50
8
9
13d
p
1
5
14

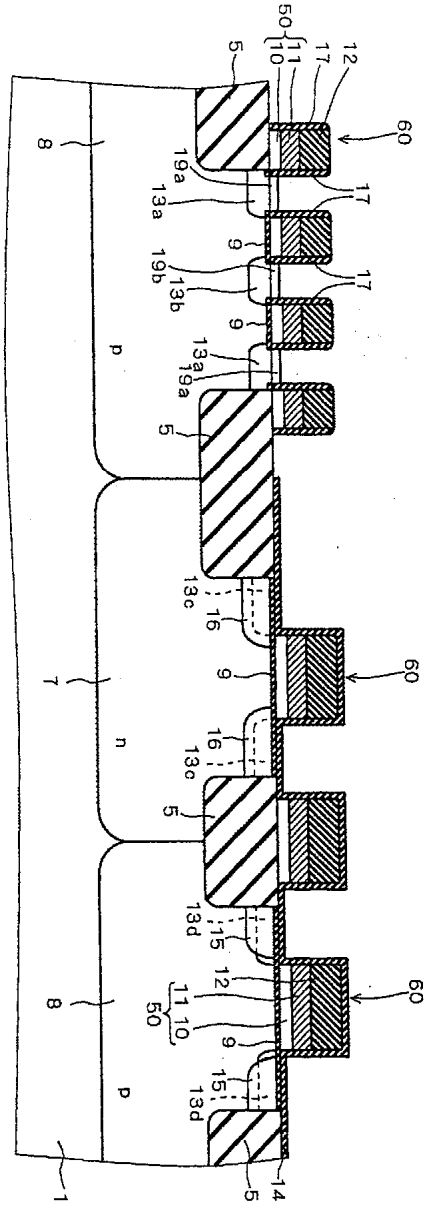
도면11


50
10
11
17
12
5
60
8
13a
13b
17
9
p
13a
5
13c
16
9
60
7
n
16
13c
5
13d
15
12
60
11
10
50
8
9
15
13d
p
1
5
14

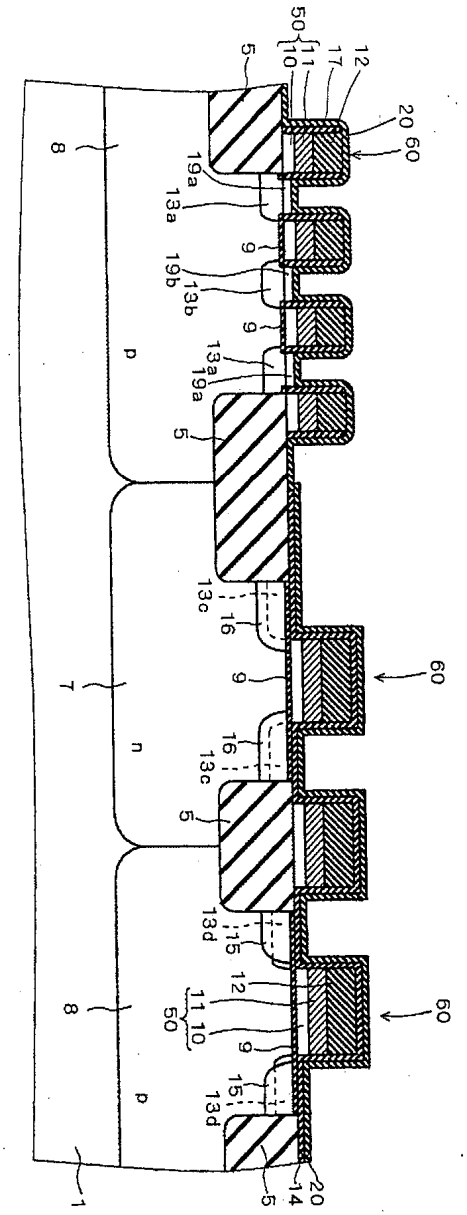
도면12


50
10
11
17
12
5
60
8
13a
9
13b
9
13a
p
5
13c
16
9
60
7
16
13c
n
5
13d
15
12
60
11
10
50
9
8
15
13d
p
1
5
14

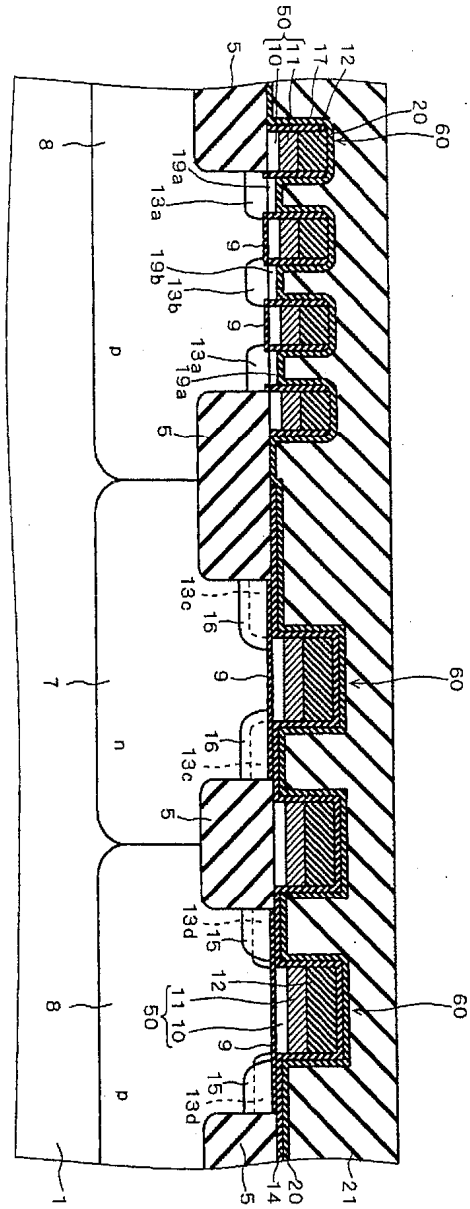
도면13


50
10
11
17
12
5
60
8
19a
13a
17
9
19b
13b
17
9
13a
19a
p
5
13c
16
9
60
7
16
13c
n
5
13d
15
12
60
11
10
50
8
9
15
13d
p
1
5
14

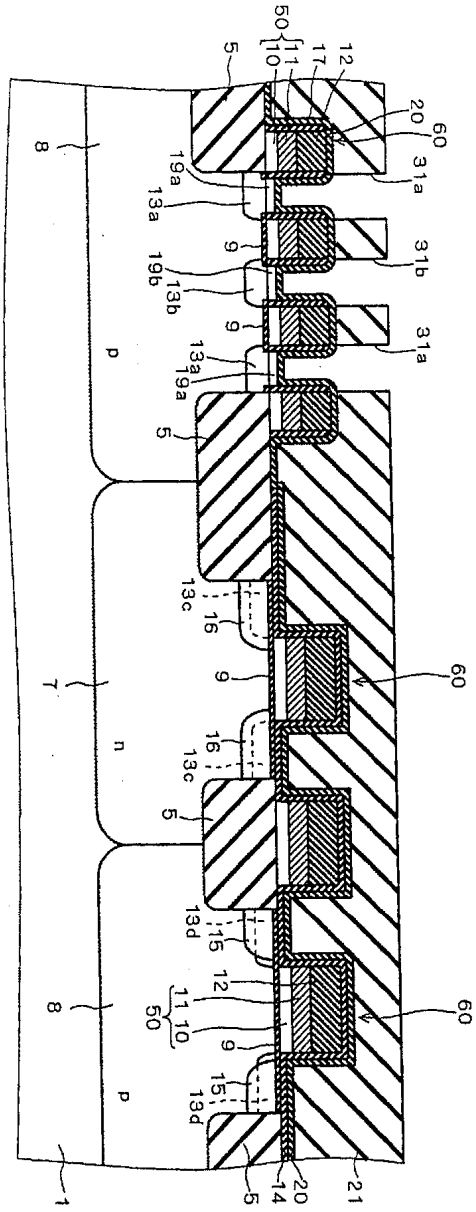
도면14



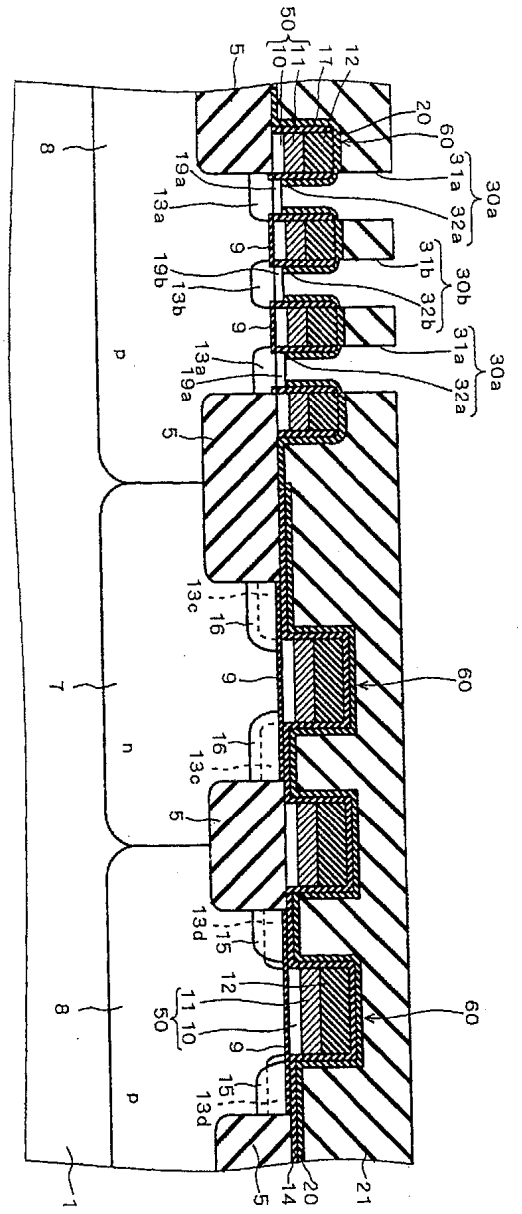
도면15


50
11
10
17
12
5
20
60
8
19a
13a
9
19b
13b
p
13a
19a
13c
16
7
n
13d
15
1
14
21

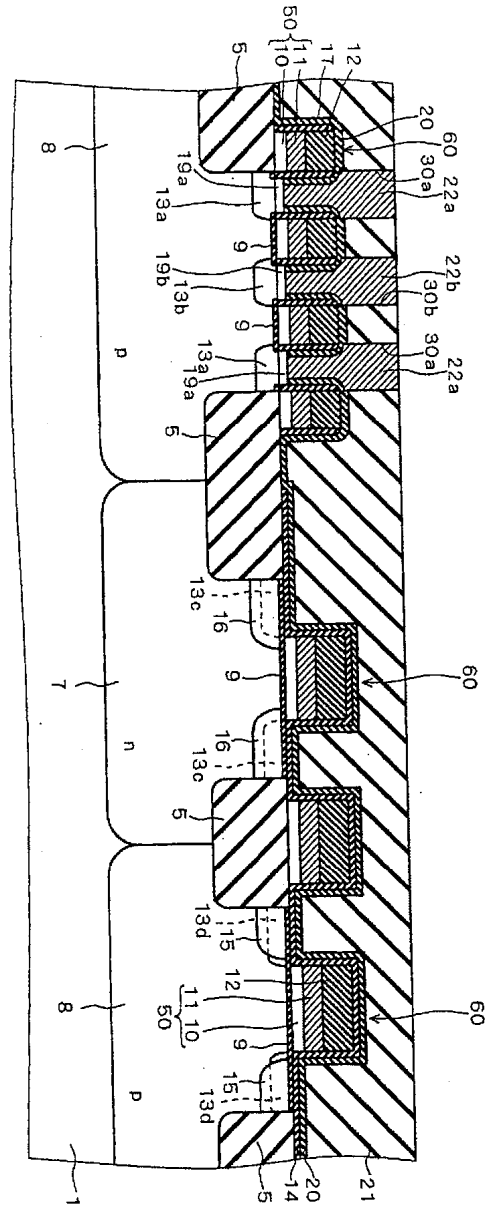
도면16


50
11
10
17
12
5
20
60
31a
19a
13a
9
31b
19b
13b
9
31a
13a
19a
5
13c
16
9
60
16
13c
5
13d
15
12
11
10
50
60
9
15
13d
8
p
n
p
8
7
1
5
14
20
21

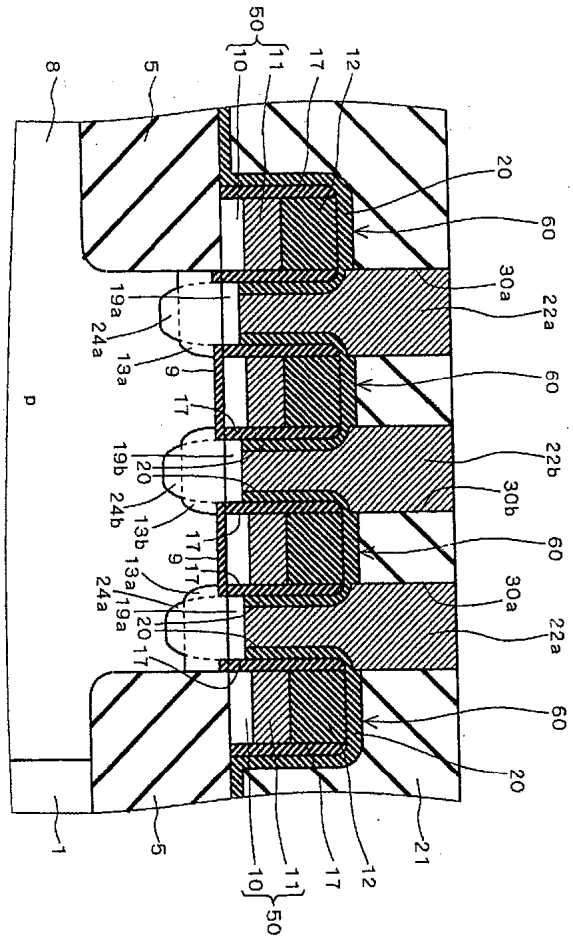
도면17


50
10
11
17
12
5
20
60
31a
32a
30a
19a
13a
9
31b
32b
30b
19b
13b
p
n
7
8
1
13c
16
13d
15
14
21

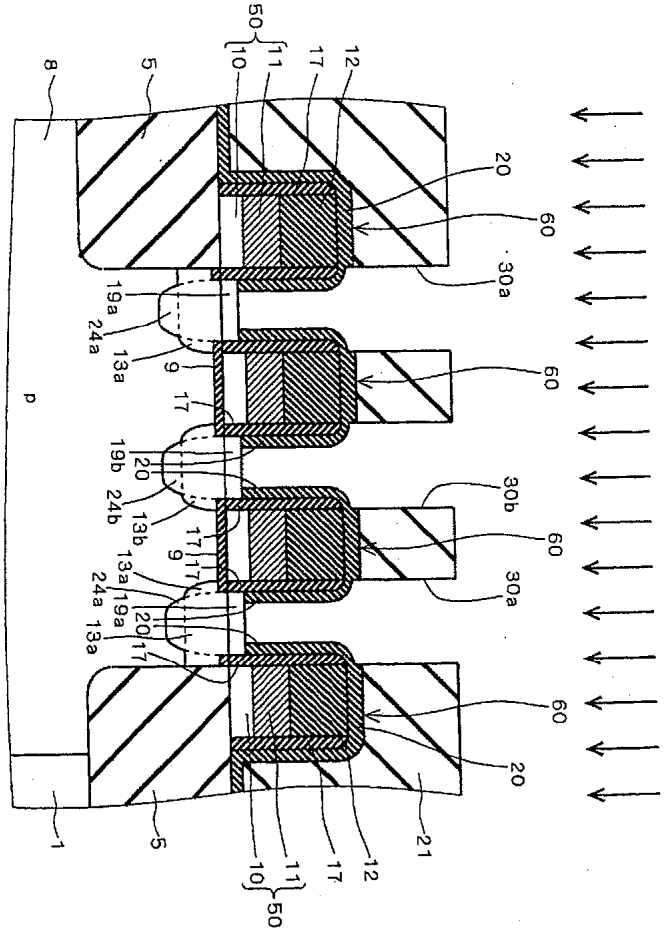
도면18


50
11
10
17
12
5
20
60
30a
22a
19a
13a
9
22b
19b
13b
30b
30a
22a
13a
19a
5
13c
16
9
60
7
n
16
13c
5
13d
15
12
11
10
50
60
9
15
13d
8
p
1
5
14
20
21

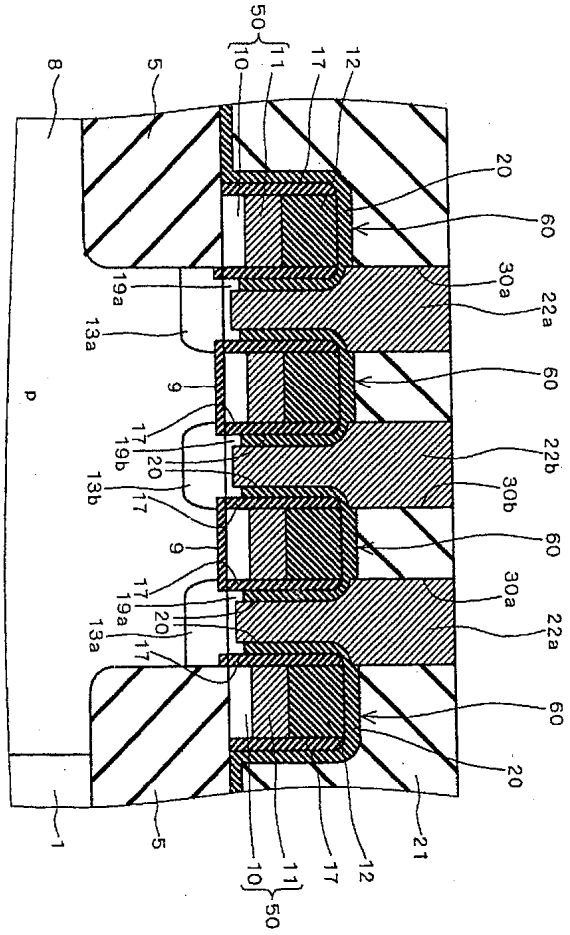
도면19


50
10
11
17
12
8
5
20
60
30a
22a
19a
24a
13a
9
17
60
22b
19b
20
24b
30b
13b
17
9
17
60
13a
30a
24a
19a
20
17
22a
60
20
1
5
21
10
11
17
12
50

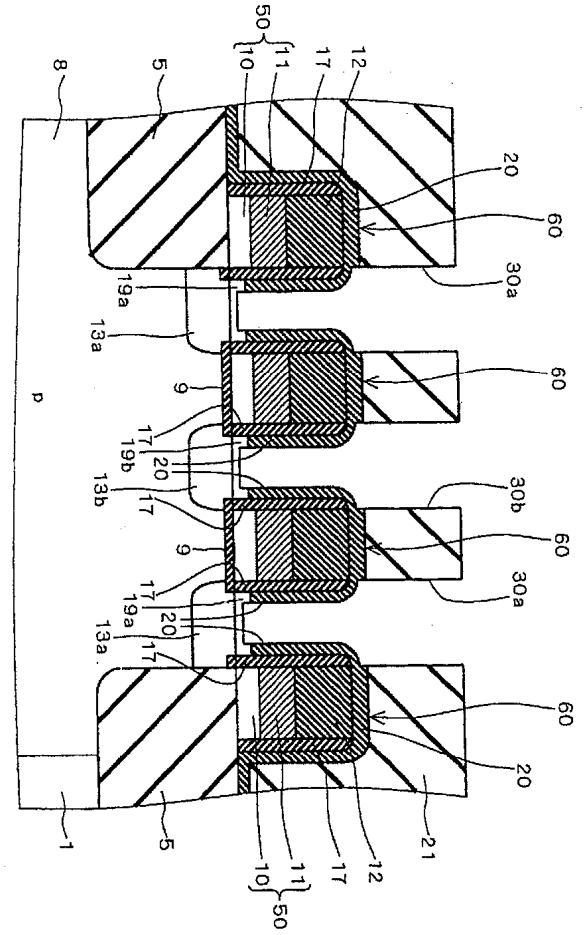
도면20


50
10
11
17
12
8
5
20
60
30a
19a
24a
13a
9
17
60
19b
20
24b
13b
30b
60
17
9
13a
24a
19a
20
13a
17
30a
60
20
1
5
21
10
11
17
12
50

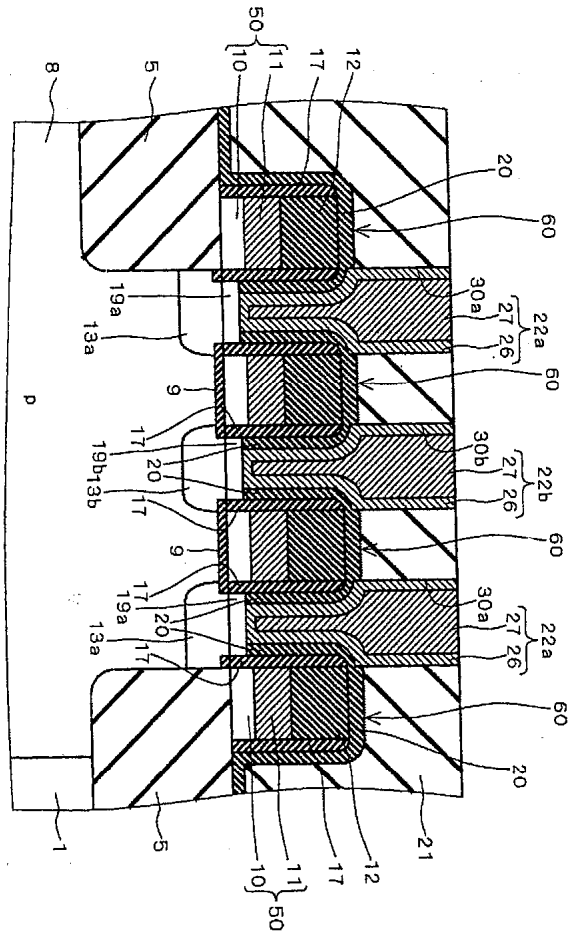
도면21


50
10
11
17
12
8
5
20
60
30a
22a
19a
13a
9
60
22b
30b
19b
20
13b
17
9
60
30a
22a
19a
20
13a
17
60
20
1
5
21
10
11
17
12
50

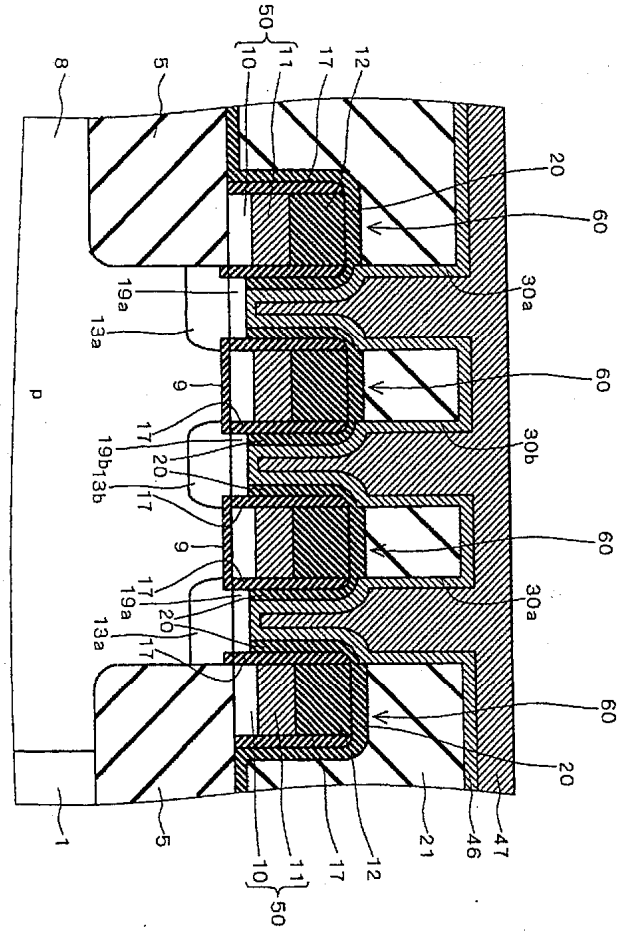
도면22


50
10
11
17
12
8
5
20
60
30a
19a
13a
9
p
17
19b
20
13b
17
30b
60
9
17
19a
20
13a
17
30a
60
20
1
5
21
10
11
17
12
50

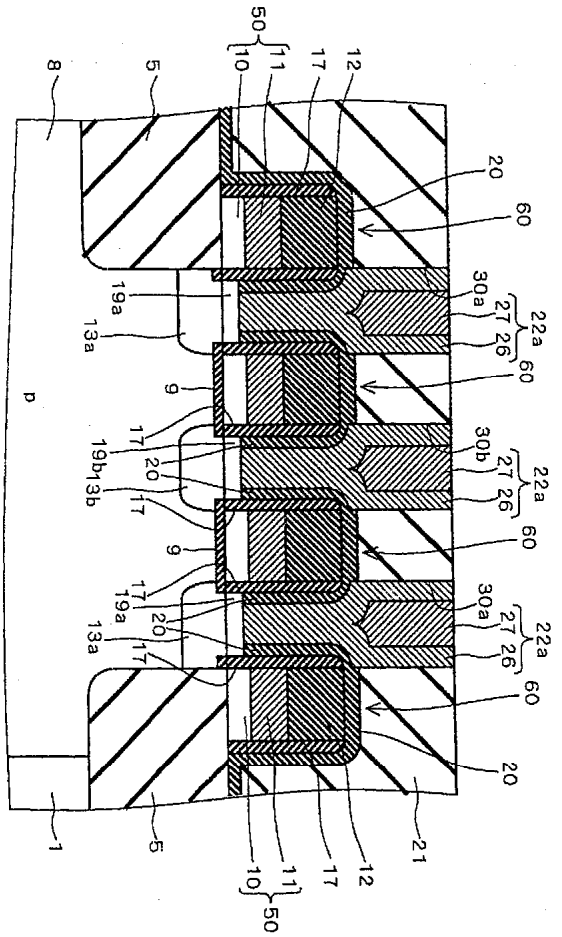
도면23


50
10
11
17
12
8
5
20
60
19a
13a
30a
27
26
22a
9
p
17
19b
13b
20
30b
22b
1
21

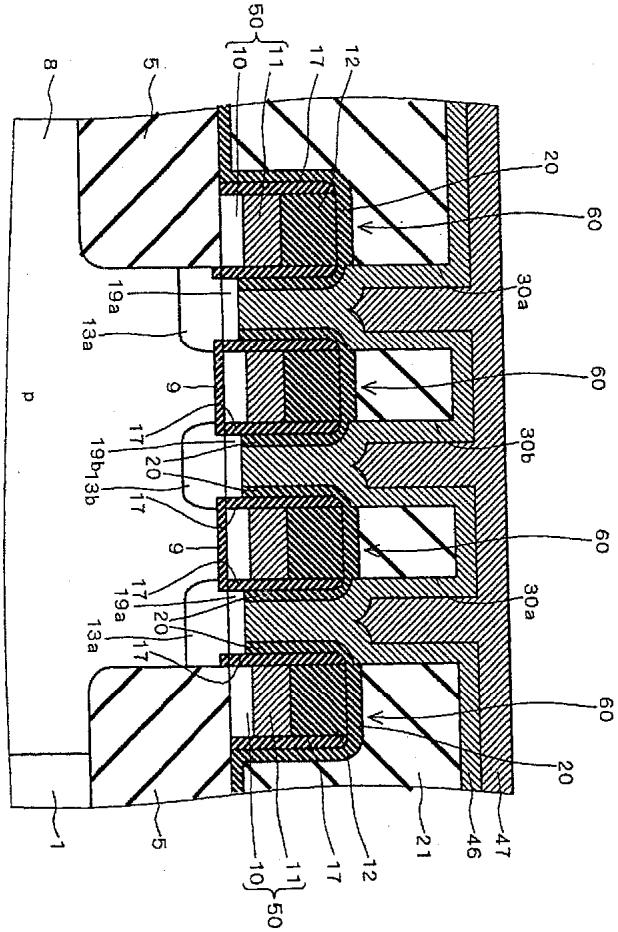
도면24


50
10
11
17
12
8
5
20
60
19a
13a
30a
9
p
17
19b
20
13b
17
30b
60
9
17
19a
20
13a
17
30a
60
20
1
5
10
11
17
12
21
46
47
50

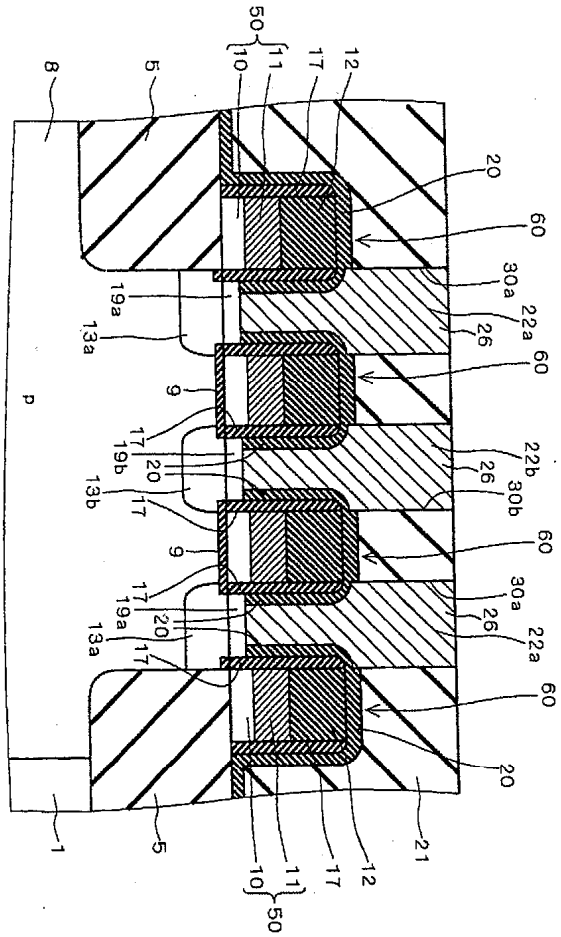
도면25


50
10
11
17
12
8
5
20
60
19a
30a
27
26
22a
13a
9
p
17
19b
20
13b
30b
1
21

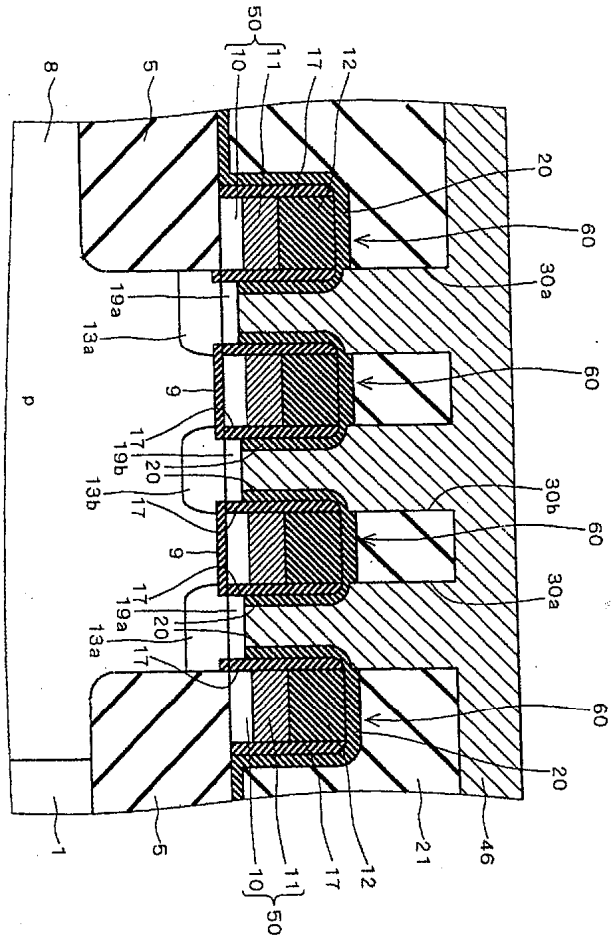
도면26


50
10
11
17
12
8
5
20
60
19a
13a
30a
9
60
17
19b
20
13b
17
30b
9
60
17
19a
20
13a
17
30a
60
20
1
5
10
11
17
12
21
46
47
50

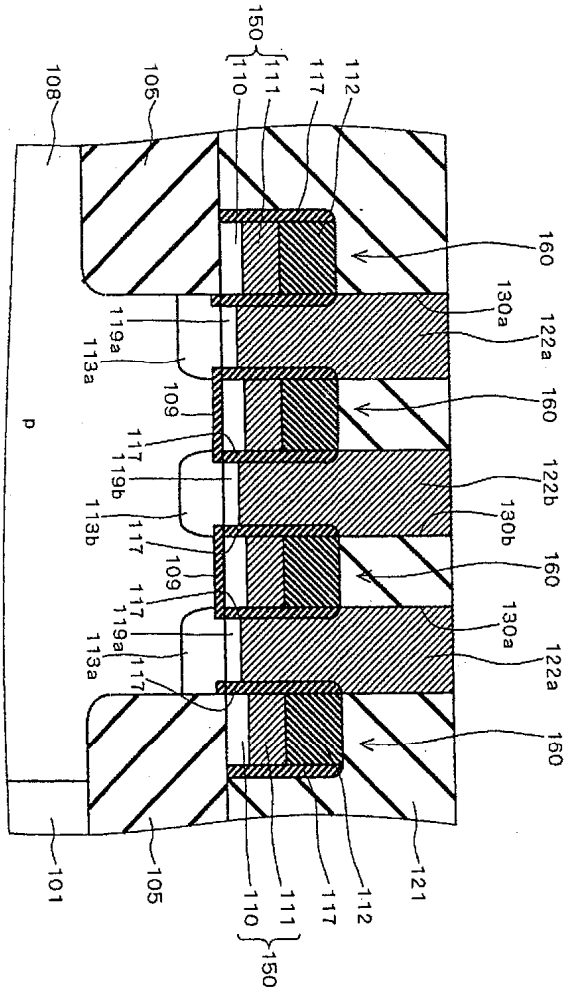
도면27


50
10
11
17
12
8
5
20
60
30a
22a
26
19a
13a
9
p
17
19b
20
13b
22b
30b
1
21

도면28


50
10
11
17
12
8
5
20
60
30a
19a
13a
9
p
17
19b
20
13b
17
30b
60
9
17
19a
20
13a
17
30a
60
20
1
5
21
46
10
11
17
12
50

도면29


150
110
111
117
112
108
105
160
130a
122a
119a
113a
109
160
117
119b
122b
113b
117
130b
109
160
117
119a
130a
113a
117
122a
160
101
105
110
111
117
112
121
150