

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5103259号
(P5103259)

(45) 発行日 平成24年12月19日(2012.12.19)

(24) 登録日 平成24年10月5日(2012.10.5)

(51) Int.Cl.		F I	
HO 1 L 43/08	(2006.01)	HO 1 L 43/08	P
HO 1 L 21/8246	(2006.01)	HO 1 L 27/10	4 4 7
HO 1 L 27/105	(2006.01)	HO 1 L 43/08	Z
HO 1 L 29/82	(2006.01)	HO 1 L 29/82	Z

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2008-111080 (P2008-111080)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年4月22日(2008.4.22)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-266861 (P2009-266861A)	(74) 代理人	100101454 弁理士 山田 卓二
(43) 公開日	平成21年11月12日(2009.11.12)	(74) 代理人	100081422 弁理士 田中 光雄
審査請求日	平成23年1月21日(2011.1.21)	(74) 代理人	100112911 弁理士 中野 晴夫
		(72) 発明者	高田 裕 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		(72) 発明者	長永 隆志 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 磁気記憶素子及び磁気記憶装置

(57) 【特許請求の範囲】

【請求項1】

磁化方向が一定方向に固定された固着層(PL)と、
 該固着層(PL)と接する非磁性誘電体層(TN1)と、
 該非磁性誘電体層(TN1)と接する第1面と、該第1面と対向する第2面とを備え、
 磁化方向が反転可能な記憶層(FL)との積層構造からなり、該積層構造を流れる電流により該記憶層(FL)の磁化方向を反転させる磁気記憶素子であって、
 該記憶層(FL)の第1面の全面が該非磁性誘電体層(TN1)に覆われ、
 該非磁性誘電体層(TN1)と該固着層(PL)との接合面において、該接合面を囲むように該非磁性誘電体層(TN1)が露出し、
 該記憶層(FL)の第2面の全面が第2非磁性誘電体層(TN2)に覆われ、該第2非磁性誘電体層(TN2)と接するように金属層が設けられ、
 該第2非磁性誘電体層(TN2)と該金属層との接合面において、該接合面を囲むように該第2非磁性誘電体層(TN2)が露出したことを特徴とする磁気記憶素子。

【請求項2】

上記非磁性誘電体層(TN1)と上記固着層(PL)との接合面と、上記第2非磁性誘電体層(TN2)と上記金属層との接合面とが、該接合面の法線方向に見た場合に、一致するように配置されたことを特徴とする請求項1に記載の磁気記憶素子。

【請求項3】

上記接合面の外縁と、上記第2非磁性誘電体層(TN2)の外縁との距離が、上記記憶

層 (F L) の厚み以上であることを特徴とする請求項 1 または 2 に記載の磁気記憶素子。

【請求項 4】

請求項 1 ~ 3 のいずれかに記載の磁気記憶素子がマトリックス状に配置されたことを特徴とする磁気記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気記憶素子及び磁気記憶装置に関し、特にスピン偏極した電子を磁気素子に流すことにより情報の書き換えが可能な磁気記憶素子及び磁気記憶装置に関する。

【背景技術】

10

【0002】

新世代の不揮発性磁気記憶装置として、M R A M (Magnetic Random Access Memory) デバイスが注目されている。M R A M デバイスは、半導体集積回路に形成された複数の薄膜磁性体からなるメモリセルを用いて不揮発のデータ記憶を行なうとともに、各メモリセルに対してランダムアクセスを可能とした不揮発性磁気記憶装置である。

かかるメモリセルは、磁化方向が固定された強磁性層からなる固着層と、外部磁界に応じてその磁化方向が変化する強磁性層からなる記録層とを、非磁性層を介して配置したサンドイッチ構造の磁気抵抗素子を含む。磁気抵抗素子は、記録層の磁化方向の変化に応じて生じる電気抵抗値の変化に対応付けてデータを記憶する。電気抵抗値の変化は、その原理に応じて、トンネル磁気抵抗 (Tunnel Magneto Resistive) 効果や巨大磁気抵抗 (Giant Magneto Resistive) 効果などに分類されるが、トンネル磁気抵抗効果による磁気抵抗素子を用いることで、M R A M デバイスの性能が飛躍的に向上することが知られている。

20

記憶層の磁化を反転させる方法として、スピン偏極した電子を磁性体に流すこと (スピン注入) により、磁性体の磁化方向を反転させる方法を用いた S T T - M R A M (Spin Torque Transfer-MRAM) が報告されている (例えば、非特許文献 1、2 参照)。このようなスピン注入による磁化反転方式は、電子の持つスピン角運動量が記憶層の磁性体の角運動量と相互作用することによってスピンの伝達が行われるという原理に基づく。メモリセルのサイズが小さくなるほど、記憶層の磁化反転に必要な電流が小さくなるといった特長があり、大容量の不揮発性磁気記憶装置に適した記憶方法といえる。

【非特許文献 1】F.J.Albert, et al., Appl.Phys.Lett. Vol. 77, P.3809 (2000)

30

【非特許文献 2】Y.Huai, et al., Appl.Phys.Lett. Vol. 84, P.3118 (2004)

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、スピン注入による磁化反転方式では、磁化反転に必要な反転電流密度は $1 \times 10 \text{ MA} / \text{cm}^2$ 程度であり、単磁区構造を用いる磁気抵抗素子では数 mA の書き込み電流が必要となる。このため、配線などによる制約や大容量化に対応して、書き込み電流の低減が必要であった。

また、記憶層の中心部のスピンの反転エネルギーは周辺部と比較して高いため、周辺部においてスピンの反転しても中心部のスピンは反転しない場合があった。

40

更に、磁気抵抗素子の加工時のダメージ等により、記憶層の周辺部の磁気特性が劣化する場合もあり、記憶層の周辺部に電流を流しても、実質的に記憶層の磁化反転に寄与しないという問題があった。

【0004】

そこで、本発明は、スピン注入による磁化反転方式の磁気記憶素子及び磁気記憶装置において、書き換え電流が低く、かつ良好な磁気特性を有する磁気記憶素子及び磁気記憶装置の提供を目的とする。

【課題を解決するための手段】

【0005】

本発明は、磁化方向が一定方向に固定された固着層 (P L) と、固着層 (P L) と接す

50

る非磁性誘電体層 (T N 1) と、非磁性誘電体層 (T N 1) と接する第 1 面と、第 1 面と対向する第 2 面とを備え、磁化方向が反転可能な記憶層 (F L) との積層構造からなり、積層構造を流れる電流により記憶層 (F L) の磁化方向を反転させる磁気記憶素子であって、記憶層 (F L) の第 1 面の全面が非磁性誘電体層 (T N 1) に覆われ、非磁性誘電体層 (T N 1) と固着層 (P L) との接合面において、接合面を囲むように非磁性誘電体層 (T N 1) が露出し、記憶層 (F L) の第 2 面の全面が第 2 非磁性誘電体層 (T N 2) に覆われ、第 2 非磁性誘電体層 (T N 2) と接するように金属層が設けられ、第 2 非磁性誘電体層 (T N 2) と金属層との接合面において、接合面を囲むように第 2 非磁性誘電体層 (T N 2) が露出したことを特徴とする磁気記憶素子である。

10

【 0 0 0 6 】

また、本発明は、磁気記憶素子がマトリックス状に配置されたことを特徴とする磁気記憶装置でもある。

【 発明の効果 】

【 0 0 0 7 】

本発明では、低電流で情報の書き換えが可能で、かつ磁気特性の良好な磁気記憶素子および磁気記憶装置の提供が可能となる。

【 発明を実施するための最良の形態 】

【 0 0 0 8 】

以下に、図面を参照しながら、本発明の好適な実施の形態について説明する。なお、以下の説明では、「上」、「下」、「左」、「右」およびこれらの用語を含む名称を適宜使用するが、これらの方向は図面を参照した発明の理解を容易にするために用いるものであり、実施形態を上下反転、あるいは任意の方向に回転した形態も、当然に本願発明の技術的範囲に含まれる。

20

【 0 0 0 9 】

実施の形態 1 .

図 1 は、全体が 1 0 0 で表される本実施の形態 1 にかかる磁気記憶装置 (S T T - M R A M (Spin Torque Transfer-MRAM)) の部分断面図を表す。

【 0 0 1 0 】

磁気記憶装置 1 0 0 は、シリコン等の半導体基板 1 を含む。半導体基板 1 には、酸化シリコン等からなる素子分離絶縁膜 2 が設けられている。素子分離絶縁膜 2 によって区切られた素子形成領域には、素子選択用のトランジスタ 1 0 が形成されている。トランジスタ 1 0 は、半導体基板 1 上に設けられたゲート絶縁膜 1 1 と、その上に設けられたゲート電極 1 2 を含む。ゲート電極 1 2 の両側には、酸化シリコン等からなるサイドウォール 1 3 が設けられている。また、半導体基板 1 には、ゲート電極 1 2 を挟むようにソース/ドレイン領域 1 4 が設けられている。

30

【 0 0 1 1 】

半導体基板 1 の上には、例えば酸化シリコンからなる層間絶縁層 2 0 が設けられている。層間絶縁層 2 0 には、例えば T i N / T i からなるバリアメタル層 2 1 を介して、例えばタングステンからなるコンタクトプラグ 2 2 が埋め込まれている。コンタクトプラグ 2 2 は、ソース/ドレイン領域 1 4 に電氣的に接続されている。

40

【 0 0 1 2 】

コンタクトプラグ 2 2 の上には、例えば T a N / T a からなるバリアメタル膜 2 3 を介して、例えば銅からなるコンタクトプラグ 2 4 が埋め込まれ、更に、コンタクトプラグ 2 4 上には、例えば T a N / T a からなるバリアメタル膜 2 5 を介して、例えば銅からなるコンタクトプラグ 2 6 が埋め込まれている。

【 0 0 1 3 】

コンタクトプラグ 2 6 の上には、例えば銅からなる引き出し配線 3 0 が設けられ、その上に磁気記憶素子 (T M R (Tunneling Magneto Resistance) 素子) 5 0 が設けられている。磁気記憶素子 5 0 の上には、例えば T a N / T a からなるバリアメタル膜 2 7 を介し

50

て、例えば銅からなるコンタクトプラグ28が埋め込まれている。

層間絶縁層20の上には、コンタクトプラグ28と接続するように、例えば銅からなるビットライン(BL)40が設けられている

【0014】

図2は、図1の磁気記憶素子50を拡大図であり、(a)に上面図、(b)に断面図を示す。磁気記憶装置100は、複数の磁気記憶素子50がマトリックス状に配置された構造となっている。図1には記載していないが、磁気記憶素子50とバリアメタル膜25との間には、例えばTaからなる上部電極TEが設けられている。

【0015】

磁気記憶素子50は、引き出し電極30と接続された固着層(ピン層)PLを含む。固着層PLの上には、非磁性体(誘電体)であるトンネル絶縁層TN1、TN2と、これらのトンネル絶縁層TN1、TN2に挟まれた強磁性体である記憶層(フリー層)FLが設けられている。トンネル絶縁層TN2の上には、上述の上部電極TEが設けられている。

【0016】

固着層(ピン層)PLには、例えば、PtMn、IrMn、FeMn、PtCrMn、NiMn、NiO、Fe₂O₃などの反強磁性体と、Co、Fe、Ni、Al、B、Si、Zr、Nb、Cr、Taなどの元素を1種又は複数からなる強磁性体とを交換結合させた構造や、薄い非磁性層を介して強磁性体と強磁性体とを結合させたSAF構造(Synthetic Anti Ferromagnet構造)を反強磁性層上に積層した構造が用いられる。

また、トンネル絶縁層TN1、TN2には、例えばMg、Al、Siなどを含む酸化物や窒化物(例えばAlN、SiN)又はこれらを混合した材料が用いられる。

また、記憶層(フリー層)FLは、Co、Fe、Ni、Al、B、Si、Zr、Nb、Cr、Taなどの元素を1種又は複数からなる強磁性体であり、固着層PLに使われる強磁性体と同じ材料を用いることが好ましいが、異なった強磁性体材料を用いても構わない。

【0017】

本実施の形態1にかかる磁気記憶素子50では、図2に示すように、記憶層FLの両面にトンネル絶縁層TN1、TN2が設けられている。トンネル絶縁層TN2の上面に上部電極TEが設けられている。上部電極TEの端部(外縁)は、記憶層FLの端部(外縁)より内側に配置されている。

【0018】

また、上部電極TEの端部(外縁)と、記憶層FLの端部(トンネル絶縁層TN2の外縁)との距離は、記憶層FLの厚み以上であることが好ましい。通常、記憶層FLの加工ダメージ等は、少なくとも端部からこれくらいの距離の範囲内に存在するからである。

【0019】

また、トンネル絶縁層TN1の下面には固着層PLが設けられている。固着層PLの端部は、記憶層FLの端部より内側に配置されている。図2(a)では、固着層PLが、記憶層FLを挟んで上部電極TEと対称となる位置(略一致する位置)に設けられている。また、固着層PLの端部と、記憶層FLの端部との距離は、記憶層FLの厚み以上であることが好ましい。

【0020】

本実施の形態1にかかる磁気記憶素子50では、固着層PLから注入された電子(電流は上部電極TEから固着層PLに流れる)のうち、固着層PLとスピンの方向が揃った電子はトンネル絶縁層TN1、記憶層FLを通過して、上部電極TEに流れる。この時、トンネル絶縁層TN1は誘電体からなるため、誘電体中では電子は横方向に拡がらず、主に記憶層FLの中央部に電子が流れ込み、周辺部にはほとんど流れ込まない。

【0021】

また、上部電極TEは、記憶層FLを挟んで固着層PLと対称となるように配置されているため、固着層PLから記憶層FLに流れ込んだ電子は、周辺部には拡がらずに上部電

10

20

30

40

50

極 T E に流れ込む。

【 0 0 2 2 】

このように、かかる構造を用いることにより、記憶層 F L の中央部に集中的に電子を注入することができ、周辺部に比較して反転しにくい中央部のスピンを効率良く反転させることができる。

【 0 0 2 3 】

図 3 は、紙面の右から左に向かって磁界をかけた場合の、記憶層 F L のスピンの方向を表すシミュレーション結果である。図 3 中、楕円部分が記憶層 F L に相当する。図 3 から分かるように、周辺部のスピンの方向は、中央部のスピンの方向に比べて右に傾いている。これは、中央部のスピンの方向が周辺部のスピンの方向より方向が変わりにくいことを表している。

10

【 0 0 2 4 】

このように、磁気記憶素子 5 0 では、記憶層 F L の中央部に集中的に電流を流すことにより、中央部のみにスピン偏極した電子を通過させることで、記憶層 F L のスピンの反転効率を高くできる。この結果、磁気記憶素子 5 0 の書き換えが低電流で可能となる。

【 0 0 2 5 】

また、従来、記憶層 F L の周辺部に加工ダメージ等の入った領域がある場合、かかる周辺部では電流を流しても実質的に記憶層の磁化反転が起きないという問題があった。これに対しても、磁気記憶素子 5 0 では、記憶層 F L の中央部のスピンを主に磁化反転させるため、周辺部のダメージの影響を受けにくく、反転効率が高くなる。この結果、磁気記憶素子 5 0 の書き換えが低電流で可能となる。

20

【 0 0 2 6 】

図 4 は、全体が 5 5 で表される、本実施の形態 1 にかかる他の磁気記憶素子の拡大図であり、(a) に上面図、(b) に断面図を示す。図 4 中、図 1、2 と同一符号は同一又は相当箇所を示す。

図 4 に示すように、磁気記憶素子 5 5 において、上部電極 T E 内に磁化方向を固定した（多くは固定層 P L とは逆の磁化方向を持つ）固定層 P L 2 を設け、スピントラップとして用いることにより、更に反転効率が高くなり、書き換えの低電流化が可能となる。

【 0 0 2 7 】

実施の形態 2 .

図 5 は、全体が 1 5 0 で表される、本実施の形態 2 にかかる磁気記憶素子の拡大図であり、(a) に上面図、(b) に断面図を示す。図 5 中、図 1、2 と同一符号は同一又は相当箇所を示す。

30

【 0 0 2 8 】

磁気記憶素子 1 5 0 は、引き出し電極 3 0 と接続された固着層（ピン層）P L を含む。固着層 P L の上には、非磁性体（誘電体）であるトンネル絶縁層 T N 1、強磁性体である記憶層（フリー層）F L、および上部電極 T E が順次積層されている。

【 0 0 2 9 】

本実施の形態 2 にかかる磁気記憶素子 1 5 0 では、固着層 P L の端部は、記憶層 F L およびトンネル絶縁膜 T N 1 の端部より内側に配置されている。また、固着層 P L の端部と、記憶層 F L の端部との距離は、記憶層 F L の厚み以上であることが好ましい。一方、記憶層 F L の上には上部電極 T E が直接設けられ、面積も同一となっている。

40

【 0 0 3 0 】

本実施の形態 2 にかかる磁気記憶素子 1 5 0 では、固着層 P L から注入された電子のうち、固着層 P L とスピンの方向が揃った電子はトンネル絶縁層 T N 1、記憶層 F L を通って、上部電極 T E に流れる。この時、トンネル絶縁層 T N 1 は誘電体からなるため、誘電体中では電子は横方向に拡がらず、主に記憶層 F L の中央部に電子が流れ込み、周辺部には流れ込まない。

【 0 0 3 1 】

また、トンネル絶縁層 T N 1 や記憶層 F L の面積に比較して固着層 P L の面積が小さいため、上部電極 T E から記憶層 F L を通って固着層 P L に流れ込む電子も記憶層 F L の周

50

辺部には拡がらない。このため、ダメージ等のために磁化反転しにくい周辺部には電子を供給せず、主に記憶層 F L の中央部に電子を供給するために、記憶層 F L の中央部のスピンを優先的に磁化反転でき、磁気記憶素子 1 5 0 の書き換えが低電流で可能となる。

【 0 0 3 2 】

実施の形態 3 .

図 6 は、全体が 2 5 0 で表される、本実施の形態 3 にかかる磁気記憶素子の拡大図であり、(a) に上面図、(b) に断面図を示す。図 6 中、図 1、2 と同一符号は同一又は相当箇所を示す。

【 0 0 3 3 】

本実施の形態 3 にかかる磁気記憶素子 2 5 0 は、実施の形態 2 にかかる磁気記憶素子 1 5 0 を上下、逆に形成した構造となっている。

即ち、下部電極 B E (図 1 の引き出し電極 3 0 に相当) の上に、記憶層 F L、トンネル絶縁層 T N 1 が形成され、その上に固着層 P L が形成されている。固着層 P L の端部は、記憶層 F L およびトンネル絶縁膜 T N 1 の端部より内側に配置されている。また、固着層 P L の端部と、記憶層 F L の端部との距離は、記憶層 F L の厚み以上であることが好ましい。なお、固着層 P L の上には、図示しない上部電極 T E が設けられている。

【 0 0 3 4 】

本実施の形態 3 にかかる磁気記憶素子 2 5 0 では、上述の磁気記憶素子 1 5 0 と同様に、主に記憶層 F L の中央部に電子を供給できるために、記憶層 F L の中央部のスピンを優先的に磁化反転でき、磁気記憶素子 2 5 0 の書き換えが低電流で可能となる。

【 0 0 3 5 】

実施の形態 4 .

図 7 は、全体が 3 5 0 で表される、本実施の形態 4 にかかる磁気記憶素子の拡大図であり、(a) に上面図、(b) に断面図を示す。図 7 中、図 1、2 と同一符号は同一又は相当箇所を示す。

【 0 0 3 6 】

本実施の形態 4 にかかる磁気記憶素子 3 5 0 は、実施の形態 1 にかかる磁気記憶素子 5 0 のうち上部電極のみを縮小したものである。

記憶層 F L の両面にトンネル絶縁層 T N 1、T N 2 が設けられている。トンネル絶縁層 T N 2 の上面に上部電極 T E が設けられている。上部電極 T E の端部 (外縁) は、記憶層 F L の端部 (外縁) より内側に配置されている。また、上部電極 T E の端部 (外縁) と、記憶層 F L の端部 (トンネル絶縁層 T N 2 の外縁) との距離は、記憶層 F L の厚み以上であることが好ましい。

【 0 0 3 7 】

本実施の形態 4 にかかる磁気記憶素子 3 5 0 では、上述の磁気記憶素子 2 5 0 と同様に、主に記憶層 F L の中央部に電子を供給できるために、記憶層 F L の中央部のスピンを優先的に磁化反転でき、磁気記憶素子 3 5 0 の書き換えが低電流で可能となる。

【 0 0 3 8 】

なお、実施の形態 1 ~ 4 では、磁気記憶素子 5 0、5 5、1 5 0、2 5 0、3 5 0、4 5 0 の上面形状を楕円形としたが、例えば矩形、円形、多角形等の他の形状としても同様の効果を得ることができる。また、記憶層 F L よりも面積を小さくした上部電極 T E や、下部電極 B E、固定層 P L、P L 2 などの形状も磁気記憶素子と相似である必要は無く、異なる形状であっても同様な効果を得ることができる。

【 0 0 3 9 】

また、実施の形態 2 ~ 4 に示した磁気記憶素子においても、実施の形態 1 で述べたように、固定層 P L と対応している金属電極 T E や下部電極 B E 内に固定層 P L と逆方向に磁化された第 2 の固定層 P L 2 を設けることにより、スピンの揃った電子を注入でき反転効率が向上する。

【 図面の簡単な説明 】

【 0 0 4 0 】

10

20

30

40

50

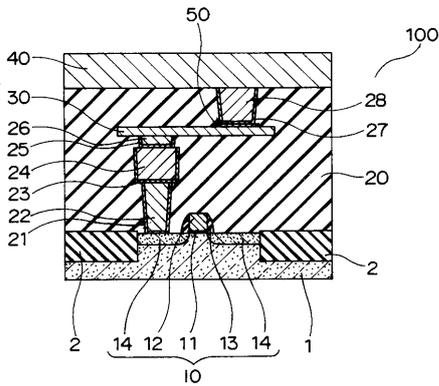
- 【図 1】本発明の実施の形態 1 にかかる磁気記憶装置の部分断面図である。
- 【図 2】本発明の実施の形態 1 にかかる磁気記憶素子の拡大図である。
- 【図 3】記憶層 FL のスピンの方向を表すシミュレーション結果である。
- 【図 4】本発明の実施の形態 1 にかかる他の磁気記憶素子の拡大図である。
- 【図 5】本発明の実施の形態 2 にかかる磁気記憶素子の拡大図である。
- 【図 6】本発明の実施の形態 3 にかかる磁気記憶素子の拡大図である。
- 【図 7】本発明の実施の形態 4 にかかる磁気記憶素子の拡大図である。

【符号の説明】

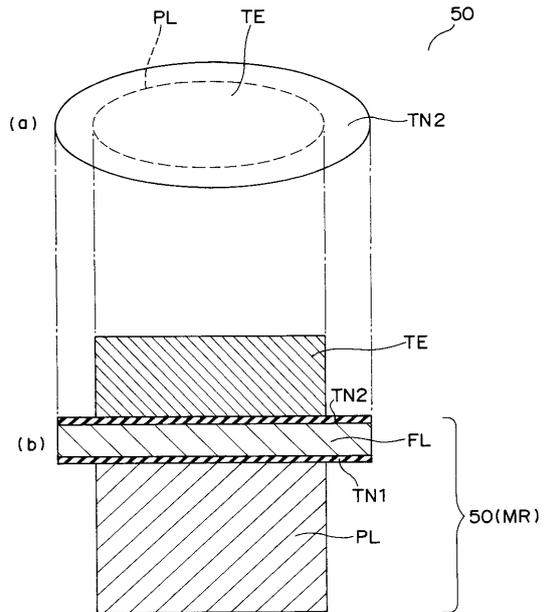
【0041】

1 半導体基板、2 素子分離絶縁膜、10 トランジスタ、11 ゲート絶縁膜、12 ゲート電極、13 サイドウォール、14 ソース/ドレイン領域、20 層間絶縁層、21、23、25、27 バリアメタル層、22、24、26、28 コンタクトプラグ、30 (BE) 引き出し配線 (下部電極)、40 ビットライン、50 (MR) 磁気記憶素子 (メモリセル)、100 磁気記憶装置、PL、PL2 固着層、TN1、TN2 トンネル絶縁膜、FL 記憶層、TE 上部電極。

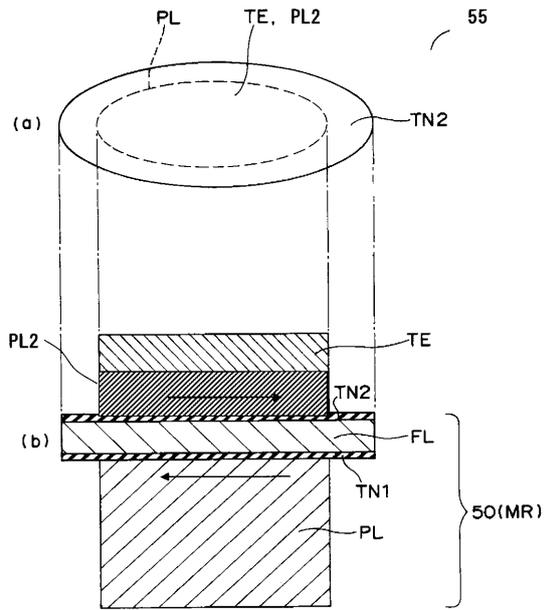
【図 1】



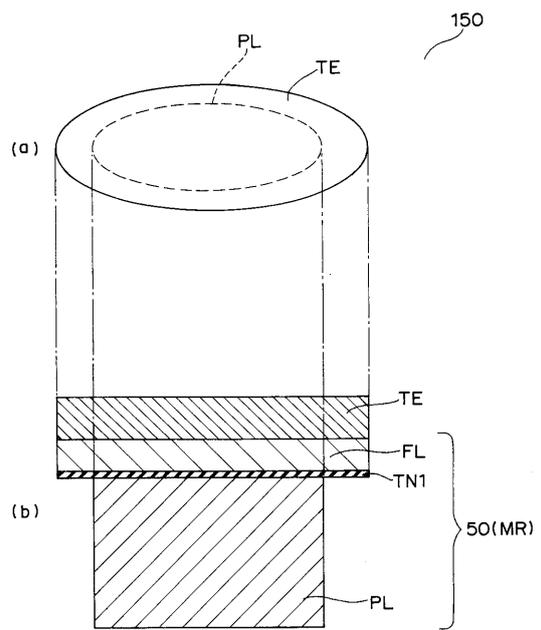
【図 2】



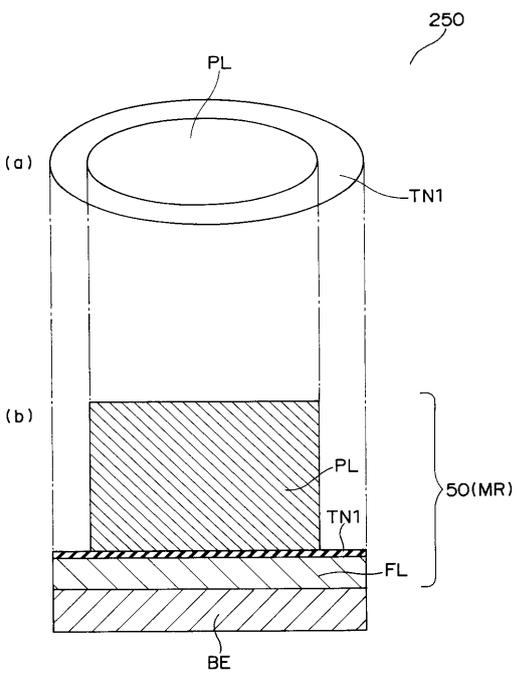
【図4】



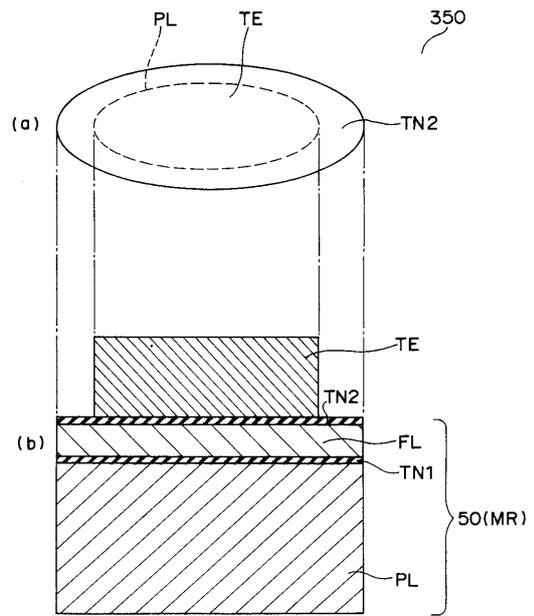
【図5】



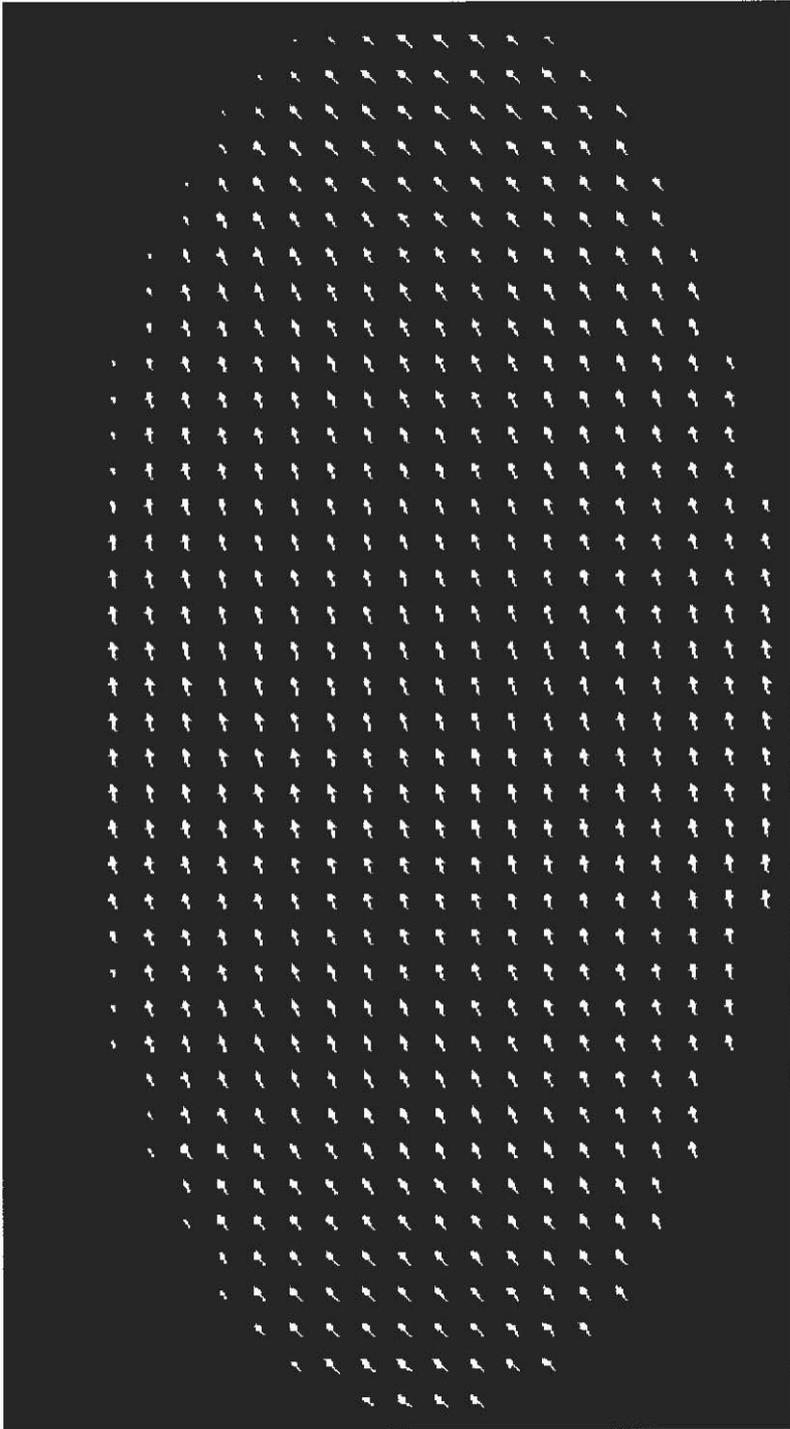
【図6】



【図7】



【 図 3 】



フロントページの続き

- (72)発明者 黒岩 丈晴
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 古川 泰助
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 長谷川 直也

- (56)参考文献 特開2006-156477(JP,A)
特開2008-252037(JP,A)
特開2008-091794(JP,A)
特開2008-153527(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/8246、27/105、
27/22、29/82、
43/00-43/14