

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5650366号  
(P5650366)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl. F I  
G 1 1 C 29/00 (2006.01) G 1 1 C 29/00 6 0 3 L

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2007-280822 (P2007-280822)	(73) 特許権者	513192281
(22) 出願日	平成19年10月29日(2007.10.29)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2009-110584 (P2009-110584A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成21年5月21日(2009.5.21)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成22年9月9日(2010.9.9)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】 アンチヒューズ回路及びこれを備える半導体装置、並びに、アンチヒューズ回路へのアドレス書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

不揮発的にデータを保持するアンチヒューズ素子を含む複数のヒューズセットを備え、前記ヒューズセットは、不良アドレスを記憶する複数のビット記憶回路と、前記複数のビット記憶回路に記憶された不良アドレスを無効とするディセーブル回路とを含んでおり、前記複数のヒューズセットのうち、前記不良アドレスの書き込みに失敗したヒューズセットの前記ディセーブル回路は活性化されていることを特徴とするアンチヒューズ回路。

【請求項 2】

前記ヒューズセットは、前記複数のビット記憶回路に記憶された不良アドレスを有効とするイネーブル回路をさらに含んでいることを特徴とする請求項 1 に記載のアンチヒューズ回路。

【請求項 3】

前記イネーブル回路及び前記ディセーブル回路は、いずれも前記ビット記憶回路と実質的に同じ回路構成を有していることを特徴とする請求項 2 に記載のアンチヒューズ回路。

【請求項 4】

前記不良アドレスを書き込むべきヒューズセット内の前記イネーブル回路を活性化させるとともに、前記不良アドレスの書き込みが失敗したヒューズセット内の前記ディセーブル回路を活性化させる制御回路をさらに備えることを特徴とする請求項 3 に記載のアンチヒューズ回路。

【請求項 5】

10

20

請求項 1 乃至 4 のいずれか一項に記載のアンチヒューズ回路と、前記不良アドレスが供給されるアドレス端子と、前記ヒューズセットを選択するための救済セットアドレスが供給されるデータ端子とを備えることを特徴とする半導体装置。

【請求項 6】

請求項 4 に記載のアンチヒューズ回路に不良アドレスを書き込む方法であって、前記不良アドレスを書き込むべきヒューズセット内の前記イネーブル回路を活性化させる第 1 のステップと、

前記不良アドレスの書き込みが失敗した場合、該ヒューズセット内の前記ディセーブル回路を活性化させる第 2 のステップと、を備えることを特徴とするアンチヒューズ回路へのアドレス書き込み方法。

10

【請求項 7】

前記ディセーブル回路を活性化させたヒューズセットに書き込むべき不良アドレスを、他のヒューズセットに書き込む第 3 のステップをさらに備えることを特徴とする請求項 6 に記載のアンチヒューズ回路へのアドレス書き込み方法。

【請求項 8】

前記第 1 のステップは、前記不良アドレスを書き込むステップと、前記不良アドレスの書き込みが失敗した場合、前記不良アドレスを再度書き込むステップとを含んでいることを特徴とする請求項 6 又は 7 に記載のアンチヒューズ回路へのアドレス書き込み方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明はアンチヒューズ回路及びこれを備える半導体装置に関し、特に、アンチヒューズ素子への書き込み処理を高速に行うことが可能なアンチヒューズ回路及びこれを有する半導体装置に関する。また、本発明はこのようなアンチヒューズ回路へのアドレス書き込み方法に関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) などの半導体装置においては、正常に動作しない不良セルを冗長セルに置換することによって不良アドレスの救済が行われる。不良アドレスの記憶には、通常、ヒューズ素子が用いられる(特許文献 1, 2 参照)。初期状態のヒューズ素子は電氣的に導通状態であり、レーザービームの照射によってこれを切断することにより、不良アドレスを不揮発的に記憶することができる。したがって、このようなヒューズ素子を複数設け、所望のヒューズ素子を切断すれば、所望のアドレスを記憶させることが可能となる。このように、通常のヒューズ素子は、導通状態から絶縁状態に変化させることによって情報を不揮発的に記憶する素子である。

30

【0003】

これに対し、近年、アンチヒューズ素子と呼ばれる素子が注目されている(特許文献 3 参照)。アンチヒューズ素子とは、通常のヒューズ素子とは逆に、絶縁状態から導通状態に変化させることによって情報を記憶する素子である。アンチヒューズ素子への情報の書き込みは、高電圧の印加による絶縁破壊によって行う。このため、通常のヒューズ素子とは異なり、書き込みに際してレーザービームの照射が不要である。これにより、不良アドレスの書き込みを高速に行うことができるとともに、レーザートリマーなどの装置が不要となる。しかも、レーザービームの照射によるパッシベーション膜の破壊なども生じないことから、製品の信頼性を高めることも可能となる。

40

【0004】

しかしながら、絶縁破壊されたアンチヒューズ素子の抵抗値は、絶縁破壊の程度や発生箇所によって大きくばらつく。このため、場合によっては絶縁破壊後の抵抗値が M オーダーとなるケースも存在する。このような場合、アンチヒューズ素子が破壊されているのか破壊されていないのか判別が困難となる。しかしながら、一旦不良アドレスの書き込みが実行されたヒューズセットにおいては、使用の有無を示すイネーブルヒューズも破壊さ

50

れていることから、これを不使用状態に戻すことができない。このため、不良アドレスの書き込みが失敗した場合、チップ全体を廃棄しなければならないという問題があった。

【特許文献1】特開平10-75170号公報

【特許文献2】特開2006-147651号公報

【特許文献3】特開2004-227361号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

したがって、本発明の目的は、不良アドレスの書き込みが失敗した場合であっても、当該ヒューズセットを無効化可能なアンチヒューズ回路及びこれを有する半導体装置を提供することである。

10

【0006】

また、本発明の他の目的は、このようなアンチヒューズ回路へのアドレスの書き込み方法を提供することである。

【課題を解決するための手段】

【0007】

本発明によるアンチヒューズ回路は、不揮発的にデータを保持するアンチヒューズ素子を含む複数のヒューズセットを備え、ヒューズセットは、不良アドレスを記憶する複数のビット記憶回路と、複数のビット記憶回路に記憶された不良アドレスを無効とするディセーブル回路とを含んでいることを特徴とする。また、本発明による半導体装置は、このよ

20

【0008】

本発明によれば、各ヒューズセットにディセーブル回路が備えられていることから、一旦不良アドレスの書き込みが実行されたヒューズセットをその後無効化することができる。このため、不良アドレスの書き込みが失敗した場合であっても、チップ全体を廃棄する必要がなくなる。

【0009】

ヒューズセットは、複数のビット記憶回路に記憶された不良アドレスを有効とするイネーブル回路をさらに含んでいることが好ましい。この場合、イネーブル回路及びディセーブル回路は、いずれもビット記憶回路と実質的に同じ回路構成を有していることが好ましい。

30

【発明の効果】

【0010】

このように、本発明によれば、不良アドレスの書き込みが失敗した場合であっても、当該ヒューズセットを無効化可能することが可能となる。

【発明を実施するための最良の形態】

【0011】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

40

【0012】

図1は、本発明の好ましい実施形態による半導体装置10の構成を示すブロック図である。

【0013】

本実施形態による半導体装置10はDRAMなどの半導体メモリであり、複数のメモリセルを含むメモリセルアレイ11と、メモリセルアレイ11に対するアクセス制御を行うアクセス回路12と、メモリセルアレイ11に対するデータの入出力制御を行う入出力回路13と、コマンド信号CMDを受け付けるコマンドデコーダ14とを備えている。図1

50

に示すように、メモリセルアレイ 1 1 に含まれるメモリセルは、通常セル 1 1 a と冗長セル 1 1 b に分類される。冗長セル 1 1 b は、不良のある通常セル 1 1 a を置換することにより不良アドレスを救済するために用いられる。

【 0 0 1 4 】

本実施形態による半導体装置 1 0 は、外部端子として複数のコマンド端子 2 1、複数のアドレス端子 2 2 及び複数のデータ端子 2 3 を備えている。コマンド端子 2 1 はコマンド信号 C M D が供給される端子であり、アドレス端子 2 2 はアドレス信号 A D D が供給される端子である。また、データ端子 2 3 は、リードデータ D Q の出力及びライトデータ D Q の入力を行う端子である。その他、クロック信号 C K が入力されるクロック端子 2 4 や、図示しない電源端子なども設けられている。

10

【 0 0 1 5 】

通常動作時における半導体装置 1 0 の動作は、コマンド信号 C M D の組み合わせによって指定される。例えば、コマンド信号 C M D がリード動作を表している場合には、コマンドデコーダ 1 4 によってリード信号が内部生成され、コマンド信号 C M D がライト動作を表している場合には、コマンドデコーダ 1 4 によってライト信号が内部生成される。これらの内部コマンドは、アクセス回路 1 2 や入出力回路 1 3 に供給される。

【 0 0 1 6 】

リード信号が内部生成されると、メモリセルアレイ 1 1 に記憶されたデータのうち、アドレス信号 A D D により指定されるアドレスに記憶されたデータにアクセスし、読み出したリードデータ D Q をデータ端子 2 3 へ出力する。メモリセルへのアクセスはアクセス回路 1 2 によって制御され、リードデータ D Q の出力は入出力回路 1 3 によって制御される。一方、ライト信号が内部生成されると、データ端子 2 3 に入力されたライトデータ D Q を入出力回路 1 3 に取り込み、アクセス回路 1 2 の制御により、アドレス信号 A D D によって指定されるアドレスに書き込む。

20

【 0 0 1 7 】

図 1 に示すように、本実施形態による半導体装置 1 0 は、アンチヒューズ回路 3 1 及びアドレス比較回路 3 2 をさらに備えている。アンチヒューズ回路 3 1 は、不良のある通常セル 1 1 a のアドレス（不良アドレス R A D D ）を記憶する回路であり、後述するように、複数のアンチヒューズセットを含んでいる。

【 0 0 1 8 】

アドレス比較回路 3 2 は、アンチヒューズ回路 3 1 に記憶された不良アドレス R A D D とアドレス端子 2 2 を介して供給されたアドレス信号 A D D とを比較する回路である。比較の結果はアクセス回路 1 2 に供給される。アクセス回路 1 2 は、アドレス比較回路 3 2 により一致が検出されなかった場合には通常セル 1 1 a に対してアクセスを行い、一致が検出された場合には冗長セル 1 1 b に対してアクセスを行う。これにより、不良アドレスが救済される。

30

【 0 0 1 9 】

次に、アンチヒューズ回路 3 1 の構成について詳細に説明する。

【 0 0 2 0 】

図 2 は、アンチヒューズ回路 3 1 の回路構成を示すブロック図である。

40

【 0 0 2 1 】

図 2 に示すように、アンチヒューズ回路 3 1 は、不良アドレスを記憶する複数のヒューズセット 1 0 0 と、ヒューズセット 1 0 0 の動作を制御する制御回路 1 1 0 と、エントリすべき動作モードを判定するモード判定回路 1 2 0 とを備えている。

【 0 0 2 2 】

ヒューズセット 1 0 0 は、それぞれ 1 アドレスを不揮発的に記憶可能な回路である。したがって、アンチヒューズ回路 3 1 は、ヒューズセット 1 0 0 と同数の不良アドレスを記憶することができる。具体的なヒューズセット 1 0 0 の数については製品によって異なるが、例えば 1 0 0 0 セット程度設けられることが多い。ヒューズセット 1 0 0 の具体的な回路構成については後述する。

50

## 【 0 0 2 3 】

モード判定回路 1 2 0 は、外部端子 V P P S , V B B S に供給される電圧に基づいてエントリすべき動作モードを判定する。本実施形態では、動作モードとして少なくとも「セットモード」、「書き込みモード」、「センスモード」を備えている。

## 【 0 0 2 4 】

「セットモード」とは、不良アドレスをヒューズセット 1 0 0 に一時的にラッチさせるためのモードである。このモードでは、アンチヒューズ素子の破壊は行われぬ。「書き込みモード」とは、実際にアンチヒューズ素子を破壊するためのモードであり、セットモードにて不良アドレスをラッチした後にエントリされる。「センスモード」とは、ヒューズセット 1 0 0 に書き込まれた不良アドレスを読み出すモードであり、実使用状態においては常にこのモードにエントリされる。

10

## 【 0 0 2 5 】

特に限定されるものではないが、本実施形態では、外部端子 V P P S , V B B S にそれぞれ 3 V、0 V を印加することにより「セットモード」にエントリすることができ、それぞれ 4 V、- 2 V を印加することにより「書き込みモード」にエントリすることができる。また、外部端子 V P P S , V B B S をいずれもオープン状態とすることにより、「センスモード」にエントリすることができる。外部端子 V P P S , V B B S は、いずれも実使用状態においては使用されない端子であり、ウェハ状態で行う動作テスト時においてのみ使用される。したがって、実使用状態においては外部端子 V P P S , V B B S は常にオープン状態である。

20

## 【 0 0 2 6 】

セットモードにエントリすると、モード判定回路 1 2 0 は、モード信号 M 1 , M 2 をいずれもハイレベルとし、これに応じて制御回路 1 1 0 はセットモード時における動作を行う。さらに、モード判定回路 1 2 0 は、動作電圧 V P P S V , V B B S V のレベルをそれぞれ外部端子 V P P S , V B B S への供給電圧、つまりそれぞれ 3 V、0 V とし、これを各ヒューズセット 1 0 0 に供給する。

## 【 0 0 2 7 】

書き込みモードにエントリすると、モード判定回路 1 2 0 は、モード信号 M 1 をハイレベル、モード信号 M 2 をローレベルとし、これに応じて制御回路 1 1 0 は書き込みモード時における動作を行う。さらに、モード判定回路 1 2 0 は、動作電圧 V P P S V , V B B S V のレベルをそれぞれ外部端子 V P P S , V B B S への供給電圧、つまりそれぞれ 4 V、- 2 V とし、これを各ヒューズセット 1 0 0 に供給する。

30

## 【 0 0 2 8 】

センスモードにエントリすると、モード判定回路 1 2 0 は、モード信号 M 1 をローレベル、モード信号 M 2 をハイレベルとし、これに応じて制御回路 1 1 0 はセンスモード時における動作を行う。さらに、モード判定回路 1 2 0 は、動作電圧 V P P S V , V B B S V のレベルをいずれも V S S レベルとする。

## 【 0 0 2 9 】

図 3 は、ヒューズセット 1 0 0 の回路構成を示すブロック図である。

## 【 0 0 3 0 】

図 3 に示すように、1 つのヒューズセット 1 0 0 には、m 個のビット記憶回路 2 1 0 と、イネーブル回路 2 2 0 と、ディセーブル回路 2 3 0 とが含まれている。ビット記憶回路 2 1 0 は、それぞれ記憶すべき不良アドレスの 1 ビットに対応する。したがって、1 つのヒューズセット 1 0 0 に含まれるビット記憶回路 2 1 0 の数 (= m) は、記憶すべきアドレスのビット数と等しい (或いはそれ以上)。

40

## 【 0 0 3 1 】

イネーブル回路 2 2 0 は、当該ヒューズセット 1 0 0 を有効化する場合に活性化される回路であり、ディセーブル回路 2 3 0 は、当該ヒューズセット 1 0 0 を無効化する場合に活性化される回路である。ディセーブル回路 2 3 0 は、イネーブル回路 2 2 0 よりも優先順位が高く、したがって、イネーブル回路 2 2 0 とディセーブル回路 2 3 0 の両方が活性

50

化された場合、当該ヒューズセット100は無効化される。尚、イネーブル回路220とディセーブル回路230の両方が非活性である場合も、当該ヒューズセット100は無効とされる。

#### 【0032】

ビット記憶回路210、イネーブル回路220及びディセーブル回路230は、互いに同じ回路構成を有している。具体的には、図3に示すように、いずれも選択回路310、ラッチ回路320、アンチヒューズ素子330及びセンス回路340によって構成されている。選択回路310は、当該ヒューズセット100が選択された場合に活性化される回路であり、それぞれ対応するビット信号DATA1~DATA<sub>m</sub>、イネーブル信号E、ディセーブル信号Dが入力される。また、ラッチ回路320は、アンチヒューズ素子330

10

#### 【0033】

そして、センス回路340の出力であるビット信号B1~B<sub>m</sub>が1つの不良アドレスを示し、イネーブル信号E<sub>a</sub>がアクティブであれば当該不良アドレスは有効とされ、ディセーブル信号D<sub>a</sub>がアクティブであれば当該不良アドレスは無効とされる。このように、一つのヒューズセット100からの出力100<sub>a</sub>は、ビット信号B1~B<sub>m</sub>、イネーブル信号E<sub>a</sub>及びディセーブル信号D<sub>a</sub>によって構成される。図2に示したとおり、これら出力100<sub>a</sub>の集合が不良アドレスRADDである。

#### 【0034】

図4は、ビット記憶回路210の具体的な回路図である。

20

#### 【0035】

図4に示すように、ビット記憶回路210に含まれる選択回路310は、NチャンネルMOSトランジスタ311とPチャンネルMOSトランジスタ312が並列接続されたトランスファゲート構成を有している。これらトランジスタ311, 312のゲートには、対応する選択信号SEL及びその反転信号が供給される。選択信号SELは、所望のヒューズセット100を選択するための信号であり、したがって、ヒューズセット100ごとに異なる選択信号SELが割り当てられる。かかる構成により、選択信号SELがハイレベルに活性化すると、対応するビット信号DATA<sub>i</sub> (i = 1 ~ m) がラッチ回路320に供給される。

#### 【0036】

ラッチ回路320は、2つのインバータ321, 322が循環接続された、いわゆるフリップフロップ構成を有している。したがって、選択信号SELが活性化すると、ビット信号DATA<sub>i</sub>がラッチ回路320に一時的に記憶されることになる。当然ながら、ラッチ回路320への書き込みは、アンチヒューズ素子への書き込みとは異なり、非常に高速に行うことが可能である。図4に示すように、ラッチ回路320には、モード判定回路120により生成される動作電圧V<sub>PPSV</sub>が供給される。

30

#### 【0037】

ラッチ回路320の出力は、書き込みトランジスタ301を介してアンチヒューズ素子330に供給される。アンチヒューズ素子330は、MOSトランジスタのソースとドレインが短絡された構成を有しており、そのゲート331にはラッチ回路320の出力が供給され、ソース/ドレイン332にはモード判定回路120により生成される動作電圧V<sub>BBSV</sub>が供給される。

40

#### 【0038】

初期状態におけるアンチヒューズ素子330は、ゲート絶縁膜を介して、ゲート331とソース/ドレイン332とが絶縁されている。このため、両者間に電流は流れない。しかしながら、ゲート331とソース/ドレイン332との間に高電圧を印加すると、ゲート絶縁膜に絶縁破壊が生じ、両者間に電流パスが形成される。ゲート絶縁膜を絶縁破壊した後は、これを元に戻すことはできず、したがって、不可逆的な不揮発性書き込みが可能となる。アンチヒューズ素子330のゲート331は、読み出しトランジスタ302を介してセンス回路340に接続される。

50

## 【 0 0 3 9 】

ここで、選択回路 3 1 0 及びラッチ回路 3 2 0 を構成するトランジスタ、並びに、図 4 に示すトランジスタ 3 0 1 , 3 0 2 は、いずれも他のトランジスタと比べてゲート絶縁膜が厚い耐圧構造を有している。これに対し、アンチヒューズ素子 3 3 0 を構成するトランジスタは、センス回路 3 4 0 や他の内部回路を構成する通常のトランジスタであり、ゲート絶縁膜の膜厚が薄く設定されている。これは、アンチヒューズ素子 3 3 0 の絶縁破壊を行う際に、選択回路 3 1 0 やラッチ回路 3 2 0 が絶縁破壊するのを防止するためである。ゲート絶縁膜を厚くするとトランジスタとしての能力は低下するが、選択回路 3 1 0 やラッチ回路 3 2 0 などの動作速度が若干低下しても、実用上の問題はほぼ皆無である。

## 【 0 0 4 0 】

センス回路 3 4 0 は、ラッチ回路 3 2 0 と同様、トランジスタ 3 4 1 , 3 4 2 からなるインバータと、トランジスタ 3 4 3 , 3 4 4 からなるインバータが循環接続された、いわゆるフリップフロップ構成を有している。トランジスタ 3 4 2 , 3 4 4 のソースには、センス信号 C S N が供給される。センス信号 C S N は、アンチヒューズ素子 3 3 0 の状態を読み出す期間においては V D D レベルとされ、センス動作を行う際には V S S レベルとされる。トランジスタ 3 4 1 , 3 4 2 のゲートに接続されるノード a は、読み出しトランジスタ 3 0 2 を介してアンチヒューズ素子 3 3 0 のゲート 3 3 1 に接続されるとともに、ビット記憶回路 2 1 0 の出力端として用いられる。ノード a の代わりに、トランジスタ 3 4 3 , 3 4 4 のゲートに接続されるノード b を出力端として用いても構わない。

## 【 0 0 4 1 】

ノード a , b には、それぞれトランジスタ 3 4 5 , 3 4 6 を介して電源電圧 V D D 及び基準電圧 V r e f が供給される。トランジスタ 3 4 5 , 3 4 6 は、プリチャージ信号 P R E がローレベルに活性化するとオンし、ノード a , b をそれぞれ電源電圧 V D D 及び基準電圧 V r e f にプリチャージする。電源電圧 V D D と基準電圧 V r e f との関係は、

$$V D D > V r e f$$

であり、したがって、プリチャージ直後の状態におけるビット出力 B i ( i = 1 ~ m ) はハイレベル ( 1 ) である。

## 【 0 0 4 2 】

プリチャージを完了した後、読み出しトランジスタ 3 0 2 をオンさせると、ノード a はアンチヒューズ素子 3 3 0 に接続される。このとき、センス信号 C S N は V D D レベルとされる。ノード a がアンチヒューズ素子 3 3 0 に接続されると、アンチヒューズ素子 3 3 0 の状態に応じてノード a のレベルが変化する。つまり、アンチヒューズ素子 3 3 0 が絶縁破壊されている場合には、ノード a からアンチヒューズ素子 3 3 0 へ電流が流れるため、ノード a の電位は低下し、センス信号 C S N を V S S レベルに変化させることによりビット出力 B i はローレベル ( 0 ) に反転する。これに対し、アンチヒューズ素子 3 3 0 が絶縁破壊されていない場合には、ノード a の電位は V D D に保たれるため、センス信号 C S N を V S S レベルに変化させてもビット出力 B i はハイレベル ( 1 ) を保持する。このようにして、センス回路 3 4 0 は、アンチヒューズ素子 3 3 0 に書き込まれた情報を読み出すことができる。

## 【 0 0 4 3 】

イネーブル回路 2 2 0 及びディセーブル回路 2 3 0 についても、ビット信号 D A T A i の代わりにイネーブル信号 E 及びディセーブル信号 D が供給され、それぞれイネーブル信号 E a 及びディセーブル信号 D a を出力する他は、図 4 に示したビット記憶回路 2 1 0 と同じ回路構成を有している。

## 【 0 0 4 4 】

以上が本実施形態による半導体装置の構成である。次に、本実施形態による半導体装置の動作について、アンチヒューズ回路 3 1 に着目して説明する。

## 【 0 0 4 5 】

アンチヒューズ回路 3 1 の動作は、不良アドレスを一時的にラッチするセット動作と、ラッチされた不良アドレスをアンチヒューズ素子に書き込む書き込み動作と、アンチヒューズ

10

20

30

40

50

ーズ素子に書き込まれた不良アドレスを読み出すセンス動作に大別される。これらの動作は、それぞれ上述した「セットモード」、「書き込みモード」及び「センスモード」にエントリすることによって行われる。

【0046】

セット動作及び書き込み動作は、ウェハ状態で行われる一連のテスト工程に含まれる。

【0047】

図5は、テスト工程の概かな流れを示すフローチャートである。

【0048】

テスト工程は図示しないテストを用いて行われ、図5に示すように、まず実際にデータの書き込み及び読み出しを行うことによって、不良アドレスの検出、つまり動作テストを行う(ステップS11)。これにより検出された不良アドレスは、テストの内部に一時的に記憶される。

10

【0049】

次に、テストは、記憶した不良アドレスを半導体装置10に転送し、ヒューズセット100内のラッチ回路320にラッチさせる(ステップS12)。この時、アンチヒューズ回路31は「セットモード」にエントリされ、セット動作を行う。次に、テストは、ラッチ回路320にラッチされた不良アドレスを実際にアンチヒューズ素子330に書き込ませる(ステップS13)。この時、アンチヒューズ回路31は「書き込みモード」にエントリされ、書き込み動作を行う。これにより、複数の不良アドレスがそれぞれヒューズセット100に不揮発的に記憶される。最後に、アンチヒューズ回路31に対してロールコールテストを行う(ステップS14)。各ステップS12~S14における動作の詳細については後述する。

20

【0050】

このようなテスト工程は、製造時においてウェハ状態で行われる。つまり、複数の半導体装置(チップ)に対して並列に実行される。具体的には、図6に示すように、半導体ウェハ400に含まれる半導体装置のうち、 $j \times k$ 個の半導体装置に対して並列に動作テストが行われる。並列にテストされる $j \times k$ 個の半導体装置は、いわゆるDUT(Device Under Test)と呼ばれる。DUTの数は、テストに設けられたプローブカード401の構成に依存し、例えば200個程度の半導体装置が並列にテストされる。

【0051】

プローブカード401は、テスト対象となる半導体装置に設けられた各端子と接触するための多数のプローブを有しているが、図6に示すように、クロック信号CKを供給するためのプローブ401aと、コマンド信号CMDを供給するためのプローブ401bと、アドレス信号ADDを供給するためのプローブ401cは、それぞれチップ間で共通接続されている。これは、不良アドレスを検出するための動作テストにおいては、各チップに個別のクロック信号CK、アドレス信号ADD及びコマンド信号CMDを供給する必要がなく、全てのチップに対してこれら信号を共通に与えればよいからである。

30

【0052】

これに対し、入出力データDQに関してはチップごとに個別である必要があることから、データDQを授受するためのプローブ401dについては共通接続されず、チップごとに個別接続される。

40

【0053】

図7は、セット動作(ステップS12)を説明するためのフローチャートである。

【0054】

セット動作とは、検出された不良アドレスをテストから半導体装置10へ転送し、ヒューズセット100内のラッチ回路320にラッチさせる動作である。上述の通り、テスト工程は複数のチップに対して並列に実行され、複数のチップに対してアドレス信号ADDが共通に与えられる。つまり、各チップに個別のアドレス信号ADDを供給することはできない。これに対し、当然ながら不良アドレスはチップごとに異なる。

【0055】

50



このような問題を解決すべく、本実施形態ではアドレス端子22を介してアドレス信号ADDをインクリメント(又はデクリメント)させながら、データ端子23を用いて不良の有無をチップごとに通知する。以下、具体的に説明する。

【0056】

まず、外部端子VPPS, VBBSSにそれぞれ3V、0Vを印加することにより、同じDUTに属する全チップのアンチヒューズ回路31を「セットモード」にエントリさせる(ステップS21)。セットモードにエントリすると、モード判定回路120はモード信号M1, M2をいずれもハイレベルとし、これに応答して制御回路110はセットモード時における動作を行う。

【0057】

制御回路110をセットモードにエントリさせた後、テスト側においてアドレス信号ADDを最小値(=0)に設定し(ステップS22)、当該アドレスが不良アドレスであるチップに対して「救済セットアドレス」を供給する(ステップS23, S24)。救済セットアドレスとは、当該不良アドレスを記憶させるべきヒューズセット100のアドレスを指す。救済セットアドレスはチップごとに個別である必要があることから、これらの信号の供給にはデータ端子23を介したデータDQを用いる。

【0058】

救済セットアドレスを受けた制御回路110は、対応する選択信号SELを活性化させ、これによって所定のヒューズセット100を選択する(ステップS25)。これにより、選択されたヒューズセット100内の選択回路310が導通状態となる。この状態で、当該不良アドレスの各ビットDATA1~DATAm及びイネーブル信号Eをヒューズセット100に供給する(ステップS26)。この時、書き込みトランジスタ301は、オフ状態に保持される。これにより、選択されたヒューズセット100内のラッチ回路320には、不良アドレスの各ビットDATA1~DATAm及びイネーブル信号Eがラッチされることになる。

【0059】

このような動作は、アドレス信号ADDをインクリメントすることにより(ステップS28)、全アドレスに対して行われる。そして、アドレス信号ADDが最大値(ADD=Max)となり、全アドレスのインクリメントが完了すると(ステップS27: YES)、一連のセット動作を完了する。以上の動作により、全ての不良アドレスがヒューズセット100にラッチされることになる。また、不良アドレスがラッチされたヒューズセット100のイネーブル回路220には、イネーブル信号Eがラッチされることになる。

【0060】

セット動作において1アドレスの処理に要する時間、つまり、図7に示すステップS23~ステップS28までの動作に要する時間は、ナノ秒オーダーである。一例として、1アドレスの処理に要する時間を14nsとし、アドレスの総数を34000アドレスとすると、セット動作を完了するのに必要な時間は約0.48sとなる。つまり、同じDUTに属する全てのチップに対して、0.48秒でセット動作を完了させることができる。

【0061】

図8は、セット動作時における各信号の変化の一例を示すタイミング図である。

【0062】

図8に示す例では、2クロックサイクルにてアドレスをインクリメントしている。具体的には、クロック信号CKの1回目の立ち上がりエッジに反応してアドレス信号ADDの前半部分(ADDa)を入力し、2回目の立ち上がりエッジに反応してアドレス信号ADDの後半部分(ADDb)を入力している。

【0063】

一方、救済セットアドレスについては、複数のデータ端子23のうち4つの端子を使用し、このうちビットDQ0をイネーブル信号として用いる。ビットDQ0はハイアクティブであり、対象となる2クロックサイクルの期間中全てハイレベルであれば当該チップの選択が有効となり、アンチヒューズ回路31はイネーブル信号Eを生成する。一方、残り

10

20

30

40

50

の3ビットDQ1～DQ3については、クロック信号CKの両エッジにて合計4回取り込まれる。これら4回の取り込み(A F 1～A F 4)によって救済セットアドレスが指定される。上述の通り、ビットDQ1～DQ3により指定される救済セットアドレスは、ヒューズセット100の選択に用いられる。

【0064】

図9は、セット動作時における各信号の変化の一例を示す表である。

【0065】

図9に示す例では、アドレス信号ADDの前半部分ADDa及び後半部分ADDbがいずれも10ビットである。1回目に入力される前半部分ADDaの10ビット(A0～A9)と、2回目に入力される後半部分ADDbの3ビット(A0～A2)からなる13ビットでロウアドレス(又はカラムアドレス)が指定され、後半部分ADDbのビットA4, A5からなる2ビットでバンクアドレスが指定される。後半部分ADDbのビットA3はイネーブルビットであり、セット動作時には常にハイレベル(1)とされる。残りのビットA6～A9は使用しない。これらのアドレス信号ADDは、同じDUTに属する全てのチップに対して共通に与えられる。

10

【0066】

上述の通り、各アドレスに対応する救済セットアドレスはチップごとに異なり、イネーブル用のビットDQ0がハイレベル(1)であれば、他のビットDQ1～DQ3が有効となる。図9に示す例では、アドレス#2、#5においてチップ#0がイネーブルとされ、アドレス#4においてチップ#1がイネーブルとされている。

20

【0067】

このように、本実施形態によるセット動作によれば、任意の不良アドレスを個々のチップに対して並列にセットすることができる。

【0068】

図10は、書き込み動作(ステップS13)を説明するためのフローチャートである。書き込み動作とは、ラッチ回路320に一時的にラッチされた不良アドレスをアンチヒューズ素子330に書き込む動作である。

【0069】

まず、外部端子VPPS, VBB Sにそれぞれ4V、-2Vを印加することにより、同じDUTに属する全チップのアンチヒューズ回路31を「書き込みモード」にエントリさせる(ステップS31)。書き込みモードにエントリすると、モード判定回路120はモード信号M1をハイレベル、モード信号M2をローレベルとし、これに应答して制御回路110は書き込みモード時における動作を行う。

30

【0070】

テストは、制御回路110を書き込みモードにエントリさせた後、図11に示すように、クロック信号CKを周期的に変化させる。書き込みモードにエントリしている場合、制御回路110は、クロック信号CKに同期して内部カウンタ111をインクリメントする。内部カウンタ111のカウント値Cはそれぞれ対応するヒューズセット100を示しており、したがって、カウント値Cが変化する度に異なるヒューズセット100が選択される。カウント値Cは、初期値として0に設定される(ステップS32)。

40

【0071】

制御回路110は、カウント値Cにより選択されたヒューズセット100に対して、クロック信号CKがハイレベルの期間に書き込み信号SELBRKを供給する(ステップS33)。これにより、クロック信号CKがハイレベルの期間において書き込みトランジスタ301がオンする。この時、読み出しトランジスタ302についてはオフ状態に保持される。

【0072】

書き込み動作時には、アンチヒューズ素子330のソース/ドレイン332には、電圧VBB S V(-2V)が供給されている。このため、書き込みトランジスタ301がオンすると、当該ヒューズセット100に含まれるアンチヒューズ素子330のうち、

50

対応するラッチ回路 3 2 0 にハイレベル ( 1 ) がラッチされているものについては、ゲート絶縁膜に  $6 \text{ V} (= 4 \text{ V} + 2 \text{ V})$  の電圧が印加されることになる。これにより、当該アンチヒューズ素子 3 3 0 は絶縁破壊され、非導通状態から導通状態に不可逆的に遷移する。一方、当該ヒューズセット 1 0 0 に含まれるアンチヒューズ素子 3 3 0 のうち、対応するラッチ回路 3 2 0 にローレベル ( 0 ) がラッチされているものについては、ゲート絶縁膜に  $2 \text{ V} (= 0 \text{ V} + 2 \text{ V})$  の電圧しか印加されないため、ゲート絶縁膜の破壊は生じない。つまり、当該アンチヒューズ素子 3 3 0 は非導通状態に保たれる。

#### 【 0 0 7 3 】

これにより、ラッチ回路 3 2 0 を用いて一時的に保持されていた不良アドレスがアンチヒューズ素子 3 3 0 に不揮発的に記録されることになる。アンチヒューズ素子 3 3 0 への書き込みは、ラッチ回路 3 2 0 への書き込みに比べて長い時間 ( 例えば  $5 \text{ m s}$  ) を要する。

10

#### 【 0 0 7 4 】

このような動作は、クロック信号  $CK$  に同期して内部カウンタ 1 1 1 をインクリメントすることにより ( ステップ  $S 3 5$  )、全てのヒューズセット 1 0 0 に対して行われる。そして、内部カウンタ 1 1 1 のカウント値  $C$  が最大値となり、全てのヒューズセット 1 0 0 に対する書き込み処理が完了すると ( ステップ  $S 3 4 : YES$  )、一連の書き込み動作を完了する。したがって、アンチヒューズ回路 3 1 に含まれるヒューズセット 1 0 0 の数が例えば 1 0 0 0 個であるとすれば、約 5 秒 (  $= 5 \text{ m s} \times 1 0 0 0$  ) で同じ  $DUT$  に属する全てのチップに対する書き込み動作が完了する。

20

#### 【 0 0 7 5 】

ここで、書き込み動作をヒューズセット 1 0 0 ごとに行っているのは、テストが供給可能な電流量に限界があることを考慮したためである。したがって、テストが供給可能な電流量がある程度大きければ、1つのチップに含まれる複数のヒューズセット 1 0 0 に対して同時に書き込み動作を行っても構わない。これによれば、一連の書き込み動作をより高速に完了させることが可能となる。

#### 【 0 0 7 6 】

図 1 2 は、ロールコールテスト ( ステップ  $S 1 4$  ) を説明するためのフローチャートである。ロールコールテストとは、各ヒューズセット 1 0 0 に不良アドレスが正しく書き込まれているか否かを判定するテストである。

30

#### 【 0 0 7 7 】

まず、外部端子  $VPPS$  ,  $VBB S$  をオープン状態とすることにより、同じ  $DUT$  に属する全チップのアンチヒューズ回路 3 1 を「センスモード」にエントリさせる ( ステップ  $S 4 1$  )。センスモードにエントリすると、モード判定回路 1 2 0 はモード信号  $M 1$  をローレベル、モード信号  $M 2$  をハイレベルとし、これに応答して制御回路 1 1 0 はセンスモード時における動作を行う。

#### 【 0 0 7 8 】

テストは、制御回路 1 1 0 をセンスモードにエントリさせた後、図 1 3 に示すように、各チップにリセット信号  $RESET$  を供給する ( ステップ  $S 4 2$  )。リセット信号  $RESET$  は、コマンド信号  $CMD$  の所定の組み合わせであり、したがってコマンド端子 2 1 に供給される。

40

#### 【 0 0 7 9 】

センスモードへのエントリ中にリセット信号  $RESET$  が供給されると、制御回路 1 1 0 は、クロック信号  $CK$  に同期して内部カウンタ 1 1 2 をインクリメントする。内部カウンタ 1 1 2 のカウント値  $C 1$  は、初期値として 0 に設定される ( ステップ  $S 4 3$  )。

#### 【 0 0 8 0 】

内部カウンタ 1 1 2 のカウント値  $C 1$  はそれぞれ複数のヒューズセット 1 0 0 を指しており、したがって、カウント値  $C 1$  が変化する度に異なる複数のヒューズセット 1 0 0 が選択されることになる。一つのカウント値  $C 1$  により選択されるヒューズセット 1 0 0 の数については特に限定されず、例えば 3 2 セット程度とすることができる。尚、一つの力

50

ウント値 C 1 により選択されるヒューズセット 1 0 0 の数を 2 のべき条に設定すれば、内部カウンタ 1 1 2 を別途設ける必要はなく、内部カウンタ 1 1 1 の上位ビットを使用すれば足りる。

**【 0 0 8 1 】**

次に、制御回路 1 1 0 は、プリチャージ信号 P R E を所定期間ローレベルとし、センス回路 3 4 0 をプリチャージする（ステップ S 4 4 ）。上述の通り、電源電圧 V D D と基準電圧 V r e f との関係は、

$$V D D > V r e f$$

であることから、プリチャージ直後の状態におけるビット出力 B i ( i = 1 ~ m ) 及びイネーブル信号 E a はハイレベル ( 1 ) である。

10

**【 0 0 8 2 】**

プリチャージが完了した後、制御回路 1 1 0 は、カウント値 C 1 により選択された複数のヒューズセット 1 0 0 に対してセンス信号 S E L B S A を供給する（ステップ S 4 5 ）。これにより、選択されたヒューズセット 1 0 0 内の読み出しトランジスタ 3 0 2 がオンし、センス回路 3 4 0 のノード a がアンチヒューズ素子 3 3 0 に接続される。この時、書き込みトランジスタ 3 0 1 についてはオフ状態に保持される。

**【 0 0 8 3 】**

その結果、アンチヒューズ素子 3 3 0 が絶縁破壊されている場合には、ノード a からアンチヒューズ素子 3 3 0 へ電流が流れるため、ノード a の電位は低下し、ビット出力 B i 及びイネーブル信号 E a はローレベル ( 0 ) に反転する。これに対し、アンチヒューズ素子 3 3 0 が絶縁破壊されていない場合には、ノード a の電位は V D D に保たれるため、ビット出力 B i 及びイネーブル信号 E a はハイレベル ( 1 ) を保持する。

20

**【 0 0 8 4 】**

以上により、選択された複数のヒューズセット 1 0 0 に書き込まれた不良アドレス及びイネーブル信号 E a が読み出される。このような動作は、クロック信号 C K に同期して内部カウンタ 1 1 2 をインクリメントすることにより（ステップ S 4 7 ）、全てのヒューズセット 1 0 0 に対して行われる。そして、内部カウンタ 1 1 2 のカウント値 C 1 が最大値となり、全てのヒューズセット 1 0 0 に対するセンス動作が完了すると（ステップ S 4 6 : Y E S ）、一連のセンス動作を完了する。

**【 0 0 8 5 】**

このようにして読み出された不良アドレスは、図示しないテストに供給され、動作テスト（ステップ S 1 1 ）にて検出された不良アドレスと比較される。その結果、両者が全て一致していれば（ステップ S 4 8 : Y E S ）、ロールコールテストを終了する。これに対し、少なくとも一部のアドレスが不一致であれば（ステップ S 4 8 : N O ）、アンチヒューズ素子 3 3 0 の破壊が不十分であることから、同じヒューズセット 1 0 0 に対して再書き込みを実行する（ステップ S 4 9 ）。

30

**【 0 0 8 6 】**

そして、再度ロールコールを行い、テスト内に記憶された不良アドレスと比較する。その結果、再書き込みの成功により両者が全て一致していれば（ステップ S 5 0 : Y E S ）、ロールコールテストを終了する。これに対し、不一致のアドレスが一つでも残存していれば（ステップ S 5 0 : N O ）、当該ヒューズセット 1 0 0 への書き込みを断念し、ディセーブル回路 2 3 0 に含まれるアンチヒューズ素子 3 3 0 への書き込みを行う（ステップ S 5 1 ）。これにより、当該ヒューズセット 1 0 0 は無効化される。

40

**【 0 0 8 7 】**

次に、無効化したヒューズセット 1 0 0 に書き込むべき不良アドレスを、未使用状態である他のヒューズセット 1 0 0 に対して書き込む（ステップ S 5 2 ）。そして、再々度ロールコールを行い、テスト内に記憶された不良アドレスと比較する。その結果、代替書き込みの成功により両者が全て一致していれば（ステップ S 5 3 : Y E S ）、ロールコールテストを終了する。これに対し、不一致のアドレスが一つでも残存していれば（ステップ S 5 3 : N O ）、当該チップを不良品として取り扱う（ステップ S 5 4 ）。

50

## 【 0 0 8 8 】

このように、本実施形態では、ヒューズセット100を有効化するイネーブル回路220の他に、無効化するディセーブル回路230を備えていることから、再書き込みが失敗したとしても、直ちに当該チップを廃棄するのではなく、未使用状態である他のヒューズセット100への代替書き込みが可能となる。これにより、製品の歩留まりを向上させることが可能となる。

## 【 0 0 8 9 】

以上が一連のテスト工程にて行われる動作である。

## 【 0 0 9 0 】

このように、本実施形態によれば、セット動作(ステップS12)にて全ての不良アドレスをラッチさせた後、実際にアンチヒューズ素子330に対する書き込み動作(ステップS13)を行っていることから、時間のかかる書き込み動作を複数のチップに対して並列に実行することが可能となる。このため、アンチヒューズ素子330への書き込み時間を大幅に短縮することが可能となる。

10

## 【 0 0 9 1 】

しかも、セット動作(ステップS12)においては、アドレス信号ADDをインクリメントしながら、データDQを用いて救済セットアドレスを供給していることから、異なる不良アドレスを個々のチップに対してセットすることができる。このため、アドレス信号ADDを供給するためのプローブ401cが共通接続された、通常のプローブカード401を用いることが可能となる。

20

## 【 0 0 9 2 】

さらに、ロールコールテスト(ステップS14)において書き込み不良が発見されたヒューズセット100については、ディセーブル回路230を活性化させることによって事後的に無効化することができる。これにより、未使用のヒューズセット100への代替書き込みが可能となることから、製品の歩留まりを向上させることが可能となる。

## 【 0 0 9 3 】

上述の通り、実使用状態においては、外部端子VPPS, VBB Sがオープン状態とされ、したがって、常にセンスモードとなる。したがって、電源投入時やりセット時においてリセット信号RESETを発行すると、図12に示したステップS43~ステップS47の処理が実行され、各ヒューズセット100に書き込まれた不良アドレスRADDが読み出される。そして、読み出された不良アドレスRADDは、図1に示したアドレス比較回路32に供給され、アドレス比較回路32及びアクセス回路12による制御により、不良のある通常セル11aが冗長セル11bに置換される。これにより、不良アドレスが救済される。

30

## 【 0 0 9 4 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

## 【 0 0 9 5 】

例えば、上記実施形態では、セット動作(ステップS12)にて全ての不良アドレスをラッチさせた後、実際にアンチヒューズ素子330に対する書き込み動作(ステップS13)を行っているが、本発明がこれに限定されるものではない。したがって、ラッチ回路320を省略し、上述したセット動作時において実際にアンチヒューズ素子330への書き込みを行っても構わない。

40

## 【 0 0 9 6 】

また、上記実施形態では、アドレス信号ADDをインクリメントしながら、データDQを用いて救済セットアドレスを供給しているが、本発明がこれに限定されるものではない。したがって、不良アドレス及び救済セットアドレスの供給を別の方法により行っても構わない。

## 【 0 0 9 7 】

50

さらに、上記実施形態では、アンチヒューズ素子 330 として、MOS トランジスタと同じ構成を有するゲート破壊型のアンチヒューズ素子を用いているが、本発明においてアンチヒューズ素子の具体的な構成については特に限定されない。したがって、例えば、DRAM のセルキャパシタと同じ構成を有する容量破壊型のアンチヒューズ素子を用いても構わない。

【図面の簡単な説明】

【0098】

【図1】本発明の好ましい実施形態による半導体装置 10 の構成を示すブロック図である。

【図2】アンチヒューズ回路 31 の回路構成を示すブロック図である。

10

【図3】ヒューズセット 100 の回路構成を示すブロック図である。

【図4】ビット記憶回路 210 の具体的な回路図である。

【図5】テスト工程の大まかな流れを示すフローチャートである。

【図6】半導体ウェハ 400 及びこれをテストするプローブカード 401 を示す図である。

【図7】セット動作（ステップ S12）を説明するためのフローチャートである。

【図8】セット動作時における各信号の変化の一例を示すタイミング図である。

【図9】セット動作時における各信号の変化の一例を示す表である。

【図10】書き込み動作（ステップ S13）を説明するためのフローチャートである。

【図11】カウント値 C の変化を示すタイミング図である。

20

【図12】ロールコールテスト（ステップ S14）を説明するためのフローチャートである。

【図13】カウント値 C1 の変化を示すタイミング図である。

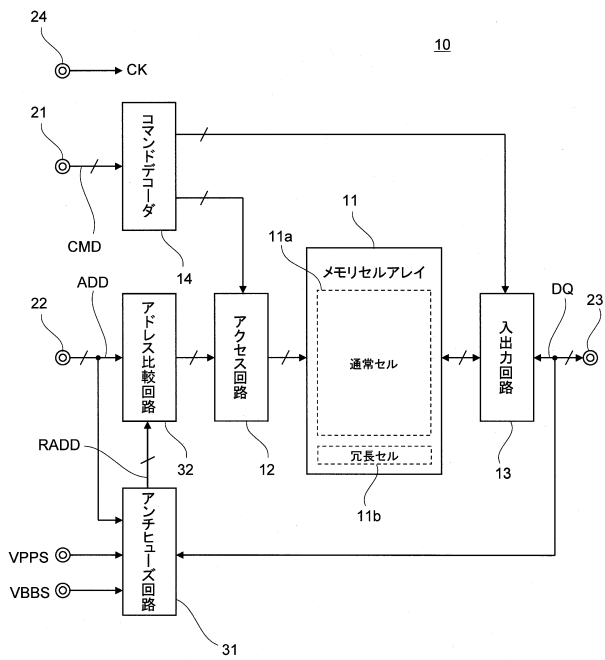
【符号の説明】

【0099】

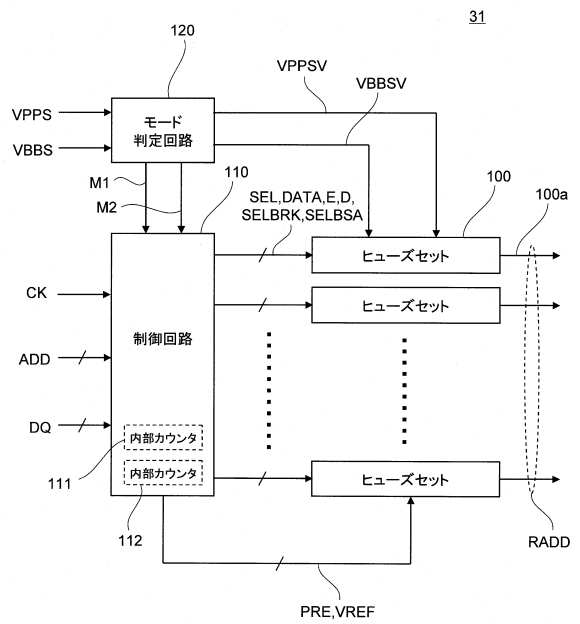
10	半導体装置	
11	メモリセルアレイ	
11a	通常セル	
11b	冗長セル	
12	アクセス回路	30
13	入出力回路	
14	コマンドデコーダ	
21	コマンド端子	
22	アドレス端子	
23	データ端子	
24	クロック端子	
31	アンチヒューズ回路	
32	アドレス比較回路	
100	ヒューズセット	
110	制御回路	40
111, 112	内部カウンタ	
120	モード判定回路	
210	ビット記憶回路	
220	イネーブル回路	
230	ディセーブル回路	
310	選択回路	
320	ラッチ回路	
330	アンチヒューズ素子	
340	センス回路	
400	半導体ウェハ	50

401 プロブカード  
401a ~ 401d プロブ

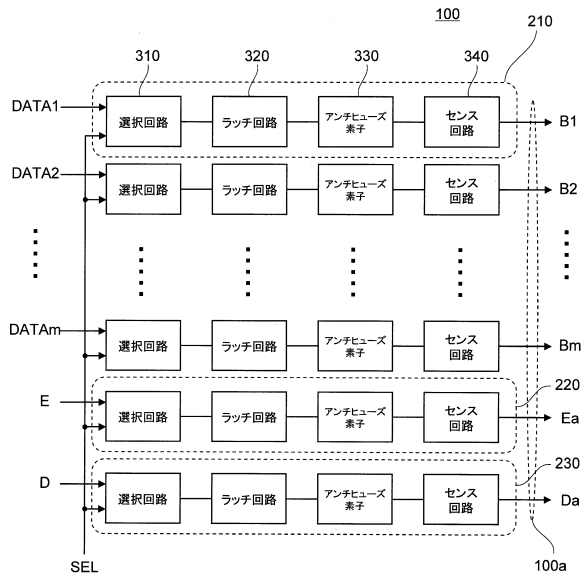
【図1】



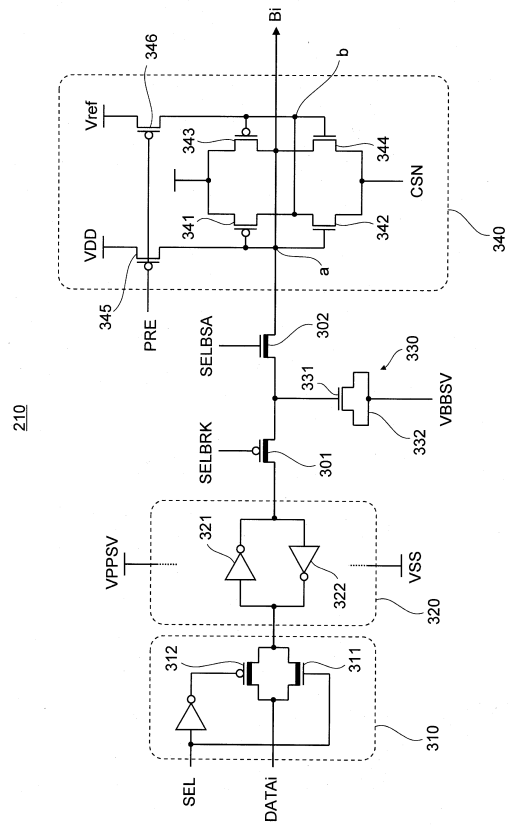
【図2】



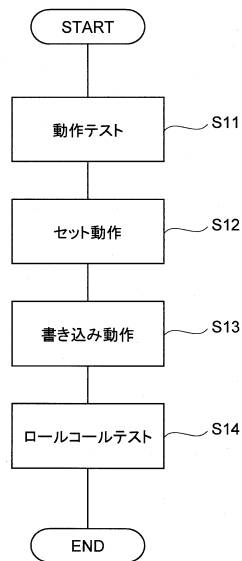
【図3】



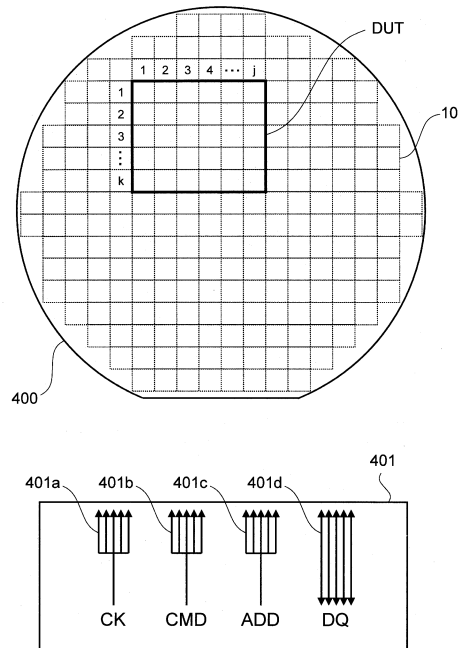
【図4】



【図5】

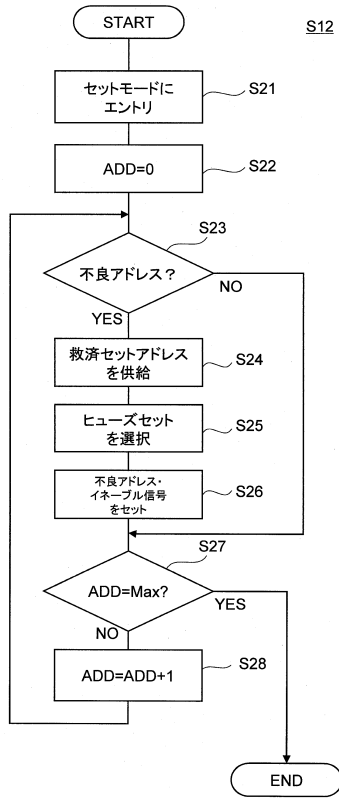


【図6】

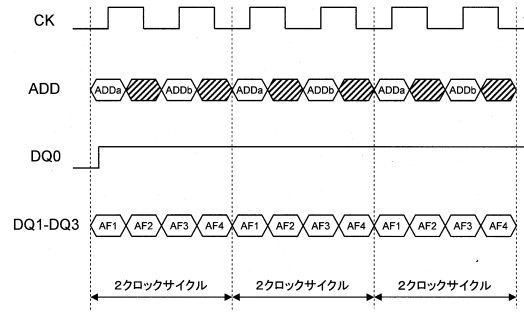




【図7】



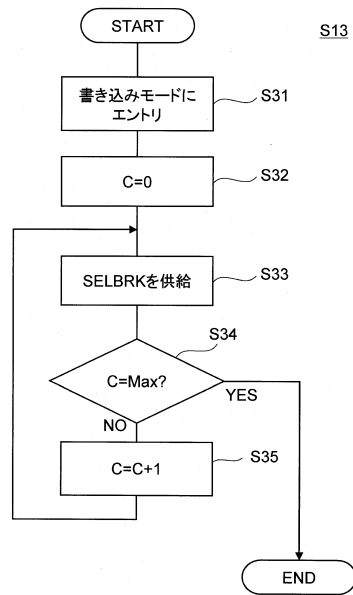
【図8】



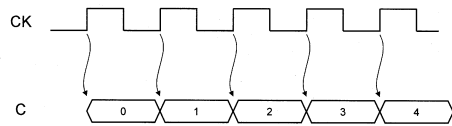
【図9】

ADD	チップ#0				チップ#1			
	ADD0	ADD1	ADD2	ADD3	AF0	AF1	AF2	AF3
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	0
5	0	0	0	0	0	0	0	0
Max	1	1	1	1	0	0	0	0

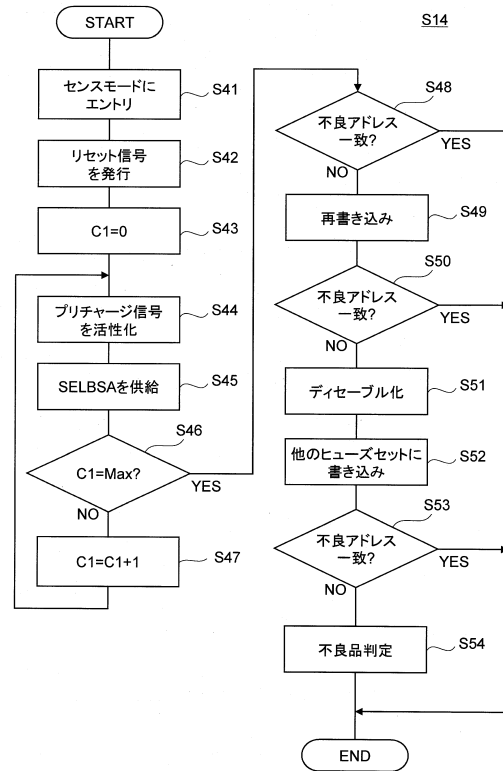
【図10】



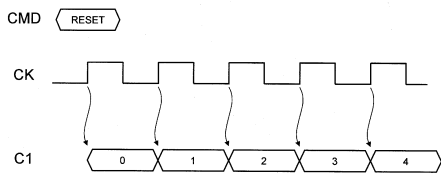
【図11】



【図12】



【図13】



---

フロントページの続き

- (72)発明者 宮武 伸一  
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
- (72)発明者 小川 澄男  
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 小林 紀和

- (56)参考文献 特開平04-123399(JP,A)  
特開平08-167298(JP,A)  
特開平04-192198(JP,A)  
特開2000-331495(JP,A)  
特開2008-97696(JP,A)  
特開2002-74980(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 29/00