



(12)发明专利申请

(10)申请公布号 CN 110473914 A

(43)申请公布日 2019. 11. 19

(21)申请号 201910879293.8

(22)申请日 2019.09.18

(71)申请人 深圳爱仕特科技有限公司

地址 518000 广东省深圳市福田区福保街
道市花路5号长富金茂大厦22层2201-01

(72)发明人 姚金才 陈宇 朱超群

(74)专利代理机构 深圳倚智知识产权代理事务
所(普通合伙) 44632

代理人 霍如肖

(51) Int. Cl.

H01L 29/06(2006.01)

H01L 29/78(2006.01)

H01L 29/417(2006.01)

H01L 21/336(2006.01)

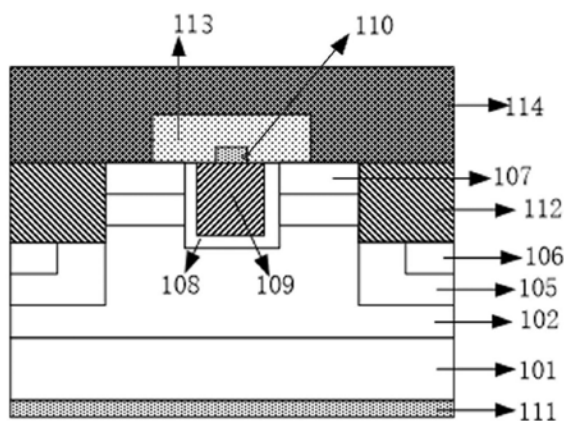
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种SiC-MOS器件的制备方法

(57)摘要

本发明公开了一种SiC-MOS器件的制备方法,本发明通过改变金属材料、工艺控制以及碳化硅N-外延层浓度,可以调控肖特基势垒高度,以形成较低导通压降(Von)的肖特基接触,从而实现正向工作性能优于寄生二极管的肖特基二极管的体内集成,具有更快的反向恢复时间、更低的反向恢复损耗以及更佳的反向恢复可靠性,具有更佳的反向恢复性能,显著减小了电力电子系统体积,降低了封装花费,避免了金属引线带来的寄生效应,从而提高了系统应用可靠性,具有更为紧凑的元胞面积,具有较低的比导通电阻,具有漏电低的特点。



1. 一种SiC-MOS器件的制备方法,其特征在于,包括如下步骤:

S1、选取碳化硅N+衬底和碳化硅N-外延层,对碳化硅N+衬底和碳化硅N-外延层进行清洗并且干燥;

S2、通过沟槽刻蚀工艺,利用Trench掩模版在碳化硅N-外延层上表面刻蚀出指定尺寸的源极沟槽和栅极沟槽,在源极沟槽和栅极沟槽之间形成台面结构;

S3、通过光刻、高能离子注入工艺,利用掩模版在碳化硅N-外延层表面的台面结构上和源极沟槽底部进行铝离子注入,形成碳化硅P型掺杂区;

S4、通过光刻、高能离子注入工艺,利用掩模版在源极沟槽底部的碳化硅P型掺杂区上进行铝离子注入,形成距离碳化硅P型掺杂区边缘 $0.2\mu\text{m}$ 的碳化硅P+掺杂区;

S5、通过光刻、高能离子注入工艺,利用掩模版在台面结构上的碳化硅P型掺杂区表面进行氮离子注入,形成碳化硅N+源区;

S6、高温退火,对注入的离子进行高温激活;

S7、对栅极沟槽表面进行氧化,形成厚度为 50nm 的 SiO_2 绝缘栅介质层;

S8、通过低压热壁化学气相淀积法在 SiO_2 绝缘栅介质层(108)上淀积形成磷离子掺杂浓度为 $1 \times 10^{20}\text{cm}^{-3}$,厚度为 800nm 的多晶硅栅;

S9、对 SiO_2 绝缘栅介质层和多晶硅栅进行光刻、刻蚀,仅保留栅极沟槽(103)内部的 SiO_2 绝缘栅介质层和多晶硅栅,并且进行研磨,使得栅极沟槽内的多晶硅栅上表面与台面结构齐平;

S10、通过淀积及光刻、刻蚀工艺在多晶硅栅上形成栅极金属,并且进行高温退火,形成良好欧姆接触;

S11、通过低压热壁化学气相淀积法在碳化硅N+衬底下表面淀积金属漏极,并且进行高温退火,使栅极金属与金属漏极形成良好欧姆接触;

S12、通过lift-off工艺溅射淀积金属Ni在源极沟槽底部淀积一层肖特基接触金属,通过刻蚀去除多余的金属Ni,并且快速热处理处理,形成良好肖特基接触;

S13、通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃绝缘介质层,并且高温回流,形成弧形边界;

S14、通过淀积、光刻以及刻蚀工艺形成源极金属以及栅极连接金属,完成制备。

2. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于,所述步骤S2包括:

S21、在碳化硅N-外延层上表面进行光刻,形成栅极与源极沟槽窗口,使得位于栅极沟槽窗口与源极沟槽窗口处的碳化硅N-外延层区域部分裸露;

S22、利用感应耦合等离子体刻蚀技术对碳化硅N-外延层进行刻蚀形成栅极沟槽与源极沟槽,刻蚀压强为 $0.3 \sim 0.5\text{Pa}$,温度为常温,源功率为 $700 \sim 800\text{W}$,偏压功率为 $100 \sim 200\text{W}$,刻蚀气体包括六氟化硫、氧气和氩气,其中,六氟化硫和氩气的气体流量比例为 $2:1$,氧气含量的变化范围为 $45\% \sim 50\%$,刻蚀深度为 $0.8\mu\text{m}$ 。

3. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于,所述步骤S3包括:

S31、通过低压热壁化学气相淀积法在碳化硅N-外延层表面的台面结构上以及栅极沟槽和源极沟槽底部淀积一层厚度为 $1.5\mu\text{m}$ 的Al作为碳化硅P型掺杂区离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P型掺杂区注入区;

S32、在 650°C 的温度下对碳化硅N-外延层正面进行多次Al离子注入,在碳化硅P型掺杂

区注入区形成深度为 $0.6\mu\text{m}$,掺杂浓度为 $3 \times 10^{18}\text{cm}^{-3}$ 的碳化硅P型掺杂区;

S33、采用磷酸去除碳化硅N-外延层表面以及源极沟槽底部的Al,并且清洗干燥。

4. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于,所述步骤S4包括:

S41、通过低压热壁化学气相淀积法在碳化硅N-外延层表面的台面结构上以及栅极沟槽和源极沟槽底部淀积一层厚度为 $1.5\mu\text{m}$ 的Al作为碳化硅P+掺杂区离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P+掺杂区注入区;

S42、在 650°C 的温度下对碳化硅N-外延层正面进行多次Al离子注入,在碳化硅P+掺杂区注入区形成深度为 $0.3\mu\text{m}$,掺杂浓度为 $1 \times 10^{19}\text{cm}^{-3}$ 的碳化硅P+掺杂区;

S43、采用磷酸去除碳化硅N-外延层正面的Al,并且清洗干燥。

5. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于,所述步骤S5包括:

S51、通过低压热壁化学气相淀积法在碳化硅N-外延层正面淀积一层厚度为 $1\mu\text{m}$ 的Al作为碳化硅N+源区离子注入的阻挡层,通过光刻和刻蚀形成碳化硅N+源区注入区;

S52、在 500°C 的温度下对碳化硅N-外延层正面进行多次氮离子注入,在碳化硅N+源区注入区形成深度为 $0.3\mu\text{m}$,掺杂浓度为 $1 \times 10^{19}\text{cm}^{-3}$ 的碳化硅N+源区;

S53、采用磷酸去除碳化硅N-外延层正面的Al,并且清洗干燥。

6. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于,所述步骤S6包括:

S61、采用RCA清洗标准对碳化硅N+衬底和碳化硅N-外延层表面进行清洗,烘干后制作碳膜保护,然后在 1700°C 氩气氛围中进行离子激活退火10min;

S62、通过氧等离子体去除碳膜,采用RCA清洗标准对碳化硅N+衬底和碳化硅N-外延层表面进行清洗,烘干。

7. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于:所述步骤S8中低压热壁化学气相淀积法工艺条件是:淀积温度为 600°C ,淀积压强为60Pa,反应气体采用硅烷和磷化氢,载运气体采用氦气。

8. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于:所述步骤S10中栅极金属的金属材料为Al、Pt、Au、TiN、TiNiAg中的任意一种或几种;所述金属漏极的总厚度大于 $1\mu\text{m}$,且所述金属漏极的金属材料为TiNiAg、VNiAg、TiNiAu、VNiAu中的任意一种或几种。

9. 根据权利要求1所述的一种SiC-MOS器件的制备方法,其特征在于:所述步骤S12中热处理温度为 850°C ,在N₂保护下处理时间为5min。

一种SiC-MOS器件的制备方法

技术领域

[0001] 本发明属于半导体技术领域,具体涉及一种SiC-MOS器件的制备方法。

背景技术

[0002] 碳化硅MOSFET器件是以宽禁带半导体材料碳化硅制造的下一代半导体器件。碳化硅材料诸多吸引人的特性,如10倍于硅材料的临界击穿电场强度、高的热导率、大的禁带宽度以及高电子饱和漂移速度等,使SiC材料成为了国际上功率半导体器件的研究热点,并在高功率应用场合,如高速铁路、混合动力汽车、智能高压直流输电等,碳化硅器件均被赋予了很高的期望。同时碳化硅功率器件对功率损耗的降低效果显著,使得碳化硅功率器件被誉为带动“新能源革命”的“绿色能源”器件。然而,因MOS沟道的不理想导致MOS沟道迁移率过低,极大地限制了碳化硅MOSFET通态电流密度。因此,具有更高沟道密度、从而具有更大通态电流密度的碳化硅UMOSFET受到的广泛关注和研究。尽管碳化硅UMOSFET具有更低通态电阻以及更紧凑的元胞布局,由于底部栅氧化层电场过高的问题,给碳化硅UMOSFET长久使用带来可靠性问题,造成器件长期稳定性差。传统碳化硅UMOSFET结构如图1所示。

[0003] 碳化硅UMOSFET在传统逆变电路、斩波电路等电路应用中一般需要一个反并联二极管共同发挥作用,通常有两种方式:其一为直接使用器件P阱区, N^- 漂移区与 N^+ 衬底形成的寄生PIN二极管。然而,此方式下得到的寄生碳化硅二极管的导通压降大(碳化硅PN结导通压降约为3V),并且反向恢复特性差(正向导通时漂移区电导调制注入大量过剩载流子),导致了高功率损耗,这与当下强调绿色环保的应用理念相悖;同时,因其工作速度低而导致工作效率低下,这对碳化硅UMOSFET在逆变电路、斩波电路等应用中极为不利;其二为将器件与外部一个快恢复二极管(FRD)反并联使用。然而,此方式会引起系统成本的上升、体积的增大以及因金属连线增加而导致的可靠性降低,最终使得碳化硅VDMOS器件在传统逆变电路、斩波电路等电路应用中的推广受到了一定的阻碍。

发明内容

[0004] 本发明的目的在于提供一种SiC-MOS器件的制备方法,以解决上述背景技术中提出的问题。

[0005] 为实现上述目的,本发明采用了如下技术方案:

[0006] 一种SiC-MOS器件的制备方法,包括如下步骤:

[0007] S1、选取碳化硅 N^+ 衬底和碳化硅 N^- 外延层,对碳化硅 N^+ 衬底和碳化硅 N^- 外延层进行清洗并且干燥;

[0008] S2、通过沟槽刻蚀工艺,利用Trench掩膜版在碳化硅 N^- 外延层上表面刻蚀出指定尺寸的源极沟槽和栅极沟槽,在源极沟槽和栅极沟槽之间形成台面结构;

[0009] S3、通过光刻、高能离子注入工艺,利用掩膜版在碳化硅 N^- 外延层表面的台面结构上和源极沟槽底部进行铝离子注入,形成碳化硅P型掺杂区;

[0010] S4、通过光刻、高能离子注入工艺,利用掩膜版在源极沟槽底部的碳化硅P型掺杂

区上进行铝离子注入,形成距离碳化硅P型掺杂区边缘 $0.2\mu\text{m}$ 的碳化硅P+掺杂区;

[0011] S5、通过光刻、高能离子注入工艺,利用掩模版在台面结构上的碳化硅P型掺杂区表面进行氮离子注入,形成碳化硅N+源区;

[0012] S6、高温退火,对注入的离子进行高温激活;

[0013] S7、对栅极沟槽表面进行氧化,形成厚度为 50nm 的 SiO_2 绝缘栅介质层;

[0014] S8、通过低压热壁化学气相淀积法在 SiO_2 绝缘栅介质层上淀积形成磷离子掺杂浓度为 $1\times 10^{20}\text{cm}^{-3}$,厚度为 800nm 的多晶硅栅;

[0015] S9、对 SiO_2 绝缘栅介质层和多晶硅栅进行光刻、刻蚀,仅保留栅极沟槽内部的 SiO_2 绝缘栅介质层和多晶硅栅,并且进行研磨,使得栅极沟槽内的多晶硅栅上表面与台面结构齐平;

[0016] S10、通过淀积及光刻、刻蚀工艺在多晶硅栅上形成栅极金属,并且进行高温退火,形成良好欧姆接触;

[0017] S11、通过低压热壁化学气相淀积法在碳化硅N+衬底下表面淀积金属漏极,并且进行高温退火,使栅极金属与金属漏极形成良好欧姆接触;

[0018] S12、通过lift-off工艺溅射淀积金属Ni在源极沟槽底部淀积一层肖特基接触金属,通过刻蚀去除多余的金属Ni,并且快速热处理处理,形成良好肖特基接触;

[0019] S13、通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃绝缘介质层,并且高温回流,形成弧形边界;

[0020] S14、通过淀积、光刻以及刻蚀工艺形成源极金属以及栅极连接金属,完成制备。

[0021] 优选的,所述步骤S2包括:

[0022] S21、在碳化硅N-外延层上表面进行光刻,形成栅极与源极沟槽窗口,使得位于栅极沟槽窗口与源极沟槽窗口处的碳化硅N-外延层区域部分裸露;

[0023] S22、利用感应耦合等离子体刻蚀技术对碳化硅N-外延层进行刻蚀形成栅极沟槽与源极沟槽,刻蚀压强为 $0.3\sim 0.5\text{Pa}$,温度为常温,源功率为 $700\sim 800\text{W}$,偏压功率为 $100\sim 200\text{W}$;刻蚀气体包括六氟化硫、氧气和氩气,其中,六氟化硫和氩气的气体流量比例为 $2:1$,氧气含量的变化范围为 $45\%\sim 50\%$,刻蚀深度为 $0.8\mu\text{m}$ 。

[0024] 优选的,所述步骤S3包括:

[0025] S31、通过低压热壁化学气相淀积法在碳化硅N-外延层表面的台面结构上以及栅极沟槽和源极沟槽底部淀积一层厚度为 $1.5\mu\text{m}$ 的Al作为碳化硅P型掺杂区离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P型掺杂区注入区;

[0026] S32、在 650°C 的温度下对碳化硅N-外延层正面进行多次Al离子注入,在碳化硅P型掺杂区注入区形成深度为 $0.6\mu\text{m}$,掺杂浓度为 $3\times 10^{18}\text{cm}^{-3}$ 的碳化硅P型掺杂区;

[0027] S33、采用磷酸去除碳化硅N-外延层表面以及源极沟槽底部的Al,并且清洗干燥。

[0028] 优选的,所述步骤S4包括:

[0029] S41、通过低压热壁化学气相淀积法在碳化硅N-外延层表面的台面结构上以及栅极沟槽和源极沟槽底部淀积一层厚度为 $1.5\mu\text{m}$ 的Al作为碳化硅P+掺杂区离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P+掺杂区注入区;

[0030] S42、在 650°C 的温度下对碳化硅N-外延层正面进行多次Al离子注入,在碳化硅P+掺杂区注入区形成深度为 $0.3\mu\text{m}$,掺杂浓度为 $1\times 10^{19}\text{cm}^{-3}$ 的碳化硅P+掺杂区;

- [0031] S43、采用磷酸去除碳化硅N-外延层正面的Al，并且清洗干燥。
- [0032] 优选的，所述步骤S5包括：
- [0033] S51、通过低压热壁化学气相淀积法在碳化硅N-外延层正面淀积一层厚度为1 μ m的Al作为碳化硅N+源区离子注入的阻挡层，通过光刻和刻蚀形成碳化硅N+源区注入区；
- [0034] S52、在500 $^{\circ}$ C的温度下对碳化硅N-外延层正面进行多次氮离子注入，在碳化硅N+源区注入区形成深度为0.3 μ m，掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$ 的碳化硅N+源区；
- [0035] S53、采用磷酸去除碳化硅N-外延层正面的Al，并且清洗干燥。
- [0036] 优选的，所述步骤S6包括：
- [0037] S61、采用RCA清洗标准对碳化硅N+衬底和碳化硅N-外延层表面进行清洗，烘干后制作碳膜保护，然后在1700 $^{\circ}$ C氩气氛围中进行离子激活退火10min；
- [0038] S62、通过氧等离子体去除碳膜，采用RCA清洗标准对碳化硅N+衬底和碳化硅N-外延层表面进行清洗，烘干。
- [0039] 优选的，所述步骤S8中低压热壁化学气相淀积法工艺条件是：淀积温度为600 $^{\circ}$ C，淀积压强为60Pa，反应气体采用硅烷和磷化氢，载运气体采用氦气。
- [0040] 优选的，所述步骤S10中栅极金属的金属材料为Al、Pt、Au、TiN、TiNiAg中的任意一种或几种；所述金属漏极的总厚度大于1 μ m，且所述金属漏极111的金属材料为TiNiAg、VNiAg、TiNiAu、VNiAu中的任意一种或几种。
- [0041] 优选的，所述步骤S12中热处理温度为850 $^{\circ}$ C，在N₂保护下处理时间为5min。
- [0042] 本发明的技术效果和优点：
- [0043] 本发明通过传统碳化硅UMOSFET结构的基础上，源极区采用沟槽结构，并且在沟槽底部做碳化硅深P注入，源极沟槽内使用肖特基金属，且肖特基金属与碳化硅N-外延层在源极沟槽侧壁底部直接接触形成具有整流特性的肖特基二极管。通过改变金属材料、工艺控制以及碳化硅N-外延层浓度，可以调控肖特基势垒高度，以形成较低导通压降(V_{on})的肖特基接触，通常该接触V_{on}处于0.8V~2V的范围，从而实现正向工作性能优于寄生二极管的肖特基二极管的体内集成，由于该二极管为多子器件，反向恢复过程中由于不存在少子存储，具有更快的反向恢复时间、更低的反向恢复损耗以及更佳的反向恢复可靠性，故相对于寄生二极管，具有更佳的反向恢复性能，相对于体外反并联一个二极管的方式，显著减小了电力电子系统体积，降低了封装花费。同时由于不具有与二极管之间的金属引线，避免了金属引线带来的寄生效应，从而提高了系统应用可靠性。同时，相对于众多体内单片集成二极管的方式，本发明结构具有更为紧凑的元胞面积。同时，本发明所设计双深碳化硅P型掺杂区有助于提升器件耐压水平，以及降低器件栅介质层电场，从而对传统UMOSFET器件的基本性能及长久应用可靠性也有大幅提升。同时，由于双深碳化硅P型掺杂区对于器件耐压的提升，使得JFET区掺杂能够有效提高，故本发明所制得的SiC-MOS器件具有较低的比导通电阻，另外，所集成多子整流器件具有漏电低的特点。

附图说明

- [0044] 图1为现有的的SiC-MOS器件截面结构示意图；
- [0045] 图2~图11为本发明的一种SiC-MOS器件的制备方法的工艺过程的截面结构示意图。

[0046] 图中:101、碳化硅N+衬底;102、碳化硅N-外延层;103、栅极沟槽;104、源极沟槽;105、碳化硅P型掺杂区;106、碳化硅P+掺杂区;107、碳化硅N+源区;108、SiO₂绝缘栅介质层;109、多晶硅栅;110、栅极金属;111、金属漏极;112、肖特基接触金属;113、硼磷硅玻璃绝缘介质层;114、源极金属。

具体实施方式

[0047] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0048] 本发明提供了如图2-11所示的一种SiC-MOS器件的制备方法,包括如下步骤:

[0049] S1、如图2所示,选取碳化硅N+衬底101和碳化硅N-外延层102,对碳化硅N+衬底101和碳化硅N-外延层102进行清洗并且干燥;

[0050] S2、如图3所示,通过沟槽刻蚀工艺,利用Trench掩模版在碳化硅N-外延层102上表面刻蚀出指定尺寸的源极沟槽104和栅极沟槽103,在源极沟槽104和栅极沟槽103之间形成台面结构;

[0051] S21、在碳化硅N-外延层102上表面进行光刻,形成栅极与源极沟槽窗口,使得位于栅极沟槽窗口与源极沟槽窗口处的碳化硅N-外延层102区域部分裸露;

[0052] S22、利用感应耦合等离子体刻蚀技术对碳化硅N-外延层102进行刻蚀形成栅极沟槽103与源极沟槽104,刻蚀压强为0.3~0.5Pa,温度为常温,源功率为700~800W,偏压功率为100~200W;刻蚀气体包括六氟化硫、氧气和氩气,其中,六氟化硫和氩气的气体流量比例为2:1,氧气含量的变化范围为45%~50%,刻蚀深度为0.8μm;

[0053] S3、如图4所示,通过光刻、高能离子注入工艺,利用掩模版在碳化硅N-外延层102表面的台面结构上和源极沟槽104底部进行铝离子注入,形成碳化硅P型掺杂区105;

[0054] S31、通过低压热壁化学气相淀积法在碳化硅N-外延层102表面的台面结构上以及栅极沟槽103和源极沟槽104底部淀积一层厚度为1.5μm的Al作为碳化硅P型掺杂区105离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P型掺杂区105注入区;

[0055] S32、在650℃的温度下对碳化硅N-外延层102正面进行多次Al离子注入,在碳化硅P型掺杂区105注入区形成深度为0.6μm,掺杂浓度为 $3 \times 10^{18} \text{cm}^{-3}$ 的碳化硅P型掺杂区105;

[0056] S33、采用磷酸去除碳化硅N-外延层102表面以及源极沟槽104底部的Al,并且清洗干燥;

[0057] S4、如图5所示,通过光刻、高能离子注入工艺,利用掩模版在源极沟槽104底部的碳化硅P型掺杂区105上进行铝离子注入,形成距离碳化硅P型掺杂区105边缘0.2μm的碳化硅P+掺杂区106;

[0058] S41、通过低压热壁化学气相淀积法在碳化硅N-外延层102表面的台面结构上以及栅极沟槽103和源极沟槽104底部淀积一层厚度为1.5μm的Al作为碳化硅P+掺杂区106离子注入的阻挡层,通过光刻和刻蚀形成碳化硅P+掺杂区106注入区;

[0059] S42、在650℃的温度下对碳化硅N-外延层102正面进行多次Al离子注入,在碳化硅

P+掺杂区106注入区形成深度为 $0.3\mu\text{m}$,掺杂浓度为 $1 \times 10^{19}\text{cm}^{-3}$ 的碳化硅P+掺杂区106;

[0060] S43、采用磷酸去除碳化硅N-外延层102正面的Al,并且清洗干燥;

[0061] S5、如图6所示,通过光刻、高能离子注入工艺,利用掩膜版在台面结构上的碳化硅P型掺杂区105表面进行氮离子注入,形成碳化硅N+源区107;

[0062] S51、通过低压热壁化学气相淀积法在碳化硅N-外延层102正面淀积一层厚度为 $1\mu\text{m}$ 的Al作为碳化硅N+源区107离子注入的阻挡层,通过光刻和刻蚀形成碳化硅N+源区107注入区;

[0063] S52、在 500°C 的温度下对碳化硅N-外延层102正面进行多次氮离子注入,在碳化硅N+源区107注入区形成深度为 $0.3\mu\text{m}$,掺杂浓度为 $1 \times 10^{19}\text{cm}^{-3}$ 的碳化硅N+源区107;

[0064] S53、采用磷酸去除碳化硅N-外延层102正面的Al,并且清洗干燥;

[0065] S6、高温退火,对注入的离子进行高温激活;

[0066] S61、采用RCA清洗标准对碳化硅N+衬底101和碳化硅N-外延层102表面进行清洗,烘干后制作碳膜保护,然后在 1700°C 氩气氛围中进行离子激活退火10min;

[0067] S62、通过氧等离子体去除碳膜,采用RCA清洗标准对碳化硅N+衬底101和碳化硅N-外延层102表面进行清洗,烘干;

[0068] S7、如图7所示,对栅极沟槽103表面进行氧化,形成厚度为50nm的 SiO_2 绝缘栅介质层108;

[0069] S8、如图7所示,通过低压热壁化学气相淀积法在 SiO_2 绝缘栅介质层108上淀积形成磷离子掺杂浓度为 $1 \times 10^{20}\text{cm}^{-3}$,厚度为800nm的多晶硅栅109,低压热壁化学气相淀积法工艺条件是:淀积温度为 600°C ,淀积压强为60Pa,反应气体采用硅烷和磷化氢,载运气体采用氦气;

[0070] S9、对 SiO_2 绝缘栅介质层108和多晶硅栅109进行光刻、刻蚀,仅保留栅极沟槽103内部的 SiO_2 绝缘栅介质层108和多晶硅栅109,并且进行研磨,使得栅极沟槽103内的多晶硅栅109上表面与台面结构齐平;

[0071] S10、如图8所示,通过淀积及光刻、刻蚀工艺在多晶硅栅109上形成栅极金属110,并且进行高温退火,形成良好欧姆接触,栅极金属110的金属材料为Al、Pt、Au、TiN、TiNiAg中的任意一种或几种;

[0072] S11、如图8所示,通过低压热壁化学气相淀积法在碳化硅N+衬底101下表面淀积金属漏极111,并且进行高温退火,使栅极金属110与金属漏极111形成良好欧姆接触,金属漏极111的总厚度大于 $1\mu\text{m}$,且金属漏极111的金属材料为TiNiAg、VNiAg、TiNiAu、VNiAu中的任意一种或几种;

[0073] S12、如图9所示,通过lift-off工艺溅射淀积金属Ni在源极沟槽104底部淀积一层肖特基接触金属112,通过刻蚀去除多余的金属Ni,并且快速热处理处理,热处理温度为 850°C ,在 N_2 保护下处理时间为5min,形成良好肖特基接触;

[0074] S13、如图10所示,通过淀积、光刻以及刻蚀工艺形成硼磷硅玻璃绝缘介质层113,并且高温回流,形成弧形边界;

[0075] S14、如图11所示,通过淀积、光刻以及刻蚀工艺形成源极金属114以及栅极连接金属,完成制备。

[0076] 综上所述,本发明通过在传统碳化硅UMOSFET结构的基础上,源极区采用沟槽结

构,并且在沟槽底部做碳化硅深P注入,源极沟槽内使用肖特基金属,且肖特基金属与碳化硅N-外延层在源极沟槽侧壁底部直接接触形成具有整流特性的肖特基二极管。通过改变金属材料、工艺控制以及碳化硅N-外延层浓度,可以调控肖特基势垒高度,以形成较低导通压降 (V_{on}) 的肖特基接触,通常该接触 V_{on} 处于 $0.8V\sim 2V$ 的范围,从而实现正向工作性能优于寄生二极管的肖特基二极管的体内集成,由于该二极管为多子器件,反向恢复过程中由于不存在少子存储,具有更快的反向恢复时间、更低的反向恢复损耗以及更佳的反向恢复可靠性,故相对于寄生二极管,具有更佳的反向恢复性能,相对于体外反并联一个二极管的方式,显著减小了电力电子系统体积,降低了封装花费。同时由于不具有与二极管之间的金属引线,避免了金属引线带来的寄生效应,从而提高了系统应用可靠性。同时,相对于众多体内单片集成二极管的方式,本发明结构具有更为紧凑的元胞面积。同时,本发明所设计双深碳化硅P型掺杂区有助于提升器件耐压水平,以及降低器件栅介质层电场,从而对传统UMOSFET器件的基本性能及长久应用可靠性也有大幅提升。同时,由于双深碳化硅P型掺杂区对于器件耐压的提升,使得JFET区掺杂能够有效提高,故本发明所制得的SiC-MOS器件具有较低的比导通电阻,另外,所集成多子整流器件具有漏电低的特点。

[0077] 最后应说明的是:以上所述仅为本发明的优选实施例而已,并不用于限制本发明,尽管参照前述实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

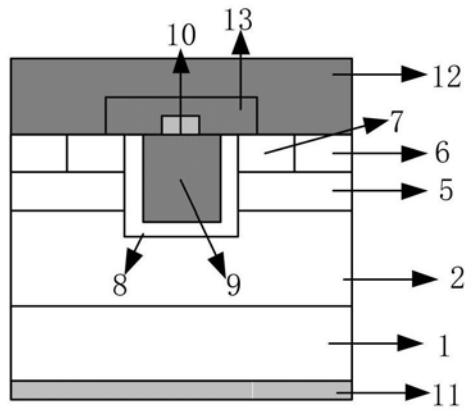


图1

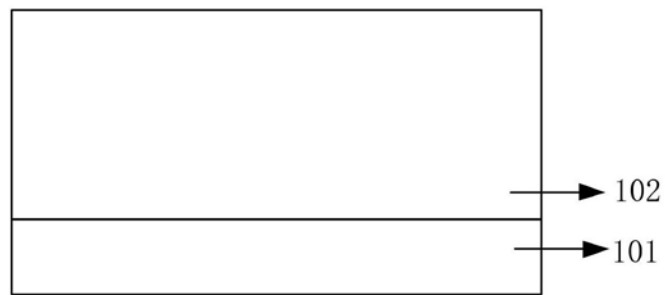


图2

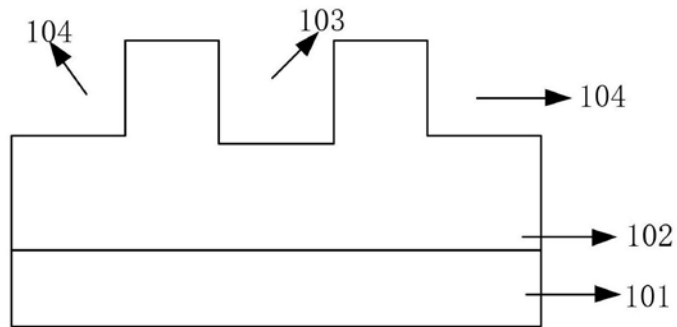


图3

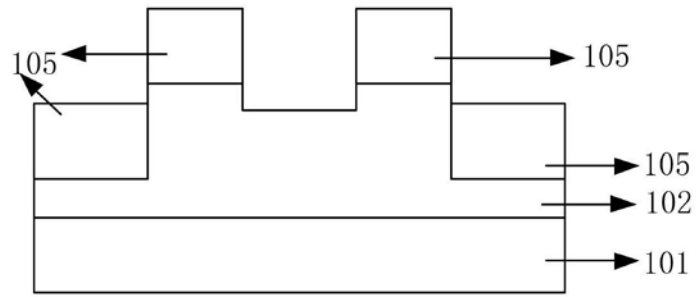


图4

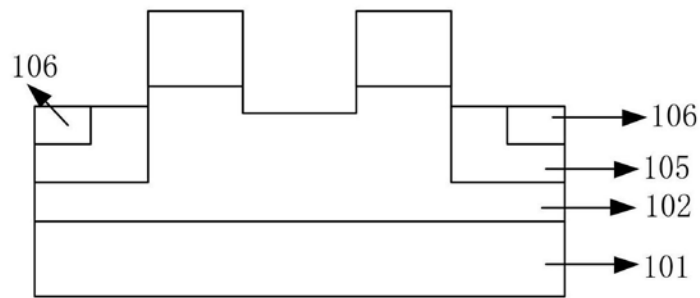


图5

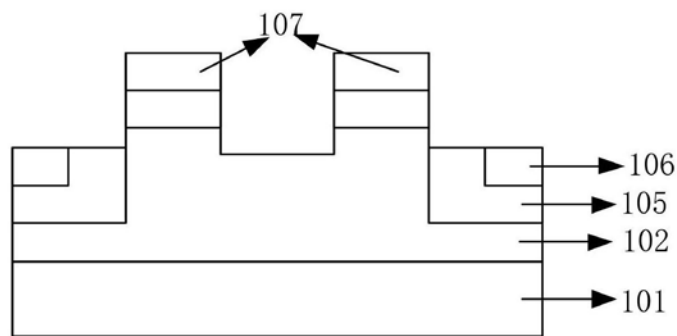


图6

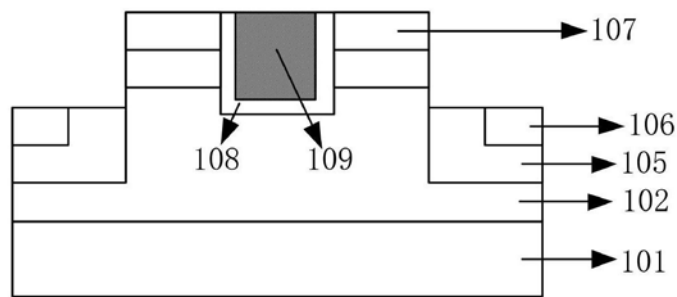


图7

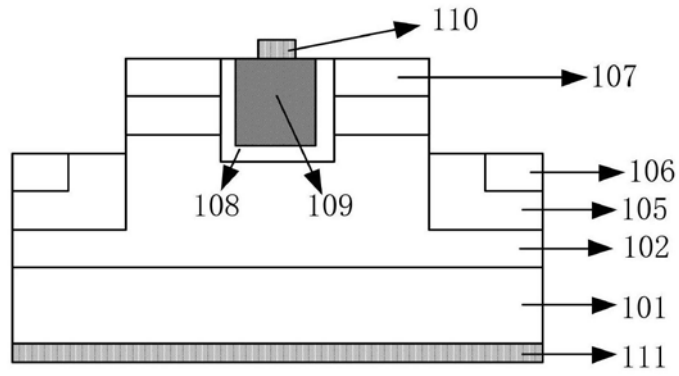


图8

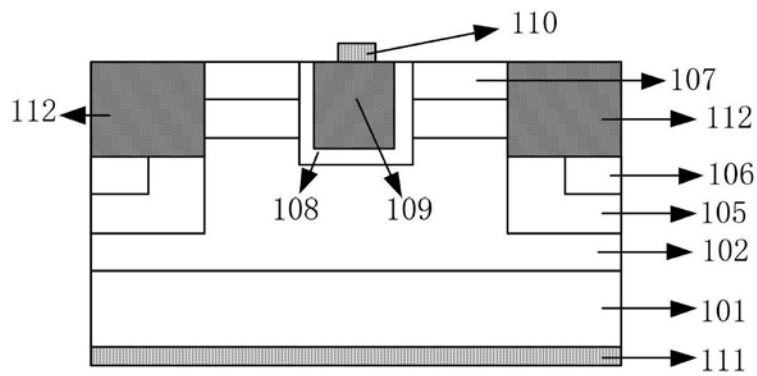


图9

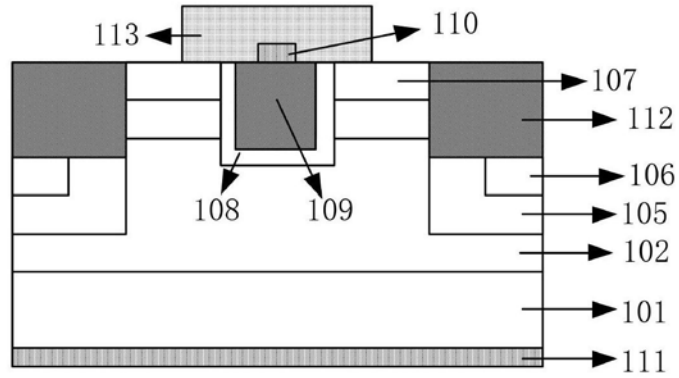


图10

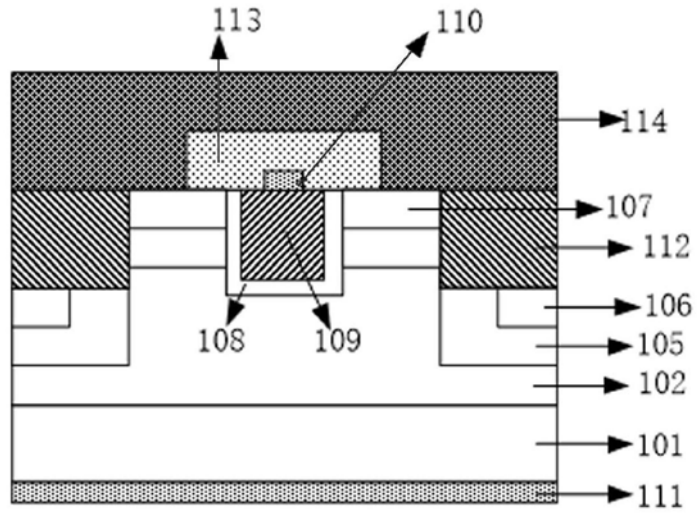


图11