



(12) 发明专利

(10) 授权公告号 CN 102402957 B

(45) 授权公告日 2014. 01. 22

(21) 申请号 201110359831. 4

CN 1620628 A, 2005. 05. 25, 全文.

(22) 申请日 2011. 11. 15

CN 201716962 U, 2011. 01. 19, 全文.

(73) 专利权人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道 9—2 号

审查员 罗朋

(72) 发明人 廖良展 林柏伸 郭东胜

(74) 专利代理机构 深圳市世纪恒程知识产权代理事务所 44287

代理人 胡海国

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

US 2007/0285370 A1, 2007. 12. 13, 全文.

US 101398584 A, 2009. 04. 01, 全文.

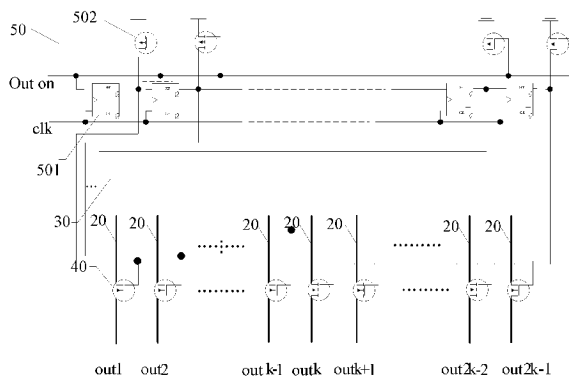
权利要求书2页 说明书7页 附图4页

(54) 发明名称

LCD 数据驱动 IC 输出补偿电路及补偿方法

(57) 摘要

本发明涉及一种 LCD 数据驱动 IC 输出补偿电路及补偿方法, 其电路包括数据驱动 IC、若干第一开关单元以及延迟控制单元, 数据驱动 IC 的若干输出通道分别通过数据线与玻璃基板中对应的像素电极连接, 输出充电信号为对应行的像素电极充电; 每一输出通道设置第一开关单元, 用于根据延迟控制单元产生的延迟控制信号, 控制该第一开关单元所在的输出通道, 将充电信号按预定延时输出; 延迟控制单元根据对应的数据线的阻抗值产生对应的延迟控制信号, 控制对应的第一开关单元按预定延时开启, 使每一像素电极的充电时间相等。本发明无需绕线, 减少玻璃基板的走线空间, 利于液晶显示器的窄边框设计, 改善了所有输出通道同时打开时产生的 EMI 问题。



1. 一种 LCD 数据驱动 IC 输出补偿电路,其特征在于,包括:数据驱动 IC、若干第一开关单元以及延迟控制单元,其中:

所述数据驱动 IC 包括若干输出通道,所述若干输出通道分别通过数据线与玻璃基板中对应行的像素电极连接,用于输出充电信号,为所述对应行的像素电极充电;

所述第一开关单元,对应设置在每一所述输出通道上,并连接相应的所述延迟控制单元,用于根据所述延迟控制单元产生的延迟控制信号,控制该第一开关单元所在的输出通道,将所述充电信号按预定延时输出;

所述延迟控制单元,用于根据对应的所述数据线的阻抗值产生对应的延迟控制信号,控制对应的所述第一开关单元按预定延时开启,使每一所述像素电极的充电时间相等;

所述延时控制单元包括移位触发器,以及第二开关单元,所述第一、第二开关单元均为 MOS 管,其中:

各个所述延时控制单元的移位触发器相互级联;各移位触发器均具有第一输入端、第二输入端以及输出端,除第一级的移位触发器的第一输入端连接外部的高/低电平触发信号输入端,用于接收外部输入的高/低电平触发信号外,其余各级移位触发器的第一输入端分别连接其前一级的移位触发器的输出端;第一级移位触发器的第一输入端还分别与各个第二开关单元的栅极连接;各移位触发器的第二输入端均连接一时钟控制器,各移位触发器的输出端还分别连接对应的第二开关单元的漏极以及对应的第一开关单元的栅极;各个第二开关单元的源极接地;

各个第一开关单元的漏极连接对应的输出通道,各个第一开关单元的源极连接对应的像素电极;

当第一级移位触发器的第一输入端接收到高电平触发信号时,各移位触发器根据所述时钟控制器产生的时钟控制信号的频率逐级产生预定延时的延迟控制信号,逐级打开相应的第一开关单元;当第一级移位触发器的第一输入端接收到低电平触发信号时,各移位触发器控制分别打开与其连接的第二开关单元,控制对应的第一开关单元关闭。

2. 根据权利要求 1 所述的 LCD 数据驱动 IC 输出补偿电路,其特征在于,所述数据线的阻抗值沿数据驱动 IC 的两端向中间对称性的逐级减少。

3. 根据权利要求 2 所述的 LCD 数据驱动 IC 输出补偿电路,其特征在于,所述数据驱动 IC 具有  $n$  个输出通道,所述第一开关单元对应为  $n$  个;当所述输出通道为偶数个时,所述延时控制单元为  $n/2$  个,相互级联的所述移位触发器包括  $n/2$  级;每一级移位触发器连接有一个第二开关单元,第 1 级移位触发器的输出端分别连接第 1、第  $n$  个第一开关单元的栅极;第 2 级移位触发器的输出端分别连接第 2、第  $n-1$  个第一开关单元的栅极,依次类推,其中, $n$  为自然数;

或者,当所述输出通道为奇数个时,所述延时控制单元为  $(n+1)/2$  个,相互级联的所述移位触发器包括  $(n+1)/2$  级;每一级移位触发器连接有一个第二开关单元,第 1 级移位触发器的输出端分别连接第 1、第  $n$  个第一开关单元的栅极;第 2 级移位触发器的输出端分别连接第 2、第  $n-1$  个第一开关单元的栅极,依次类推,第  $(n+1)/2$  级移位触发器的输出端连接第  $(n+1)/2$  个第一开关单元的栅极,其中, $n$  为自然数。

4. 根据权利要求 1 所述的 LCD 数据驱动 IC 输出补偿电路,其特征在于,所述高/低电平触发信号为所述数据驱动 IC 输出的充电信号。

5. 根据权利要求 1 至 4 中任一项所述的 LCD 数据驱动 IC 输出补偿电路,其特征在于,所述级联的移位触发器为所述数据驱动 IC 中的移位寄存器。

6. 根据权利要求 5 所述的 LCD 数据驱动 IC 输出补偿电路,其特征在于,所述时钟控制器内置于所述数据驱动 IC 中。

7. 一种 LCD 数据驱动 IC 输出补偿方法,其特征在于,包括以下步骤:

延迟控制单元根据数据驱动 IC 与玻璃基板上对应行的像素电极之间的各数据线的阻抗值,由时钟控制器控制产生相应的延迟控制信号,发送至所述数据驱动 IC 对应的输出通道上的第一开关单元;

所述数据驱动 IC 对应的输出通道上的第一开关单元根据所述延迟控制信号,控制该第一开关单元所在的输出通道按预定延时输出充电信号至对应的像素电极,使对应行的每一所述像素电极的充电时间相等;

所述延时控制单元包括移位触发器以及第二开关单元,当第一级移位触发器接收到高电平触发信号时,各移位触发器根据所述时钟控制器产生的时钟控制信号的频率逐级产生预定延时的延迟控制信号,逐级打开相应的第一开关单元;当第一级移位触发器接收到低电平触发信号时,各移位触发器控制分别打开与其连接的第二开关单元,控制对应的第一开关单元关闭。

8. 根据权利要求 7 所述的 LCD 数据驱动 IC 输出补偿方法,其特征在于,所述数据线的阻抗值沿数据驱动 IC 的两端向中间对称性的逐级减少。

## LCD 数据驱动 IC 输出补偿电路及补偿方法

### 技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种利于液晶显示器窄边框设计的 LCD 数据驱动 IC 输出补偿电路及补偿方法。

### 背景技术

[0002] 如图 1 所示,液晶面板中的数据线 2,在从数据驱动 IC (Integrated Circuit, 集成电路) 3 输出时,为了使每条数据线 2 的信号同时到达每行的每一个像素,在走线时每条数据线 2 的阻抗应基本一致。

[0003] 在现有技术中,为了使到达每一个像素时每条走线的阻抗基本一致,通常采用一段蛇形走线来实现,数据线 2 会经过一段蛇形的绕线再连接到像素区域 1,根据数据线 2 的材质和长度使得每条数据线 2 阻抗基本一致。这样,当扫描线打开某一行像素时,数据驱动 IC3 的所有输出通道同时输出,此时每一行的数据线的阻抗均一致,因此,给同一行的每个像素充电的时间都一致,这样画面的均匀性会好,反之,当数据线阻抗设计不一致时,同一行的每个像素充电的时间就会有差异,对应数据线控制区域的画面显示就会有不均匀的问题。

[0004] 但是,随着单颗数据驱动 IC3 输出通道数的增加,为满足输出补偿,用蛇形来走线需要的空间会变大,而目前边框的发展趋势是朝窄边框的方向发展,绕线的空间将逐渐缩小,因此,现有的蛇形的数据线的走线方式无法满足绕线空间小且画面显示均匀的窄边框液晶显示器的要求。另外目前数据驱动 IC3 的输出通道基本都是同时输出,这样会使得在所有的输出通道同时打开时,因为需要给玻璃基板提供一个较大的电流,由此产生 EMI (Electro Magnetic Interference, 电磁干扰) 的问题。

### 发明内容

[0005] 本发明的主要目的在于提供一种 LCD 数据驱动 IC 输出补偿电路及补偿方法,旨在减少玻璃基板的走线空间,利于液晶显示器的窄边框设计。

[0006] 为了达到上述目的,本发明提出一种 LCD 数据驱动 IC 输出补偿电路,包括:数据驱动 IC、若干第一开关单元以及延迟控制单元,其中:

[0007] 所述数据驱动 IC 包括若干输出通道,所述若干输出通道分别通过数据线与玻璃基板中对应行的像素电极连接,用于输出充电信号,为所述对应行的像素电极充电;

[0008] 所述第一开关单元,对应设置在每一所述输出通道上,并连接相应的所述延迟控制单元,用于根据所述延迟控制单元产生的延迟控制信号,控制该第一开关单元所在的输出通道,将所述充电信号按预定延时输出;

[0009] 所述延迟控制单元,用于根据对应的所述数据线的阻抗值产生对应的延迟控制信号,控制对应的所述第一开关单元按预定延时开启,使每一所述像素电极的充电时间相等;

[0010] 所述延时控制单元包括移位触发器,以及第二开关单元,所述第一、第二开关单元

均为 MOS 管,其中:

[0011] 各个所述延时控制单元的移位触发器相互级联;各移位触发器均具有第一输入端、第二输入端以及输出端,除第一级的移位触发器的第一输入端连接外部的高/低电平触发信号输入端,用于接收外部输入的高/低电平触发信号外,其余各级移位触发器的第一输入端分别连接其前一级的移位触发器的输出端;第一级移位触发器的第一输入端还分别与各个第二开关单元的栅极连接;各移位触发器的第二输入端均连接一时钟控制器,各移位触发器的输出端还分别连接对应的第二开关单元的漏极以及对应的第一开关单元的栅极;各个第二开关单元的源极接地;

[0012] 各个第一开关单元的漏极连接对应的输出通道,各个第一开关单元的源极连接对应的像素电极;

[0013] 当第一级移位触发器的第一输入端接收到高电平触发信号时,各移位触发器根据所述时钟控制器产生的时钟控制信号的频率逐级产生预定延时的延迟控制信号,逐级打开相应的第一开关单元;当第一级移位触发器的第一输入端接收到低电平触发信号时,各移位触发器控制分别打开与其连接的第二开关单元,控制对应的第一开关单元关闭。

[0014] 优选地,所述数据线的阻抗值沿数据驱动 IC 的两端向中间对称性的逐级减少。

[0015] 优选地,所述数据驱动 IC 具有  $n$  个输出通道,所述第一开关单元对应为  $n$  个;当所述输出通道为偶数个时,所述延时控制单元为  $n/2$  个,相互级联的所述移位触发器包括  $n/2$  级;每一级移位触发器连接有一个第二开关单元,第 1 级移位触发器的输出端分别连接第 1、第  $n$  个第一开关单元的栅极;第 2 级移位触发器的输出端分别连接第 2、第  $n-1$  个第一开关单元的栅极,依次类推,其中,  $n$  为自然数;

[0016] 或者,当所述输出通道为奇数个时,所述延时控制单元为  $(n+1)/2$  个,相互级联的所述移位触发器包括  $(n+1)/2$  级;每一级移位触发器连接有一个第二开关单元,第 1 级移位触发器的输出端分别连接第 1、第  $n$  个第一开关单元的栅极;第 2 级移位触发器的输出端分别连接第 2、第  $n-1$  个第一开关单元的栅极,依次类推,第  $n$  级移位触发器的输出端连接第  $(n+1)/2$  个第一开关单元的栅极,其中,  $n$  为自然数。

[0017] 优选地,所述高/低电平触发信号为所述数据驱动 IC 输出的充电信号。

[0018] 优选地,所述级联的移位触发器为所述数据驱动 IC 中的移位寄存器。

[0019] 优选地,所述时钟控制器内置于所述数据驱动 IC 中。

[0020] 本发明还提出一种 LCD 数据驱动 IC 输出补偿方法,包括以下步骤:

[0021] 延迟控制单元根据数据驱动 IC 与玻璃基板上对应行的像素电极之间的各数据线的阻抗值,由时钟控制器控制产生相应的延迟控制信号,发送至所述数据驱动 IC 对应的输出通道上的第一开关单元;

[0022] 所述数据驱动 IC 对应的输出通道上的第一开关单元根据所述延迟控制信号,控制该第一开关单元所在的输出通道按预定延时输出充电信号至对应的像素电极,使对应行的每一所述像素电极的充电时间相等;

[0023] 所述延时控制单元包括移位触发器以及第二开关单元,当第一级移位触发器接收到高电平触发信号时,各移位触发器根据所述时钟控制器产生的时钟控制信号的频率逐级产生预定延时的延迟控制信号,逐级打开相应的第一开关单元;当第一级移位触发器接收到低电平触发信号时,各移位触发器控制分别打开与其连接的第二开关单元,控制对应的

第一开关单元关闭。

[0024] 优选地,所述数据线的阻抗值沿数据驱动 IC 的两端向中间对称性的逐级减少。

[0025] 本发明提出的一种 LCD 数据驱动 IC 输出补偿电路及补偿方法,采用延迟控制单元对数据驱动 IC 输出的充电信号由两边向中间依次延时,以此补偿数据驱动 IC 至每一行像素电极之间的数据线的阻抗不匹配的问题,使得每个输出通道在某一行像素电极的充电时间是基本一致,在保证液晶显示器均匀显示画面的同时,由于数据线无需采用绕线方式,使得玻璃基板的走线空间小,更有利于液晶显示器的窄边框设计,COF (Chip On Film,覆晶薄膜)也可以采用更多的输出通道,降低了成本;也改善了所有输出通道同时打开时产生的 EMI 问题。

#### 附图说明

[0026] 图 1 是现有技术中数据驱动 IC 通过数据线连接像素区域的结构示意图;

[0027] 图 2 是本发明 LCD 数据驱动 IC 输出补偿电路实施例中数据驱动 IC 通过数据线连接像素区域的结构示意图;

[0028] 图 3 是本发明 LCD 数据驱动 IC 输出补偿电路实施例的结构示意图;

[0029] 图 4 为本发明 LCD 数据驱动 IC 输出补偿电路实施例中各输出通道工作时序示意图;

[0030] 图 5 是本发明 LCD 数据驱动 IC 输出补偿方法实施例流程示意图。

[0031] 为了使本发明的技术方案更加清楚、明了,下面将结合附图作进一步详述。

#### 具体实施方式

[0032] 应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0033] 本发明主要解决方案是:通过在数据驱动 IC 的输出通道上设置输出控制开关,并通过延迟控制单元根据各数据线的阻抗值,逐级打开各输出通道上的开关,从而使玻璃基板上每一行的各像素电极的充电时间相同,保证了画面显示的均匀性,数据线不需采用蛇形的走线方式,减小绕线空间,有利于液晶显示器的窄边框设计。

[0034] 请一并参照图 2 及图 3 所示,图 2 为本发明数据驱动 IC 输出的数据线不需绕线,向像素电极充电的结构示意图。图 3 是本发明提出的数据驱动 IC 输出补偿电路结构示意图。

[0035] 图 2 中,数据驱动 IC30 通过多条数据线(图中以 n 表示,n 为自然数)20 连接像素区域 10,给像素区域 10 内的像素电极充电。

[0036] 数据线 20 在从数据驱动 IC30 输出时,走线不做如图 1 所示的蛇形线,而是采用直线形式,此举节约了绕线所浪费的空间,使得液晶面板的边框可以做的更窄。但采用直线形式连接时,数据驱动 IC30 输出的每根数据线 20 的长度不同,其阻抗值也不一致,若数据驱动 IC30 的所有输出通道同时输出,数据信号通过每条数据线 20 给对应像素充电的时间不一致,阻抗值大的数据线 20 其充电时间相对短,从而使得受该数据驱动 IC3 控制的像素区域 10 的画面显示不均匀。为此,本发明通过延迟控制单元 50 控制每个输出通道的输出的时间,使每个输出通道的输出时间与对应数据线 20 的阻抗值匹配,保证每个输出通道在像素区域 10 某一行的像素电极的充电时间一致,从而得到显示均匀的画面。

[0037] 具体如图 3 所示,该 LCD 数据驱动 IC 输出补偿电路包括数据驱动 IC30、若干第一开关单元 40 以及若干延迟控制单元 50,其中:

[0038] 数据驱动 IC30 包括若干输出通道,若干输出通道分别通过数据线 20 与玻璃基板中对应行的像素电极连接,用于输出充电信号,为对应行的像素电极充电;

[0039] 各个第一开关单元 40,对应设置在每一输出通道上,并连接相应的延迟控制单元 50,用于根据延迟控制单元 50 产生的延迟控制信号,控制该第一开关单元 40 所在的输出通道,将充电信号按预定延时输出;

[0040] 各个延迟控制单元 50,用于根据对应的数据线 20 的阻抗值产生对应的延迟控制信号,控制对应的第一开关单元 40 按预定延时开启,使每一像素电极的充电时间相等。

[0041] 延时控制单元 50 包括移位触发器 501,以及第二开关单元 502,第一、第二开关单元 40、502 均为 MOS 管(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体型场效应管),其中,第一开关单元 40 为 NMOS 管,第二开关单元 502 为 PMOS 管。

[0042] 本实施例中各延时控制单元 50 的移位触发器 501 相互级联,各移位触发器 501 均具有第一输入端、第二输入端以及输出端,除第一级的移位触发器 501 的第一输入端连接外部的高/低电平触发信号输入端(Out on),用于接收外部输入的高/低电平触发信号外,其余各级移位触发器 501 的第一输入端分别连接其前一级的移位触发器 501 的输出端。

[0043] 各移位触发器 501 的第二输入端均连接一时钟控制器;各移位触发器 501 的输出端还分别连接对应的第二开关单元 502 的漏极,以及还分别连接对应的第一开关单元 40 的栅极;各个第二开关单元 502 的源极接地。

[0044] 此外,第一级的移位触发器 501 的第一输入端还分别连接各个第二开关单元 502 的栅极。

[0045] 各个第一开关单元 40 的漏极连接对应的输出通道,各个第一开关单元 40 的源极连接对应的像素电极。

[0046] 当第一级移位触发器 501 的第一输入端接收到高电平触发信号时,各移位触发器 501 根据时钟控制器产生的时钟控制信号的频率逐级产生预定延时的延迟控制信号,逐级打开相应的第一开关单元 40;当第一级移位触发器 501 的第一输入端接收到低电平触发信号时,各移位触发器 501 控制分别打开与其连接的第二开关单元 502,控制对应的第一开关单元 40 关闭。

[0047] 本实施例以数据线 20 的阻抗值沿数据驱动 IC30 的两端向中间对称性的逐级减少为例进行说明,而阻抗最小的数据线 20 不一定是在 COF 中间的输出通道,由中间通道向两端,数据线 20 阻抗的增加也不一定对称,需要根据实际的阻抗分布对延时进行调整,才能达到最好的效果。

[0048] 本实施例定义数据驱动 IC30 具有奇数个输出通道,并以此为例进行说明,也就是定义数据驱动 IC30 的输出通道  $n$  为奇数, $n=2k-1$ ,其中, $k$  为自然数, $2k-1$  个输出通道对应  $2k-1$  条数据线 20,第一开关单元 40 对应为  $2k-1$  个;同时定义延时控制单元 50 为  $k$  个,相互级联的移位触发器 501 包括  $k$  级,每一级移位触发器 501 连接有一个第二开关单元 502。第 1 级移位触发器 501 的输出端分别连接第 1、第  $2k-1$  个第一开关单元 40 的栅极;第 2 级移位触发器 501 的输出端分别连接第 2、第  $2k-2$  个第一开关单元 40 的栅极,依次类推,第  $k$  级移位触发器 501 的输出端连接第  $k$  个第一开关单元 40 的栅极。

[0049] 数据线 20 的走线方式如图 2 所示,其阻抗的大小从两端向中间逐级对称减小。

[0050] 第  $k$  条数据线 20 的从数据驱动 IC30 第  $k$  个通道输出,其在数据驱动 IC30 与像素区域 10 之间的路径最近,阻抗最小,左右的通道阻抗呈对称的逐次增大,第一条数据线 20 的阻抗值逐条减小至第  $k$  条数据线 20,然后从第  $k+1$  条数据线 20 开始,其阻抗值逐条增大至第  $2k-1$  条数据线 20,其中第 1 条数据线 20 与第  $2k-1$  那条数据线 20 的阻抗值相同,第 2 条数据线 20 与第  $2k-2$  那条数据线 20 的阻抗值相同,依次类推,第  $k-1$  条数据线 20 的阻抗值与第  $k+1$  条数据线 20 的阻抗值相同,第  $k$  条数据线 20 的阻抗值最小。这样对于每一行的像素电极而言,在延迟控制单元 50 不工作时,如果数据驱动 IC30 的每个输出通道同时输出信号,那么由第  $k$  个输出通道朝两边,充电的时间会逐渐减小,这样中间当显示同一灰阶时,显示的颜色会有差异。

[0051] 通过延迟控制单元 50 的控制,调整数据驱动 IC30 每个输出通道的充电信号的输出时间,使得像素区域 10 中每一行的像素电极的充电时间相等,具体原理如下:

[0052]  $2k-1$  个第一开关单元 40 一一对应的控制  $2k-1$  条数据线 20 所在的输出通道的开关,第 1 个第一开关单元 40 位于数据驱动 IC3 的第 1 个输出通道上,用于控制第 1 条数据线 20 的开关,第 2 个第一开关单元 40 位于数据驱动 IC30 的第 2 个输出通道上,用于控制第 2 条数据线 20 的开关,依次类推,第  $k$  个第一开关单元 40 位于数据驱动 IC30 的第  $k$  个输出通道上,用于控制第  $k$  条数据线的 20 开关,第  $2k-1$  个第一开关单元 40 位于数据驱动 IC30 的第  $2k-1$  个输出通道上,用于控制第  $2k-1$  条数据线 20 的开关。

[0053] 本实施例中移位触发器 501 可以为上升沿 D 触发器。

[0054] 级联的移位触发器 501 为  $k$  级串联的上升沿 D 触发器 501,每级上升沿 D 触发器 501 的输出端连接对应的第一开关单元 40 的栅极,用于控制对应的第一开关单元 40 的打开与关闭。

[0055] 具体地,第 1 级上升沿 D 触发器 501 的输出端连接第 1 条和第  $2k-1$  条数据线 20 的第一开关单元 40 的栅极,第 2 级的输出端连接第 2 条和第  $2k-2$  条数据线 20 的第一开关单元 40 的栅极,依次类推,第  $k-1$  级输出端连接第  $k-1$  条和第  $k+1$  条数据线 20 的第一开关单元 40 的栅极,第  $k$  级的输出端连接第  $k$  条数据线 20 的第一开关单元 40 的栅极。

[0056] 每个第二开关单元 502 的栅极连接第一级上升沿 D 触发器 501 的输入端,用于同时接收外部输入的高/低电电平触发信号。

[0057] 每个第二开关单元 502 的漏极一一对应的连接第一开关单元 40 的栅极,即第 1 个第二开关单元 502 是漏极连接第 1 个第一开关单元 40 的栅极,第 2 个第二开关单元 502 是漏极连接第 2 个第一开关单元 40 的栅极,依次类推,第  $k$  个第二开关单元 502 漏极连接第  $k$  个第一开关单元 40 的栅极,第  $2k-1$  个第二开关单元 502 漏极连接第  $2k-1$  个第一开关单元 40 的栅极,所有第二开关单元 502 的源极接地。

[0058] 图 4 为数据驱动 IC30 各输出通道的工作时序示意图,在级联的上升沿 D 触发器 501 的第二输入端即时钟控制信号输入端的时钟脉冲信号  $c1k$  上升沿到来之时,上升沿 D 触发器 501 会发生翻转,其翻转的状态由第二输入端接收的  $Out\_on$  信号的电平高低来决定,在  $t1$  时刻之前, $Out\_on$  信号为低电平,各上升沿 D 触发器 501 的输出端为低电平,所有第一开关单元 40 处于关闭状态,在  $t1$  时刻, $Out\_on$  信号由低电平跃升到高电平,此时第 1 级上升沿 D 触发器 501 的第二输入端的时钟脉冲信号上升沿来到,第 1 级上升沿 D 触发器 501



发生翻转,第 1 级上升沿 D 触发器 501 的输出端翻转到高电平,并提供给第 2 级上升沿 D 触发器 501 的第二输入端,此时第 1 个第一开关单元 40 和第  $2k-1$  个第一开关单元 40 的栅极接收高电平,控制第 1 条数据线和第  $2k-1$  条数据线打开,给对应像素充电,在  $t_2$  时刻,第 2 级上升沿 D 触发器 501 的第二输入端跃升为高电平,时钟脉冲信号在下一个上升沿来到时,第 2 级上升沿 D 触发器 501 的输出端翻转为高电平,此时第 2 个第一开关单元 40 和第  $2k-2$  个第一开关单元 40 的栅极接收高电平,控制第 2 条数据线和第  $2k-2$  条数据线打开,给对应像素充电,依次类推,在  $t_k$  时刻,此时第  $k$  级上升沿 D 触发器 501 的输出端输出高电平,第  $k$  个第一开关单元 40 的栅极接收高电平,控制第  $k$  条数据线打开,至此,各延迟控制单元 50 控制每条数据线 20 的输出通道在适当时机打开,使得数据线 20 从两端向中间逐条打开,阻抗值的差异得到补偿,从而保证每个像素电极的充电时间一致。

[0059] 在  $t_m$  时刻,级联的上升沿 D 触发器 501 的第二输入端由高电平变为低电平,此时,所有数据线 20 所在的输出通道在第二开关单元 502 的下拉作用下瞬间关闭。

[0060] 本实施例中数据驱动 IC30 和延迟控制单元 50 可以通过 COF 或者 COG (chip on glass,玻璃上芯片封装)的方式压合在玻璃基板上。

[0061] 对于数据驱动 IC30 具有偶数个输出通道即  $n=2k$  (其中, $k$  为自然数)的情形,只是输出通道的个数不同,其数据驱动 IC30 输出补偿的基本原理与上述实施例相同,数据线 20 的阻抗值仍然是从两端向中间均匀减小,延迟控制单元 50 根据各数据线 20 的阻抗值,由时钟控制器控制产生相应的延迟控制信号,使数据驱动 IC30 输出的充电信号由两边向中间依次延时,以此补偿数据驱动 IC30 至每一行像素电极之间的数据线 20 的阻抗不匹配的问题,使得每个输出通道在某一行像素电极的充电时间基本一致。在其他实施例中,根据不同液晶面板走线的设计,其数据线 20 的阻抗值不一定是从两端向中间均匀减小,由中间向两端阻抗的增加不一定是对称的,波形的延时也会有差异,此时要根据实际的阻抗分布来对输出的波形延时进行调整,例如每级上升沿 D 触发器 501 中可包含一个或多个串联的上升沿 D 触发器 501,从而得到适应的补偿,使得每个像素电极的充电时间一致。

[0062] 其中,级联的上升沿 D 触发器 501 也可以共享于数据驱动 IC30 中的移位寄存器,时钟控制器也可以内置于数据驱动 IC30 中,还可以利用数据驱动 IC30 中的 T-CON,将移位控制器的第二输入端即时钟控制信号接收端连接 T-CON (time-control,时序控制器)输出端,由 T-CON 提供,由于此时时钟信号频率较高,因此也可以通过控制级联的上升沿 D 触发器 501 的时钟信号 c1k 的频率,来得到适应的  $\Delta t$ ,从而保证每个像素电极的充电时间一致,达到最佳的现实画面。同时,还可以通过控制 c1k 的频率,或是相隔更多的 D 触发器来控制输出通道延时的长短。

[0063] 此外,级联的上升沿 D 触发器 501 的第一输入端接收的高/低电平触发信号也可以为数据驱动 IC 输出的充电信号。

[0064] 本实施例将每个输出通道输出的时间进行调整,使每个通道的输出时间与对应数据线的阻抗值匹配,保证每个通道在某一行的充电时间是一致,从而得到显示均匀的画面。这样就达到了不用蛇形线来做输出补偿,提高了玻璃基板的利用率,玻璃的边框可以做得更窄,数据驱动 IC3 可以采用更多的输出通道,降低了成本。而且通过这种方式,也改善了所有的通道同时打开产生 EMI 的问题。

[0065] 根据以上优选实施例的原理,还可以在其基础上,定义延时控制单元 50 的个数与

数据驱动 IC30 的输出通道一一对应的方式,即在数据驱动 IC30 具有 n 个通道时,延时控制单元 50 也为 n 个,相互级联的移位触发器 501 为 n 级,第 1 级移位触发器 501 的输出端连接第 1 个第一开关单元 40 的栅极,第 2 级移位触发器 501 的输出端连接第 2 个第一开关单元 40 的栅极,依次类推,第 n 级移位触发器 501 的输出端连接第 n 个第一开关单元 40 的栅极,而其他工作方式与原理均与前述优选实施例相同。

[0066] 如图 5 所示,本发明还提出一种 LCD 数据驱动 IC 输出补偿方法,包括:

[0067] 步骤 S101,延迟控制单元根据数据驱动 IC 与玻璃基板上对应行的像素电极之间的各数据线的阻抗值,由时钟控制器控制产生相应的延迟控制信号,发送至数据驱动 IC 对应的输出通道上的第一开关单元;

[0068] 步骤 S102,数据驱动 IC 对应的输出通道上的第一开关单元根据延迟控制信号,控制该第一开关单元所在的输出通道按预定延时输出充电信号至对应的像素电极,使对应行的每一像素电极的充电时间相等。

[0069] 本发明 LCD 数据驱动 IC 输出补偿方法中,当延迟控制单元接收到高电平触发信号时,各延迟控制单元根据所述时钟控制器输出的时钟控制信号的频率,产生相应的延迟控制信号,逐级打开对应的第一开关单元,使所述对应第一开关单元所在的输出通道按预定延时输出充电信号至对应的像素电极;当延迟控制单元接收到低电平触发信号时,各延迟控制单元控制关闭对应的第一开关单元。

[0070] 本发明 LCD 数据驱动 IC 输出补偿方法中,数据线的阻抗值沿数据驱动 IC 的两端向中间对称性的逐级减少,而根据不同液晶面板走线的设计,其数据线的阻抗值不一定是从两端向中间均匀减小,由中间向两端阻抗的增加不一定是对称的,波形的延时也会有差异,此时要根据实际的阻抗分布来对输出的波形延时进行调整,才能达到最好的效果。数据驱动 IC 输出补偿的基本原理请参照上述输出补偿电路具体实施,在此不赘述。

[0071] 本发明 LCD 数据驱动 IC 输出补偿电路及补偿方法,采用延迟控制单元对数据驱动 IC 输出的充电信号由两边向中间依次延时,以此补偿数据驱动 IC 至每一行像素电极之间的数据线的阻抗不匹配的问题,使得每个输出通道在某一行像素电极的充电时间是基本一致,在保证液晶显示器均匀显示画面的同时,由于数据线无需采用绕线方式,使得玻璃基板的走线空间小,更有利于液晶显示器的窄边框设计,COF 也可以采用更多的输出通道,降低了成本;也改善了所有输出通道同时打开时产生的 EMI 问题。

[0072] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或流程变换,或直接或间接运用在其它相关的技术领域,均同理包括在本发明的专利保护范围内。

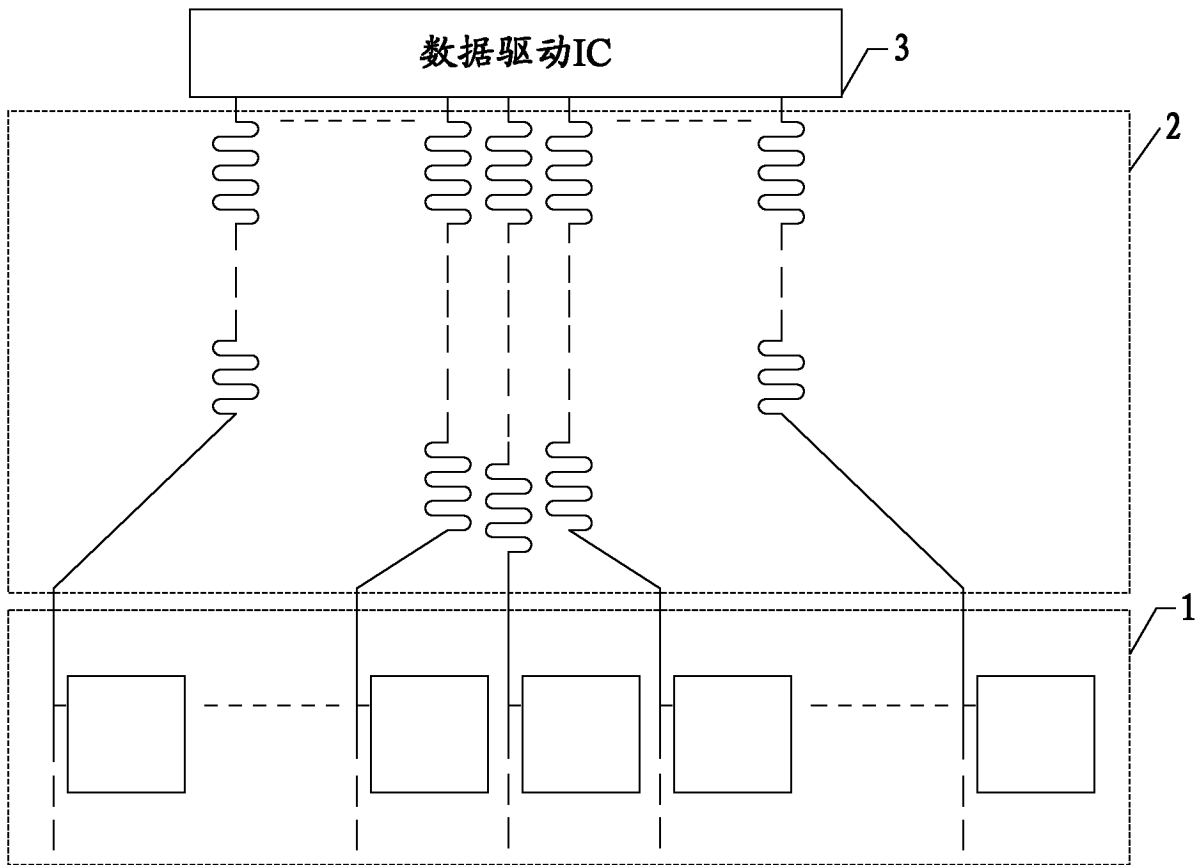


图 1

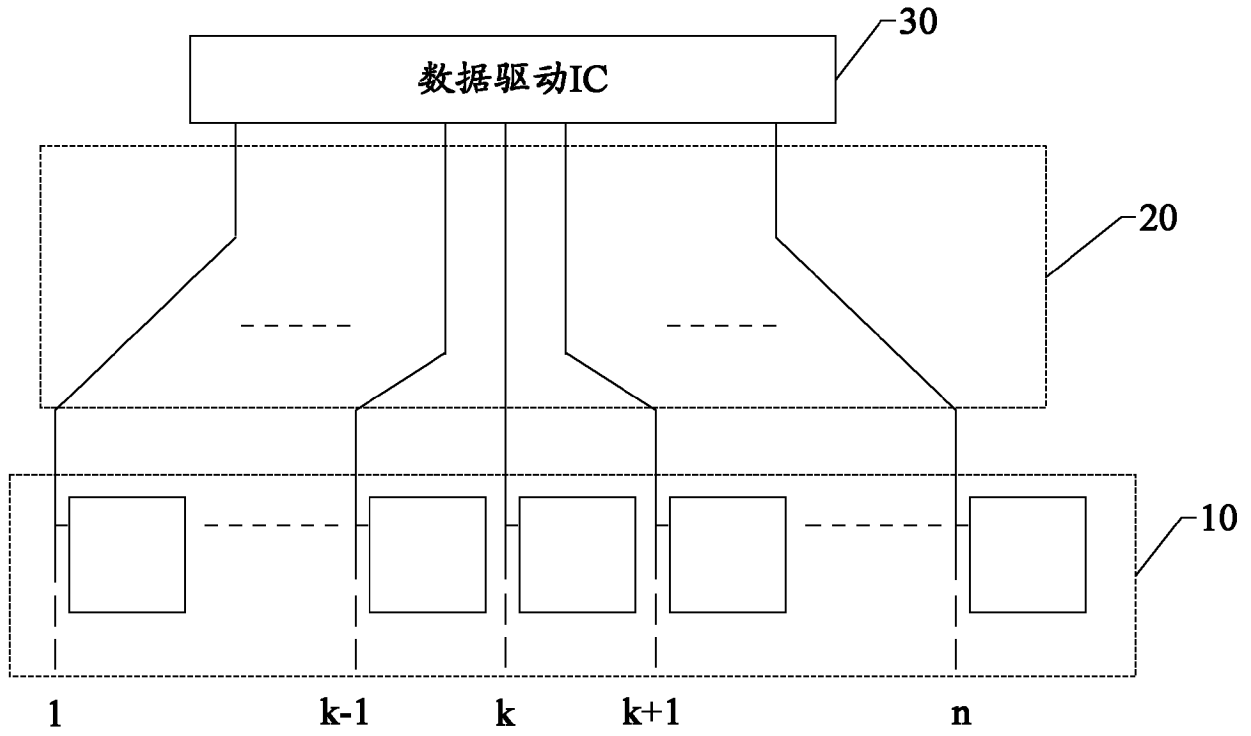


图 2

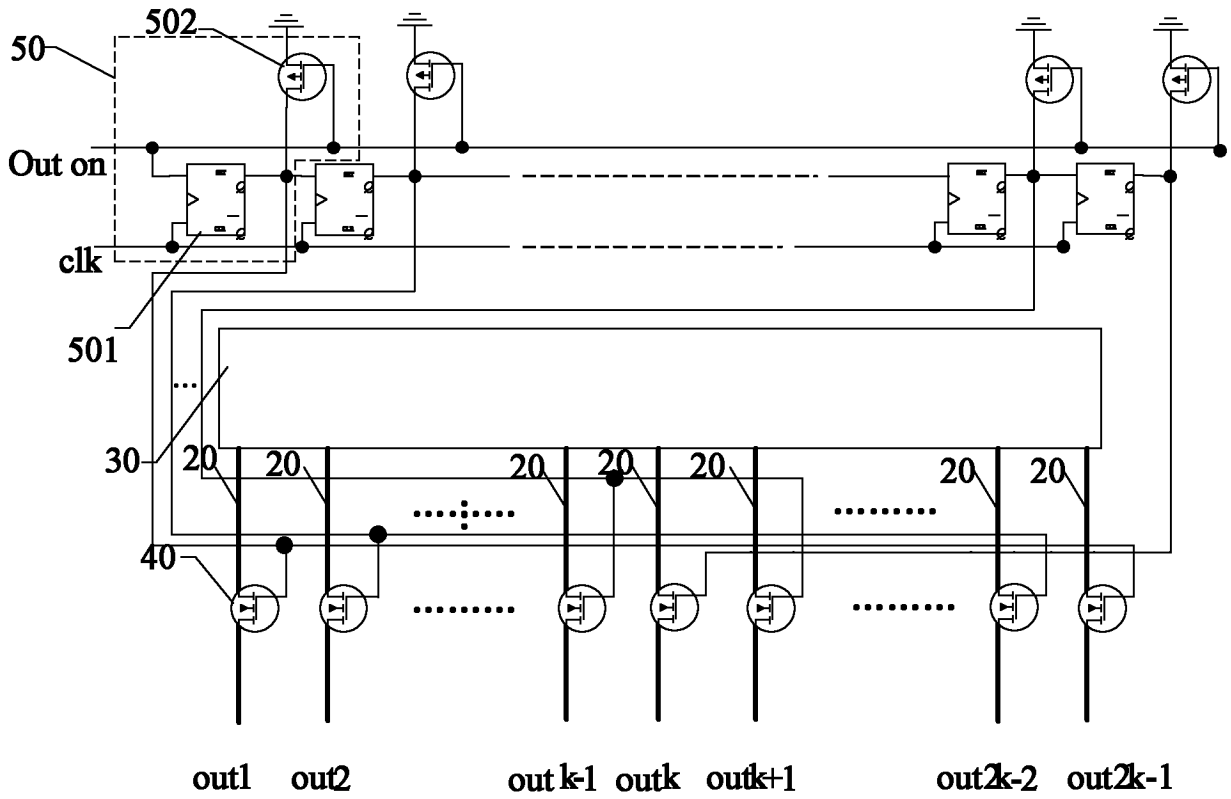


图 3

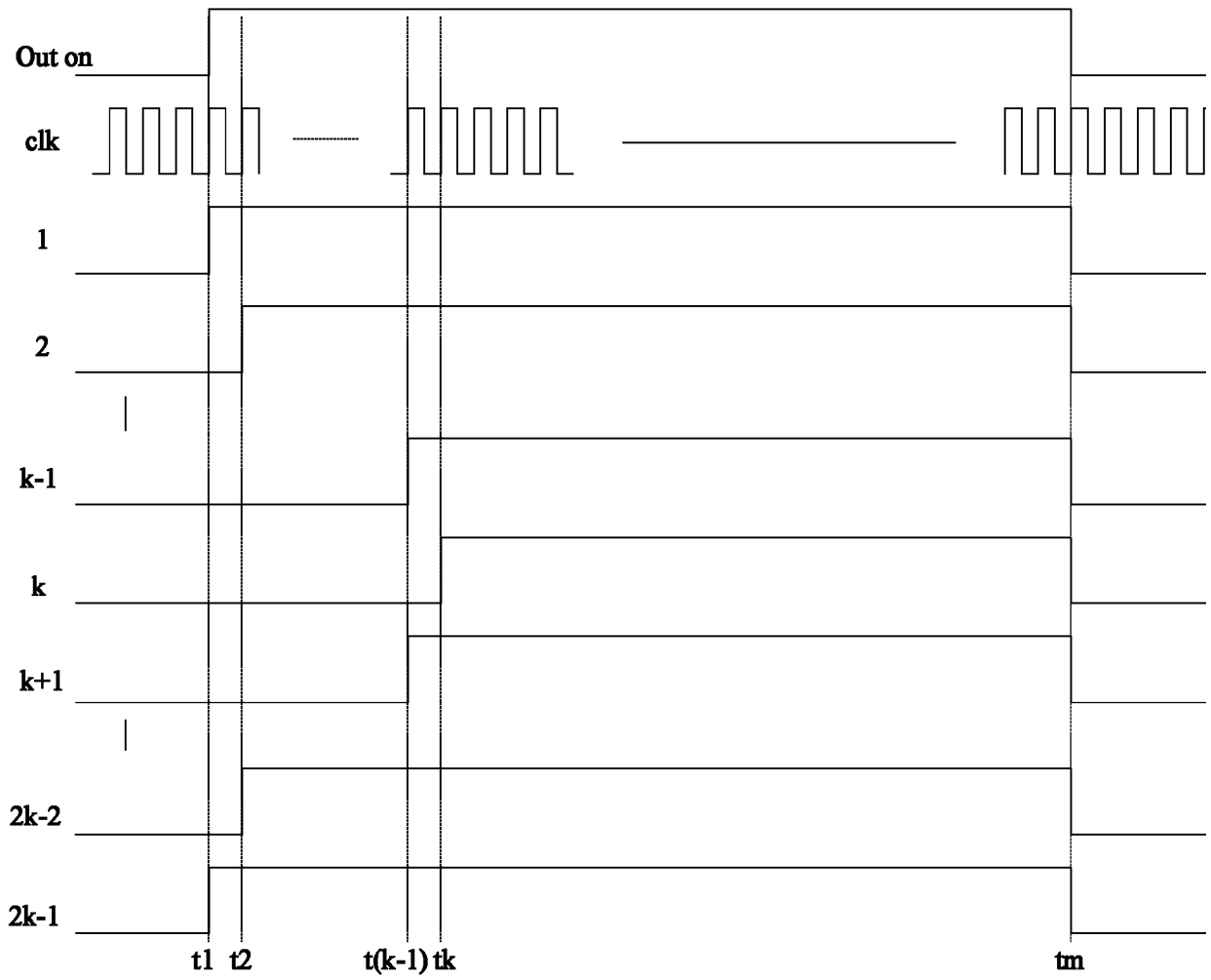


图 4

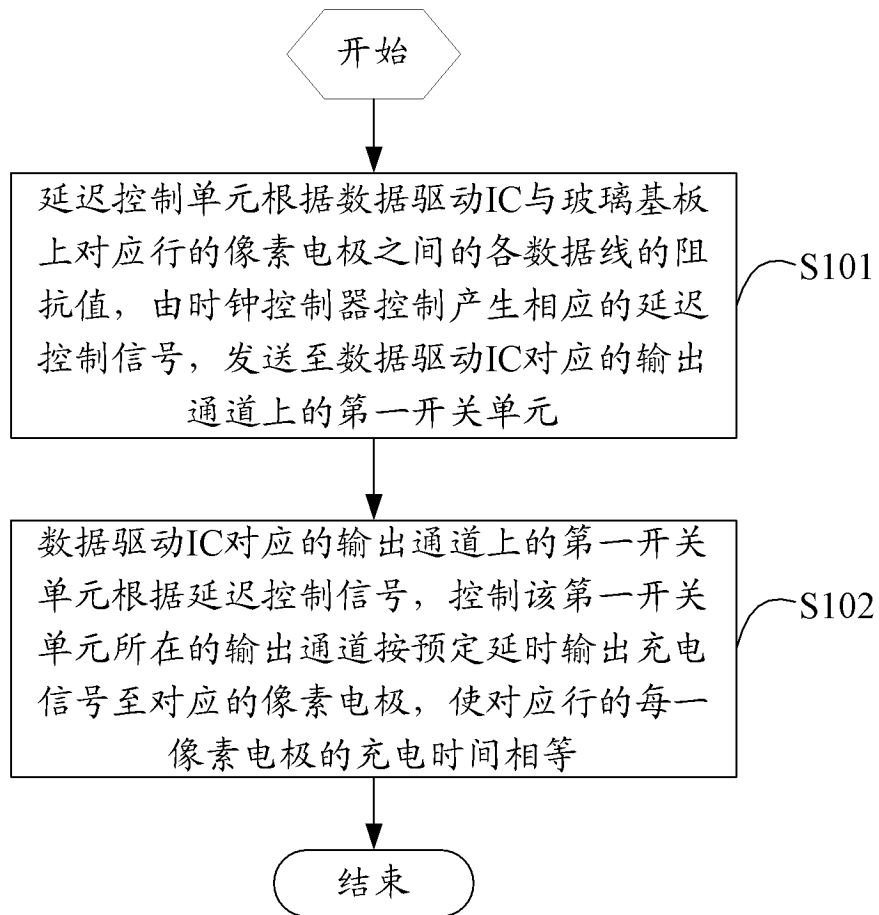


图 5