



(12) 发明专利

(10) 授权公告号 CN 101601141 B

(45) 授权公告日 2013.03.06

(21) 申请号 200880002993.9

代理人 王萍 陈炜

(22) 申请日 2008.01.17

(51) Int. Cl.

(30) 优先权数据

H01L 33/00 (2006.01)

102007003282.1 2007.01.23 DE

审查员 王艳华

(85) PCT申请进入国家阶段日

2009.07.23

(86) PCT申请的申请数据

PCT/DE2008/000081 2008.01.17

(87) PCT申请的公布数据

W02008/089728 DE 2008.07.31

(73) 专利权人 奥斯兰姆奥普托半导体有限责任公司
公司

地址 德国雷根斯堡

(72) 发明人 马蒂亚斯·扎巴蒂尔 卢茨·赫佩尔
克里斯托夫·艾克勒 卡尔·恩格尔
马蒂亚斯·彼得
马丁·斯特拉斯伯格

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

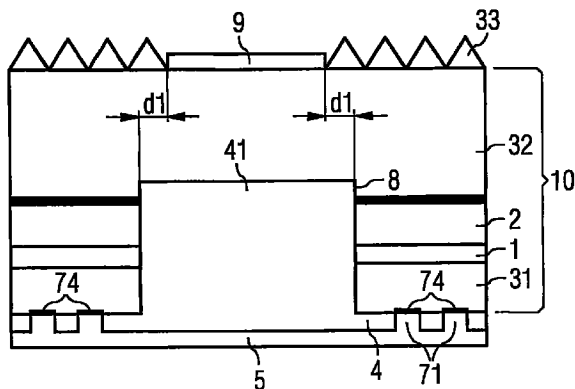
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

带有金属反射层、穿通接触部、隧道接触和载流子储存装置的发光二极管芯片

(57) 摘要

本发明提出了一种带有层序列 (10) 的发光二极管芯片, 该层序列具有至少一个 n 型层。发光二极管芯片具有与 n 型层 (31) 导电连接的反射层 (5)。在 n 型层和反射层之间设置有至少一个透明的介电层 (4)。



1. 一种发光二极管芯片,具有:
 - 层序列 (10),其具有至少一个 n 型层 (31,32),
 - 反射器,其包括导电的反射层 (5) 和至少一个介电层 (4),
 - 其中所述至少一个介电层 (4) 设置在 n 型层 (31,32) 和导电的反射层 (5) 之间,
 - 其中导电的反射层 (5) 与 n 型层 (31,32) 导电相连,
 - 其中所述至少一个 n 型层 (31,32) 具有第一导电层 (31),
 - 其中层序列 (10) 包括 p 型层 (2) 和产生辐射的有源区 (1),该有源区设置在 p 型层 (2) 和第一 n 型层 (31) 之间,
 - 其中反射层通过第一穿通接触部与第一 n 型层导电相连,该第一穿通接触部设置在介电层中,
 - 其中层序列 (10) 包括第二 n 型层,
 - 该发光二极管芯片具有第一凹处,该第一凹处垂直于层结构延伸直到第二 n 型层,
 - 其中在第一凹处中设置第二穿通接触部,
 - 其中第二穿通接触部与第一穿通接触部电绝缘,
 - 其中与第一穿通接触部相连的反射层设置有第二凹处,在该第二凹处中设置有与第二穿通接触部导电相连的连接面。
2. 根据权利要求 1 所述的发光二极管芯片,
 - 其中层序列 (10) 包括另外的 p 型层,
 - 其中所述另外的 p 型层设置在有源区和第一 n 型层之间。
3. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中在 p 型层和第二 n 型层之间形成隧道接触。
4. 根据权利要求 3 所述的发光二极管芯片,
 - 其中 p 型层设置在第二 n 型层和有源区之间。
5. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中介电层的折射率比层序列 (10) 的朝向该介电层的层的折射率至少小 1.25 倍。
6. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中第一凹处至少部分地用介电材料填充。
7. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中在第二穿通接触部的侧面和层序列的半导体层之间设置有介电材料构成的环绕的外壳 (41)。
8. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中相应的第一穿通接触部连接到设计为反射层的导电的面。
9. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中第二 n 型层设计为用于将有源区中产生的辐射耦合输出的耦合输出层,
 - 其中连接面设置在第二 n 型层上。
10. 根据权利要求 1 或 2 所述的发光二极管芯片,
 - 其中第一凹处设置在连接面之下。
11. 根据权利要求 10 所述的发光二极管芯片,
 - 其中第一凹处的底面大于连接面的底面。

12. 根据权利要求 11 所述的发光二极管芯片，
 - 其中在横向的投影面中在连接面的边缘和第一凹处的侧面之间的距离为至少 5 微米。
13. 根据权利要求 1 所述的发光二极管芯片，
 - 具有衬底，该衬底与层序列 (10) 固定相连，
 - 其中第二 n 型层设置在衬底和 p 型层之间。
14. 根据权利要求 1 所述的发光二极管芯片，
 - 具有衬底，该衬底与层序列 (10) 固定相连，
 - 其中第一 n 型层设置在衬底和有源区之间。
15. 根据权利要求 13 或 14 所述的发光二极管芯片，
 - 其中衬底在光学区域中是透明的。
16. 根据权利要求 1 或 2 所述的发光二极管芯片，
 - 其中层序列 (10) 的层外延地生长。
17. 根据权利要求 1 或 2 所述的发光二极管芯片，
 - 其中层序列 (10) 基于 GaN 形成。
18. 根据权利要求 1 或 2 所述的发光二极管芯片，
 - 其中所述至少一个介电层 (4) 具有至少两个相叠设置的、具有不同折射率的层，这些层一同形成了布拉格反射器。
19. 根据权利要求 1 或 2 所述的发光二极管芯片，
 - 其中反射层包含金属。

带有金属反射层、穿通接触部、隧道接触和载流子储存装置的发光二极管芯片

[0001] 本专利申请要求德国专利申请 10 2007 003 282.1 的优先权,其公开内容通过引用结合于此。

[0002] 提出了一种发光二极管芯片,即一种光电子半导体芯片。

[0003] 一个要解决的任务是,提出一种具有高辐射效率的发光二极管芯片,其具有低损耗。

[0004] 根据第一优选实施形式,提出了一种带有层序列的发光二极管芯片,该层序列具有至少一个 n 型层。发光二极管芯片包括反射器,该反射器与层序列固定相连。反射器具有与 n 型层导电相连的、导电的反射层。此外,反射器包括至少一个介电层,该介电层设置在 n 型层和导电的反射层之间。介电层优选是透明的。

[0005] 介电层的折射率小于层序列的与介电层邻接的层的折射率。通过使用具有小折射率的介电层,可以将平地入射到介电层上的辐射成分全反射。由此甚至可能的是,使用无 Ag 的反射层。无银的反射器例如包含 Al、Rh、Rt。由此成功地提高芯片的耐湿稳定性 (Feuchtestabilitaet) 以及长期稳定性。

[0006] 在一个变形方案中,所述至少一个介电层具有至少两个相叠设置的、具有不同大小的折射率的层,这些层一同形成布拉格反射器。在超过两个介电层的情况下,具有较高的和较低的折射系数的层以交替的顺序布置。相应的层的厚度优选为在有源区中产生的辐射的波长的四分之一。相继的层的折射系数的比例优选为至少 1.25。

[0007] 可替代地,反射器可以具有介电层和导电层的序列,其中具有较高的和较低的折射系数的层以交替的顺序布置。

[0008] 在具有布拉格反射器的变形方案中可能的是,使用导电的反射层,该反射层的反射率并不是特别高,其中其例如并不超过 95%。

[0009] 层序列的相应的 n 型层可以穿过布拉格反射器的介电层例如通过垂直的电连接部来接触。垂直的电连接部下面称为穿通接触部。

[0010] 特别有利的是带有第一和第二 n 型层的层序列的变形方案。层序列具有 p 型层,其设置在两个 n 型层之间 (nnp 层结构)。n 型层优选是层序列的最后的层。至少有源区和 p 型层设置在两个 n 型层之间。

[0011] 第一 n 型层是与产生辐射的有源区邻接的层。第二 n 型层形成了与层序列的 p 型层的隧道接触。第一 n 型层和第二 n 型层可以在所有实施例中都相互交换。这意味着,在反射器的位置固定的情况下可以反转层序列的层的顺序。

[0012] 反射器与第一 n 型层或者与第二 n 型层导电连接。在一个变形方案中,介电层设置在第一 n 型层和反射层之间。在另一变形方案中,介电层设置在第二 n 型层和反射层之间。

[0013] 至少一个 n 型层被用作接触层。如下的层被称为接触层:该层通过连接线接触,该连接线连接到电源。在一个变形方案中,两个 n 型层分别用作接触层。可替代地,可以将 n 型层之一用作第一接触层,而反射层用作第二接触层。

[0014] 根据第二优选的实施例,提出了一种带有层序列的发光二极管芯片,该层序列在生长方向上具有以所说明的顺序相继的层:第一 n 型层、产生辐射的有源区、p 型层和第二 n 型层。在 p 型层和第二 n 型层之间形成有隧道接触。

[0015] 第二 n 型层用作电流扩展层,其连接到电源上。通过引入电流扩展层,可以使反射器与电接触部去耦。由此,一方面能够实现使用具有介电层的高反射的反射器,并且另一方面可以很大程度地降低在接触层序列时的接触电阻。由此,可以明显提高发光二极管芯片的总效率。

[0016] 根据第三优选的实施例,提出了一种带有层序列的发光二极管芯片,该层序列具有相同导电类型的两个层,在这些层之间设置有产生辐射的有源区。

[0017] 相同导电类型的两个层具有第一导电类型的第一层和第二层,其中第一导电类型的优选比较薄的第二层设计为载流子储存装置,用于提高第一导电类型的载流子在有源区附近的浓度。层序列具有第二导电类型的层,其与第一导电类型的第二层邻接。第一导电类型是 n 型,而第二导电类型是 p 型,或者相反。

[0018] 在一个变形方案中,层序列具有第二导电类型的另外的层,其与第一导电类型的第一层形成隧道接触。

[0019] 在产生层序列时的生长方向原则上可以是任意的。

[0020] 第一导电类型的第二层的厚度优选小于第一层的厚度。第二层的厚度优选最大为第一层的厚度的 20%。第一导电类型的第二层的厚度优选最大为 20nm。

[0021] 在一个有利的变形方案中,层序列具有以所说明的顺序相继的层:p 型第一层、产生辐射的有源区、另一 p 型第二层(其用作空穴储存装置)以及 n 型层。

[0022] 两个 p 型层形成了 p 型区。在该变形方案中,有源区并不设置在 pn 结上,而是设置在 p 型区内的 pn 结附近。将有源区从 pn 结的边界面移到具有确定导电类型(在此为 p 型)的区域中提高了产生辐射时的效率。

[0023] 在另一有利的变形方案中,层序列具有以所说明的顺序相继的层:n 型第一层、产生辐射的有源区、n 型第二层(其用作电子储存装置)以及 p 型层。

[0024] 两个 n 型层形成了 n 型区。在该变形方案中,有源区并不设置在 pn 结上,而是设置在 n 型区内的 pn 结的附近。

[0025] 根据第四优选实施形式,提出了一种带有层序列的发光二极管芯片,该层序列具有以下层:两个 n 型层、产生辐射的有源区和 p 型层。在 n 型层的、在耦合输出方向上最上面的层上设置有连接面。在该层序列中至少在连接面下构建有凹处,该凹处在耦合输出方向上至少延伸到 n 型层的最上层。凹处至少在其侧表面的区域中通过介电材料覆盖。凹处的底部在垂直方向上与连接面间隔。

[0026] 此外,凹处例如可以以盲孔或者环形凹处的形式来实施。以盲孔形式实施的凹处例如具有圆柱形的实施形式。环形凹处具有圆柱形外壳的形状,其中层序列在内部区域中并未空出。这样的优点是,发光二极管芯片并不具有大面积的凹处,该凹处会不利地影响发光二极管芯片的稳定性。

[0027] 在一个变形方案中,在凹处中设置有穿透接触部,用于电接触在耦合输出方向上 n 型层的最上层。

[0028] 层序列优选与反射器固定相连,该反射器具有至少一个导电的反射层,该反射层

优选与层序列的 n 型层之一相连。此外,反射器可以包括透明的介电层,该介电层设置在反射层和层序列之间。

[0029] 在一个变形方案中,在介电层中设置有穿通接触部用于电接触在耦合输出方向上 n 型层的最下层。

[0030] 所说明的实施形式可以彼此任意组合。

[0031] 下面将阐述发光二极管芯片的有利的扩展方案。

[0032] 层序列的层的导电类型例如可以是 n 型或者 p 型。在具有 n 型导电能力的半导体层中电子为多数载流子,而在具有 p 型导电能力的半导体层中,空穴为多数载流子。

[0033] 具有 n 型导电能力的层称为 n 型层,而具有 p 型导电能力的层称为 p 型层。

[0034] 层序列包括 p 型层和产生辐射的有源区,该有源区设置在 p 型层和第一 n 型层之间。

[0035] 层序列的层优选外延地生长。层序列例如基于 GaN 而形成。在一个变形方案中,有源区通过包含 InGaN 或者 InGaAlN 的层来形成。In 含量优选为高达 50%。在有源区中产生的辐射的确切频谱范围取决于 In 含量并且原则上可以是任意的。为了产生白光,可以在耦合输出侧设置转换器。

[0036] 在一个有利的变形方案中,层序列具有 p 型层,另外的 p 型层以及设置在 p 型层之间的、产生辐射的有源区。所述另外的 p 型层设置在有源区和第一 n 型层之间。所述另外的 p 型层的厚度例如为 0.1nm 到 100nm,在一个变形方案中为 0.1nm 到 10nm。在所述另外的 p 型层中掺杂的最小值优选为 10^{18} Mg 原子/cm³。

[0037] 在一个优选的变形方案中,层序列包括第二 n 型层。p 型层优选设置在第二 n 型层和有源区之间。在 p 型层和第二 n 型层之间形成隧道接触。

[0038] 反射层通过至少一个第一穿通接触部(在一个有利的变形方案中通过设置在介电层中的多个穿通接触部)与第一 n 型层导电连接。

[0039] 借助多个穿通接触部,能够减小接触电阻并且由此相对于具有仅仅一个穿通接触部的变形方案减小反射层和与该反射层导电连接的 n 型层之间的电势差。在相应的第一穿通接触部和 n 型层的界面上形成优选低阻值的电接触。该接触的总面积优选最大为层序列的底面的 10%,在一个有利的变形方案中最大为其 5%。

[0040] 在第一穿通接触部之间的横向距离优选为 20 ~ 30 微米,这相对于介电层的厚度而言较大,其中介电层的厚度例如为 10nm 至 2000nm,在优选的变形方案中为 400nm ~ 600nm。

[0041] 介电层对于具有较平的入射角(例如超过 30°)的辐射分量用作几乎完美的反射器,其反射系数近似为 100%(全反射)。因为在全反射的情况下在介电层上没有吸收,所以实际上排除了对于平的入射角的吸收损耗。

[0042] 介电层对于有源区中产生的辐射优选是透明的。基本上垂直入射到介电层和与该介电层邻接的 n 型层的界面上的辐射分量基本上并不在该界面上被反射,而是在介电层和反射层的界面上被反射。

[0043] 介电层的折射系数优选比层序列的朝向介电层的层(例如第一 n 型层或第二 n 型层)的折射率小至少 1.5 倍。特别是二氧化硅、氮化硅和旋涂玻璃(Spin-On Glas)考虑作为介电层的材料。其他透明的、在一个变形方案中多孔的、介电材料(其折射率小于 1.5)

也是适合的。有利的是透明的多孔材料,其折射率近似等于空气的折射率。

[0044] 相对于仅仅具有金属层、即没有介电层的反射器的变形方案,通过使用折射系数为 1.5 的介电层得到的耦合输出效率的增益为至少 10%。

[0045] 反射层优选包含金属,例如 Al、Ag、PtAg 和 / 或其他合适的金属或者金属合金,包括其组合。在 PtAg 情况下的 Pt 层的厚度优选最大为 3nm,在一个有利的变形方案中最大为 0.3nm。

[0046] 通过使用介电层,几乎消除了在不同材料构成的反射层的耦合输出效率中的差别。由此可能的是,降低反射层中的银含量并且提高铝成分。甚至可能的是完全省去 Ag。

[0047] 反射层可以通过金属的气相淀积或者沉积来制造。穿通接触部和 / 或结构化的反射层也可以通过在使用合适的掩模的情况下对金属的气相淀积或者沉积来制造。

[0048] 在一个有利的变形方案中,第二 n 型层设计为耦合输出层用于耦合输出在有源区中产生的辐射。在第二 n 型层上优选设置有连接面,该连接面例如可以通过连接线从外部接触。

[0049] 第二 n 型层的暴露的表面优选被粗化。替代粗化可以在第二 n 型层的表面上设置另一耦合输出结构,例如具有表面的不平度的周期性布置的光子晶体结构或者准晶体结构。也可以考虑非周期性的耦合输出结构。例如,在此可以设计附加的至少部分透明的、具有粗糙表面的层。也可以考虑磨砂层。

[0050] 不同于粗化的表面的耦合输出结构例如可以是深度为 100nm 至 1000nm、优选为 150nm 至 500nm 的凹槽。凹槽可以具有环形的或者矩形的、特别是方形的横截面。在一个变形方案中,凹槽的直径或者线性横截面大小为 50nm 至 800nm,优选为 80nm 至 500nm。

[0051] 不仅 n 型耦合输出层而且另外的耦合输出层、例如透明的衬底都可以具有表面粗糙性或者耦合输出结构。

[0052] 耦合输出层的表面优选并非全部被粗化,而是除了其中设置有连接面的区域。入射到连接面的下侧上的光由此可以被反射。由此得到改善的光耦合输出。

[0053] 在一个变形方案中,设计了凹处,该凹处垂直于层结构延伸直到第二 n 型层。凹处至少部分地填充以介电材料。特别地,凹处的侧壁被以电介质覆盖。由此,特别是防止了有源区中产生的辐射在层序列的一个区域中的产生或者传播,该区域在连接面之下并且因此被连接面遮挡。在这种情况下,可以将发光二极管芯片工作中的电流损耗保持为低,因为避免了用于产生不能耦合输出的辐射的电流消耗。

[0054] 凹处优选构建为盲孔凹处。凹处的底部至少达到第二 n 型层的界面。凹处的底部也可以位于如下平面中:该平面在第二 n 型层的两个界面之间延伸。此外,凹处可以仅仅达到 p 型层。然而在此要求的是,凹处通过有源区。

[0055] 可替代地,凹处可以不以盲孔的形式而是以环形凹处的形式来实施。于是凹处不是圆柱形地实施,而是具有圆柱形外壳的形状,其中层序列在内部区域中并未被空出。这样具有的优点是,发光二极管芯片并不具有大面积的凹处,该凹处会不利地影响发光二极管芯片的稳定性。

[0056] 在一个变形方案中,反射层通过至少一个第二穿通接触部与第二 n 型层导电连接。在所述至少一个第二穿通接触部和第二 n 型层的界面上形成的电接触部的总面积优选为层结构的底面的最大 10%,在一个变形方案中为其最大 5%。

[0057] 第二穿通接触部优选被第一穿通接触部包围。第二穿通接触部的底面优选大于相应的第一穿通接触部的底面。

[0058] 第二穿通接触部优选设置在凹处中。在第二穿通接触部和层结构的半导体层之间在任意的横向方向上设置有介电材料构成的罩层 (Mantel)。

[0059] 在一个变形方案中,相应的第一穿通接触部连接到设计为反射层的导电的面。第二穿通接触部优选与第一穿通接触部电绝缘。

[0060] 在另一变形方案中,第二穿通接触部与第一穿通接触部电绝缘。在这种情况下,与第一穿通接触部相连的反射层优选设置有凹处,在这些凹处中设置有与第二穿通接触部导电连接的连接面。根据该变形方案,第一 n 型层以及第二 n 型层仅仅从一侧、确切地说从反射层的侧来电接触。

[0061] 至少部分填充有介电材料的凹处的至少一个区域设置在连接面之下。凹处的底面优选大于连接面的底面。在横向的投影面上,在连接面的边缘和凹处的侧面之间的距离普遍例如为至少 5 微米,在一个变形方案中为至少 10 微米。

[0062] 在一个实施形式中,发光二极管芯片包括与层序列固定相连的衬底。根据第一变形方案,第二 n 型层设置在衬底和 p 型层之间。根据第二变形方案,第一 n 型层设置在衬底和有源区之间。

[0063] 在光学领域中透明的衬底可以用于耦合输出在有源区中产生的辐射。衬底可以(但并非必须)是外延生长的层序列的生长衬底。

[0064] 此外,层序列可以与支承衬底固定相连,该支承衬底具有不同金属层的序列,其中例如有 Ge、Mo、Ni、Cu、Ag、AgCu、Si 和 / 或 AlN。反射层和介电层的复合结构在此设置在支承衬底和层序列之间。

[0065] 为了将穿通接触部和层序列的层或者反射层的界面上的电接触的接触电阻保持为小,针对穿通接触部和反射层优选使用具有比较高的导电能力的金属或者金属合金,例如 Ag、Al 等等。

[0066] 以下将借助示意性的并且并非合乎比例的附图来阐述所说明的器件及其有利的扩展方案。其中:

[0067] 图 1、2、3 以横截面分别示出了具有两个 n 型层、介电层和反射层的发光二极管芯片;

[0068] 图 4 以横截面示出了具有两个 n 型层作为耦合输出层的发光二极管芯片;

[0069] 图 5 示出了根据图 4 的发光二极管芯片中的介电层的视图;

[0070] 图 6 以横截面示出了在连接面之下具有凹处的发光二极管芯片;

[0071] 图 7 从上方示出了凹处和连接面的视图;

[0072] 图 8 以横截面示出了发光二极管芯片,其中两个 n 型层被从一侧接触并且其中透明的衬底用于将辐射耦合输出;

[0073] 图 9 示出了根据图 8 的发光二极管芯片中的介电层的视图;

[0074] 图 10 示出了根据图 8 的发光二极管芯片的下侧的视图;

[0075] 图 11 以横截面示出了发光二极管芯片,其中两个 n 型层被从一侧接触并且其中第二 n 型层用于将辐射耦合输出。

[0076] 在图 1、2、3、4、6、8 和 11 中分别示出了具有用于产生辐射的层序列 10 的光电子半

导体芯片。层序列 10 包括 p 型层 2、第一 n 型层 31、第二 n 型层 32 和产生辐射的有源区 1。有源区 1 通过例如以铟掺杂的层来形成,其设置在 p 型层 2 和第一 n 型层 31 之间。在 p 型层 2 和第二 n 型层 32 之间形成隧道接触 23。

[0077] 层序列 10 在衬底 6 上优选外延地生长。在图 1、2 和 3 中用箭头表明了生长方向(从上至下)。

[0078] 在根据图 1 的变形方案中,在衬底 6 上首先生长第二 n 型层 32,随后是 p 型层,之后是产生光的层 1 和第一 n 型层 31。

[0079] 在根据图 2 的变形方案中,在衬底 6 上首先生长第一 n 型层 31,随后是产生光的层 1,之后是 p 型层和第二 n 型层 32。

[0080] 在根据图 3 的变形方案中,在衬底 6 上首先生长第二 n 型层 32,随后是 p 型层,之后是产生光的层 1、另外的 p 型层以及在所述另外的 p 型层之上生长第一 n 型层 31。

[0081] 在根据图 1-3 的变形方案中,生长方向(向下)与光耦合输出方向(向上)反方向平行。原则上生长方向可以反转,使得生长方向和光耦合输出方向一致或者彼此平行。

[0082] 在图 1 至 3 中示出的层序列 10 可以与下面所阐述的发光二极管芯片的变形方案任意组合。特别地,在任何实施形式中都可能将有源区 1 设置在两个 p 型层 2、21 之间。

[0083] 层序列 10 固定地与反射器相连,该反射器具有透明的介电层和反射层 5。介电层 4 被施加(例如气相淀积或者溅射)到生长方向上看层序列的最上层(在图 1、3 中为层 31,在图 2 中为层 32)。在一个变形方案中的金属反射层 5 随后被施加(优选气相淀积)到介电层 4 上。

[0084] 层序列 10 的所有层都是透明的。衬底 6 优选是透明的并且可以例如在根据图 8 的变形方案中用于将辐射耦合输出。原则上可能的是,去除衬底 6 并且将图 1-3 中所示的层结构在反射器 4、5 的侧上与支承衬底相连。

[0085] 层 4、5 原则上可以具有多个彼此相叠的部分层。这也适用于衬底 6 和层序列 10 的所有层。

[0086] 在根据图 4 的变形方案中,第一 n 型层 31 与导电的反射层 5 通过设置在介电层 4 中的第一穿透接触部 71 导电连接。在图 5 中示出了带有第一穿透接触部 71 的介电层 4 的视图。

[0087] 为了产生第一穿透接触部 71,还在产生反射层 5 之前通过使用合适的掩模在介电层 4 中刻蚀连续的开口。开口以具有高的导电能力的导电材料来填充。在填充开口之后气相淀积反射层 5。

[0088] 在此,第二 n 型层 32 设计为耦合输出层。在第二 n 型层 32 上设置有连接面 9,其设计用于通过这里未示出的连接线来对层 32 电接触。

[0089] 第二 n 型层 32 的在通过连接面 9 覆盖的区域之外暴露的表面上设置有耦合输出结构 33,该耦合输出结构在一个变形方案中可以通过层 32 的被粗化的表面来形成。

[0090] 第一穿透接触部 71 在横向的投影面中设置在通过连接面 9 覆盖的区域之外,以便减少在连接面 9 之下的光产生。这在所有变形方案中都视为优点。

[0091] 在图 6 中示出了图 4 中所示的实施形式的一个改进方案。在层序列 10 中在施加介电层 4 之前产生了盲孔形式的凹处 8。为了产生凹处 8,层序列 10 的层中的至少一些在使用合适的掩模的情况下被刻蚀直到光耦合输出方向上的最上面的 n 型层(在图 6 中为层

32) 的预定深度。隧道接触 23 被凹处 8 中断。

[0092] 可替代地,凹处 8 可以不以如图 6 中所示的盲孔的形式来实施,而是可以以环形凹处的形式来实施。于是凹处并不是如图 6 中那样圆柱形地实施,而是具有圆柱形外壳的形状,其中层序列 10 在内部区域中并未被空出(未示出)。这样具有的优点是,发光二极管芯片并不具有大面积的凹处,该凹处会不利地影响发光二极管芯片的稳定性。

[0093] 在此形成的凹槽以介电材料 41 来填充。随后施加优选由相同的介电材料构成的介电层 4。

[0094] 借助电绝缘的凹处 8 可以避免对层序列的馈电并且由此也避免在连接面之下的光产生,其中该凹处特别是在高度导电的、与有源区 1 邻接的层 31 中防止在连接面 9 之下的横向通过电流。由此,可以降低由于被连接面 9 遮挡而不能耦合输出的辐射的能量消耗。由此提高了芯片的耦合输出效率或者有效性。

[0095] 在中断连接面之下的馈电的意义上的将层序列的材料“去活化”可以替代地通过改进材料来实现,其中使相应的半导体层的位于连接面之下的区域电绝缘。

[0096] 在图 7 中所示的横向投影面中,在连接面 9 的边缘和凹处 8 的侧面之间优选普遍保持一定的距离 d_1 。该距离 d_1 例如为 5-10 微米。

[0097] 在根据图 8 和 11 的变形方案中,从反射器 4、5 的侧接触两个 n 型层 31、32。为此在凹处 8 中产生第二穿通接触部 72,该穿通接触部延伸直到凹处的底部或者直到最后的高度导电的层 32 的内部。在穿通接触部 72 和层 32 的界面上形成优选低阻值的电接触部 73。

[0098] 为了产生第二穿通接触部 72,层 4 和凹处 8 的介电材料 41 通过使用合适的掩模至少刻蚀直到凹处 8 的底部。在此形成的凹槽或者开口以具有高的导电能力的导电材料来填充。

[0099] 在这种情况下,在第二穿通接触部 72 的下侧产生连接面 9。相应的连接面 9 设置在反射层 5 的凹处 81 中,参见图 10。

[0100] 可以在图 9 中看到穿通接触部 71、72 在介电层 4 中的布置。

[0101] 为了改进穿通接触部 71、72 和 n 型层 31、32 的电接触部 73、74,对于穿通接触部使用了高度导电的材料,例如铝和 / 或银,该材料能够保证相应的穿通接触部和相应的 n 型层之间的低阻值的电连接以及良好的反射性。电接触部 73、74 的反射系数优选为至少 90%。

[0102] 在根据图 8 的变形方案中,在这种情况下透明的衬底 6 用于将辐射耦合输出。在根据图 11 的变形方案中(该变形方案的特征也在于 n 型层 31、32 的单侧接触),辐射从第二 n 型层 32 耦合输出。发光二极管芯片的层结构和光耦合输出的类型在该情况中对应于图 4 或图 6。

[0103] 层序列 10 和反射器 4、5 的复合结构在根据图 4、6 和 11 的变形方案中与图 11 中所示的支承衬底 6 相连。为了将层序列与反射器相连,可以考虑晶片接合或者在图中未示出的连接层。

[0104] 即使在图 4、6、8 和 11 中始终将第二 n 型层 32 作为在耦合输出方向上的最上层示出,原则上可能的是,将层序列 10 的层的顺序反转,例如在图 2 中那样。在这种情况下,第一 n 型层 31 通过第二穿通接触部 72 和第一 n 型层 31 通过第一穿通接触部 71 被电接触。

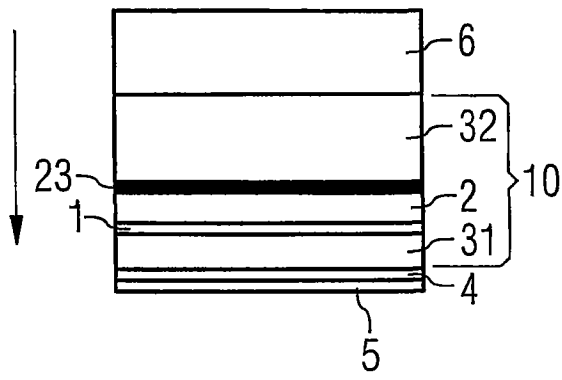


图 1

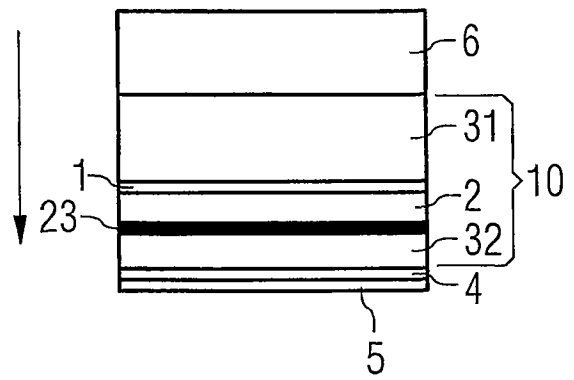


图 2

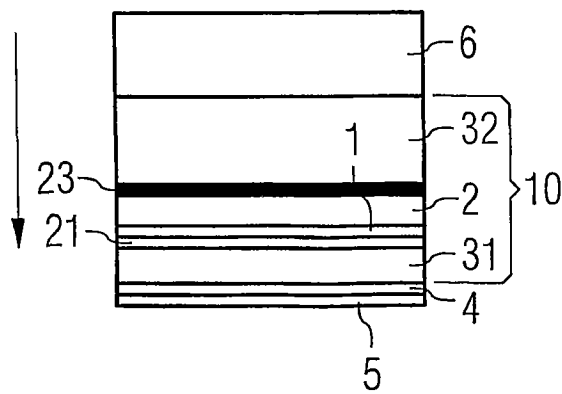


图 3

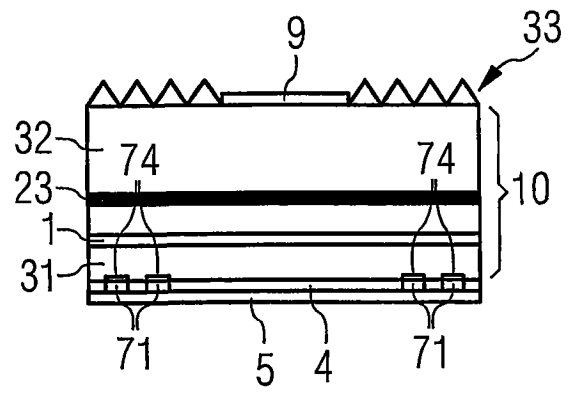


图 4

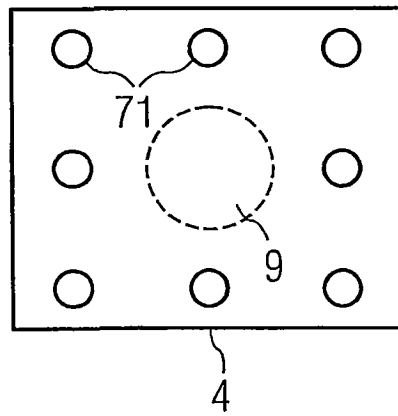


图 5

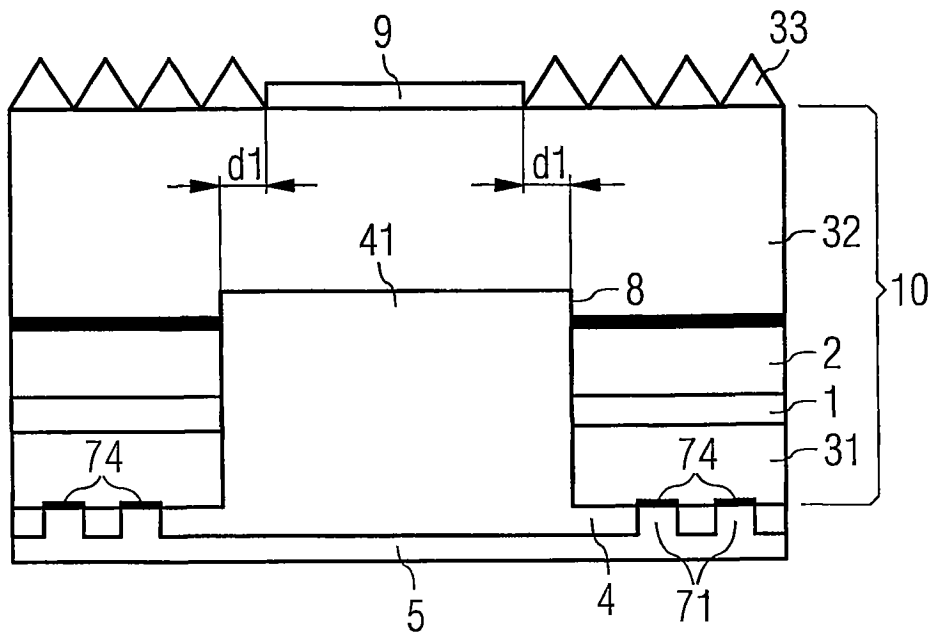


图 6

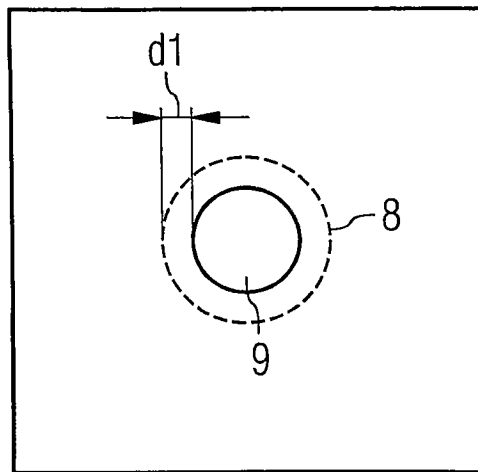


图 7

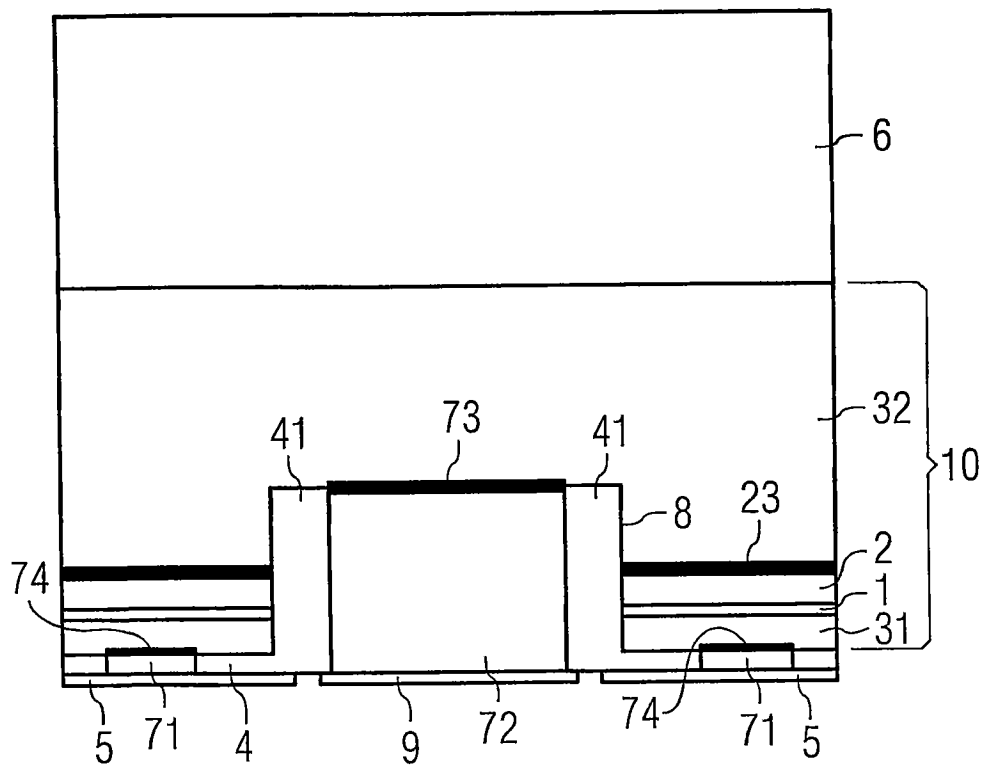


图 8

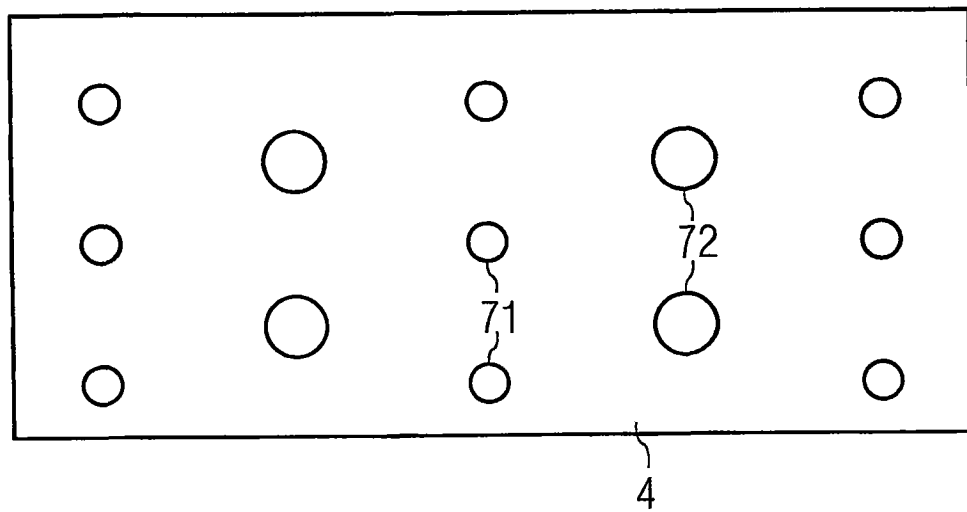


图 9

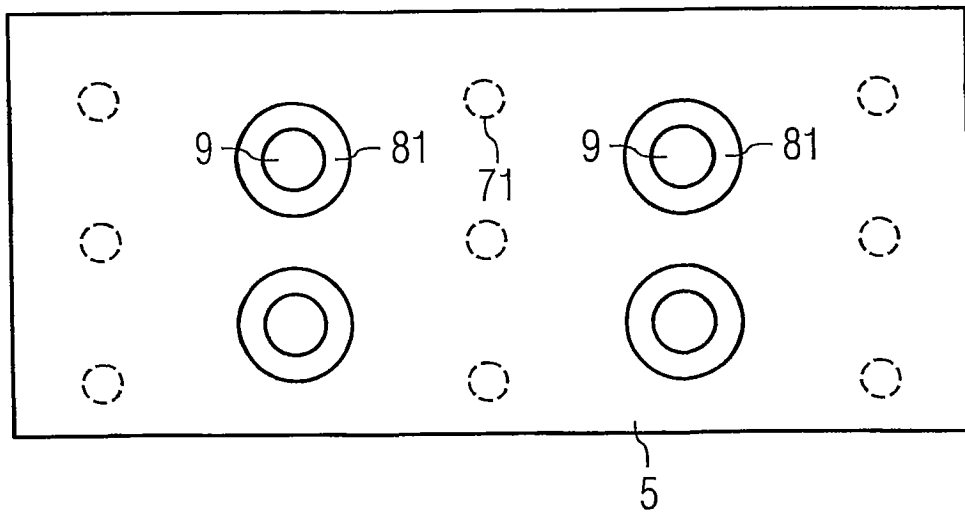


图 10

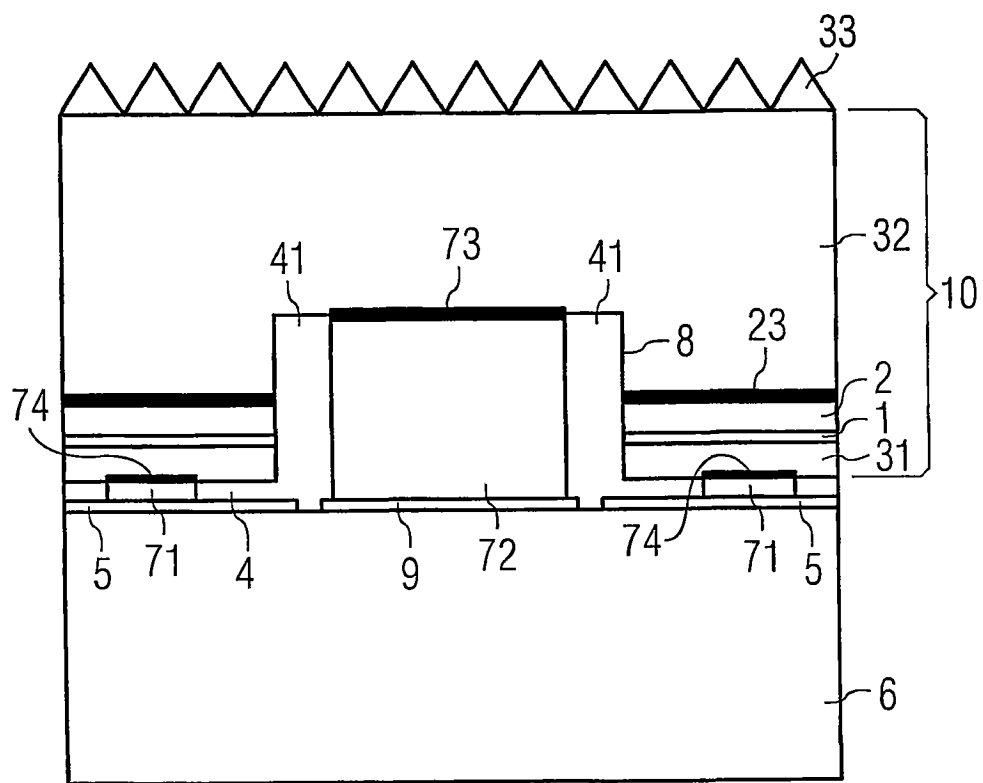


图 11