

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6514567号  
(P6514567)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 S
	HO 1 L 29/78 6 5 2 J
	HO 1 L 29/78 6 5 2 D
請求項の数 12 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2015-99984 (P2015-99984)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成27年5月15日(2015.5.15)	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
(65) 公開番号	特開2016-219495 (P2016-219495A)	(72) 発明者	隅田 涉 茨城県ひたちなか市堀口751番地 ルネ サスセミコンダクタマニュファクチュア リング株式会社内
(43) 公開日	平成28年12月22日(2016.12.22)	(72) 発明者	下村 彰宏 茨城県ひたちなか市堀口751番地 ルネ サスセミコンダクタマニュファクチュア リング株式会社内
審査請求日	平成29年11月15日(2017.11.15)	審査官	恩田 和彦
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成された半導体層と、  
前記半導体基板の上面に沿う第1方向に複数並んで形成され、前記第1方向に直交する  
第2方向に延在する第1溝と、  
複数の前記第1溝のそれぞれの底面において、前記第2方向に複数並んで形成された第  
2溝と、  
前記第1溝および前記第2溝のそれぞれの内側に埋め込まれたゲート電極と、  
前記ゲート電極および前記第1溝の間に介在する第1絶縁膜と、  
前記ゲート電極および前記第2溝の間に介在する第2絶縁膜と、  
前記半導体層の上面に形成されたソース領域と、  
前記半導体基板に形成されたドレイン領域と、  
を有し、  
 前記第1方向に隣り合う前記第1溝のそれぞれの前記底面に形成された複数の前記第2溝は、千鳥状に配置されている、半導体装置。

【請求項2】

半導体基板上に形成された半導体層と、  
前記半導体基板の上面に沿う第1方向に複数並んで形成され、前記第1方向に直交する  
第2方向に延在する第1溝と、  
複数の前記第1溝のそれぞれの底面において、前記第2方向に複数並んで形成された第

2 溝と、

前記第 1 溝および前記第 2 溝のそれぞれの内側に埋め込まれたゲート電極と、  
前記ゲート電極および前記第 1 溝の間に介在する第 1 絶縁膜と、  
前記ゲート電極および前記第 2 溝の間に介在する第 2 絶縁膜と、  
前記半導体層の上面に形成されたソース領域と、  
前記半導体基板に形成されたドレイン領域と、

を有し、

前記第 1 方向に隣り合う前記第 1 溝のそれぞれの前記底面に形成された複数の前記第 2 溝は、前記第 2 方向に所定の周期で並んで配置され、

前記第 1 方向に隣り合う前記第 1 溝のうち、一方の前記第 1 溝の前記底面に形成された複数の前記第 2 溝は、他方の前記第 1 溝の前記底面に形成された複数の前記第 2 溝に対して半周期ずれた位置に配置されている、半導体装置。

10

## 【請求項 3】

半導体基板上に形成された半導体層と、  
前記半導体基板の上面に沿う第 1 方向に複数並んで形成され、前記第 1 方向に直交する第 2 方向に延在する第 1 溝と、

複数の前記第 1 溝のそれぞれの底面において、前記第 2 方向に複数並んで形成された第 2 溝と、

前記第 1 溝および前記第 2 溝のそれぞれの内側に埋め込まれたゲート電極と、  
前記ゲート電極および前記第 1 溝の間に介在する第 1 絶縁膜と、  
前記ゲート電極および前記第 2 溝の間に介在する第 2 絶縁膜と、  
前記半導体層の上面に形成されたソース領域と、  
前記半導体基板に形成されたドレイン領域と、

20

を有し、

前記第 1 方向に隣り合う前記第 2 溝同士の間隔は、前記第 2 方向に隣り合う前記第 2 溝同士の間隔よりも大きい、半導体装置。

## 【請求項 4】

請求項 1 記載の半導体装置において、  
 前記第 2 方向の前記第 2 溝の長さは、前記第 2 方向に隣り合う前記第 2 溝同士の間隔よりも大きい、半導体装置。

30

## 【請求項 5】

請求項 1 記載の半導体装置において、  
 前記第 1 方向に隣り合う前記第 1 溝のうち、一方の前記第 1 溝の前記底面に形成された前記第 2 溝の端部と、他方の前記第 1 溝の前記底面に形成された前記第 2 溝の端部とは、第 2 方向において重なる、半導体装置。

## 【請求項 6】

半導体基板上に形成された半導体層と、  
前記半導体基板の上面に沿う第 1 方向に複数並んで形成され、前記第 1 方向に直交する第 2 方向に延在する第 1 溝と、

複数の前記第 1 溝のそれぞれの底面において、前記第 2 方向に複数並んで形成された第 2 溝と、

40

前記第 1 溝および前記第 2 溝のそれぞれの内側に埋め込まれたゲート電極と、  
前記ゲート電極および前記第 1 溝の間に介在する第 1 絶縁膜と、  
前記ゲート電極および前記第 2 溝の間に介在する第 2 絶縁膜と、  
前記半導体層の上面に形成されたソース領域と、  
前記半導体基板に形成されたドレイン領域と、

を有し、

前記第 2 絶縁膜の膜厚は、前記第 1 絶縁膜の膜厚よりも大きい、半導体装置。

## 【請求項 7】

半導体基板上に形成された半導体層と、

50

前記半導体基板の上面に沿う第1方向に複数並んで形成され、前記第1方向に直交する第2方向に延在する第1溝と、

複数の前記第1溝のそれぞれの底面において、前記第2方向に複数並んで形成された第2溝と、

前記第1溝および前記第2溝のそれぞれの内側に埋め込まれたゲート電極と、

前記ゲート電極および前記第1溝の間に介在する第1絶縁膜と、

前記ゲート電極および前記第2溝の間に介在する第2絶縁膜と、

前記半導体層の上面に形成されたソース領域と、

前記半導体基板に形成されたドレイン領域と、

を有し、

前記半導体層、前記ソース領域および前記ドレイン領域は第1導電型を有し、

前記第1溝の側壁には、前記第1導電型とは異なる第2導電型の第1半導体領域が形成され、

前記第2方向に並ぶ前記第2溝同士の間の前記第1溝の底面には、前記半導体層よりも濃度が高い前記第1導電型の第2半導体領域が形成された、半導体装置。

【請求項8】

(a) 第1導電型の半導体基板を用意する工程、

(b) 前記半導体基板の主面上に、前記第1導電型の半導体層を形成する工程、

(c) 前記半導体層の上面に、前記半導体基板の上面に沿う第1方向に並ぶ複数の第1溝を形成する工程、

(d) 前記第1溝の底面に、前記第1方向に直交する第2方向に並ぶ複数の第2溝を形成する工程、

(e) 前記第1溝の側壁を第1絶縁膜で覆い、前記第2溝の側壁および底面を、前記第1絶縁膜よりも膜厚が大きい第2絶縁膜で覆う工程、

(f) 前記(e)工程の後、前記第1溝および前記第2溝のそれぞれの内側を覆うゲート電極を形成する工程、

(g) 前記第1溝の側壁に、前記第1導電型とは異なる第2導電型の第1半導体領域を形成する工程、

(h) 前記半導体層の上面に、前記第1導電型のソース領域を形成する工程、

を有する、半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法において、

前記(d)工程では、前記第1方向に隣り合う前記第1溝のうち、一方の前記第1溝の前記底面に形成する複数の前記第2溝と、他方の前記第1溝の前記底面に形成する複数の前記第2溝とを、千鳥状に配置する、半導体装置の製造方法。

【請求項10】

請求項8記載の半導体装置の製造方法において、

前記第1方向に隣り合う前記第2溝同士の間隔は、前記第2方向に隣り合う前記第2溝同士の間隔よりも大きい、半導体装置の製造方法。

【請求項11】

請求項8記載の半導体装置の製造方法において、

前記第1方向に隣り合う前記第1溝のうち、一方の前記第1溝の前記底面に形成された前記第2溝の端部と、他方の前記第1溝の前記底面に形成された前記第2溝の端部とは、第2方向において重なる、半導体装置の製造方法。

【請求項12】

請求項8記載の半導体装置の製造方法において、

(c1) 前記(c)工程の後、前記(d)工程の前に、前記第1溝の前記底面に前記第1導電型の不純物を導入する工程をさらに有する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

## 【 0 0 0 1 】

本発明は、半導体装置およびその製造方法に関し、例えば、トレンチ型のMOSFETを有する半導体装置の製造に利用できるものである。

## 【 背景技術 】

## 【 0 0 0 2 】

半導体基板の主面側と裏面側との間で電流を流す電界効果トランジスタとして、当該主面側の半導体層の上面に形成した溝内にゲート絶縁膜を介して埋め込まれたゲート電極を備えたトレンチゲート型（縦型）のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）が知られている。

## 【 0 0 0 3 】

特許文献1（特開2010-258252号公報）には、半導体基板上の半導体層の上面に形成されたソース領域と、半導体基板の裏面に形成されたドレイン領域と、半導体層の上面の溝内に埋め込まれたゲート電極を有する縦型のMOSFETにおいて、ゲート電極の一部を、ドレイン領域側に細い幅で延伸することが記載されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献1 】 特開2010-258252号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

特許文献1に記載されているように、ゲート電極の一部をドレイン領域側に延伸した場合、縦型MOSFETがオフ状態のときに、ゲート電極の一部が延伸した部分から空乏層が拡がりやすくなる。このため、隣り合う当該延伸部分同士の間で空乏層が接触することで、電流経路が閉じるため、オフ時の縦型MOSFETの耐圧を高めることができる。

## 【 0 0 0 6 】

しかし、ゲート電極の一部をドレイン領域側に延伸した場合、当該延伸部分と、半導体基板の裏面側のドレイン領域との間の容量（帰還容量Crss）が増大し、これにより縦型MOSFETのスイッチング速度が低下する問題が生じる。

## 【 0 0 0 7 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【 課題を解決するための手段 】

## 【 0 0 0 8 】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【 0 0 0 9 】

一実施の形態である半導体装置は、半導体基板の主面上の半導体層の上面に形成された溝内に、半導体基板の主面に沿う第1方向に延在するゲート電極が埋め込まれた縦型MOSFETにおいて、ゲート電極の一部であって、半導体基板の裏面のドレイン領域側に延伸する部分が、第1方向に複数並べて形成されたものである。

## 【 0 0 1 0 】

また、一実施の形態である半導体装置の製造方法は、半導体基板の主面上の半導体層の上面に形成された溝内に、半導体基板の主面に沿う第1方向に延在するゲート電極が埋め込まれた縦型MOSFETにおいて、ゲート電極の一部であって、半導体基板の裏面のドレイン領域側に延伸する部分を、第1方向に複数並べて形成するものである。

## 【 発明の効果 】

## 【 0 0 1 1 】

一実施の形態によれば、半導体装置の性能を向上させることができる。

## 【 図面の簡単な説明 】

10

20

30

40

50

## 【 0 0 1 2 】

【図 1】本発明の実施の形態 1 である半導体装置の断面図である。

【図 2】図 1 の A - A 線における断面図である。

【図 3】図 2 の C - C 線における断面図である。

【図 4】図 1 の B - B 線における断面図である。

【図 5】本発明の実施の形態 1 である半導体装置の製造工程中の断面図である。

【図 6】図 5 に続く半導体装置の製造工程中の断面図である。

【図 7】図 6 に続く半導体装置の製造工程中の断面図である。

【図 8】図 7 に続く半導体装置の製造工程中の断面図である。

【図 9】図 8 に続く半導体装置の製造工程中の断面図である。

10

【図 10】図 9 に続く半導体装置の製造工程中の断面図である。

【図 11】図 10 に続く半導体装置の製造工程中の断面図である。

【図 12】図 11 に続く半導体装置の製造工程中の断面図である。

【図 13】図 12 に続く半導体装置の製造工程中の断面図である。

【図 14】本発明の実施の形態 2 である半導体装置の断面図である。

【図 15】図 14 の D - D 線における断面図である。

【図 16】比較例である半導体装置の製造工程中の断面図である。

【発明を実施するための形態】

## 【 0 0 1 3 】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

20

## 【 0 0 1 4 】

本実施の形態および以下の実施の形態では、 $n$ チャネル型の縦型 MOSFET について説明を行う。また、本願でいうマスクとは、一部の対象物をエッチングから保護するために用いる保護膜（エッチングマスク）を指す。

## 【 0 0 1 5 】

また、符号「 $\cdot$ 」および「 $+$ 」は、 $n$ 型または $p$ 型の導電性を有する半導体における不純物の相対的な濃度を表しており、例えば $n$ 型不純物の場合は、「 $n\cdot$ 」、「 $n$ 」、「 $n+$ 」の順に不純物濃度が高くなる。ただし、「 $n\cdot$ 」、「 $n$ 」、「 $n+$ 」のような不純物濃度の高低に関わらず、それらの導電性を総称して $n$ 型と呼ぶ場合がある。 $p$ 型の半導体についても同様である。

30

## 【 0 0 1 6 】

（実施の形態 1）

<半導体装置の構造について>

本実施の形態の半導体装置を、図 1 ~ 図 4 を用いて説明する。図 1 ~ 図 4 は、本実施の形態の半導体装置の断面図である。図 2 は、図 1 の A - A 線における断面図であり、図 3 は、図 2 の C - C 線における断面図であり、図 4 は、図 1 の B - B 線における断面図である。

40

## 【 0 0 1 7 】

図 1 に示すように、本実施の形態の半導体装置である縦型の MOSFET（MOS 型電界効果トランジスタ）は、半導体基板 SB と、半導体基板 SB 上に形成されたエピタキシャル層 EP を有している。半導体基板 SB は、 $n^+$ 型の単結晶シリコン（Si）などからなる。エピタキシャル層 EP は、半導体装置 SB 上にエピタキシャル成長法により形成されたエピタキシャル成長層である。エピタキシャル層 EP は、 $n\cdot$ 型のシリコン層からなる半導体層である。ただし、エピタキシャル層 EP の一部には、後述するように、ベース領域を構成する $p$ 型の半導体領域であるベース領域 BR などが形成されている。

## 【 0 0 1 8 】

エピタキシャル層 EP の上面には、複数の溝 D1 が形成されている。溝 D1 はエピタキ

50

シャル層EPの途中深さまで達しており、半導体基板SBまでは達していない。溝D1の底部には、溝D1と接続された溝D2が形成されている。溝D2は、溝D1の底部から半導体基板SB側に延伸しており、エピタキシャル層EPの途中深さまで達している。つまり溝D1および溝D2は、エピタキシャル層EPの上面に形成された1つの溝を構成しており、溝D2は半導体基板SBの上面に達していない。

#### 【0019】

溝D1は、半導体基板SBの主面に沿う方向である第1方向に複数並んで配置されている。図1では、第1方向に沿う断面を示している。各溝D1の側壁は、例えば酸化シリコン膜からなるゲート絶縁膜GFにより覆われている。また、各溝D2の側壁および底面は、例えば酸化シリコン膜からなる絶縁膜(フィールド酸化膜)TFにより覆われている。絶縁膜TFは、溝D2上に形成されたゲート絶縁膜GFよりも膜厚が大きい。なお、本願でいう膜厚とは、所定の膜の下地の平面に対して垂直な方向における当該膜の厚さを指す。

10

#### 【0020】

溝D1および溝D2からなる溝内には、ゲート絶縁膜GFまたは絶縁膜TFを介して、例えばポリシリコン膜からなるゲート電極GEが埋め込まれている。ここでは、ゲート電極GEの一部であって、溝D1内に形成されたゲート電極GEを、上部電極GD1と呼ぶ。また、ゲート電極GEの一部であって、溝D2内に形成されたゲート電極GEを、下部電極GD2と呼ぶ。つまり、溝D1内には、ゲート絶縁膜GFを介してゲート電極GEの一部である上部電極GD1が形成されており、溝D2内には、絶縁膜TFを介してゲート電極GEの一部である下部電極GD2が形成されている。

20

#### 【0021】

ゲート電極GEは溝D1内および溝D2内に充填されているが、溝D1上には形成されていない。エピタキシャル層EP上およびゲート電極GE上には、絶縁膜IF4が形成されており、第1方向において隣り合う2つのゲート電極GE同士の間には、絶縁膜IF4の上面からエピタキシャル層EPの途中深さまで達する溝D3が形成されている。つまり、溝D3により分断された複数の絶縁膜IF4同士が、第1方向に並んで配置されている。溝D3の底面の位置は、溝D1の底部の位置、つまり溝D1と溝D2の境界の位置よりもエピタキシャル層EPの上面に近い。なお、図では、絶縁膜TF、ゲート絶縁膜GFおよび絶縁膜IF4の境界を示しておらず、それぞれ同じハッチングを付している。

30

#### 【0022】

絶縁膜IF4は、第1方向において隣り合う溝D1と溝D3との間のエピタキシャル層EPの上面を覆っている。絶縁膜IF4に覆われた、第1方向において隣り合う溝D1と溝D3との間のエピタキシャル層EPの上面には、 $n^+$ 型の半導体領域であるソース領域SRが形成されている。ソース領域SRは、溝D3の側壁から溝D1の側壁に亘って形成されており、エピタキシャル層EPの上面を基準とするソース領域SRの形成深さは、エピタキシャル層EPの上面を基準とする溝D3の底面よりも浅い。つまり、溝D3の底面は、ソース領域SRよりも半導体基板SBに近い領域に位置している。

#### 【0023】

ソース領域SRと、ゲート電極GEである上部電極GD1とは、ゲート絶縁膜GFを介して隣り合って配置されている。 $n^+$ 型の半導体領域であるソース領域SR、 $n^+$ 型の半導体基板SBおよび $n^-$ 型のエピタキシャル層EPには、例えばn型の不純物(例えばP(リン)またはAs(ヒ素))が導入されている。ソース領域SRのn型純物の濃度は、エピタキシャル層EPのn型不純物の濃度よりも高い。

40

#### 【0024】

溝D3の底面近傍のエピタキシャル層EP内には、p型の半導体領域であるベース領域BRと、 $p^+$ 型半導体領域PRとが形成されている。ベース領域BRおよび $p^+$ 型半導体領域PRにはp型の不純物(例えばB(ホウ素))が導入されており、 $p^+$ 型半導体領域PRは、ベース領域BRよりもp型不純物の濃度が高い。ベース領域BRは、 $p^+$ 型半導体領域PRよりも広範囲に形成されており、 $p^+$ 型半導体領域PRはベース領域BR内に

50

形成されている。図1では、 $p^+$ 型半導体領域PRの輪郭を破線で示している。

【0025】

ベース領域BRの上面は、ソース領域SRの底面と接している。ベース領域BRは、溝D3の側壁から溝D1の側壁に亘って形成されている。ベース領域BRおよび $p^+$ 型半導体領域PRは、溝D3の側壁の一部と溝D1の底面とを覆うように形成されている。ベース領域BRの底面の位置は、溝D1の底部の位置、つまり溝D1と溝D2の境界の位置よりもエピタキシャル層EPの上面に近い。つまり、ベース領域BRの形成深さは、溝D1の形成深さよりも浅い。ベース領域BRと、ゲート電極GEである上部電極GD1とは、ゲート絶縁膜GFを介して隣り合って配置されている。つまり、ベース領域BRは、溝D1の側壁においてゲート絶縁膜GFと接している。

10

【0026】

エピタキシャル層EP上には、溝D3の側壁および底面並びに絶縁膜IF4を覆うように、金属膜からなるソース電極SEが形成されている。ソース電極SEはソース領域SRおよびベース領域BRに電氣的に接続されている。つまり、溝D3内には、ソース電極SEが埋め込まれている。また、図示は省略しているが、半導体基板SBの下面を覆うように、金属膜からなるドレイン電極が形成されている。つまり、半導体基板SBはドレイン領域を構成する。本実施の形態の縦型MOSFETは、トレンチ型のゲート電極GEと、ソース領域SRと、ベース領域BRと、ドレイン領域である半導体基板SBとにより構成されている。また、当該縦型MOSFETは、電流経路であるエピタキシャル層EPを有している。

20

【0027】

ここで、本実施の形態において、溝D2と、溝D2内の下部電極GD2および絶縁膜TFとは、半導体基板SBの主面に沿う方向であって、図1の奥行き方向である第2方向において複数並んで配置されている。第2方向は、第1方向に対して直交する方向である。

【0028】

図2では、第2方向に沿う断面を示している。図2に示すように、溝D1(図1参照)および上部電極GD1は第2方向に延在しているのに対し、溝D2と、溝D2内の下部電極GD2および絶縁膜TFとは、第2方向において複数並んで配置されている。つまり、上部電極GD1の下には、下部電極GD2が形成されている領域と、下部電極GD2が形成されていない領域とが第2方向において交互に存在している。

30

【0029】

第2方向において隣り合う溝D2同士の間領域の直上において、溝D1(図3参照)の底面は、図2および図3に示すように、絶縁膜TFにより覆われている。図3では、第1方向に沿う断面であって、第2方向において隣り合う溝D2同士の間領域を含む断面を示している。図3に示す断面構造は、図1に示す断面構造に似ているが、図3に示す断面において、特定の溝D1の下に、溝D2、下部電極GD2および絶縁膜TFが形成されていない点で、図1に示す構造とは異なる。

【0030】

図3に示すように、溝D1の側壁はゲート絶縁膜GFにより覆われているのに対し、溝D1の底面は、ゲート絶縁膜GFよりも膜厚が大きい絶縁膜TFにより覆われている。つまり、ゲート絶縁膜GFを挟んで隣り合うゲート電極GEとエピタキシャル層EPとの間の距離よりも、絶縁膜TFを挟んで隣り合うゲート電極GEとエピタキシャル層EPとの間の距離の方が大きい。

40

【0031】

図1において第1方向に隣り合う2つの溝D1のそれぞれの直下に溝D2が形成されている。つまり、図1に示す2つの溝D2同士は第1方向において互いに隣り合っている。これに対し、図3において第1方向に隣り合う2つの溝D1のうち、一方の溝D1の直下には溝D2が形成されているが、もう一方の溝D1の直下には溝D2が形成されていない。

【0032】

50

これは、図4に示すように、平面視において、溝D2が千鳥状に配置されており、1つの溝D2の第2方向における一方の端部と、他の溝D2の第2方向における一方の端部とが、第1方向において隣り合っているためである。なお、図4ではエピタキシャル層EPの輪郭およびハッチングの図示を省略している。

【0033】

図4では、溝D2、下部電極GD2および絶縁膜TFを含む断面であって、第1方向および第2方向に沿う断面を示している。図4に示すように、第2方向において溝D2は複数並んで配置されており、第2方向に互いに離間して並ぶ複数の溝D2の直上に、第2方向に延在する1つの溝D1（図示しない）および上部電極GD1（図示しない）が形成されている。つまり、第2方向に並ぶ複数の溝D2のそれぞれの内側に形成された下部電極GD2は、1つの上部電極GD1と一体になっている。すなわち、各溝D2および各下部電極GD2は、溝D1および上部電極GD1のように延在しておらず、島状に形成されている。

10

【0034】

ここで、第1方向に隣り合う溝D1のそれぞれの下の複数の溝D2は、平面視において行列状に並んでいない。つまり、第2方向に周期的に並ぶ複数の溝D2の列に対し、第1方向において並ぶ他の列の複数の溝D2のそれぞれは、半周期ずれた位置に配置されている。言い換えれば、第2方向に複数並ぶ溝D2を含む第1列と、第2方向に複数並ぶ溝D2を含む第2列とが、互いに第1方向に並んでいる場合において、第1列を構成し、第2方向に隣り合う2つ溝D2同士の間領域に対し、第2列の溝D2が第1方向に並んで配置されている。

20

【0035】

第2方向における溝D2の長さdは、第2方向に隣り合う溝D2同士の間距離bよりも長い。このため、上記第1列を構成する1つの溝D2の第2方向の端部と、上記第2列を構成する1つの溝D2の第2方向の端部とは、第2方向の長さcの範囲内で、第1方向において隣り合っている。つまり、第1方向において互いの一部が隣り合っている溝D2同士が、第2方向において重なっている長さはcである。また、上記第1列を構成する1つの溝D2のもう一方の端部は、上記第2列を構成する他の溝D2の端部と、第2方向における長さcの範囲内で、第1方向において隣り合っている。すなわち、長さdから距離bを引くと、長さcの2倍の値となる。

30

【0036】

なお、上記第1列を構成する溝D2内の1つの下部電極GD2の第2方向の端部と、上記第2列を構成する溝D2内の1つの下部電極GD2の第2方向の端部とは、第1方向において隣り合っている。

【0037】

ここで、例えば、距離bを長さdよりも大きく規定することも考えられる。しかし、距離bが長さdよりも大きいと、第1列を構成する1つの下部電極GD2と、第2列を構成する1つの下部電極GD2との間隔が過度に大きくなり、縦型MOSFETをオフにしても、下部電極GD2間において空乏層が閉じなくなる虞がある。この場合、縦型MOSFETの耐圧低下が問題となる。

40

【0038】

そこで、本実施の形態では、第2方向における長さdを距離bよりも大きくすることで、溝D2の一部と他の溝D2の一部とを第1方向に隣り合うように配置している。つまり、 $c > 0$ となる。これにより、溝D2同士が過度に離れることを防ぐことができ、縦型MOSFETのオフ状態のときに、複数の下部電極GD2のそれぞれから拡がる空乏層が互いに接触することが容易となるため、エピタキシャル層EP内の電流経路を塞ぐことが可能となる。したがって、縦型MOSFETの耐圧を保持でき、半導体装置の信頼性を確保することができる。

【0039】

また、1列の溝D2と、第2列の溝D2との第1方向における距離aを、第1方向にお

50



いて互いの一部が隣り合う下部電極GD2同士から拡がる空乏層が閉じる大きさとした場合、距離bが距離aよりも大きいと、第2方向に隣り合う下部電極GD2同士の間で空乏層が閉じなくなり、オフ状態の縦型MOSFETの耐圧が低下する。これを防ぐため、本実施の形態では、空乏層が互いに接触することを容易にする観点から、距離aを距離bよりも大きく規定している。これにより、縦型MOSFETの耐圧を確保することができ、これにより、半導体装置の信頼性を向上させることができる。

#### 【0040】

第2方向に延在する1つの溝D1(図1参照)の第2方向の長さに対し、当該溝D1の底部に形成された複数の溝D2のそれぞれの長さdの総和の割合は、例えば50%よりも大きく、80%以下である。つまり、第2方向における溝D1の長さに対し、1列に並ぶ複数の溝D2の合計の存在比は、50%よりも大きく、80%以下である。したがって、長さdに対する距離bの大きさは、50%未満、20%以上である。

10

#### 【0041】

ここで、上記のように溝D2および下部電極GD2を第2方向において複数に分割して形成せず、溝D1に沿うように溝D1と同じ長さで延在させた場合、以下のような問題が生じる。ここでは、図16を用いて、比較例の半導体装置の問題点について説明する。図16は、比較例の半導体装置を示す断面図である。すなわち、図16は、半導体基板(図示しない)の主面に沿う断面であって、下部電極GD2を含む断面、つまり、図4に対応する箇所の断面を示すものである。

#### 【0042】

図16に示すように、比較例では、溝D2aおよび当該溝D2a内の下部電極GD2が、溝D2a上の溝D1(図示しない)と同様に第2方向に延在している。また、溝D2aおよび当該溝D2a内の下部電極GD2は、第1方向に複数並んで配置されている。つまり、溝D2aおよび下部電極GD2はストライプ状に形成されており、第2方向において複数分離して形成されているわけではない。比較例の半導体装置の断面であって、半導体基板の主面に対して垂直な方向における断面は、図1と同様である。

20

#### 【0043】

このような場合、縦型MOSFETのオフ時には隣り合う下部電極GD2間において空乏層を閉じることができるため、溝D2aを形成しない場合に比べて、高耐圧を確保することができる。しかし、ゲート電極の下部を半導体基板側(ドレイン領域側)に延伸することで、溝D2a内に下部電極GD2を設けると、下部電極GD2とドレイン領域との間の容量(帰還容量Crss)が増大する問題が生じる。この場合、縦型MOSFETのオン状態、オフ状態を切り替えた際の立ち上がり速度、立ち下がり速度が低下するため、スイッチング速度が低下する問題が生じる。このため、半導体装置の信頼性が低下する。

30

#### 【0044】

また、縦型MOSFETがオン状態のときに、下部電極GD2に印加されたゲート電位によってエピタキシャル層EP中の少数キャリアが溝D2a近傍に引き寄せられるが、溝D2a内には、厚い絶縁膜TFが形成されるため、エピタキシャル層EPに低抵抗層が形成される効果(アキュミュレーション効果)は殆ど得られない。つまり、溝D2aの存在比を大きくしてもアキュミュレーション効果による低抵抗化は殆ど得られない。したがって、アキュミュレーション効果により得られる低抵抗化の効果よりも、エピタキシャル層EP内における溝D2aの占有部分が大きいことに起因してソース-ドレイン間の電流経路の断面積が縮小することによる高抵抗化の悪影響の方が大きい。

40

#### 【0045】

上記の問題は、今後半導体装置を微細化することで、隣り合う溝D2a同士の第1方向の間隔が小さくなるほど、顕著になる。この場合、溝D2aの存在比を低減し、エピタキシャル層EP存在比を大きくした方が、エピタキシャル層EP内での電流経路を大きい断面積で確保することができるため、オン抵抗の低減に有利である。

#### 【0046】

そこで、本実施の形態では、図1に示すように、第2方向に延在する溝D1内に埋め込

50

まれたゲート電極GEを有する縦型MOSFETにおいて、溝D1の底面に、第2方向に並ぶ複数の溝D2を形成し、それらの溝D2のそれぞれの内部にゲート電極GEの一部である下部電極GD2を埋め込んでいる。また、溝D2内には、溝D1の側壁を覆うゲート絶縁膜GFよりも膜厚が大きい絶縁膜TFを形成している。

【0047】

このように、溝D2を第2方向に延在する形状ではなく、第2方向において部分的に分断した島状に配置することで、ドレイン領域を構成する半導体基板SBと対向する下部電極GD2の面積を低減することができるため、比較例に比べて、ゲート電極GEとドレイン領域との間に生じる容量(帰還容量Crss)の増大を防ぐことができる。よって、縦型MOSFETのスイッチング速度が低下することを防ぐことができる。

10

【0048】

また、比較例に比べて、本実施の形態では溝D2および下部電極GD2の存在比が小さい。すなわち、比較例に比べて、本実施の形態では、エピタキシャル層EP内における溝D2の占有部分が小さい。しかし、縦型MOSFETのオフ時に島状に配置された複数の下部電極GD2同士の間で空乏層が閉じれば、比較例に比べて本実施の形態の縦型MOSFETの耐圧が低くなることはない。つまり、溝D2を形成することで、ドレイン領域とソース領域との間で高い耐圧を確保することができるため、多数キャリアの空乏化は阻害されない。よって、オン抵抗を低減する目的でエピタキシャル層EPを比較的高濃度にしても、容易に空乏層を伸ばすことができるため、ドレイン-ソース間での高い耐圧を確保することが可能である。

20

【0049】

また、比較例よりも溝D2の存在比を低減することで、ソース-ドレイン間の電流経路となるエピタキシャル層EPの流れる方向に対する断面積が増大するため、縦型MOSFETのオン抵抗を低減することができる。

【0050】

また、図3に示すように、直下に溝D2が形成されていない溝D1の底面は、ゲート絶縁膜GFよりも厚い絶縁膜TFにより覆われているため、溝D1内のゲート電極GE(上部電極GD1)と、当該ゲート電極GEの直下の溝D1の底面であるエピタキシャル層EPとの間に生じる容量が増大することを防ぐことができる。したがって、縦型MOSFETのスイッチング速度の低下を防ぐことができる。

30

【0051】

したがって、本実施の形態の半導体装置では、耐圧の低下、および、帰還容量Crssの増大に起因するスイッチング速度の低下を防ぎつつ、縦型MOSFETのオン抵抗を低減することができる。よって、半導体装置の性能を向上させることができる。

【0052】

なお、各下部電極GD2は全て、それらの上部の上部電極GD1と一体となっているから、複数の下部電極GD2のそれぞれの電位の確保に問題はない。

【0053】

<半導体装置の製造方法について>

本実施の形態の半導体装置の製造方法を、図5~図13を参照して説明する。図1~図13は、本実施の形態の半導体装置の製造工程中の断面図である。ここでは、nチャネル型の縦型MOSFETを形成する場合について説明する。

40

【0054】

まず、図5に示すように、単結晶シリコンなどからなるn<sup>+</sup>型の半導体基板SBを用いる。続いて、半導体基板SB上に、エピタキシャル成長法によりエピタキシャル層EPを形成する。エピタキシャル層EPは、例えばn<sup>-</sup>型の半導体層である。そして、例えばCVD(Chemical Vapor Deposition)法を用いて、エピタキシャル層EP上に絶縁膜IF1を形成する。

【0055】

続いて、フォトリソグラフィ技術を用い、図示しないレジストをマスクとして用いてエ

50

ッチングを行うことで、絶縁膜 I F 1 をパターンニングする。絶縁膜 I F 1 としては、例えば酸化シリコン膜などのハードマスクを用いることができる。その後、絶縁膜 I F 1 をマスクとしてエピタキシャル層 E P を例えばドライエッチングすることで、エピタキシャル層 E P の上面に、第 2 方向に延在する溝 D 1 を複数形成する。溝 D 1 は、第 1 方向に複数並んで形成される。

【 0 0 5 6 】

次に、図 6 に示すように、溝 D 1 の内部に、例えば C V D 法を用いて、例えば窒化シリコン膜からなる絶縁膜 I F 2 を形成する。つまり、溝 D 1 の側壁および底面を絶縁膜 I F 2 により覆う。絶縁膜 I F 2 は膜厚が小さいため、溝 D 1 内は絶縁膜 I F 2 により完全に埋め込まれることはない。その後、フォトリソグラフィ技術を用いて例えばドライエッチング（異方性エッチング）を行うことで、溝 D 1 の底面を覆う絶縁膜 I F 2 の一部を除去する。

10

【 0 0 5 7 】

このとき、図 1 に示す溝 D 2 を形成する箇所の絶縁膜 I F 2 を除去し、その他の領域における溝 D 1 の底面を覆う絶縁膜 I F 2 は除去しない。また、溝 D 1 の側壁を覆う絶縁膜 I F 2 は除去しない。これにより、第 2 方向に延在する溝 D 1 の底面は、第 2 方向において並ぶ複数の箇所において絶縁膜 I F 2 から露出する。

【 0 0 5 8 】

次に、図 7 に示すように、絶縁膜 I F 2 をマスクとしてドライエッチングを行うことにより、溝 D 1 の一部の底面に溝 D 2 を形成する。このとき、溝 D 1 の側面および一部の底面は絶縁膜 I F 2 に覆われているため、溝 D 2 を形成する際に溝 D 1 の側面および一部の底面がエッチングされることを防止することができる。これにより、第 2 方向に延在する溝 D 1 の底面には、第 2 方向に並んで複数の溝 D 2 が形成される。溝 D 2 の底面は、エピタキシャル層 E P の途中深さまで達している。

20

【 0 0 5 9 】

次に、図 8 に示すように、溝 D 2 が形成された領域のエピタキシャル層、溝 D 2 の側壁と底面とを酸化することで、溝 D 2 の側壁と底面とを覆う犠牲酸化膜 I F 3 を形成する。この酸化処理により、犠牲酸化膜 I F 3 は溝 D 2 の幅方向（第 1 方向）に拡張されるように形成される。つまり、溝 D 2 の側壁と底面を構成するエピタキシャル層 E P が一定の厚さで酸化されて酸化膜となる。これにより、溝 D 2 の側壁の第 1 方向の幅が広がる。このとき、溝 D 1 の側壁には絶縁膜 I F 2 が形成されているため、当該溝 D 1 が形成された領域は酸化されない。

30

【 0 0 6 0 】

次に、図 9 に示すように、溝 D 2 内に形成された犠牲酸化膜 I F 3 をウェットエッチングにより除去する。このようにして犠牲酸化膜 I F 3 を形成・除去することで、溝 D 2 は拡張される。この拡張部分の大きさは、図 8 を用いて説明した工程で形成した犠牲酸化膜 I F 3 の膜厚を変更することで、任意に設定することができる。

【 0 0 6 1 】

次に、図 10 に示すように、拡張された溝 D 2 の側壁および底面を酸化することで、絶縁膜（フィールド酸化膜）T F を形成する。このとき、溝 D 1 の直下に溝 D 2 が形成されていない領域における溝 D 1 の底面は、絶縁膜 I F 2 に覆われているが、溝 D 2 に近い領域における溝 D 1 の底面には絶縁膜 T F が形成される。なお、溝 D 1 の底面全体を絶縁膜 T F により覆うために、図 7 を用いて説明した工程の後であって、図 10 を用いて説明した工程の前に、溝 D 1 の底面を覆う絶縁膜 I F 2 のみを選択的に除去してもよい。

40

【 0 0 6 2 】

次に、図 11 に示すように、絶縁膜 I F 2 をエッチングにより除去する。続いて、酸化処理を行うことで、溝 D 1 の側壁を覆うゲート絶縁膜 G F を形成する。なお、ゲート絶縁膜を形成する際の酸化処理により、絶縁膜 T F は図 10 を用いて説明した工程において形成した時点よりも酸化が進み、より厚い酸化膜となる。つまり、絶縁膜 T F はゲート絶縁膜 G F よりも厚い膜である。このとき、溝 D 1 の直下に溝 D 2 が形成されていない領域に

50

おける溝D1の底面にも、絶縁膜TFが形成される(図3参照)。

【0063】

次に、図12に示すように、溝D1内および溝D2内に、電極材料膜を充填することで、ゲート電極GEを形成する。ゲート電極GEの材料としては、例えばポリシリコンを用いることができ、当該ポリシリコン膜は例えばCVD法により形成することができる。ここでは、ポリシリコン膜を形成した後、エピタキシャル層EP上の余分なポリシリコン膜を除去することで、複数のゲート電極GEを形成する。ここでは、溝D1内にゲート絶縁膜GFを介して形成されたゲート電極GEを上部電極GD1と呼び、溝D2内に絶縁膜TFを介して形成されたゲート電極GEを下部電極GD2と呼ぶ。

【0064】

次に、図13に示すように、各ゲート電極GEの間の領域に不純物を例えばイオン注入法により導入することで、p型の半導体領域であるベース領域BR、p<sup>+</sup>型半導体領域PR、および、n<sup>+</sup>型の半導体領域であるソース領域SRを形成する。また、ゲート電極GE上およびソース領域SR上に、例えばCVD法により層間絶縁膜である絶縁膜IF4を形成する。また、フォトリソグラフィ技術を用いたエッチングにより、エピタキシャル層EPの上面に、絶縁膜IF4の上面からエピタキシャル層EPの途中深さまで達する溝D3を形成する。その後、溝D3内に、スパッタリング法などを用いて形成したソース電極SEを埋め込む。

【0065】

ベース領域BRおよびp<sup>+</sup>型半導体領域PRは、p型の不純物(例えばB(ホウ素))を導入することで形成することができる。ソース領域SRは、n型の不純物(例えばP(リン)またはAs(ヒ素))を導入することで形成することができる。p<sup>+</sup>型半導体領域PRは、例えば溝D3の形成後にイオン注入を行うことで形成する。この後、図示はしていないが、半導体基板SBの裏面に接するドレイン電極を形成する。

【0066】

以上により、ゲート電極GE、ソース領域SR、ドレイン領域である半導体基板SBを有する縦型MOSFETを形成する。ここでは、溝D2内にゲート絶縁膜GFよりも厚い絶縁膜TFを形成しつつ、溝D1と溝D2の開口幅を、電極材料を埋め込むのに十分な幅とすることができる。本実施の形態では、溝D1の直下において、第2方向に並ぶ複数の溝D2を形成している。溝D2および下部電極GD2は、図4に示すように千鳥状に配置される。ここでいう千鳥状とは、第1列の複数の溝D2が、第2列の溝D2に対して食い違い状に配置されていることを意味する。

【0067】

本実施の形態の半導体装置の製造工程では、溝D1の直下において、第2方向に所定の間隔で周期的に並ぶ複数の溝D2および下部電極GD2を形成することで、図1~図4を用いて説明した上記半導体装置と同様の効果を得ることができる。

【0068】

したがって、本実施の形態の半導体装置では、耐圧の低下、および、帰還容量Crssの増大に起因するスイッチング速度の低下を防ぎつつ、縦型MOSFETのオン抵抗を低減することができる。よって、半導体装置の性能を向上させることができる。

【0069】

(実施の形態2)

以下に、図14および図15を用いて、本実施の形態の半導体装置について説明する。図14および図15は、本実施の形態の半導体装置を示す断面図である。図14は、図2に対応する位置の断面を示し、図15は、図3に対応する位置の断面を示している。つまり、図15は図14のD-D線における断面図である。

【0070】

本実施の形態では、図14および図15に示すように、第2方向に隣り合って形成されている溝D2同士の間領域のエピタキシャル層EPの上面、つまり溝D1の底面に、n型半導体層NRが形成されている。つまり、n型半導体層NRは、溝D1の底面の近傍の

10

20

30

40

50

エピタキシャル層EP内に形成されている。図14および図15では、n型半導体層NRの輪郭を破線で示している。

【0071】

n型半導体層NRは、例えば図6を用いて説明した絶縁膜IF2の形成工程の後であって、図7を用いて説明した溝D2の形成工程の前において、溝D1の底面のエピタキシャル層EPに対しn型の不純物（例えばP（リン）またはAs（ヒ素））をイオン注入法により打ち込むことで形成することができる。その他の製造工程は、前記実施の形態1と同様である。

【0072】

本実施の形態では、溝D1の底部近傍のエピタキシャル層EP内に、n<sup>-</sup>型の半導体層であるエピタキシャル層EPよりも濃度が高い不純物層であるn型半導体層NRが形成される。このため、n型半導体層NRが形成された領域のエピタキシャル層EPの抵抗値を低下させることができる。したがって、縦型MOSFETのオン抵抗を低減することができるため、半導体装置の性能を向上させることができる。

10

【0073】

なお、前記実施の形態1に比べ、溝D1の底部近傍の不純物濃度が高くなるため、第2方向に隣り合う溝D2同士の間隔である距離bは、当該濃度に合わせて調整する必要がある。具体的には、ソース・ドレイン間の耐圧が低くなることを防ぐために、距離bを小さくする必要がある。

【0074】

20

以上、本発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0075】

例えば、前記実施の形態1、2では、nチャネル型の縦型MOSFETについて説明したが、pチャネル型の縦型MOSFETであっても、同様の効果を得ることができる。この場合、前記実施の形態1、2で説明したMOSFETを構成する各半導体領域の導電型を逆の導電型とすることで、p型の縦型MOSFETを形成することができる。

【符号の説明】

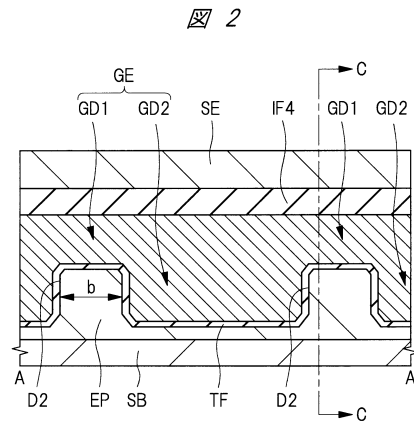
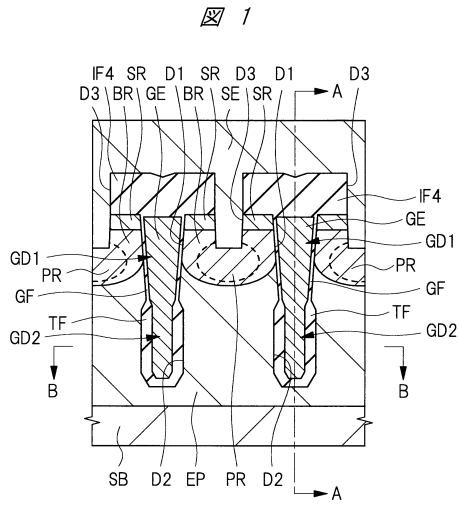
【0076】

30

D1、D2、D2a、D3 溝  
 EP エピタキシャル層  
 GD2 下部電極  
 GE ゲート電極

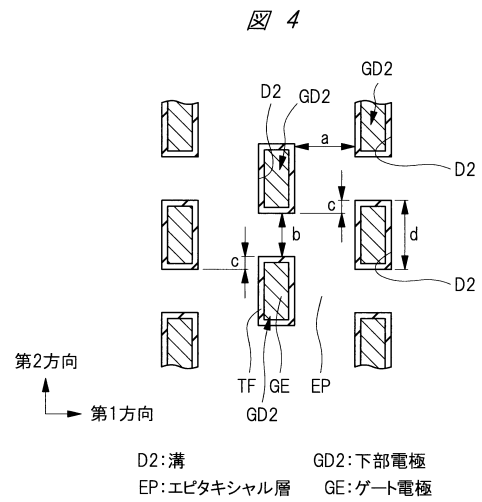
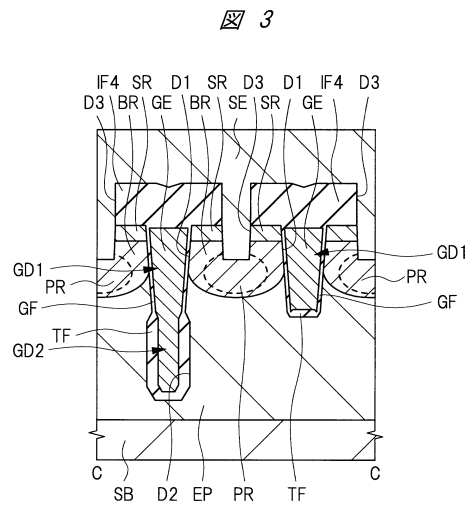
【図1】

【図2】

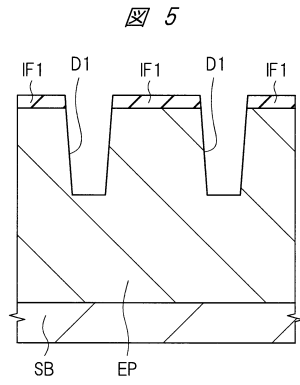


【図3】

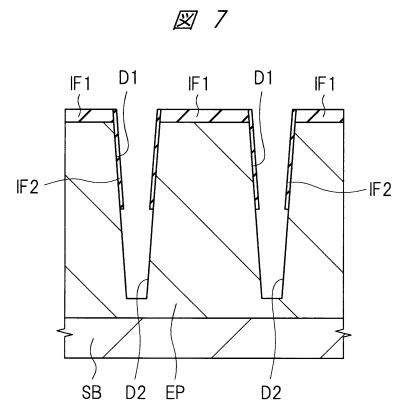
【図4】



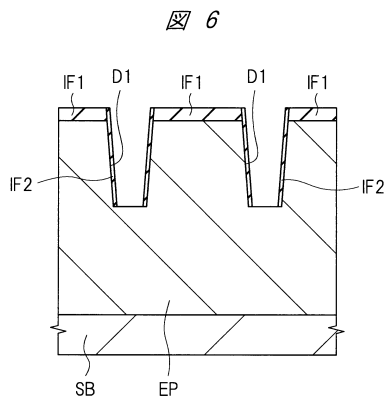
【図5】



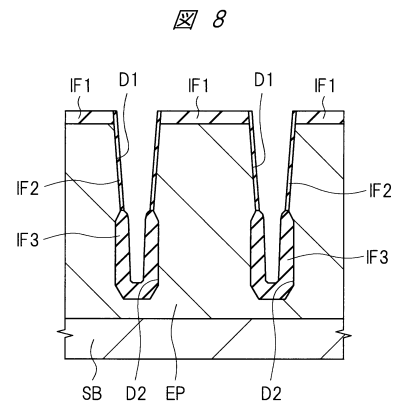
【図7】



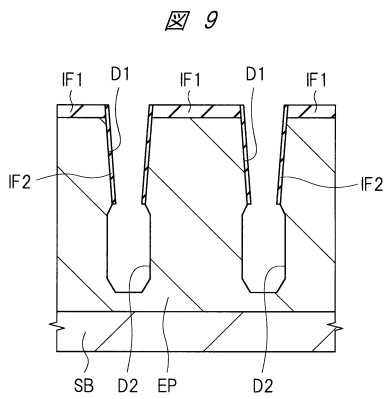
【図6】



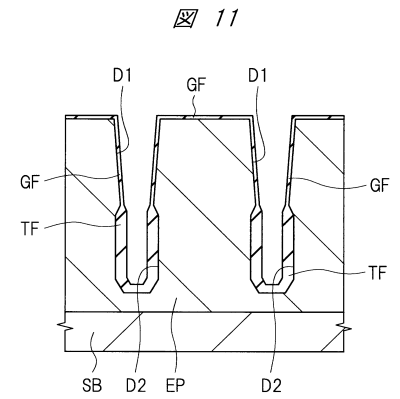
【図8】



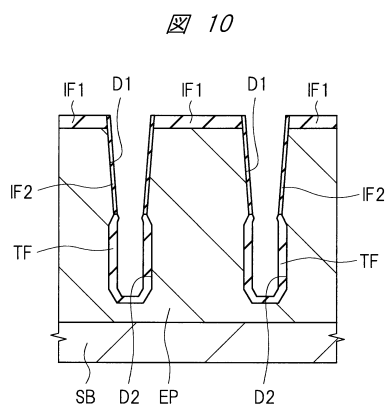
【図9】



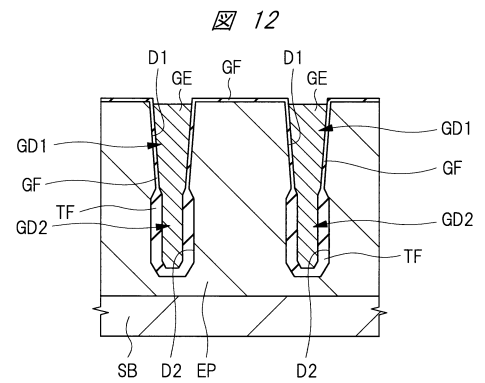
【図11】



【図10】

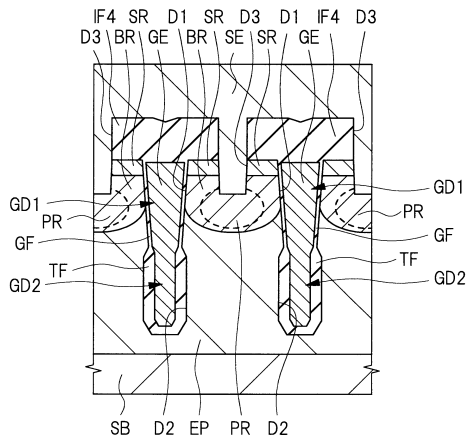


【図12】



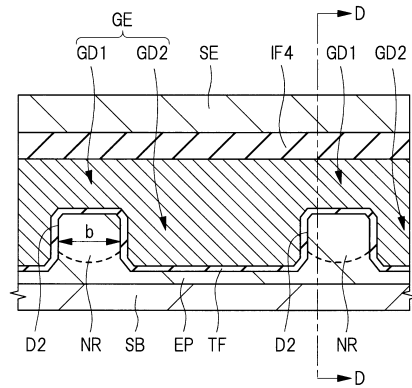
【図 13】

図 13



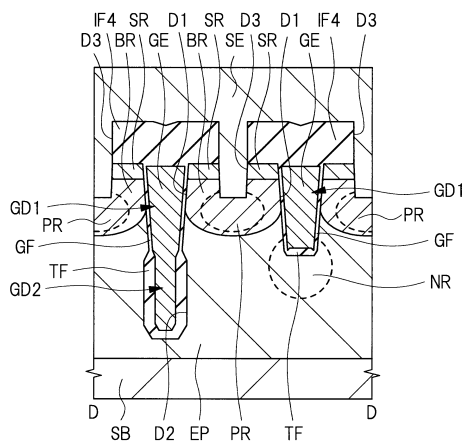
【図 14】

図 14



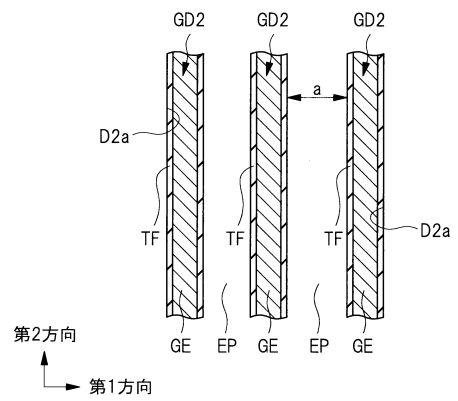
【図 15】

図 15



【図 16】

図 16





## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 8 F  
H 0 1 L 29/06 3 0 1 D  
H 0 1 L 29/06 3 0 1 V  
H 0 1 L 29/06 3 0 1 F

(56)参考文献 国際公開第 2 0 1 2 / 1 2 4 0 5 6 ( W O , A 1 )  
特開平 0 5 - 3 3 5 5 8 2 ( J P , A )  
特開 2 0 1 0 - 2 8 3 1 2 8 ( J P , A )  
特開 2 0 1 0 - 2 5 8 2 5 2 ( J P , A )  
特開 2 0 1 2 - 0 5 9 9 4 3 ( J P , A )  
特開 2 0 0 5 - 0 5 6 9 1 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 0 6