



(12) 发明专利

(10) 授权公告号 CN 112255467 B

(45) 授权公告日 2024. 08. 30

(21) 申请号 201910661467.3

(56) 对比文件

(22) 申请日 2019.07.22

CN 101496286 A, 2009.07.29

(65) 同一申请的已公布的文献号

审查员 梁裕

申请公布号 CN 112255467 A

(43) 申请公布日 2021.01.22

(73) 专利权人 苏州普镭辰光电有限公司

地址 215126 江苏省苏州市苏州工业园区

澄浦路17号厂房一楼

(72) 发明人 王元祥 杨奇 滕明坤

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 于小宁

(51) Int. Cl.

G01R 29/02 (2006.01)

权利要求书2页 说明书12页 附图4页

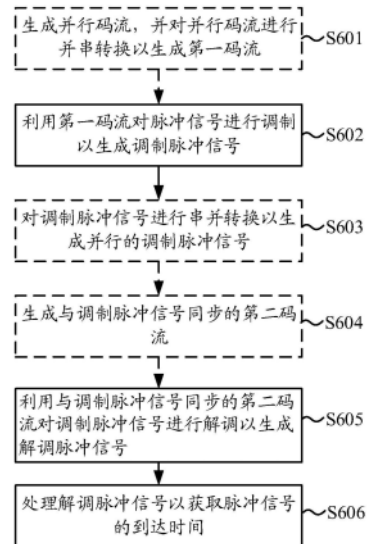
(54) 发明名称

测量脉冲信号到达时间的装置和方法

(57) 摘要

本公开提供了一种测量脉冲信号到达时间的装置和方法。根据本公开的测量脉冲信号到达时间的装置包括：调制单元，被配置为利用第一码流对脉冲信号进行调制以生成调制脉冲信号；解调单元，被配置为利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调以生成解调脉冲信号；处理单元，被配置为处理所述解调脉冲信号以获取所述脉冲信号的到达时间。

600



1. 一种测量脉冲信号到达时间的装置,包括:
调制单元,被配置为通过对脉冲信号和第一码流进行异或操作来对所述脉冲信号进行调制以生成调制脉冲信号;
解调单元,被配置为利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调以生成解调脉冲信号;
处理单元,被配置为处理所述解调脉冲信号以获取所述脉冲信号的到达时间,
其中,所述调制单元还被配置为对所述第一码流和全零序列进行异或操作以生成调制的第一码流,并且与所述调制脉冲信号同步的所述第二码流是基于所述调制的第一码流生成的。
2. 根据权利要求1所述的装置,其中,所述脉冲信号不带有时钟信息。
3. 根据权利要求1所述的装置,其中,所述第一码流为串行码流。
4. 根据权利要求3所述的装置,还包括:
第一码流发生器,被配置为生成并行码流;
串并转换器,被配置为对所述并行码流进行并串转换以生成所述第一码流。
5. 根据权利要求1所述的装置,其中,所述解调单元被配置为通过对所述调制脉冲信号和所述第二码流进行异或操作来对所述调制脉冲信号进行解调以生成解调脉冲信号。
6. 根据权利要求1所述的装置,还包括:
串并转换器,被配置为对所述调制脉冲信号进行串并转换以生成并行的调制脉冲信号,其中,
所述解调单元被配置为利用与所述并行的调制脉冲信号同步的第二码流对所述并行的调制脉冲信号进行解调以生成并行的解调脉冲信号;并且
所述处理单元被配置为处理所述并行的解调脉冲信号以获取所述脉冲信号的到达时间。
7. 根据权利要求1所述的装置,其中:
所述装置还包括:
第二码流发生器,被配置为产生与所述第一码流的码型相同的、具有不同相位的多个初始码流;
相关单元,被配置为对所述调制的第一码流和所述多个初始码流进行相关运算,并且其中,
所述第二码流发生器还被配置为根据所述相关运算的结果来生成所述与调制脉冲信号同步的第二码流。
8. 根据权利要求1-7中任一项所述的装置,其中,所述第一码流和第二码流为伪随机二进制序列。
9. 根据权利要求1所述的装置,其中,所述处理单元被配置为:
对所述解调脉冲信号进行边沿查找以获取所述脉冲信号的边沿;
至少根据所述边沿计算所述脉冲信号的到达时间。
10. 根据权利要求9所述的装置,其中,所述处理单元被配置为根据所述边沿在所述解调脉冲信号中的比特位置、所述解调脉冲信号的时钟频率以及本地时间基准来计算所述脉冲信号的到达时间。

11.一种测量脉冲信号到达时间的方法,包括:

通过对脉冲信号和第一码流进行异或操作来对所述脉冲信号进行调制以生成调制脉冲信号;

利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调以生成解调脉冲信号;

处理所述解调脉冲信号以获取所述脉冲信号的到达时间,

其中,所述方法还包括对所述第一码流和全零序列进行异或操作以生成调制的第一码流,并且与所述调制脉冲信号同步的所述第二码流是基于所述调制的第一码流生成的。

12.根据权利要求11所述的方法,其中,所述脉冲信号不带有时钟信息。

13.根据权利要求11所述的方法,其中,所述第一码流为串行码流。

14.根据权利要求13所述的方法,还包括生成并行码流,并对所述并行码流进行并串转换以生成所述第一码流。

15.根据权利要求11所述的方法,其中,利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调,包括对所述调制脉冲信号和第二码流进行异或操作以生成解调脉冲信号。

16.根据权利要求11所述的方法,还包括:

对所述调制脉冲信号进行串并转换以生成并行的调制脉冲信号;

利用与所述并行的调制脉冲信号同步的第二码流对所述并行的调制脉冲信号进行解调以生成并行的解调脉冲信号;

处理所述并行的解调脉冲信号以获取所述脉冲信号的到达时间。

17.根据权利要求11所述的方法,还包括:

对所述调制的第一码流和与所述第一码流的码型相同的、具有不同相位的多个初始码流进行相关运算;

根据所述相关运算的结果来生成所述与调制脉冲信号同步的第二码流。

18.根据权利要求11-17中任一项所述的方法,其中,所述第一码流和第二码流为伪随机二进制序列。

19.根据权利要求11所述的方法,其中,处理所述解调脉冲信号包括:

对所述解调脉冲信号进行边沿查找以获取所述脉冲信号的边沿;

至少根据所述边沿计算所述脉冲信号的到达时间。

20.根据权利要求19所述的方法,其中,根据所述边沿在所述解调脉冲信号中的比特位置、所述解调脉冲信号的时钟频率以及本地时间基准来计算所述脉冲信号的到达时间。

测量脉冲信号到达时间的装置和方法

技术领域

[0001] 本公开涉及信号处理领域,并且更具体地涉及一种测量脉冲信号到达时间的装置和方法。

背景技术

[0002] 在数字信号处理中,为了对脉冲信号进行分析处理,通常需要获取脉冲信号的时域特征,其中,脉冲信号的到达时间是表征脉冲信号时域特征的重要参数。现有的测量脉冲信号到达时间的方法,例如使用模/数转换器的常用测量方法,往往要求测量系统具有较高的采样速率、采样精度以及数据处理能力,尤其是在现代电子技术中广泛应用的高速脉冲信号,对测量系统的性能提出了更高的要求(例如,10GS/s以上的采样速率),这也使得现有的脉冲信号到达时间的测量方法往往具有效率低、精度差、成本高等问题。因此,期望在较低成本下实现高效率、高精度的脉冲到达时间测量。

发明内容

[0003] 为此,本公开提出了一种测量脉冲信号到达时间的装置和方法。

[0004] 根据本公开的一个方面,提供了一种测量脉冲信号到达时间的装置,包括:调制单元,被配置为利用第一码流对脉冲信号进行调制以生成调制脉冲信号;解调单元,被配置为利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调以生成解调脉冲信号;处理单元,被配置为处理所述解调脉冲信号以获取所述脉冲信号的到达时间。

[0005] 根据本公开的实施例,所述脉冲信号不带有时钟信息。

[0006] 根据本公开的实施例,所述第一码流为串行码流。

[0007] 根据本公开的实施例,所述测量脉冲信号到达时间的装置还包括:第一码流发生器,被配置为生成并行码流;串并转换器,被配置为对所述并行码流进行并串转换以生成所述第一码流。

[0008] 根据本公开的实施例,所述调制单元被配置为通过对所述脉冲信号和所述第一码流进行异或操作来对所述脉冲信号进行调制以生成调制脉冲信号。

[0009] 根据本公开的实施例,所述解调单元被配置为通过对所述调制脉冲信号和所述第二码流进行异或操作来对所述调制脉冲信号进行解调以生成解调脉冲信号。

[0010] 根据本公开的实施例,所述测量脉冲信号到达时间的装置还包括:串并转换器,被配置为对所述调制脉冲信号进行串并转换以生成并行的调制脉冲信号,其中,所述解调单元被配置为利用与所述并行的调制脉冲信号同步的第二码流对所述并行的调制脉冲信号进行解调以生成并行的解调脉冲信号;并且,所述处理单元被配置为处理所述并行的解调脉冲信号以获取所述脉冲信号的到达时间。

[0011] 根据本公开的实施例,所述调制单元还被配置为利用所述第一码流对全零序列进行调制以生成调制的第一码流,所述装置还包括:第二码流发生器,被配置为产生与所述第一码流的码型相同的、具有不同相位的多个初始码流;相关单元,被配置为对所述调制的第

一码流和所述多个初始码流进行相关运算,并且所述第二码流发生器还被配置为根据所述相关运算的结果来生成所述与调制脉冲信号同步的第二码流。

[0012] 根据本公开的实施例,所述第一码流和第二码流为伪随机二进制序列。

[0013] 根据本公开的实施例,所述处理单元被配置为:对所述解调脉冲信号进行边沿查找以获取所述脉冲信号的边沿;至少根据所述边沿计算所述脉冲信号的到达时间。

[0014] 根据本公开的实施例,所述处理单元被配置为根据所述边沿在所述解调脉冲信号中的比特位置、所述解调脉冲信号的时钟频率以及本地时间基准来计算所述脉冲信号的到达时间。

[0015] 根据本公开的另一方面,提供了一种测量脉冲信号到达时间的方法,包括:利用第一码流对脉冲信号进行调制以生成调制脉冲信号;利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调以生成解调脉冲信号;处理所述解调脉冲信号以获取所述脉冲信号的到达时间。

[0016] 根据本公开的实施例,所述脉冲信号不带有时钟信息。

[0017] 根据本公开的实施例,所述第一码流为串行码流。

[0018] 根据本公开的实施例,所述测量脉冲信号到达时间的方法还包括生成并行码流,并对所述并行码流进行并串转换以生成所述第一码流。

[0019] 根据本公开的实施例,利用第一码流对脉冲信号进行调制包括对所述脉冲信号和所述第一码流进行异或操作以生成调制脉冲信号。

[0020] 根据本公开的实施例,利用与所述调制脉冲信号同步的第二码流对所述调制脉冲信号进行解调包括对所述调制脉冲信号和第二码流进行异或操作以生成解调脉冲信号。

[0021] 根据本公开的实施例,所述测量脉冲信号到达时间的方法还包括:对所述调制脉冲信号进行串并转换以生成并行的调制脉冲信号;利用与所述并行的调制脉冲信号同步的第二码流对所述并行的调制脉冲信号进行解调以生成并行的解调脉冲信号;处理所述并行的解调脉冲信号以获取所述脉冲信号的到达时间。

[0022] 根据本公开的实施例,所述测量脉冲信号到达时间的方法还包括:利用第一码流对全零序列进行调制以生成调制的第一码流;产生与所述第一码流的码型相同的、具有不同相位的多个初始码流;对所述调制的第一码流和所述多个初始码流进行相关运算,并且根据所述相关运算的结果来生成所述与调制脉冲信号同步的第二码流。

[0023] 根据本公开的实施例,所述第一码流和第二码流为伪随机二进制序列。

[0024] 根据本公开的实施例,处理所述解调脉冲信号包括:对所述解调脉冲信号进行边沿查找以获取所述脉冲信号的边沿;至少根据所述边沿计算所述脉冲信号的到达时间。

[0025] 根据本公开的实施例,根据所述边沿在所述解调脉冲信号中的比特位置、所述解调脉冲信号的时钟频率以及本地时间基准来计算所述脉冲信号的到达时间。

附图说明

[0026] 通过结合附图对本公开实施例进行更详细的描述,本公开的上述以及其它目的、特征和优势将变得更加明显。附图用来提供对本公开实施例的进一步理解,并且构成说明书的一部分,与本公开实施例一起用于解释本公开,但并不构成对本公开的限制。在附图中,相同的参考标记通常代表相同的部件或步骤。

- [0027] 图1示出了根据本公开实施例的用于测量脉冲信号到达时间的装置的框图。
- [0028] 图2示出了根据本公开实施例的示例的与第一码流的码型相同的、具有不同相位的多个初始码流的示意图。
- [0029] 图3示出了根据本公开实施例的示例的相关单元的示意图。
- [0030] 图4示出了根据本公开实施例的示例的表示检测到的脉冲边沿的位置的示意图。
- [0031] 图5示出了根据本公开实施例的示例的测量脉冲信号到达时间的装置。
- [0032] 图6示出了根据本公开实施例的测量脉冲信号到达时间的方法的流程图。

具体实施方式

[0033] 为使本公开的目的、特征和优势更加清楚,下面将结合本公开实施例中的附图,对本公开实施例中的技术方案作进一步详细说明。显然,所描述的实施例仅仅是本公开一部分实施例,而不是全部的实施例。基于本公开的实施例,本领域普通技术人员在没有付出创造性劳动的前提下所获得的所有其它实施例,都属于本公开保护的范围。

[0034] 本公开提供了一种测量脉冲信号到达时间的装置和方法,能够对脉冲信号尤其是高速脉冲信号的到达时间实现高精度、高效率的测量。本公开无需对脉冲信号进行常规方法所需的模拟采样,从而无需使用模/数转换器及其配套电路,而且,本公开仅使用少量接口和少量逻辑资源,不需要进行使用大量器件和存储资源的傅里叶运算,从而精简了系统配置,优化了系统性能,且降低了系统成本。

[0035] 在本公开中,待测量到达时间的脉冲信号例如是指瞬间变化、作用时间极短的电压或电流信号。脉冲信号可以是周期性重复的信号,即按一定幅度、一定时间间隔连续变化的信号,例如在电子测量、自动控制等技术领域中经常使用的矩形波、方波、锯齿波等等。脉冲信号也可以是非周期的信号,这种情况下,脉冲信号往往带有直流分量,占空比较小,并且不携带脉冲信号源端的时钟信息或不携带稳定的时钟信息。

[0036] 图1示出了根据本公开实施例的用于测量脉冲信号到达时间的装置1000的框图。装置1000包括调制单元1010、解调单元1020和处理单元1030。

[0037] 调制单元1010被配置为利用第一码流对脉冲信号进行调制以生成调制脉冲信号。第一码流可以是按照一定规律、一定周期生成的二进制序列,例如但不限于伪随机二进制序列(Pseudo-Random Binary Sequence, PRBS)。伪随机二进制序列是一种可以预先确定并可以重复地生成和复制,又具有随机统计特性的二进制序列。

[0038] 例如,调制单元1010可以被配置为通过对脉冲信号和第一码流进行异或操作来对脉冲信号进行调制以生成调制脉冲信号。具体地,异或操作可以通过异或电路或者具有异或运算功能的电子器件来实现。对于自身不携带时钟信息或稳定时钟信息的脉冲信号,可以通过将其与第一码流进行异或操作,使该脉冲信号具有和第一码流的周期有关的稳定时钟信息。此外,例如,对于幅度过大或过小的脉冲信号,可以在将其输入到例如异或电路的输入端口之前,利用模拟调理器对脉冲信号进行衰减、放大等操作,以使之符合异或电路的处理范围。经过与第一码流进行异或操作之后的脉冲信号,称之为调制脉冲信号。调制单元1010还可以被配置为利用第一码流对全零序列进行调制以生成调制的第一码流。

[0039] 在实际应用中,需要测量到达时间的输入脉冲信号往往通过例如光纤或同轴电缆进行高速串行传输,即为串行脉冲信号,此时用来调制脉冲信号的第一码流可以是串行码

流。根据本公开实施例的实现方式,串行的第一码流可以通过装置1000接收的预定义码流。

[0040] 根据本公开实施例的一个实现方式,所述第一码流可以从外部获取。根据本公开实施例的另一实现方式,装置1000还可以包括用于生成第一码流的第一码流发生器1040。具体地,第一码流发生器1040可以被配置为生成串行码流以作为第一码流。在需要并行处理以提高系统性能的情况下,第一码流发生器1040也可以被配置为生成并行码流。第一码流发生器1040例如是PRBS发生器。PRBS发生器通常是由线性反馈移位电路和异或电路组成,被配置为根据预定的多项式生成伪随机二进制序列。生成PRBS码的多项式如式(1)所示:

$$[0041] \quad x^m+x^q+1 \quad (1)$$

[0042] 其中 m 为所生成的PRBS码的阶数,常用的阶数如7、9、11、15等; q 为小于 m 且大于0的正整数。

[0043] 不同的阶数 m 对应着不同的PRBS码型和比特周期,比特周期即重复出现的比特序列的长度,由 2^m-1 给出。例如,对于PRBS 3码型的PRBS发生器,即 $m=3$ 时,比特周期为7,所生成的伪随机二进制序列例如是1110010,1110010,……。在本公开实施例中,第一码流发生器可以是码型为PRBS 7、PRBS 9、PRBS 11、PRBS 15等等的PRBS发生器。

[0044] 在第一码流发生器被配置为生成并行码流时,装置1000还可以包括串并转换器(未示出),用于对第一码流发生器生成的并行码流进行并串转换操作以生成串行的第一码流。串并转换器是被配置为在串行传输和并行传输两种传输方式之间转换的器件。串并转换器例如可以通过移位寄存器、内置串并转换功能的收发器来实现。在一个示例中,串并转换器可以是集成在收发器内部的高速串并转换器(SerDes),其包括串行器(SERializer)和解串器(DESerializer),被配置为在发送接口将多路低速并行信号转换成高速串行信号,并且在接收接口将高速串行信号转换成低速并行信号。

[0045] 根据本公开的实施例,解调单元1020被配置为利用与调制脉冲信号同步的第二码流对调制脉冲信号进行解调以生成解调脉冲信号。

[0046] 根据本公开实施例的一个实现方式,解调单元1020被配置为通过对调制脉冲信号和与调制脉冲信号同步的第二码流进行异或操作来对调制脉冲信号进行解调。第二码流可以是按照一定规律、一定周期生成的二进制序列,例如但不限于伪随机二进制序列(PRBS),第二码流与第一码流具有相同的码型,并且与调制脉冲信号同步,即与调制脉冲信号具有相同的相位延迟。第二码流例如可以通过装置1000接收的与调制脉冲信号同步的预定义的第二码流。类似的,如上所述,异或操作可以通过异或电路或者具有异或运算功能的电子器件来实现。通过对调制脉冲信号和第二码流进行异或操作,得到能够直接表现输入脉冲信号的时间信息的解调脉冲信号。

[0047] 根据本公开实施例的实现方式,装置1000还可以包括被配置为对调制脉冲信号进行串并转换以生成并行的调制脉冲信号的串并转换器(未示出)。例如,对于与串行输入的高速脉冲信号进行调制得到的高速串行调制脉冲信号,为了提高信号处理效率、降低对系统硬件性能的要求,可以将串行的调制脉冲信号转换为并行的调制脉冲信号。如上所述,串并转换器例如可以通过移位寄存器、内置串并转换功能的收发器来实现。在一个示例中,串并转换器例如可以是集成在收发器内部的高速串并转换器。对于串并转换得到的并行的调制脉冲信号,可以利用与该并行的调制脉冲信号同步的第二码流对其进行解调以生成并行

的解调脉冲信号。

[0048] 根据本公开实施例的实现方式,装置1000还可以包括:第二码流发生器1050,被配置为产生与第一码流的码型相同的、具有不同相位的多个初始码流;相关单元1060,被配置为对调制的第一码流和具有不同相位的多个初始码流进行相关运算。具体地,调制单元利用第一码流对全零序列进行调制以生成调制的第一码流;此时,第二码流发生器1050产生与第一码流的码型相同的、具有不同相位的多个初始码流;然后,通过相关单元1060对调制的第一码流和具有不同相位的多个初始码流进行相关运算;并且第二码流发生器1050根据相关运算的结果来生成与调制脉冲信号同步的第二码流。第二码流发生器例如可以是码型为PRBS 7、PRBS 9、PRBS 11、PRBS 15等等的PRBS发生器。

[0049] 下面结合具体示例描述产生与调制脉冲信号同步的第二码流的过程。在下述示例中,基于调制的第一码流来生成与调制的第一码流同步的码流,在系统配置和设置保持恒定的情况下,由于调制的第一码流与调制脉冲信号经历同样的调制、传输以及串并转换等操作并因而具有相同的相位延迟,因此,与调制的第一码流同步的码流即为与调制脉冲信号同步的第二码流。

[0050] 根据本公开实施例的一个示例,首先,装置1000从外部获取第一码流,或者利用第一码流发生器1040生成第一码流;然后,将第一码流和所有比特值均为0的全零序列输入调制单元1010,调制单元1010利用第一码流对全零序列进行调制以生成调制的第一码流。调制可以是如上所述的对第一码流和全零序列进行异或操作。在获得调制的第一码流后,可以利用串并转换器对其进行串并转换操作以生成能够并行处理的多个子码流。在这里,调制的第一码流例如被转换为并行的N个子码流,例如,调制的第一码流的第一个比特数据由第一路通道传输作为第一子码流的第一个比特数据,调制的第一码流的第二个比特数据由第二路通道传输作为第二子码流的第一个比特数据,以此类推,调制的第一码流的第N个比特数据由第N路通道传输作为第N子码流的第一个比特数据,从而N路并行的传输通道能够一次同时传输调制的第一码流的N个比特数据。在与全零序列进行调制后,第一码流的各比特值不会发生改变,但在经过调制、传输、串并转换等过程后,调制后的第一码流的相位发生了延迟。

[0051] 此时,第二码流发生器1050产生与第一码流的码型相同的、具有不同相位的N个初始码流,用Phase i ($i=0,1,2,\dots,N-1$) 表示。这里,码型相同意为初始码流与第一码流采用相同的预定义规律和周期生成,在采用PRBS码的实现方式中,则表示使用相同阶数的多项式生成,例如都采用PRBS 7码型,或者都采用PRBS 9码型。如图2所示,在产生N个初始码流中的每个初始码流的N个比特数据后,第二码流发生器1050暂停运行。在图2中,T为初始码流的比特周期,在初始码流为PRBS码的实现方式中, $T=2^m-1$,其中m为PRBS码的阶数。在N个初始码流中,初始码流Phase i 与Phase $(i+1)$ 之间相差一个比特相位,即初始码流Phase $(i+1)$ 相比于初始码流Phase i 延迟了一个比特,如图2所示,其中,图2中的阴影区域表示比特0在当前比特周期的比特位置,可以看到,初始码流Phase 1中的比特0与初始码流Phase 0中的比特0相差一个比特相位。

[0052] 图3示出了根据本公开实施例的一个示例的相关单元3060的示意图。相关单元3060可以包括多个比较器3061、检测模块3062和选择模块3063。如上所述,与N个不同相位的初始码流对应,相关单元3060包括N个比较器3061 C_0 ,3061 C_1 , \dots ,3061 C_{N-1} 。将由并行的N

个子码流中的每个子码流的第一个比特数据组成的第一组N比特数据同时输入N个比较器中的每一个的输入端,同时,将N个不同相位的初始码流分别输入N个比较器中的每一个的另一输入端,N个比较器中的每一个分别对第一组N比特数据和每个初始码流进行相关运算,并输出运算结果到检测模块3062。如果第一组N比特数据与N个不同相位的初始码流中的一个初始码流Phase i ($i=0,1,2,\dots,N-1$) 相同,则对应的比较器3061C_i输出1,否则,比较器3061C_i输出0。检测模块3062接收并检测N个比较器的输出结果,如果检测到来自比较器3061C_i的输出结果为1,即出现相关峰,则表明调制的第一码流与初始码流Phase i 达到同步,即调制的第一码流与初始码流Phase i 的相位相同。另一方面,如果检测模块3062没有检测到相关峰,即N个比较器的输出结果均为0,则继续对由并行的N个子码流中的每个子码流的第二个比特数据组成的第二组N比特数据与N个不同相位的初始码流中的每个初始码流进行比较,并重复上述操作,直到检测模块3062检测到相关峰,即调制的第一码流与N个不同相位的初始码流中的某个初始码流达到同步。此时,检测模块将指示同步相位的同步信息输出到选择模块3063,并通知第二码流发生器3050开始运行,选择模块3063根据同步信息选择第二码流发生器3050生成的具有同步相位的码流作为与调制的第一码流同步的码流,也即如上所述与调制脉冲信号同步的第二码流。

[0053] 在系统配置和设置保持恒定的情况下,在测量脉冲信号到达时间时,经历同样的调制、传输以及串并转换等操作后的调制脉冲信号具有与调制的第一码流相同的相位延迟,也就是说,所生成的与调制的第一码流同步的码流和调制脉冲信号也同步。在得到与调制脉冲信号同步的第二码流后,即可以利用该第二码流对调制脉冲信号进行解调。

[0054] 返回图1,根据本公开的实施例,处理单元1030被配置为处理解调脉冲信号以获取脉冲信号的到达时间。

[0055] 根据本公开实施例的实现方式,处理单元1030被配置为:对所述解调脉冲信号进行边沿查找以获取所述解调脉冲信号的边沿;至少部分地根据所述边沿计算所述脉冲信号的到达时间。在本公开实施例的一个示例中,可以采用多个比较器对脉冲信号进行边沿查找。例如,对于如上所述的分为N路并行的解调脉冲信号,采用N个并行的比较器对其进行边沿查找,即比较相邻比特的值是否存在0到1的变化,其中,第0个比较器比较解调脉冲信号的当前比特周期(例如,当前比特周期为从第0个比特周期开始计数的第A个比特周期,如图4所示)中的比特0的值与上一个比特周期(即,第A-1个比特周期)中的比特(N-1)的值;第1个比较器比较解调脉冲信号的当前比特周期中的比特0的值与比特1的值;以此类推,第N个比较器比较解调脉冲信号的当前比特周期中的比特(N-2)的值与比特(N-1)的值,如果第n个比较器的输出结果为真,即在当前比特周期中的比特(n-1)和比特n之间发生了比特值从0到1的变化,则表明解调脉冲信号的边沿或者更具体地说上升沿出现在当前比特周期的第n个比特上,如图4所示。图4示出了根据本公开实施例的示例的表示检测到的脉冲边沿的位置的示意图,图中,阴影区域表示检测到的脉冲边沿所在的比特位置。替代地,可以使用本领域技术中的其他通用的边沿查找方法来确定解调脉冲信号的边沿。在获得解调脉冲信号的边沿之后,至少部分地根据该边沿计算脉冲信号的到达时间。

[0056] 根据本公开实施例的实现方式,处理单元1030可以被配置为根据边沿在解调脉冲信号中的比特位置、解调脉冲信号的时钟频率以及本地时间基准来计算脉冲信号的到达时间。对于分为N路并行的解调脉冲信号,可以根据式(2)计算脉冲信号的到达时间:

$$[0057] \quad TOA = T_0 + A * \frac{1}{f} + \frac{n}{N} * \frac{1}{f} \quad (2)$$

[0058] 其中, TOA表示脉冲信号的到达时间, T_0 为本地时间基准, A为检测到的脉冲边沿所在的比特周期数, f 为并行的调制脉冲信号的时钟频率, N为调制脉冲信号的并行路数, n为检测到的脉冲边沿所在的比特位置。

[0059] 在不需要脉冲信号的绝对到达时间的场景, 即不需要确定脉冲信号到达时间的具体年、月、日、时、分、秒的场景, 本地时间基准可以根据装置的系统时间确定, 例如由晶体振荡器、晶振控制芯片、电容等组成的时钟电路确定的系统时间, 或者, 在对精度要求更高的情况下采用原子钟确定本地时间基准。在需要脉冲信号的绝对到达时间的场景, 可以采用卫星导航系统确定的时间作为本地时间基准来计算脉冲信号到达时间。另外, 根据本公开实施例的实现方式, 如果仅希望测量两个脉冲信号的到达时间之差, 则不需要本地时间基准。

[0060] 根据本公开的装置测量得到的脉冲信号到达时间的精度取决于两个方面: 硬件的调制、解调速度和脉冲信号的发送、接收速度。例如, 在采用异或门和收发器的实现方式中, 脉冲信号到达时间的精度决定于异或门的操作速度和收发器的发送、接收速度, 如公式(2)所示, $N \times f$ 表示串行脉冲信号的速率, 因此, 异或门和收发器对脉冲信号的处理速度应至少大于或等于 $N \times f$, 此时, 脉冲信号到达时间的测量精度可表示为 $1/(N \times f)$ 。

[0061] 上面描述了根据本公开实施例的测量脉冲信号到达时间的装置, 能够对脉冲信号尤其是高速脉冲信号的到达时间实现高精度、高效率的测量。此外, 根据本公开实施例的装置无需对脉冲信号进行模拟采样, 从而无需使用模/数转换器及其配套电路, 而且, 根据本公开实施例的装置仅使用少量接口和少量逻辑资源, 不需要进行使用大量器件和存储资源的傅里叶运算, 从而精简了系统配置, 优化了系统性能, 且降低了系统成本。

[0062] 此外, 根据本公开的实施例的装置, 还可以用于测量脉冲信号的脉宽。具体地, 分别测量脉冲信号的下降沿到达时间和上升沿到达时间, 二者相减即可得到脉冲信号的脉宽。如上所述的处理单元1030的边沿查找过程确定的是解调脉冲信号的上升沿, 确定解调脉冲信号的下降沿的到达时间与上述过程类似。具体地, N个比较器比较相邻比特的值是否存在1到0的变化, 如果第n个比较器的输出结果为真, 则表明解调脉冲信号的下降沿出现在当前比特周期的第n个比特上, 从而根据公式(2)计算脉冲信号的下降沿到达时间。

[0063] 根据本公开实施例的测量脉冲信号到达时间的装置例如可以利用现场可编程门阵列(FPGA)或专用集成电路(ASIC)来实现。下面以FPGA为例描述根据本公开实施例的装置的具体实现。

[0064] 图5示出了根据本公开实施例的示例的测量脉冲信号到达时间的装置5000。装置5000可以包括: 调制器5010, 集成在FPGA内的解调器5020、处理器5030、第一码流发生器5040、第二码流发生器5050、相关器5060、收发器发送接口5071和接收接口5072, 模拟调制器5080以及开关5090。调制器5010可以被配置为利用第一码流对脉冲信号进行调制。解调器5020可以被配置为利用与调制脉冲信号同步的第二码流对调制脉冲信号进行解调。第一码流发生器5040和第二码流发生器5050可以分别类似于上面描述的第一码流发生器1040和第二码流发生器1050, 并且可以被配置为产生伪随机二进制序列(PRBS)。相关器5060包括多个比较器5061、检测器5062和选择器5063。

[0065] 在对脉冲信号进行测量前,首先进行同步操作。此时,将开关5090调节至“0”输入,即输入所有比特值均为0的全零序列;第一码流发生器5040生成分为N路并行的码流,经收发器发送接口5071进行并串转换后输出为串行的第一码流;串行的第一码流与全零序列在异或门5010处进行异或操作,生成串行的调制的第一码流;串行的调制的第一码流被收发器接收接口5072接收,并进行串并转换操作后转换为并行的N个子码流。同时,第二码流发生器5050产生与第一码流的码型相同的、具有不同相位的N个初始码流,并暂停运行,其中N个初始码流中的每个初始码流仅具有N个比特数据。由并行的N个子码流中的每个子码流的第一个比特数据组成的第一组N比特数据同时输入N个比较器 $5061C_0, 5061C_1, \dots, 5061C_{N-1}$ 中的每一个的输入端,同时,N个不同相位的初始码流分别输入N个比较器中的每一个的另一输入端,N个比较器中的每一个分别对第一组N比特数据和每个初始码流进行相关运算,并输出运算结果到检测器5062;如果检测器5062检测到相关峰,即表明调制的第一码流与N个不同相位的初始码流中的某个初始码流达到同步。另一方面,如果检测器5062没有检测到相关峰,则继续对由并行的N个子码流中的每个子码流的第二个比特数据组成的第二组N比特数据与N个不同相位的初始码流中的每个初始码流进行相关运算,并重复上述操作,直到检测器5062检测到相关峰。在检测到相关峰之后,即调制的第一码流与N个不同相位的初始码流中的某个初始码流达到同步,则将指示同步相位的同步信息输出到选择器5063,并通知第二码流发生器5050开始运行,选择器5063根据同步信息选择第二码流发生器5050生成的具有同步相位的码流作为与调制的第一码流同步的码流也即与调制脉冲信号同步的第二码流。需要说明的是,虽然在图5中示出的相关器5060包括N个不同的比较器 $5061C_0, 5061C_1, \dots, 5061C_{N-1}$,本公开的装置可以通过仅对一个比较器进行复用来实现;另外,虽然图5中示出的相关器5060包括选择器5063,选择器对于本公开的装置的实现不是必须的,例如,在确定了与调制的第一码流同步的初始码流之后,可以将第二码流发生器5050配置为根据同步相位产生第二码流,从而无需使用选择器。

[0066] 此时,将开关5090调节至“脉冲”输入,输入待测量的脉冲信号。脉冲信号经过模拟调理器5080进行放大或衰减后,输入调制器5010;第一码流发生器5040生成分为N路并行的码流,经收发器发送接口5071进行并串转换后输出为串行的第一码流;串行的第一码流与脉冲信号在调制器5010处进行异或操作,生成串行的调制脉冲信号;串行的调制脉冲信号被收发器接收接口5072接收,并进行串并转换操作后转换为并行的调制脉冲信号,输入解调器5020。由于调制脉冲信号与调制的第一码流经历了相同的调制、传输和串并转换,在装置5000的系统配置和设置保持恒定的情况下,与调制的第一码流同步的码流即为与调制脉冲信号同步的第二码流。需要说明的是,虽然在图5中示出了模拟调理器5080、开关5090,它们对于本公开的装置的实现不是必需的。例如,在不需要对脉冲信号进行幅度调整的一些实现方式中,可以不使用模拟调理器。例如,在一些实现方式中,脉冲信号和用于生成同步的第二码流的全零序列可以通过相互独立的通道输入装置5000,从而无需使用开关器件对脉冲信号和全零序列进行切换。

[0067] 接下来,利用与调制脉冲信号同步的第二码流对调制脉冲信号在解调器5020处进行异或操作,以解调得到解调脉冲信号,并输入处理器5030。处理器5030对解调脉冲信号进行诸如边沿查找的处理以获取解调脉冲信号的边沿,并根据公式(2)计算得到脉冲信号的到达时间。

[0068] 需要说明的是,在本公开的实现方式中,测量脉冲信号到达时间的装置可以不限于通过FPGA、ASIC等集成电路实现,例如,替代地,可以通过异或门、比较器、移位寄存器等电子元件的组合来实现。

[0069] 下面描述根据本公开实施例的测量脉冲信号到达时间的方法。图6示出了根据本公开实施例的测量脉冲信号到达时间的方法的流程图600。

[0070] 在步骤S602处,利用第一码流对脉冲信号进行调制以生成调制脉冲信号。第一码流可以是按照一定规律、一定周期生成的二进制序列,例如但不限于伪随机二进制序列(PRBS)。

[0071] 根据本公开实施例的实现方式,在步骤S602处,可以通过对脉冲信号和第一码流进行异或操作来对脉冲信号进行调制以生成调制脉冲信号。对于自身不携带时钟信息或稳定时钟信息的脉冲信号,可以通过将其与第一码流进行异或操作,使该脉冲信号具有和第一码流的周期有关的稳定时钟信息。此外,例如,对于幅度过大或过小的脉冲信号,可以在对其进行异或操作之前,对脉冲信号进行衰减、放大等操作,以使之符合异或操作的处理范围。经过与第一码流进行异或操作之后的脉冲信号,称之为调制脉冲信号。

[0072] 在实际应用中,需要测量到达时间的输入脉冲信号往往通过例如光纤或同轴电缆进行高速串行传输,即为串行脉冲信号,此时用来调制脉冲信号的第一码流可以是串行码流。根据本公开实施例的一个实现方式,串行的第一码流可以是接收的预定义码流。

[0073] 根据本公开实施例的另一实现方式,可选地,测量脉冲到达时间的方法还可以包括步骤S601,在步骤S601处,生成并行码流,并对并行码流进行并串转换以生成第一码流。具体地,在本公开实施例的实现方式中,所生成的并行码流可以是并行的PRBS码流,例如码型为PRBS 7、PRBS 9、PRBS 11、PRBS 15等等的并行的PRBS码流。接下来,对所生成的并行码流进行并串转换操作以生成串行的第一码流。

[0074] 根据本公开的实施例,在步骤S605处,利用与调制脉冲信号同步的第二码流对调制脉冲信号进行解调以生成解调脉冲信号。

[0075] 根据本公开实施例的实现方式,在步骤S605处,可以通过对调制脉冲信号和与调制脉冲信号同步的第二码流进行异或操作来对调制脉冲信号进行解调。第二码流可以是按照一定规律、一定周期生成的二进制序列,例如但不限于伪随机二进制序列(PRBS),第二码流与第一码流具有相同的码型,并且与调制脉冲信号同步,即与调制脉冲信号具有相同的相位延迟。第二码流例如可以是接收的与调制脉冲信号同步的预定义的第二码流。通过对调制脉冲信号和第二码流进行异或操作,得到能够直接表现输入脉冲信号的时间信息的解调脉冲信号。

[0076] 根据本公开实施例的实现方式,可选地,测量脉冲信号到达时间的方法还可以包括步骤S603,在步骤S603处,对调制脉冲信号进行串并转换以生成并行的调制脉冲信号。例如,对于与串行输入的高速脉冲信号进行调制得到的高速串行调制脉冲信号,为了提高信号处理效率、降低对系统硬件性能的要求,可以将串行的调制脉冲信号转换为并行的调制脉冲信号。对于串并转换得到的并行的调制脉冲信号,可以利用与该并行的调制脉冲信号同步的第二码流对其进行解调以生成并行的解调脉冲信号。

[0077] 根据本公开实施例的实现方式,可选地,测量脉冲信号到达时间的方法还可以包括步骤S604,在步骤S604处,生成与调制脉冲信号同步的第二码流。具体地,首先,利用第一

码流对全零序列进行调制以生成调制的第一码流;对所述调制的第一码流和与所述第一码流的码型相同的、具有不同相位的多个初始码流进行相关运算;根据所述相关运算的结果来生成所述与调制脉冲信号同步的第二码流。

[0078] 下面结合具体示例描述产生与调制脉冲信号同步的第二码流的过程。

[0079] 根据本公开实施例的一个示例,首先,从外部获取第一码流,或者生成第一码流;然后,利用第一码流对全零序列进行调制以生成调制的第一码流。全零序列为所有比特值均为0的序列。调制例如是如上所述的对第一码流和全零序列进行异或操作。在获得调制的第一码流后,可以对其进行串并转换以生成能够并行处理的多个子码流。在这里,调制的第一码流例如被转换为并行的N个子码流。在与全零序列进行调制后,第一码流的各比特值不会发生改变,但在经过调制、传输、串并转换等过程后,调制后的第一码流的相位发生了延迟。

[0080] 此时,产生与第一码流的码型相同的、具有不同相位的N个初始码流,用Phase i ($i=0,1,2,\dots,N-1$)表示。这里,码型相同意为初始码流与第一码流采用相同的预定义规律和周期生成,在采用PRBS码的实现方式中,则表示使用相同阶数的多项式生成,例如都采用PRBS 7码型,或者都采用PRBS 9码型。此时,在产生N个初始码流中的每个初始码流的N个比特数据后,码流发生器暂停运行。在图2中,T为初始码流的比特周期,在初始码流为PRBS码的实现方式中, $T=2^m-1$,其中m为PRBS码的阶数。在N个初始码流中,初始码流Phase i 与Phase $(i+1)$ 之间相差一个比特相位,即初始码流Phase $(i+1)$ 相比于初始码流Phase i 延迟了一个比特,如图2所示,其中,图2中的阴影区域表示比特0在当前比特周期的比特位置,初始码流Phase 1中的比特0与初始码流Phase 0中的比特0相差一个比特相位。

[0081] 接下来,对由并行的N个子码流中的每个子码流的第一个比特数据组成的第一组N比特数据和N个不同相位的Phase码流中的每个初始码流分别进行相关运算。如果第一组N比特数据与N个不同相位的初始码流中的一个初始码流Phase i ($i=0,1,2,\dots,N-1$)相同,则输出比较结果1,否则,输出比较结果0。对N个比较输出结果进行检测,如果检测到某个比较输出结果为1,例如,第*i*个比较输出结果为1,即出现相关峰,则表明调制的第一码流与初始码流Phase i 达到同步,即与初始码流Phase i 的相位相同。另一方面,如果没有检测到相关峰,即N个比较输出结果均为0,则继续对由并行的N个子码流中的每个子码流的第二个比特数据组成的第二组N比特数据与N个不同相位的初始码流中的每个初始码流进行相关运算,并重复上述操作,直到检测到相关峰,即调制的第一码流与N个不同相位的初始码流中的某个初始码流达到同步。此时,输出指示同步相位的同步信息,根据该同步信息生成与调制的第一码流同步的码流,也即如上所述与调制脉冲信号同步的第二码流。

[0082] 在上述操作中,由于在测量脉冲信号到达时间时,经历同样的调制、传输以及串并转换等操作后的调制脉冲信号具有与调制的第一码流相同的相位延迟,也就是说,所生成的与调制的第一码流同步的码流和调制脉冲信号也同步。在得到与调制脉冲信号同步的第二码流后,即可以利用该第二码流对调制脉冲信号进行解调。

[0083] 返回图6,根据本公开的实施例,在步骤S606处,处理解调脉冲信号以获取脉冲信号的到达时间。

[0084] 根据本公开实施例的实现方式,测量脉冲信号到达时间的方法还包括,在步骤S606处,对所述解调脉冲信号进行边沿查找以获取所述解调脉冲信号的边沿;至少部分地

根据所述边沿计算所述脉冲信号的到达时间。在本公开实施例的一个示例中,可以对脉冲信号进行边沿查找。例如,对于如上所述的分为N路并行的解调脉冲信号,分别对并行的解调脉冲信号进行边沿查找,即比较解调脉冲信号的相邻比特的值是否存在0到1的变化。首先,比较解调脉冲信号的当前比特周期(例如,当前比特周期为从第0个比特周期开始计数的第A个比特周期,如图4所示)中的比特0的值与上一个比特周期(即,第A-1个比特周期)中的比特(N-1)的值;比较解调脉冲信号的当前比特周期中的比特0的值与比特1的值;以此类推,比较解调脉冲信号的当前比特周期中的比特(N-2)的值与比特(N-1)的值,如果第n个比较输出结果为真,即在当前比特周期中的比特(n-1)和比特n之间发生了比特值从0到1的变化,则表明解调脉冲信号的边沿或者更具体地说上升沿出现在当前比特周期的第n个比特上,如图4所示。图4示出了根据本公开实施例的示例的表示检测到的脉冲边沿的位置的示意图,图中,阴影区域表示检测到的脉冲边沿所在的比特位置。替代地,可以使用本领域技术中的其他通用边沿查找方法来确定解调脉冲信号的边沿。在获得解调脉冲信号的边沿之后,至少部分地根据该边沿计算脉冲信号的到达时间。

[0085] 根据本公开实施例的实现方式,测量脉冲信号到达时间的方法还包括,在步骤S606处,根据边沿在解调脉冲信号中的比特位置、解调脉冲信号的时钟频率以及本地时间基准来计算脉冲信号的到达时间。例如,对于分为N路并行的解调脉冲信号,可以根据上式(2)计算脉冲信号的到达时间。

[0086] 在不需要脉冲信号的绝对到达时间的场景,即不需要确定脉冲信号到达时间的具体年、月、日、时、分、秒的场景,本地时间基准可以根据装置的系统时间确定,例如由晶体振荡器、晶振控制芯片、电容等组成的时钟电路确定的系统时间,或者在对精度要求更高的情况下采用原子钟确定本地时间基准。在需要脉冲信号的绝对到达时间的场景,可以采用卫星导航系统确定的时间作为本地时间基准来计算脉冲信号到达时间。另外,根据本公开实施例的实现方式,如果仅希望测量两个脉冲信号的到达时间之差,则可以不需要本地时间基准。

[0087] 上面描述了根据本公开实施例的测量脉冲信号到达时间的方法,能够对脉冲信号尤其是高速脉冲信号的到达时间实现高精度、高效率的测量。根据本公开实施例的方法无需对脉冲信号进行模拟采样,而且,根据本公开实施例的方法仅使用少量接口和少量逻辑资源,不需要进行使用大量器件和存储资源的傅里叶运算,从而精简了系统配置,优化了系统性能,且降低了系统成本。

[0088] 此外,根据本公开的实施例的方法,还可以用于测量脉冲信号的脉宽。具体地,分别测量脉冲信号的下降沿到达时间和上升沿到达时间,二者相减即可得到脉冲信号的脉宽。如上所述的边沿查找过程确定的是解调脉冲信号的上升沿,确定解调脉冲信号的下降沿的到达时间与上述过程类似。具体地,比较N组相邻比特的值是否存在1到0的变化,如果第n个比较输出结果为真,则表明解调脉冲信号的下降沿出现在当前比特周期的第n个比特上,从而根据公式(2)计算脉冲信号的下降沿到达时间。

[0089] 根据本公开实施例的测量脉冲信号到达时间的方法例如可以利用现场可编程门阵列(FPGA)或专用集成电路(ASIC)来实现。具体实现方法可以参照上述对测量脉冲信号到达时间的装置的FPGA实现的描述,在此不再赘述。

[0090] 本领域技术人员能够理解,本公开所披露的内容可以出现多种变型和改进。例如,

以上所描述的各种装置或组件可以通过硬件实现,也可以通过软件、固件、或者三者中的一些或全部的组合实现。

[0091] 此外,如本公开和权利要求书中所示,除非上下文明确提示例外情形,“一”、“一个”、“一种”和/或“该”等词并非特指单数,也可包括复数。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“包括”或者“包含”等类似的词语意指出现在该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。

[0092] 此外,本公开中使用了流程图用来说明根据本公开的实施例的方法的步骤。应当理解的是,前面或下面操作不一定按照顺序来精确地执行。相反,可以按照倒序或同时处理各种步骤。同时,也可以将其他操作添加到这些过程中,或从这些过程移除某一步或数步操作。

[0093] 除非另有定义,这里使用的所有术语(包括技术和科学术语)具有与本发明所属领域的普通技术人员共同理解的相同含义。还应当理解,诸如在通常字典里定义的那些术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义,而不应用理想化或极度形式化的意义来解释,除非这里明确地这样定义。

[0094] 以上对本公开进行了详细说明,但对于本领域技术人员而言,显然,本公开并非限定于本说明书中说明的实施方式。在不脱离由权利要求书的记载所确定的本公开的宗旨和范围的前提下,可以对本公开的示例性实施例进行许多修改和变型,所有这些修改和变型都包含在权利要求书所限定的本公开范围内。因此,本说明书的记载是示例说明为目的,对本公开而言并非具有任何限制性的意义。本公开由权利要求书及其等效物限定。

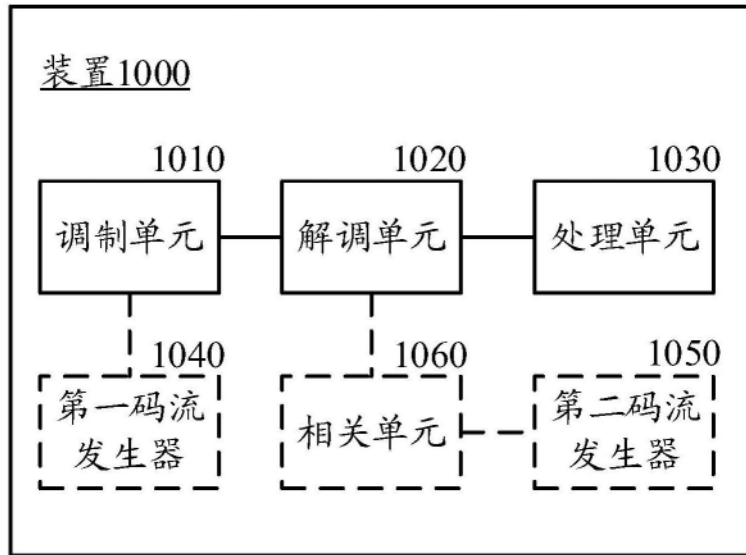


图1

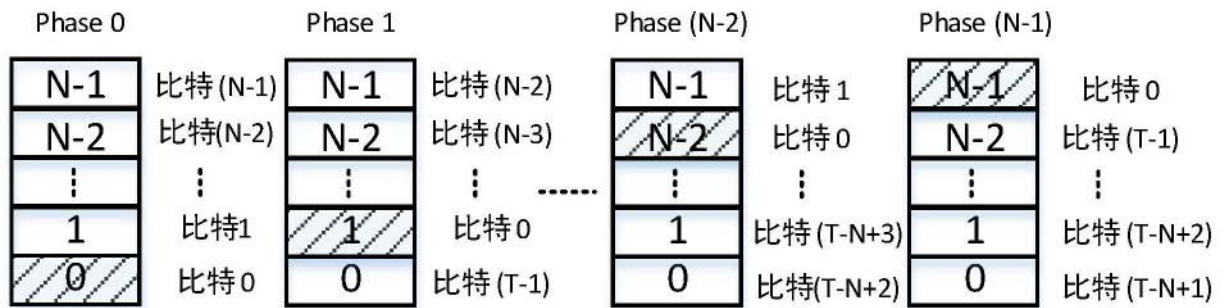


图2

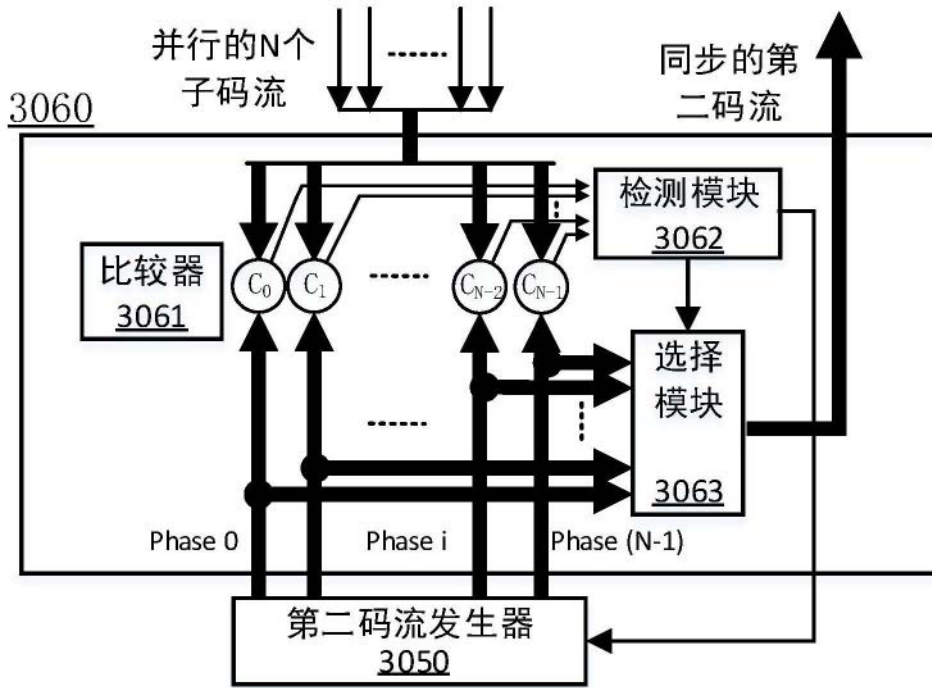


图3

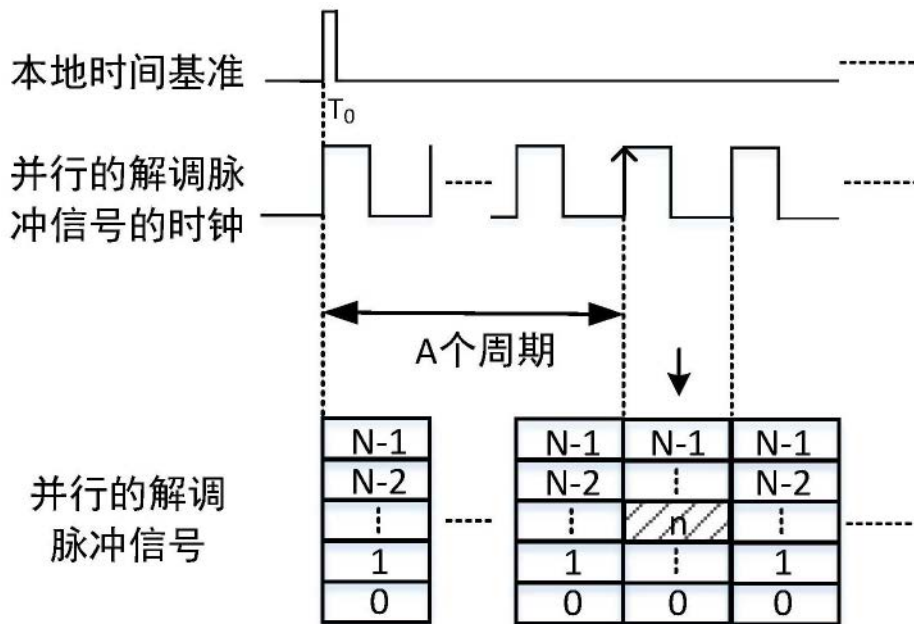


图4

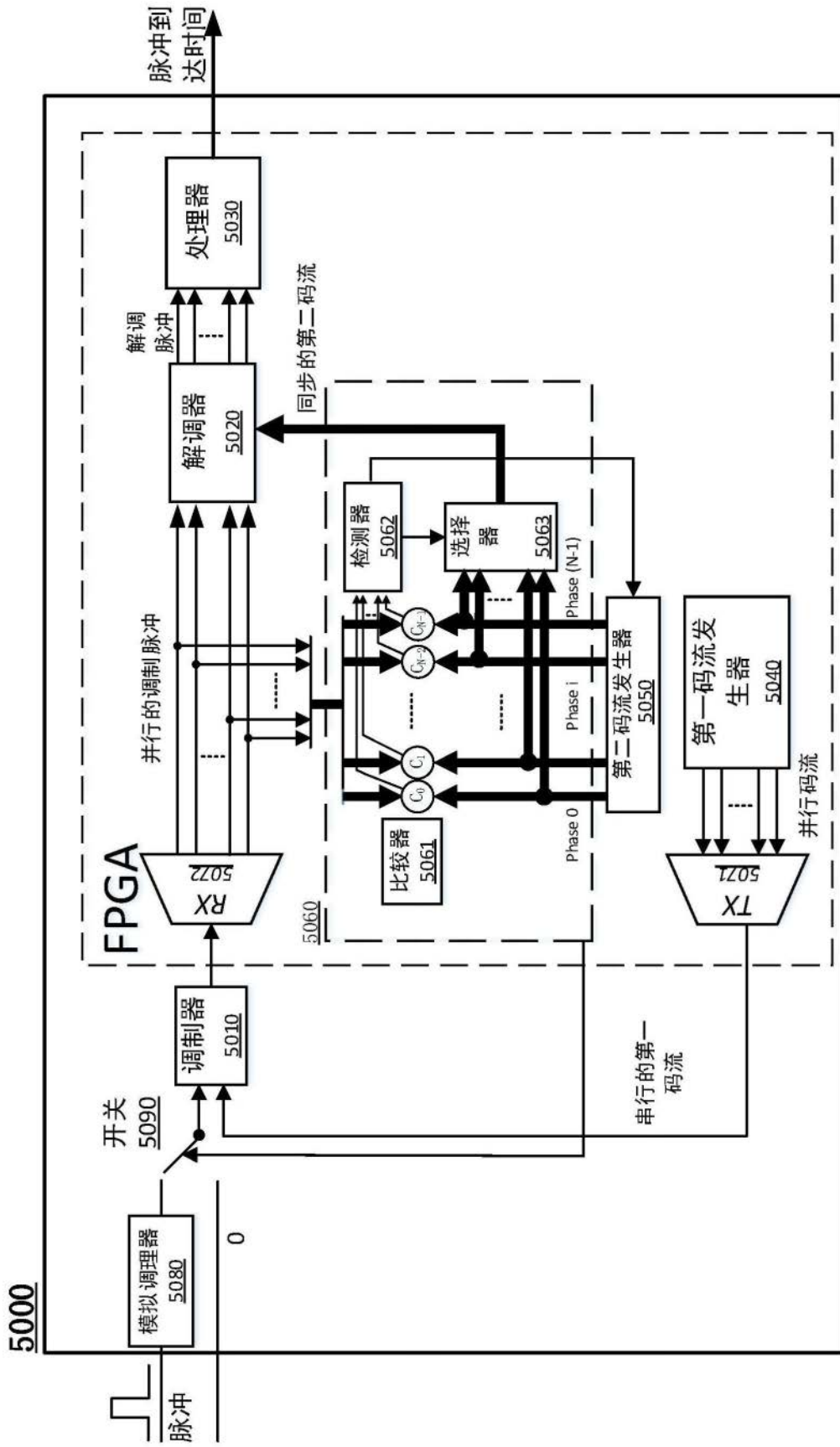


图5

600

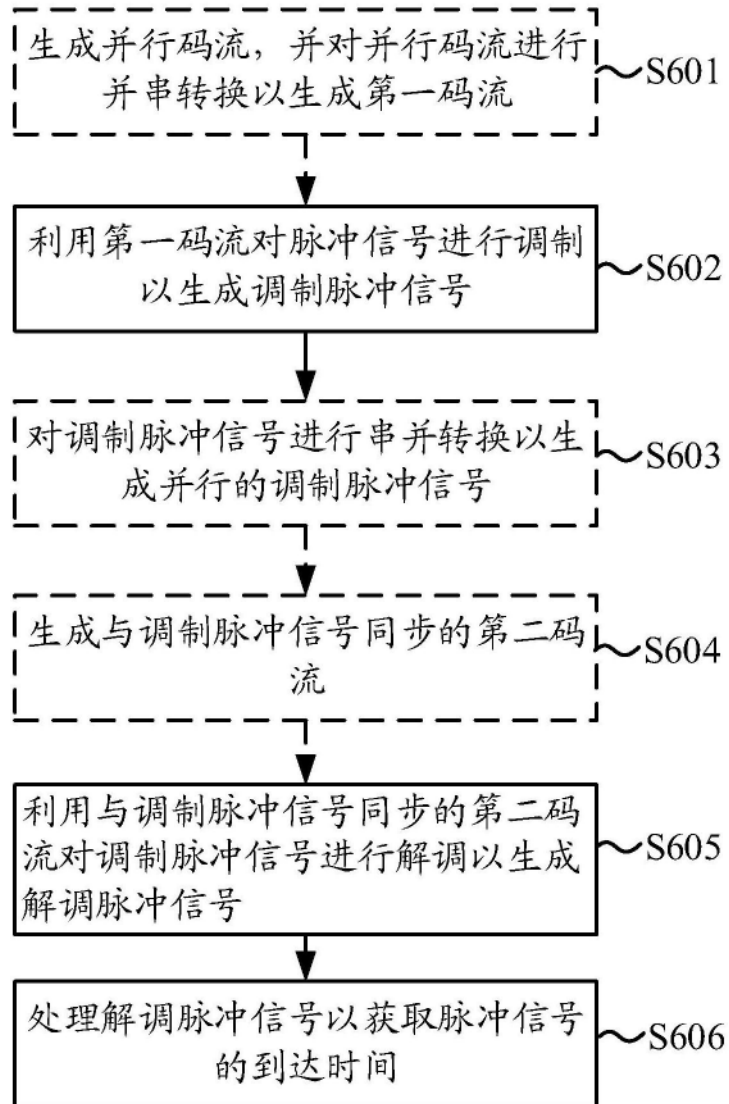


图6