

[12] 发明专利申请公开说明书

[21] 申请号 00803216.5

[43]公开日 2002年8月14日

[11]公开号 CN 1364264A

[22]申请日 2000.9.15 [21]申请号 00803216.5

[30]优先权

[32]1999.9.27 [33]US [31]09/406,649

[86]国际申请 PCT/EP00/09079 2000.9.15

[87]国际公布 WO01/24479 英 2001.4.5

[85]进入国家阶段日期 2001.7.27

[71]申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 S·巴纳杰

J·博尼特

[74]专利代理机构 中国专利代理(香港)有限公司

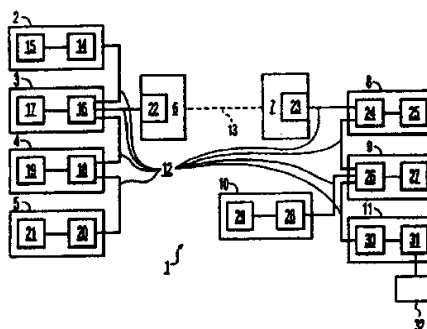
代理人 程天正 傅康

权利要求书3页 说明书10页 附图页数4页

[54]发明名称 数据通信系统的节点中多链路层到单个物理层的接口

[57]摘要

在一个具有多个节点的数据通信系统的节点中,多链路层接口电路被耦合到一个单个物理层接口电路,其中数据通信系统的同步和异步数据通过一个串行数据总线结构进行交换。该物理层接口电路有一个外部端口,通过该端口物理层接口电路连接到串行总线结构。物理层接口电路通过双向交换装置耦合到链路层接口电路。逻辑电路控制着双向交换装置,并且根据存储在链路层接口电路的配置寄存器中的配置信息和它本身的编程,逻辑电路控制着同步和异步数据流从链路层接口电路到物理层接口电路以及从物理层接口电路到链路层接口电路的路由。



ISSN 1008-4274

权 利 要 求 书

1.一种数据通信系统(1), 包含:

多个节点(2, 3, 4, 5, 6, 7, 8, 9, 10, 11);

5 用于在所述的节点(2, 3, 4, 5, 6, 7, 8, 9, 10, 11)间串行
交换同步数据和异步数据的串行总线结构(12);

包含在所述的节点之一中的物理层接口电路(81), 所述的物理
层接口电路(81)包含与所述的串行总线结构(12)相耦合的外部端
口(82, 83, 84)、内部并行数据接口(91)和控制接口(94);

10 包含在所述的一个节点中的多个链路层接口电路, 每个所述的链
路层接口包含另外的内部并行数据接口和另外的控制接口;

多个双向交换装置(88, 89, 90), 在一侧所有的所述的双向交
换装置(88, 89, 90)与所述的内部并行数据接口(91)相耦合, 而
在另一侧每个所述的双向交换装置与所述的另外的内部并行数据接
口中相应的一个相耦合; 以及

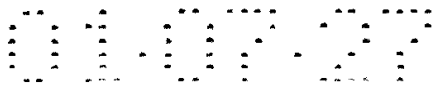
15 包含在所述的一个节点中的逻辑电路(93), 所述的逻辑电路(93)
被耦合在所述的物理层接口电路(81)的所述控制接口(94)和所述
的多个链路层接口(85, 86, 87)的所述的另外控制接口之间, 所述
的逻辑电路(93)用于选择地将同步数据流和异步数据流从所述的链
路层接口电路(85, 86, 87)路由到所述的物理层接口电路(81)和
20 从所述的物理层接口电路(81)路由到所述的链路层接口电路(85,
86, 87)。

2.权利要求1的数据通信系统(1), 其中所述的每个链路层接口
电路(85)包含至少一个外部同步数据端口(116, 117), 用于耦合
到那些在所述一个节点的外部的外部装置。

25 3.权利要求2的数据通信系统(1), 其中所述的至少一个外部同
步数据端口(116, 117)在全双工模式下工作。

4.权利要求2的数据通信系统(1), 其中所述的外部装置是数字
音频或数字视频装置。

5.权利要求1的数据通信系统(1), 其中所述的链路层接口电路
30 (85, 86, 87)包含各自的配置寄存器(100, 101, 102), 用于配置所
述的链路层接口电路, 以及包含外部主机接口(110), 用于耦合一
个主机控制装置(112), 所述的主机控制装置(112)配置为通过提供



说明书

数据通信系统的节点中 多链路层到单个物理层的接口

5 发明背景

1.发明领域

本发明涉及一个数据通信系统，在该系统中多个节点通过传送同步和异步数据分组的高性能串行总线连接起来。这样的高性能串行总线是基于 IEEE 1394 标准，或类似的标准。同步数据分组包含数字音频或视频数据，或者其它合适数据。

2.相关技术描述

在关于高性能串行总线的 P1394 标准，即 1995 年 10 月 16 日公开的 P1394 草案 8.0v3 第 30-31, 151-152, 154, 161-163, 345-357 页中，对同步和异步数据通信进行了描述。在第 30, 31, 151-152, 154 和 163 页上，同步和异步消息的消息格式得到描述。在附录 J 的第 345-357 页中，给出了用于把物理层接口电路和链路层接口内部地对接起来的接口规范。在根据 IEEE 1394 标准的数据通信系统中，通过一个端口将物理层接口外部连接到一个电缆。该电缆传送高速同步数据和不太关键的异步数据，同步数据是如典型的数字音频或视频数据或必须实时服务的其它高速数据，异步数据是如从一个音频或视频装置到另一个音频或视频装置的遥控数据。这样的音频和视频装置的例子是电视机、TV/VCR 组合装置、照相机、DVD、机顶盒、便携摄像机等等。物理层接口控制着链路层接口的定时。通过链路层接口的配置，同步数据速率得到设定，典型的速率为 100Mbit/s、200Mbit/s、400Mbit/s 或甚至更高的速率。对于 100Mbit/s 的速率，物理层接口和链路层接口之间的数据通过一个两位并行总线进行交换。对于 200Mbit/s 和 400Mbit/s 的速率，分别使用 4 位和 8 位的并行总线。取决于驱动接口，3 个或 4 个基本操作在内部并行总线上通过 2 位控制总线的判断而区分开来。当物理层接口正在驱动时，操作是空闲、状态、接收、和发送四种。当链路层正在驱动时，操作是空闲、保持和传送。各种操作的请求是通过在物理层接口和链路层接口之间的串行请求线路上传送请求实现的，这样的请求包括请求、速度的类型、读

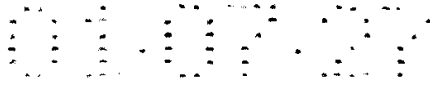
或写。请求类型包括内部总线的即时控制，或者用作同步数据的传送和判优。在第 353 页，描述了一个寄存器图，包含一个地址寄存器，用于标识其中包含物理层接口的数据通信系统的一个节点。由物理层接口产生的时钟信号控制着同步数据流的定时，这个定时典型的是一个 125 微秒的周期。物理层和链路层接口的组合通常在系统的节点中实现，作为两个芯片的一个芯片集。因此，外部连接到链路的物理装置能够向高性能串行总线发送和从其接收高速同步数据流，不同装置的数据流在时分复用或时间共享的基础上得到服务。

在飞利浦 1999 年 3 月 10 日的数据单“PDI1394P11A 3 端口物理层接口”中，一个用于 IEEE1394-1395 系统的 3 端口物理层接口芯片得到说明。在第 4 页，表示了与链路层接口的对接，正如飞利浦 1999 年 3 月 30 日的数据单“PDI1394L21 1394 全双工 AV 链路层控制器”描述的那样。在数据单 PDI1394L21 的第 4 页，链路层接口与两个音频/视频同步发送器/接收器的耦合，以及其进一步与一个主机接口的耦合得到显示。主机接口能被耦合到一个用于配置接口的外部处理器。

在 IEEE 1394 公开的 PHY/LINK 接口中，还有在所述的飞利浦数据单说明的 PHY/LINK 接口中，同步数据流的服务受到限制。在根据 IEEE 1394 标准的一个简单配置中，仅仅单个外部源如音频或视频装置的半双工同步通信能够得到服务。在飞利浦的 PHY/LINK/AV 接口中，两个半双工同步数据流或一个全双工同步数据流能在某个时间得到服务。特别是当在所谓的桥中采用 PHY/LINK 接口来桥接本地 IEEE 1394 子系统时，这样的限制是不利的。

在 SONY 的初级数据单“CXD 1947Q”中，一个对接到 PCI 总线接口的 IEEE 1394 链路层接口得到公开，该接口用于耦合一个物理层接口电路和一个 PCI 总线。

在由 S.Mazor 等编写，Kluwer 学术出版社 1993 年出版的手册“VHDL 指导”中，VHDL, VHSIC 硬件描述语言，甚高速集成电路得到说明。VHDL 是一个工具，用于使芯片设计者实现芯片的功能，特别是逻辑电路的功能。逻辑功能用高级语言进行描述，也通过编译器和仿真器来在芯片中实现逻辑结构。因此，提供了一种合适工具，用于为逻辑电路编程，比如 FPLA，区域可编程逻辑阵列，而不需要



象简单门电路那样，必须通过非常复杂但实际上并不灵活的逻辑电路设计来实现。

在德州仪器 1998 年 9 月的数据手册“TSB12LV31”中，在其中的第 3-2 页，公开了一个具有两个同步接收端口的 IEEE 1394-1395 链路层控制器，它具有一个可编程同步信道号。

发明简述

本发明的目的是，在具有通过高性能串行总线结构耦合在一起的多个节点的数据通信系统的一个节点中，提供一种物理层和链路层接口结构，其中多个同步数据流能以经济和灵活的方式得到服务。

本发明的另一个目的是提供这样的特别适合在 IEEE 1394 桥中实现的物理层和链路层结构。

本发明还有另一个目的是提供一种装置，用于根据同步数据流和异步数据流的期望分布而方便地配置这样的物理层和链路层结构。

本发明还有另一个目的是提供一种寻址机制，用于在这样的物理层和链路层接口结构中为同步数据分组和异步数据分组寻址。

依照本发明，提供一种数据通信系统，包含：

多个节点；

用于在所述的节点间串行交换同步数据和异步数据的串行总线结构；

包含在所述的节点之一中的物理层接口电路，所述的物理层接口电路包含与所述的串行总线结构相耦合的外部端口、内部并行数据接口和控制接口；

包含在所述的一个节点中的多个链路层接口电路，每个所述的链路层接口包含另外的内部并行数据接口和另外的控制接口；

多个双向交换装置，在一侧所有的所述双向交换装置与所述的内部并行数据接口相耦合，而在另一侧每个所述的双向交换装置与所述的另外的内部并行数据接口中相应的一个相耦合；以及

包含在所述的一个节点中的逻辑电路，所述的逻辑电路被耦合在所述的物理层接口电路的所述控制接口和所述的多个链路层接口的所述另外控制接口之间，所述的逻辑电路用于选择地将同步数据流和异步数据流从所述的链路层接口电路路由到所述的物理层接口电路和从所述的物理层接口电路路由到所述的链路层接口电路。

优选地，链路层接口电路具有外部端口，用于与外部装置如数字音频和视频装置进行全双工数据通信。

5 优选地，链路层接口电路具有能够由外部装置如主机控制器来访问的配置寄存器。通过这样的主机控制器，通过节点的数据流路由能够被很灵活地编程。

优选地，物理层接口产生控制同步和异步数据流的周期性定时的主时钟。

10 优选地，为同步数据业务保留了保证周期，如果当前同步数据业务少于保留的保证周期，则为异步数据业务保留额外时间，以便数据业务资源以灵活的方式分配并且仍将优先级分配给实时同步数据业务。

15 优选地，在节点内部，链路层接口电路通过全局唯一的标识符进行寻址，其中一个链路层接口对于外部请求者是一个主链路层接口电路，而另一个链路层接口电路是从属者，以便外部请求者能够容易地对链路层接口电路寻址。

优选地，主链路层接口以偏移值存储从属链路层接口电路的配置寄存器的拷贝，以致允许请求者访问一个特定的链路层接口电路。

优选地，异步分组具备一个唯一的标签，以致允许外部装置访问特定的链路层接口电路。

20 附图简述

图 1 简要说明根据本发明的具有多个节点的一个数据通信系统。

图 2 简要说明根据本发明的一个桥节点。

图 3 表示根据本发明的 TV-VCR 组合节点。

25 图 4 表示在根据本发明的数据通信系统中的混合同步和异步业务。

图 5 表示在根据本发明的数据通信系统中，传送同步或异步数据分组的 ATM 分组。

图 6 表示根据本发明、用于数据通信系统的一个节点中的物理层和链路层电路。

30 图 7 表示用于控制链路的主机接口电路

在这些图中，同样的参考编号表示相同的特征。

优选实施例描述

图 1 简要说明了一个数据通信系统 1。数据通信网 1 包含节点 2, 3, 4, 5, 6, 7, 8, 9, 10 和 11。在列举的例子中, 节点 2-11 包含物理层接口电路功能和链路层接口电路功能, 这些功能与如 1995 年 10 月 16 日出版的所述 P1394 草案 8.0v3 中描述的高性能串行总线的 IEEE 1394 标准一致, 根据本发明的更多功能将在下文详细描述。节点 2-11 与用于在节点 2-11 之间串行交换同步数据和异步数据的串行总线结构 12 相耦合。根据 IEEE 1394 标准, 同步数据在信道中传送, 其中异步分组通过源地址和目的地址进行区分。节点 6 和节点 7 是桥节点, 它们通过通信链路 (如远程 ATM 链路 13) 与本地 IEEE 1394 总线结构相耦合。其它的通信链路是例如有线或无线的电话链路。所有的链路层接口电路能与包含链路层接口电路的电子装置中的同步和异步数据流相耦合。电子装置中的这种内部耦合在本领域是众所周知的, 它不是本发明的一部分。节点 2 是一个具有 IEEE 1394 物理层接口电路 14 和 IEEE 1394 链路层接口电路 15 的 VCR。节点 3 是一个具有物理层接口电路 16 和链路层接口电路 17 的 HDTV 电视机。节点 4 是一个具有物理层接口电路 18 和链路层接口电路 19 的数字扬声器装置。节点 5 是一个具有物理层接口电路 20 和链路层接口电路 21 的便携式摄像机。桥节点 6 包含物理层接口电路 22, 而桥节点 7 包含物理层接口电路 23。节点 8 是一个具有物理层接口电路 24 和链路层接口电路 25 的 VCR。节点 9 是一个具有物理层接口电路 26 和链路层接口电路 27 的 DVD 播放机。节点 10 是一个具有物理层接口电路 28 和链路层接口电路 29 的数字相机。节点 11 是一个具有物理层接口电路 30 和链路层接口电路 31 的机顶盒。节点 11 与电视机 32 相耦合。桥节点 6 和 7 中的每一个均有多个链路层接口电路以便几个同步和异步数据流能够通过链路 13 并行传送。节点 2-5 以及 8-11 分别构成本地 IEEE 1394 子系统。在某个特定时刻, VCR 2 发送一个同步数据流到电视机 32, DVD 播放机 9 发送一个同步数据流到电视机 3, VCR 8 发送一个同步数据流到电视机 3, 便携式摄像机 5 发送一个同步数据流到照相机 10, 异步控制业务也可以被发送。最后, 在某个特定时刻, 电视机 3 控制 VCR 停止、快进、倒带等等。在列举的例子中, 在链路层接口电路外部的装置是数字音频和数字视频装置。本发明不仅不限于这样的音频和视频装置, 而且也不限于其它可以包含在数据通信

系统中的合适装置，如通信装置、测试装置等等。

图 2 简要说明桥节点 6。除了物理层接口电路 22 以外，桥节点 6 包含链路层接口电路 40，41，42 和 43，这些链路层接口电路与物理层接口电路 22 通过接口 44 相耦合。将接口 44 配置为把同步和异步业务有选择地从链路层接口电路 40-43 发送到物理层接口电路 22，以及从物理层接口电路 22 发送到链路层接口电路 40-43。桥节点 6 进一步包含一个 ATM 接口电路 45。通过合适的寻址和分组变换技术，将 IEEE 1394 同步和异步数据分组变换为 ATM 分组并正确地路由到桥节点 7，在桥节点 7 中将接收的 ATM 分组变换为 IEEE 1394 分组并且正确地路由到包含在桥节点 7 中的链路层接口电路。接下来，寻址技术将得到详细的描述。

图 3 表示一个适用于数据通信系统 1 的 TV-VCR 组合节点 50。TV-VCR 组合节点 50 包含物理层接口电路 51，其中物理层接口电路 51 具有与 IEEE 1394 外部总线结构 12 耦合的外部端口 52，53 和 54。TV-VCR 组合节点 50 包含一个电视部分 55 和一个 VCR 部分 56，它们分别与链路层接口电路 57 和 58 相耦合。链路层接口电路 57 和 58 通过一种类似于包含在桥节点 6 中的接口 44 的逻辑电路 59 与物理层接口电路 51 相耦合。TV-VCR 组合节点 50 包含在 TV-VCR 组合装置中。在另一个实施例中，外部装置与包含在节点中的链路层接口电路通过外部同步数据端口相耦合，能够操作在半双工或全双工模式。

图 4 表示在数据通信系统 1 的总线结构 12 中的混合同步和异步业务，它是时间 t 的一个函数。业务由一个主时钟信号 60 控制，其时钟周期为 125 微秒。在 125 微秒的周期内，得到保证的时间部分 61 如 100 微秒是为同步数据流保留的。剩余的时间部分 62 预定用于异步业务。如果当前的同步数据流需要的时间少于保证时间部分 61，则用于异步业务的时间部分可以动态增加，超过剩余的时间部分 62。图中表示了同步分组 63，64 和 65 以及异步数据分组 66。

图 5 表示在数据通信系统 1 中传送同步或异步数据分组的 ATM 分组 70。ATM 分组 70 通过 ATM 链路 13 传送。除了 ATM 分组头 71 和净荷 72 以数据形式传送外，ATM 分组包含寻址信息 73 来区分包含在桥节点 6 中的链路层接口电路。如果 ATM 分组 70 是一个传送同步数据的分组，则地址信息是信道号 74。如果 ATM 分组 70 是一

个传送异步数据的分组，则寻址信息是例如定义在所述的 P1394 标准第 151 页中的、所谓的交易标签 75。由于在根据本发明的多链路层接口电路节点中所有的链路层接口电路有同样的节点地址，所以相互不包含的交易标签被用于区分节点内的各个链路层接口电路。在 IEEE 1394 中，6 比特交易标签地址空间包含 64 个不同的数码，这些数码被分配到包含在节点中的链路层接口电路中。

图 6 表示物理层和链路层电路 80，用于数据通信系统 1 的节点，如桥节点 6 和 7，或 TV-VCR 组合节点 50 中。电路 80 包含 IEEE 1394 物理层接口电路 81，该电路具有 3 个外部端口 82，83 和 84，用于与 IEEE 1394 串行总线结构 12 和多个 IEEE 1394 链路层接口电路 85，86 和 87 耦合。用链路层接口电路 85 和 86 之间的虚线来指示链路层接口电路的数目是可扩充的，也就是根据要与串行总线结构 12 相耦合的外部装置的具体配置并因此根据对同步信道的需求，来相应选定链路层接口电路的数目。电路 80 进一步包含双向总线交换装置 88，89 和 90，用于把各个链路层接口电路 85，86 和 87 与物理层接口电路 81 相耦合。在列举的例子中，一个 8 比特内部数据总线 91 用于在链路层接口电路 85，86 和 87 与物理层接口电路 81 之间传送数据。对于 100Mbit/s 的数据速率，需要使用两条数据总线线路，对于 200Mbit/s 和 400Mbit/s 的数据速率，分别需要使用 4 条和 8 条数据总线线路。电路 80 进一步包含一个系统时钟缓冲区 92，用于缓冲如图 4 所示并由物理层接口电路 81 产生的主时钟信号 60。系统时钟缓冲区 92 与链路层接口电路 85，86 和 87 相耦合，以便主时钟信号 60 控制链路层接口电路 85，86 和 87 的定时。电路 80 还进一步包含一个逻辑电路 93。逻辑电路 93 与控制总线或接口相耦合，该控制总线或接口包含一个控制线 95 和第二控制线 96 以及一个链路请求线 97。在所述的 P1394 标准的第 345-357 页特别是第 345-347 页所述的 IEEE 1394 的术语中，控制线 95 和 96 定义了四种操作。当物理层接口电路 81 驱动内部总线 91 时，操作为空闲、状态、接收和发送，指示一个待用总线，发送状态信息，传送输入数据分组，或发送分组。当链路层接口电路驱动内部总线 91 时，操作为空闲、保持、或传送，第四种操作没有使用，指示发送完成和释放总线，由链路保持总线，以及由链路发送分组。逻辑电路 93 通过总线 98 启动/关闭信号控制双向交换

装置 88, 89 和 90。链路层接口电路 85, 86 和 87 包含各个配置寄存器 100, 101 和 102, 还有各个寄存器 103, 104 和 105 来存储各个全局唯一标识符 106, 107 和 108, 以便全局地区分链路层接口电路 85, 86 和 87。配置寄存器存储链路层接口电路的当前配置信息, 配置信息是依照所述的德州仪器数据手册“TSB12LV31”第 3-2 页所述的形式, 描述了一个两同步信道的链路层接口电路, 如同步信道的信道号码。根据全局唯一标识符值, 逻辑电路 93 被编程以分配链路层接口电路 85, 86 和 87 之一作为主链路层接口电路, 并且将剩下的链路层接口电路作为从属链路层接口电路。在一个实施例中, 具有最大全局唯一标识符值的链路层接口电路变成主链路层接口电路。依照主/从和全局唯一标识符原理, 用于多链路层接口电路节点的读/写/锁定异步请求能够被处理。在多链路层接口电路节点中从物理链路层接口电路到链路层接口电路的方向上, 来自外部节点的请求直接发送到主链路层接口电路。为此, 物理层接口电路在控制线 95 和 96 上肯定一个接收模式, 直到请求者分组的最后符号得到传送。当在控制线 95 和 96 上检测到接收模式后, 逻辑电路 93 启动全部的双向交换装置 88, 89 和 90, 以便将请求者的分组发送到所有的链路层接口电路 85, 86 和 87。通过正确的配置, 具体的链路能够被配置为丢弃所有的异步分组, 或在预设的信道上接收同步分组。于是, 一个链路层接口电路能够在信道 0 和 1 上过滤同步分组, 而另一个链路层接口电路在例如信道 6 和 22 过滤同步分组。在另一个例子中, 链路层接口电路能够被配置为不接受来自串行总线结构 12 的任意串行分组, 或配置为仅能传送同步分组。通过提供一个特殊的全局唯一值来指示该节点是多链路层接口电路节点, 并通过提供出现在多链路层接口电路节点中的链路层接口电路的数量, 主接口电路对发出请求的节点作出响应。主接口电路还以偏移值存储着从属接口电路的配置寄存器的拷贝, 以便发出请求的节点能使用该偏移值找到具体节点的地址。发送到请求节点的地址是目的地标识, 该标识在多链路层接口电路节点中对于所有的链路层接口电路是相同的, 并且该地址是一个在该多链路层接口电路节点中区分一个具体的链路层接口电路的目的地偏移值。

不使用偏移值, 也能完成直接寻址。首先, 通过具体的全局唯一标识符, 主电路接口通告请求者该节点是多链路层接口电路节点, 并

且通告请求者关于包含在多链路层接口电路节点中的链路层接口电路的数目。接着，发出请求的节点轮询在多链路层接口电路节点中的链路层接口电路，以找到哪个链路层接口电路是所期望的。例如，对于具有 8 个链路层接口电路的情形下的每个响应，一个 3 比特链路层接口电路标识符被提供给发出请求的节点。在轮询时，发出请求的外部节点采用期望的链路层接口电路的标识符直接对期望的链路层接口电路寻址。

在从多链路层接口电路节点的链路层接口电路到物理层接口电路的方向上，所述的交易标签用于区分在多链路层接口电路节点上由具体链路层接口电路启动的一个交易，例如，VCR 使用具体的链路层接口电路发送一个到电视机的请求，来查询是否该电视机是空闲的。电视机使用具体链路层接口电路的交易标签作出响应。

列举一个来自外部节点的请求的例子，VCR 8 要发送一个同步数据流到 HDTV 3。HDTV 3 当前配置在链路层接口电路 40 的同步信道 11 上。首先，VCR 8 提交一个读请求来读取 HDTV 的配置寄存器，配置寄存器存储在如图 6 所示的那种电路 40 中。在读取后，当它收到 HDTV 空闲响应时，VCR 8 提交一个锁定请求，为 HDTV 3 作出保留。如果得到保证，则 VCR 8 锁定信道 11 以便另一个设备不能再与 VCR 竞争。因此，VCR8 开始在信道 11 上进行写操作，以便提交其同步数据流到 HDTV 3。在该例子中，采用如前所述的寻址技术。

对于一个链路层接口电路到物理层接口的通信，来自单个请求者和多个请求者的请求是不同的。在所述的 P1394 标准中，定义了 7 种请求。参见 P1394 标准的表 5.12。在一个单个请求者的情况下，逻辑电路 93 肯定一个启动信号到与单个请求者耦合的双向交换装置，并且肯定一个关闭信号到其它双向交换装置。在多个请求者的情况下，控制逻辑 93 存储所有的请求，并且以循环的顺序转发存储的请求到多链路层接口电路节点的物理层接口电路。逻辑电路 93 可以进行编程来丢弃那些等待时间超过预定等待时间的排队请求。如果希望，则可将优先级方案用于循环机制。举例来说，链路层接口电路 85 当前正发送一个分组到物理层接口电路 81。链路层接口电路 87 也想发送一个分组到物理层接口电路 81。当链路层接口电路 87 看到控制总线 94 处于空闲模式时，它发送总线请求到物理层接口电路 81。该总线

说明书附图

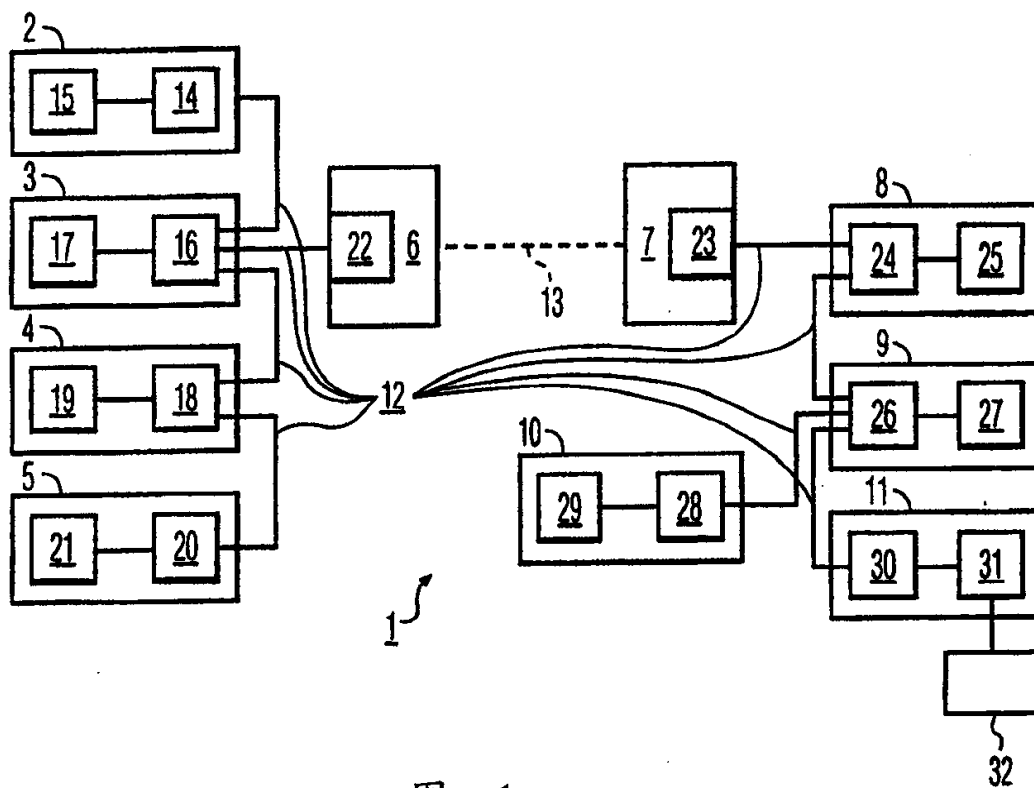


图 1

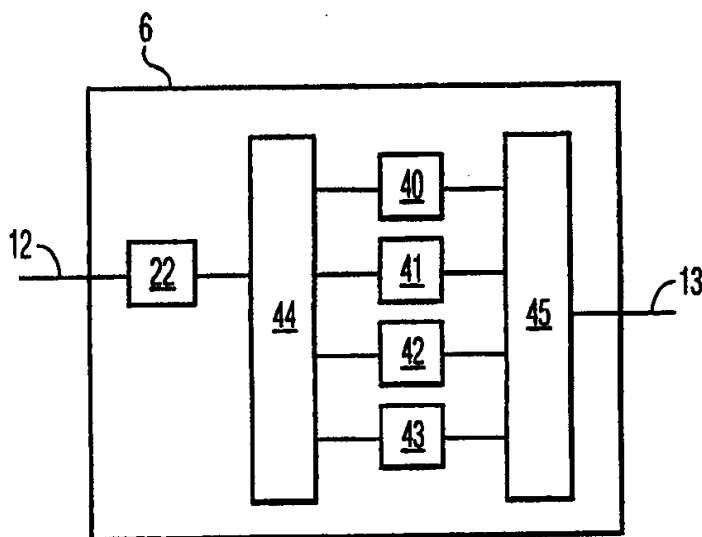


图 2

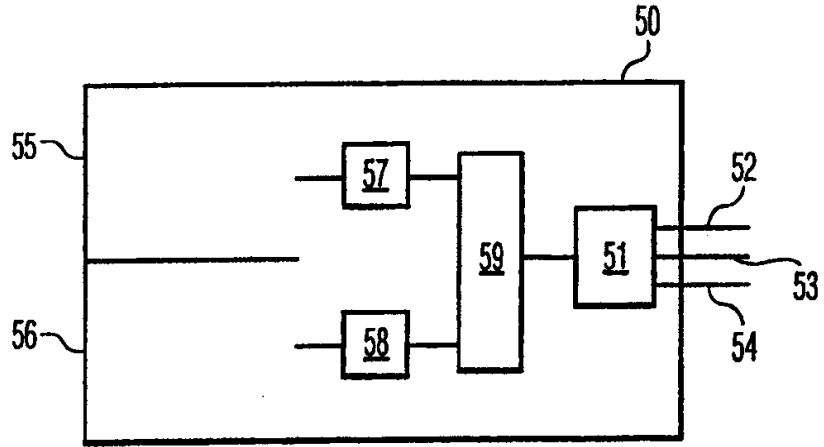


图 3

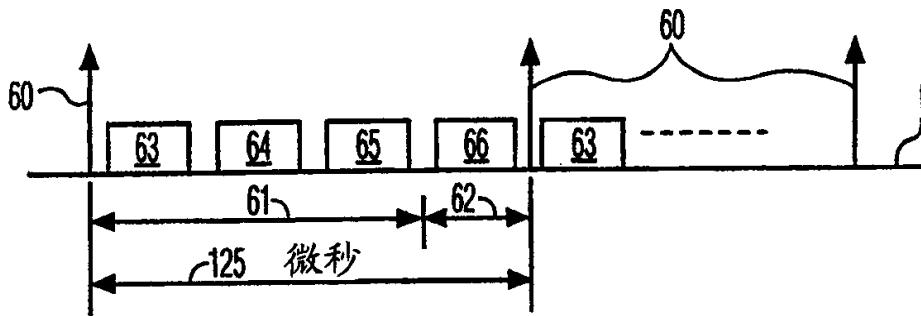


图 4

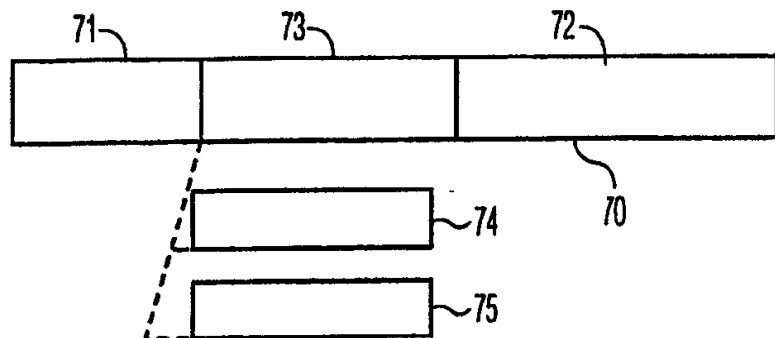


图 5

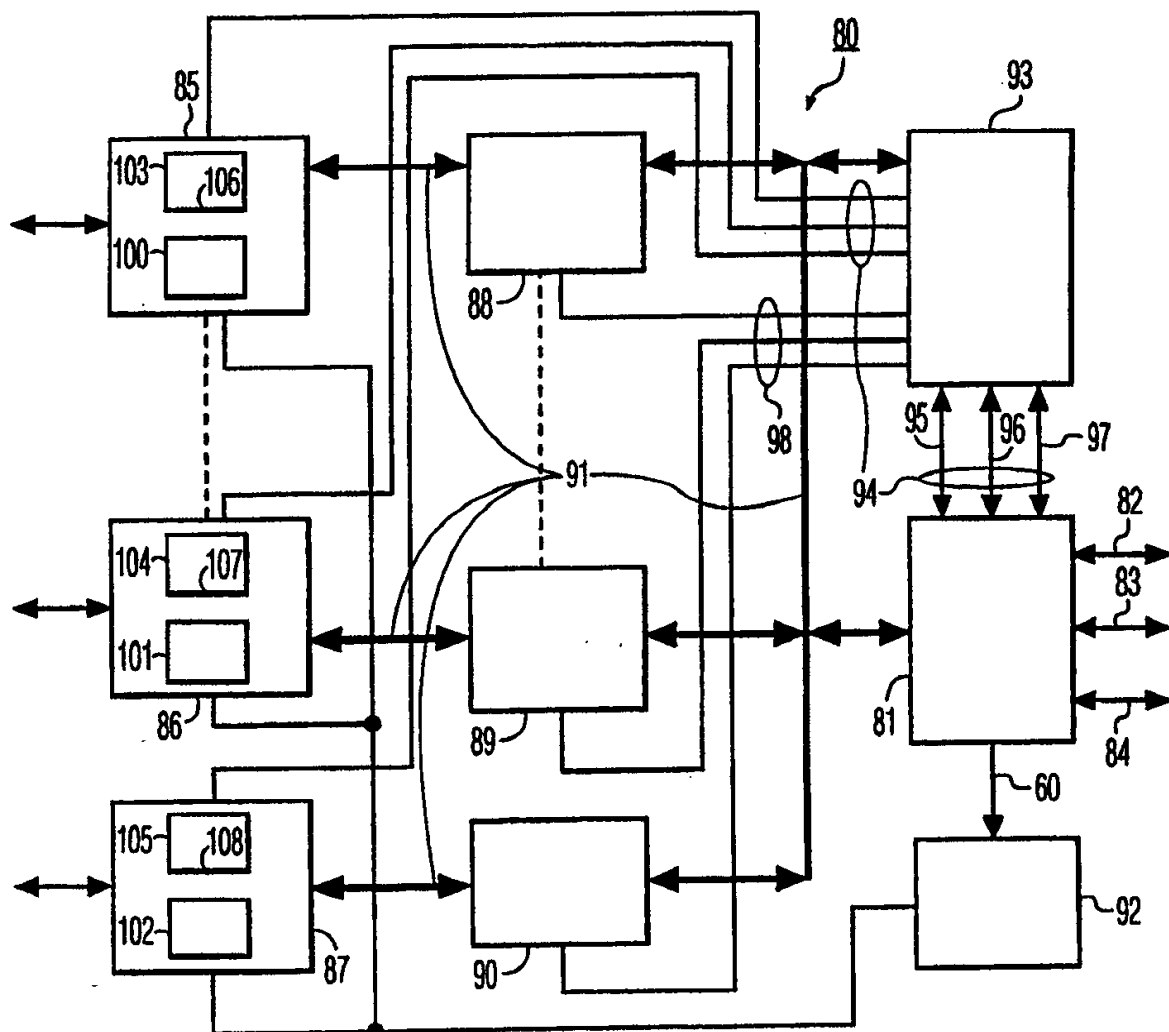


图 6

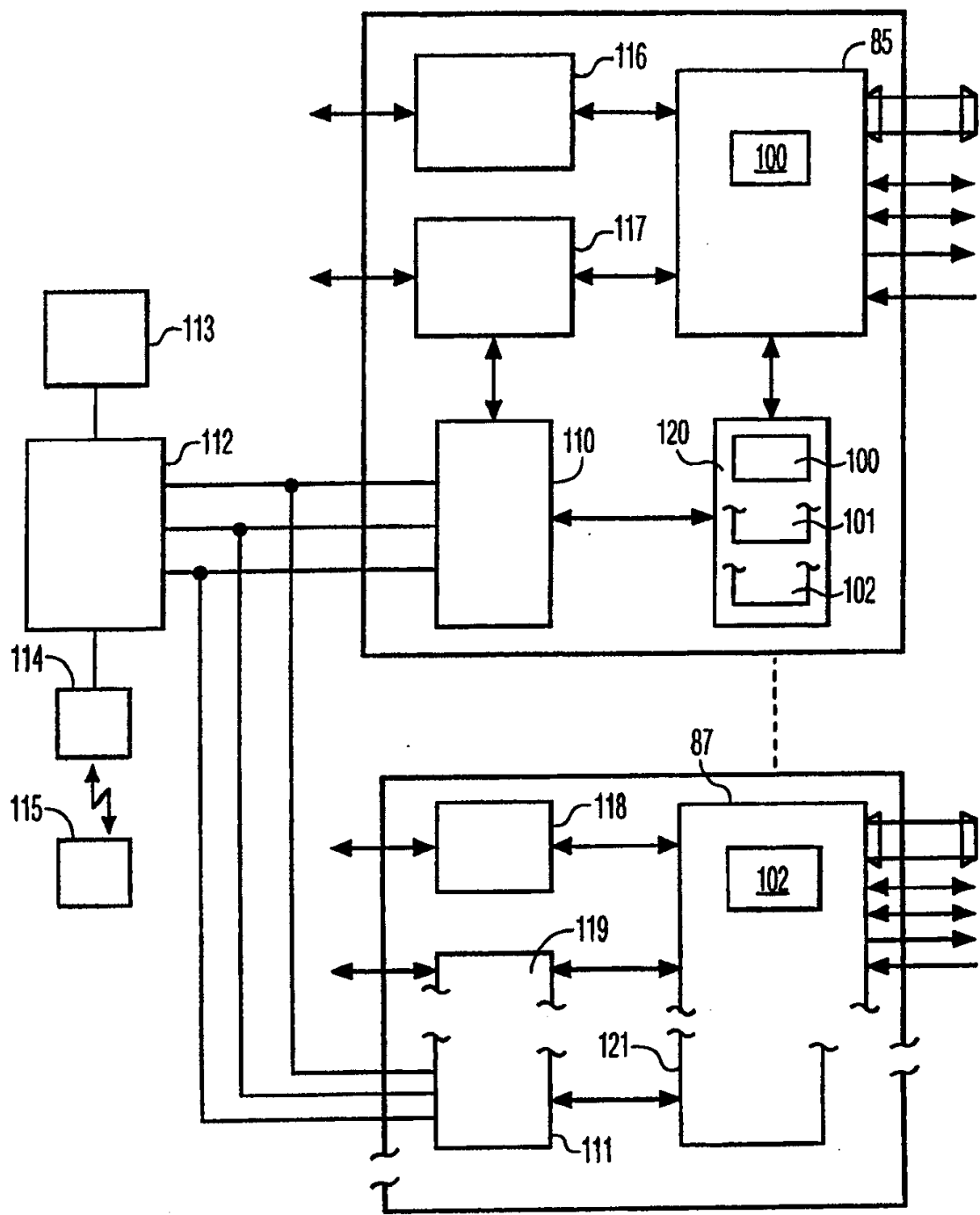


图 7