



(12)发明专利申请

(10)申请公布号 CN 105957897 A

(43)申请公布日 2016.09.21

(21)申请号 201610484791.9

(22)申请日 2016.06.28

(71)申请人 上海华虹宏力半导体制造有限公司
地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 柯行飞

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 郭四华

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

H01L 29/423(2006.01)

H01L 29/06(2006.01)

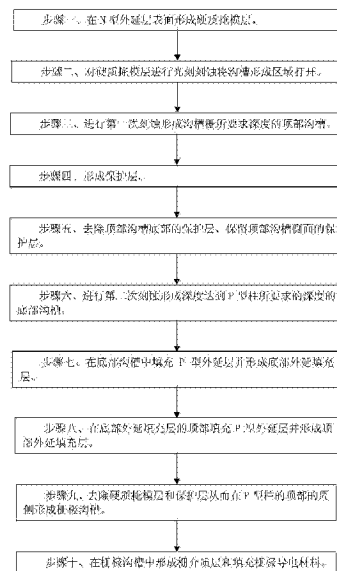
权利要求书2页 说明书5页 附图7页

(54)发明名称

沟槽栅超结MOSFET的制造方法

(57)摘要

本发明公开了一种沟槽栅超结MOSFET的制造方法,包括步骤:形成硬质掩模层;对硬质掩模层进行光刻刻蚀将沟槽形成区域打开;进行第一次刻蚀形成顶部沟槽;去除顶部沟槽底部的保护层,保留顶部沟槽侧面的保护层;进行第二次刻蚀形成底部沟槽;在底部沟槽中填充P型外延层并形成底部外延填充层;在底部外延填充层的顶部填充P型外延层并形成顶部外延填充层;去除硬质掩模层和保护层从而在P型柱的顶部的周侧形成栅极沟槽;在栅极沟槽中形成栅介质层和填充栅极导电材料。本发明能防止沟槽栅和P型柱之间出现套准偏差,能提高工艺稳定性以及使器件的开启电压和导通压降更均匀,能使超结单元尺寸更小,能大幅度提高器件的抗UIS冲击能力。



1. 一种沟槽栅超结MOSFET的制造方法,其特征在于,包括如下步骤:

步骤一、提供一半导体衬底,在所述半导体衬底表面形成有N型外延层;在所述N型外延层表面形成硬质掩模层;

步骤二、采用光刻工艺定义出沟槽形成区域;对所述硬质掩模层进行刻蚀将沟槽形成区域打开;

步骤三、对所述N型外延层进行第一次刻蚀,所述第一次刻蚀以所述硬质掩模层为掩模,所述第一次刻蚀的深度达到沟槽栅所要求的深度并形成顶部沟槽;

步骤四、形成保护层将所述顶部沟槽的底部表面和侧面覆盖;

步骤五、采用干法刻蚀去除所述顶部沟槽底部的所述保护层,所述顶部沟槽侧面的所述保护层保留;

步骤六、对所述N型外延层进行第二次刻蚀,所述第二次刻蚀以所述硬质掩模层和所述保护层为掩模,所述第二次刻蚀后的深度要达到超结结构的P型柱所要求的深度并形成底部沟槽,所述底部沟槽的宽度小于所述顶部沟槽的宽度;

步骤七、在保留所述硬质掩模层和所述保护层的条件下进行第一次选择性外延生长工艺在所述底部沟槽中填充P型外延层并形成底部外延填充层;

步骤八、在保留所述硬质掩模层和所述保护层的条件下进行第二次选择性外延生长工艺在所述底部外延填充层的顶部的沟槽中填充P型外延层并形成顶部外延填充层;

由填充于所述底部外延填充层和所述顶部外延填充层叠加形成P型柱,由各所述P型柱之间的所述N型外延层组成的N型柱,由所述P型柱和所述N型柱交替排列组成超结结构;

步骤九、去除所述硬质掩模层和所述保护层,由所述保护层去除后在所述P型柱的顶部的周侧形成的沟槽作为栅极沟槽;

步骤十、在所述栅极沟槽中的底部表面和侧面形成栅介质层;之后,在所述所述栅极沟槽中填充栅极导电材料,由该栅极导电材料组成沟槽栅。

2. 如权利要求1所述的沟槽栅超结MOSFET的制造方法,其特征在于:所述半导体衬底为硅衬底,所述N型外延层为N型硅外延层,所述P型外延层为P型外延层。

3. 如权利要求2所述的沟槽栅超结MOSFET的制造方法,其特征在于:所述硬质掩模层由氮化硅组成或由氧化硅叠加氮化硅组成。

4. 如权利要求2所述的沟槽栅超结MOSFET的制造方法,其特征在于:所述保护层的材料为氧化硅。

5. 如权利要求1或2所述的沟槽栅超结MOSFET的制造方法,其特征在于:步骤十中所述栅极导电材料为多晶硅。

6. 如权利要求1或2所述的沟槽栅超结MOSFET的制造方法,其特征在于:步骤十中的所述栅介质层为栅氧化层。

7. 如权利要求1所述的沟槽栅超结MOSFET的制造方法,其特征在于,步骤十之后还包括步骤:

步骤十一、在所述超结结构的顶部形成P型体区,所述沟槽栅底部穿过所述P型体区,被位于所述N型柱顶部的所述沟槽栅侧面覆盖的所述P型体区表面用于形成沟道;

步骤十二、在所述P型体区的表面形成源区;

步骤十三、形成层间膜,接触孔和正面金属层;

对所述正面金属层进行图形化形成源极和栅极,所述源区和所述P型体区通过对应的接触孔连接到所述源极,所述沟槽栅通过对应的接触孔连接到栅极。

8. 如权利要求7所述的沟槽栅超结MOSFET的制造方法,其特征在于:步骤十三中,在各所述N型柱和各所述P型柱的顶部都形成有一个连接到源极的接触孔。

沟槽栅超结MOSFET的制造方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造方法,特别是涉及一种沟槽栅超结(super junction)功率器件的制造方法。

背景技术

[0002] 超结结构就是交替排列的N型柱和P型柱组成结构。如果用超结结构来取代垂直双扩散MOS晶体管(Vertical Double-diffused Metal-Oxide-Semiconductor,VDMOS)器件中的N型漂移区,在导通状态下通过N型柱提供导通通路,导通时P型柱不提供导通通路;在截止状态下由PN立柱共同承受反偏电压,就形成了超结金属-氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)。超结MOSFET能在反向击穿电压与传统的VDMOS器件一致的情况下,通过使用低电阻率的外延层,而使器件的导通电阻大幅降低。

[0003] 如图1所示,现有平面栅超结功率器件的结构示意图;这里以N型沟槽栅超结MOSFET为例进行介绍,由图1可知,N型沟槽栅超结MOSFET包括:

[0004] 半导体衬底如硅衬底1,在半导体衬底1的表面形成有N型外延层如N型硅外延层2,超结结构由形成于N型外延层2中的P型柱3和由各P型柱3之间的N型外延层2组成的N型柱4交替排列形成。

[0005] P型体区5a形成于各P型柱3的顶部。

[0006] 多晶硅栅6a形成于P型体区5a的选定区域的顶部且二者之间相隔有栅介质层如栅氧化层,被多晶硅栅6a覆盖的P型体区5a的表面用于形成沟道,所以P型体区5a作为沟道区。由多晶硅栅6a和栅介质层组成的栅极结构还延伸到P型体区5a外的N型柱表面。

[0007] 由N+区组成的源区7形成于P型体区5a的表面,源区7的一侧和多晶硅栅6a自对准。

[0008] 层间膜8形成于半导体衬底1的正面并将器件的多晶硅栅6a,源区7和P型体区5a等覆盖。接触孔9穿过层间膜8和底部的对应的源区7或多晶硅栅6a接触。在源区7对应的接触孔9的底部形成有P+掺杂的接触注入层10,接触注入层10的底部和P型体区5a接触。源区7和P型体区5a通过顶部的接触孔9连接到由正面金属层11组成的源极;多晶硅栅6a通过顶部的接触孔9连接到由正面金属层11组成的栅极。

[0009] 沟槽栅超结MOSFET为MOSFET器件时,由N型高掺杂的半导体衬底1组成漏区,并在半导体衬底1的背面形成由背面金属层组成的漏极。

[0010] 由图1所示可知,一个P型柱3和相邻的P型柱4组成一个超结单元,一个超结单元中形成一个超结功率器件单元即原胞,多晶硅栅6a形成于N型柱4的顶部并为两个相邻的超结单元共用;由于多晶硅栅6a为平面结构,会占用较大的面积,这也会使得超结单元的尺寸会较大。

[0011] 众所周知,在超结功率器件中采用沟槽栅代替平面栅,能有效减少P/N柱尺寸即超结单元的尺寸,该尺寸是指横向宽度,P/N柱尺寸减小意味着可以用更浓的外延层实现电荷平衡,故导通压降可以得到降低。如图2所示,是现有沟槽栅超结MOSFET的结构示意图;图2

和图1所示结构的区别之处为：

[0012] P型体区5会在横向上覆盖整个超结结构的表面，多晶硅栅6形成于沟槽中，多晶硅栅6会穿过P型体区5并从侧面覆盖P型体区5，被多晶硅栅6侧面覆盖的P型体区5的表面用于形成沟道。多晶硅栅6的沟槽要求位于N型柱4的顶部。

[0013] 图2所示的沟槽栅结构虽然能够减少器件的尺寸，但在实际工艺中无论采用多层外延还是外延填充的方式形成P型柱3，因P型柱3和沟槽栅即多晶硅栅6是两次光刻形成，工艺中的套准偏差会导致出现P型柱3影响沟槽栅的积累区的情况；沟槽栅的积累区即位于P型体区5的底部且被多晶硅栅6侧面覆盖的N型外延层2，P型柱3和沟槽栅之间出现套准偏差时，积累区的横向尺寸会受到影响，从而会使器件的开启电压和导通压降变差。

发明内容

[0014] 本发明所要解决的技术问题是提供一种沟槽栅超结MOSFET的制造方法，能防止沟槽栅和P型柱之间出现套准偏差，能提高工艺稳定性以及使器件的开启电压和导通压降更均匀，能制作出更小原胞尺寸的沟槽栅超结MOSFET。

[0015] 为解决上述技术问题，本发明提供的沟槽栅超结MOSFET的制造方法包括如下步骤：

[0016] 步骤一、提供一半导体衬底，在所述半导体衬底表面形成有N型外延层；在所述N型外延层表面形成硬质掩模层。

[0017] 步骤二、采用光刻工艺定义出沟槽形成区域；对所述硬质掩模层进行刻蚀将沟槽形成区域打开。

[0018] 步骤三、对所述N型外延层进行第一次刻蚀，所述第一次刻蚀以所述硬质掩模层为掩模，所述第一次刻蚀的深度达到沟槽栅所要求的深度并形成顶部沟槽。

[0019] 步骤四、形成保护层将所述顶部沟槽的底部表面和侧面覆盖。

[0020] 步骤五、采用干法刻蚀去除所述顶部沟槽底部的所述保护层，所述顶部沟槽侧面的所述保护层保留。

[0021] 步骤六、对所述N型外延层进行第二次刻蚀，所述第二次刻蚀以所述硬质掩模层和所述保护层为掩模，所述第二次刻蚀后的深度要达到超结结构的P型柱所要求的深度并形成底部沟槽，所述底部沟槽的宽度小于所述顶部沟槽的宽度。

[0022] 步骤七、在保留所述硬质掩模层和所述保护层的条件下进行第一次选择性外延生长工艺在所述底部沟槽中填充P型外延层并形成底部外延填充层。

[0023] 步骤八、在保留所述硬质掩模层和所述保护层的条件下进行第二次选择性外延生长工艺在所述底部外延填充层的顶部的沟槽中填充P型外延层并形成顶部外延填充层。

[0024] 由填充于所述底部外延填充层和所述顶部外延填充层叠加形成P型柱，由各所述P型柱之间的所述N型外延层组成的N型柱，由所述P型柱和所述N型柱交替排列组成超结结构。

[0025] 步骤九、去除所述硬质掩模层和所述保护层，由所述保护层去除后在所述P型柱的顶部的周侧形成的沟槽作为栅极沟槽。

[0026] 步骤十、在所述栅极沟槽中的底部表面和侧面形成栅介质层；之后，在所述栅极沟槽中填充栅极导电材料，由该栅极导电材料组成沟槽栅。

[0027] 进一步的改进是,所述半导体衬底为硅衬底,所述N型外延层为N型硅外延层,所述P型外延层为P型外延层。

[0028] 进一步的改进是,所述硬质掩模层由氮化硅组成或由氧化硅叠加氮化硅组成。

[0029] 进一步的改进是,所述保护层的材料为氧化硅。

[0030] 进一步的改进是,步骤十中所述栅极导电材料为多晶硅。

[0031] 进一步的改进是,步骤十中的所述栅介质层为栅氧化层。

[0032] 进一步的改进是,步骤十之后还包括步骤:

[0033] 步骤十一、在所述超结结构的顶部形成P型体区,所述沟槽栅底部穿过所述P型体区,被位于所述N型柱顶部的所述沟槽栅侧面覆盖的所述P型体区表面用于形成沟道。

[0034] 步骤十二、在所述P型体区的表面形成源区。

[0035] 步骤十三、形成层间膜,接触孔和正面金属层。

[0036] 对所述正面金属层进行图形化形成源极和栅极,所述源区和所述P型体区通过对应的接触孔连接到所述源极,所述沟槽栅通过对应的接触孔连接到栅极。

[0037] 进一步的改进是,步骤十三中,在各所述N型柱和各所述P型柱的顶部都形成有一个连接到源极的接触孔。

[0038] 本发明方法采用同一次光刻工艺同时定义出超结结构的沟槽和栅极沟槽,其中,超结结构的沟槽用于填充形成P型柱,栅极沟槽用于形成沟槽栅;在刻蚀沟槽过程中分两次刻蚀,第一次刻蚀到栅极沟槽的深度,之后对第一次刻蚀后的沟槽侧面形成保护层,之后继续进行第二次刻蚀;由于保护层形成之后第二次刻蚀的掩模窗口会变小,故形成的底部沟槽的宽度小于顶部沟槽的宽度;而在保留保护层的条件下对整个沟槽进行外延填充形成P型柱之后,通过去除保护层能够自对准在P型柱的顶部形成栅极沟槽。由此可知,本发明的超结结构的沟槽和栅极沟槽能够采用一次光刻形成,P型柱和栅极沟槽自对准,所以本发明消除了两次光刻工艺定义时的套准偏差问题,也即本发明能防止沟槽栅和P型柱之间出现套准偏差,从而能提高工艺稳定性以及使器件的开启电压和导通压降更均匀,由于没有套准偏差,使得超结单元能够制作的更小,使制作小原胞尺寸的沟槽栅超结MOSFET成为可能。

[0039] 另外,本发明栅极沟槽和P型柱的顶部自对准,在栅极沟槽中填充栅极导电材料形成沟槽栅之后,仅被位于N型柱顶部的沟槽栅侧面所覆盖的P型体区表面会形成沟道,同一N型柱顶部具有两个分开的能够用于形成沟道的沟槽栅侧面,这种分开式的结构使得N型柱和P型柱的顶部都能形成引出源区和P型体区的接触孔,这种接触孔的结构能够大幅度提高器件的抗非箝位感应开关(Unclamped Inductive Switching,UIS)冲击能力,抗UIS冲击能力为器件在雪崩击穿下负载能量的能力;原因为:无论器件的击穿时发生在P型柱和N型外延层形成的PN结之间,还是发生在P型体区和N型外延层形成的PN结之间,击穿形成的电流都能均匀的从接触孔流走,从而大幅度提高器件的抗UIS冲击能力。

附图说明

[0040] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0041] 图1是现有平面栅超结功率器件的结构示意图;

[0042] 图2是现有沟槽栅超结MOSFET的结构示意图;

[0043] 图3是本发明实施例沟槽栅超结MOSFET的制造方法的流程图;

[0044] 图4A-图4M是本发明实施例沟槽栅超结MOSFET的制造方法各步骤中的器件结构示意图。

具体实施方式

[0045] 如图3所示,是本发明实施例沟槽栅超结MOSFET的制造方法的流程图;如图4A至图4M所示,是本发明实施例沟槽栅超结MOSFET的制造方法各步骤中的器件结构示意图,本发明实施例沟槽栅超结MOSFET的制造方法包括如下步骤:

[0046] 步骤一、如图4A所示,提供一半导体衬底101,在所述半导体衬底101表面形成有N型外延层102。

[0047] 如图4B所示,在所述N型外延层102表面形成硬质掩模层201。

[0048] 较佳为,所述半导体衬底101为硅衬底,所述N型外延层102为N型硅外延层,后续填充沟槽的P型外延层为P型外延层。

[0049] 所述硬质掩模层201由氮化硅组成或由氧化硅叠加氮化硅组成。

[0050] 步骤二、如图4B所示,采用光刻工艺形成光刻胶图形202定义出沟槽形成区域;对所述硬质掩模层201进行刻蚀将沟槽形成区域打开。

[0051] 步骤三、如图4C所示,对所述N型外延层102进行第一次刻蚀,所述第一次刻蚀以所述硬质掩模层201为掩模,所述第一次刻蚀的深度达到沟槽栅105所要求的深度并形成顶部沟槽203a。

[0052] 步骤四、如图4D所示,形成保护层204将所述顶部沟槽203a的底部表面和侧面覆盖。较佳为,所述保护层204的材料为氧化硅。

[0053] 步骤五、如图4E所示,采用干法刻蚀去除所述顶部沟槽203a底部的所述保护层204,所述顶部沟槽203a侧面的所述保护层204保留。

[0054] 步骤六、如图4F所示,对所述N型外延层102进行第二次刻蚀,所述第二次刻蚀以所述硬质掩模层201和所述保护层204为掩模,所述第二次刻蚀后的深度要达到超结结构的P型柱103所要求的深度并形成底部沟槽203b,所述底部沟槽203b的宽度小于所述顶部沟槽203a的宽度。

[0055] 步骤七、如图4G所示,在保留所述硬质掩模层201和所述保护层204的条件下进行第一次选择性外延生长工艺在所述底部沟槽203b中填充P型外延层并形成底部外延填充层103a。

[0056] 步骤八、如图4H所示,在保留所述硬质掩模层201和所述保护层204的条件下进行第二次选择性外延生长工艺在所述底部外延填充层103a的顶部的沟槽中填充P型外延层并形成顶部外延填充层103b。

[0057] 由填充于所述底部外延填充层103a和所述顶部外延填充层103b叠加形成P型柱103,由各所述P型柱103之间的所述N型外延层102组成的N型柱,由所述P型柱103和所述N型柱交替排列组成超结结构。

[0058] 如图4I所示,进行外延平坦化及回刻,平坦化和回刻工艺之后所述P型柱103的顶部表面和所述N型外延层102的顶部表面相平。

[0059] 步骤九、如图4J所示,去除所述硬质掩模层201和所述保护层204,由所述保护层204去除后在所述P型柱103的顶部的周侧形成的沟槽作为栅极沟槽205。

[0060] 步骤十、如图4K所示,在所述栅极沟槽205中的底部表面和侧面形成栅介质层104;之后,在所述所述栅极沟槽205中填充栅极导电材料,由该栅极导电材料组成沟槽栅105。

[0061] 较佳为,所述栅极导电材料为多晶硅。所述栅介质层104为栅氧化层。

[0062] 还包括步骤:

[0063] 步骤十一、如图4L所示,在所述超结结构的顶部形成P型体区106,所述沟槽栅105底部穿过所述P型体区106,被位于所述N型柱顶部的所述沟槽栅105侧面覆盖的所述P型体区106表面用于形成沟道。由图4L所示可知,每一个N型柱的顶部将会有两个用于形成沟道的所述沟槽栅105的侧面。

[0064] 步骤十二、如图4L所示,在所述P型体区106的表面形成源区107。

[0065] 步骤十三、如图4M所示,形成层间膜108,接触孔109和正面金属层111。

[0066] 对所述正面金属层111进行图形化形成源极和栅极,所述源区107和所述P型体区106通过对应的接触孔109连接到所述源极,所述沟槽栅105通过对应的接触孔109连接到栅极。

[0067] 在所述源区107所对应的接触孔109的底部还形成有P+掺杂的接触注入区110。

[0068] 由图4M所示可知,在各所述N型柱和各所述P型柱103的顶部都形成一个连接到源极的接触孔109。这种接触孔的结构能够大幅度提高器件的抗UIS冲击能力,原因为:无论器件的击穿时发生在P型柱103和N型外延层102形成的PN结之间,还是发生在P型体区106和N型外延层102形成的PN结之间,击穿形成的电流都能均匀的从接触孔流走,从而大幅度提高器件的UIS能力。

[0069] 之后,还包括如下背面工艺步骤:

[0070] 对所述半导体衬底1进行背面减薄。

[0071] 在所述半导体衬底背面进行第一导电类型重掺杂离子注入形成漏区,所述漏区。

[0072] 形成背面金属层,由该背面金属层引出漏极。

[0073] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

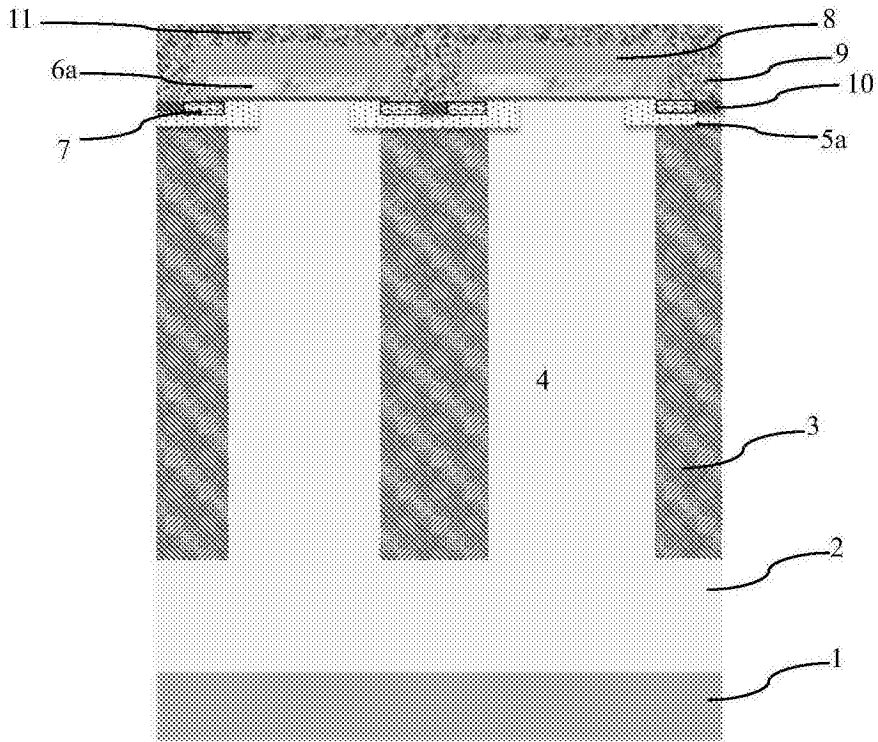


图1

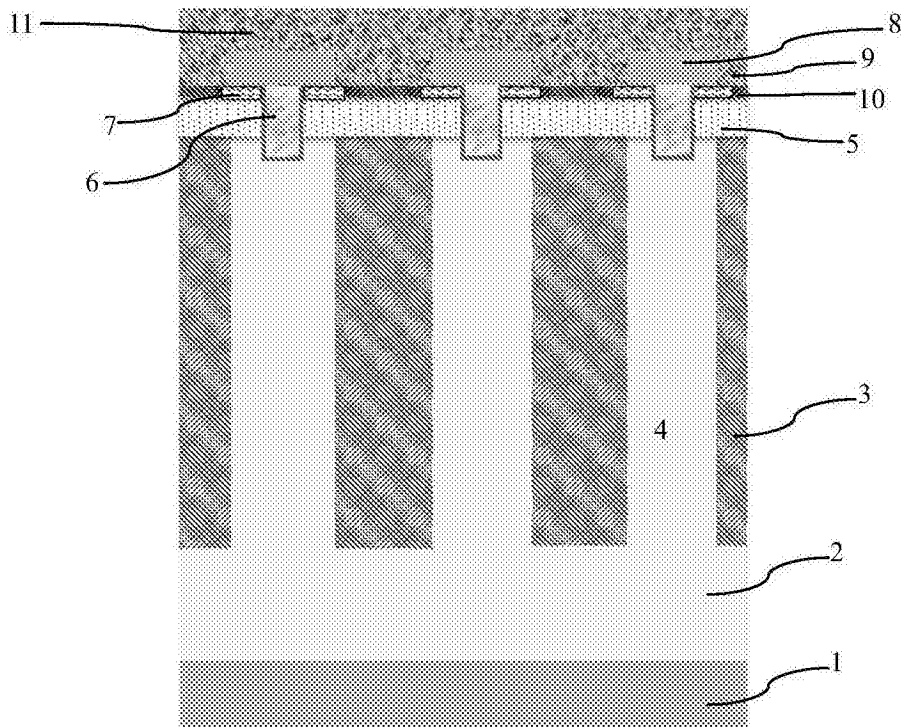


图2

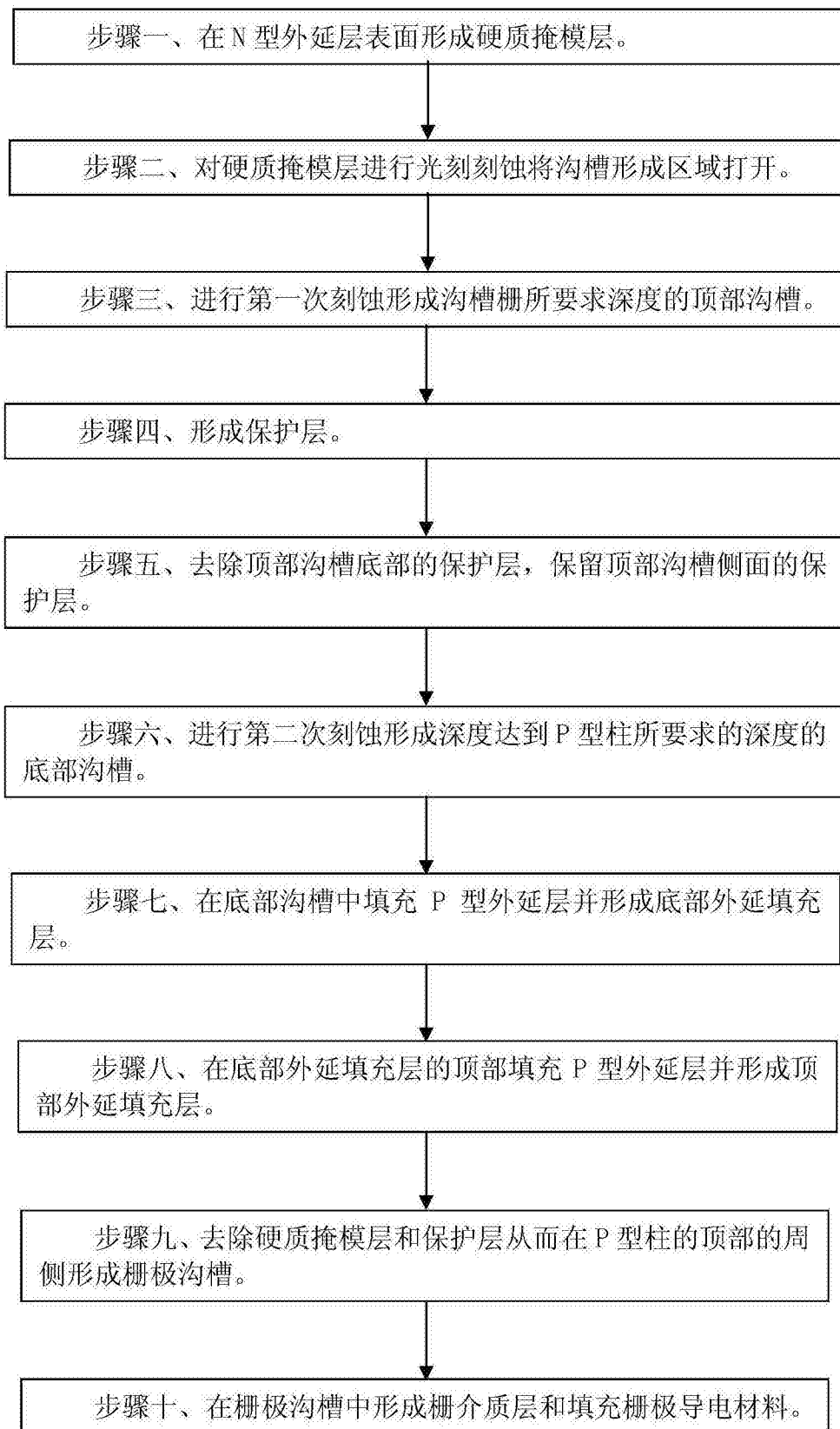


图3

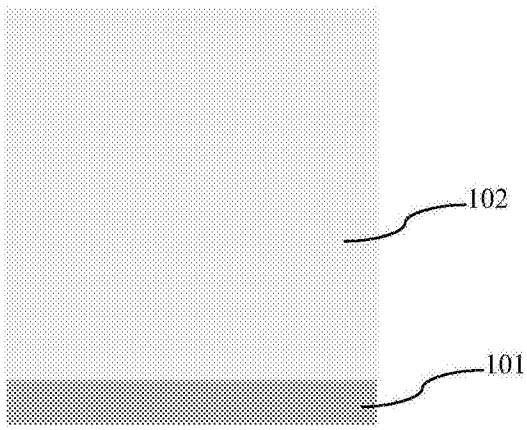


图4A

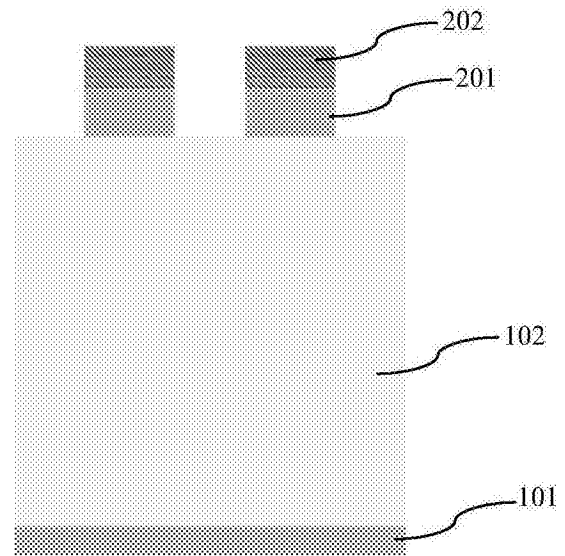


图4B

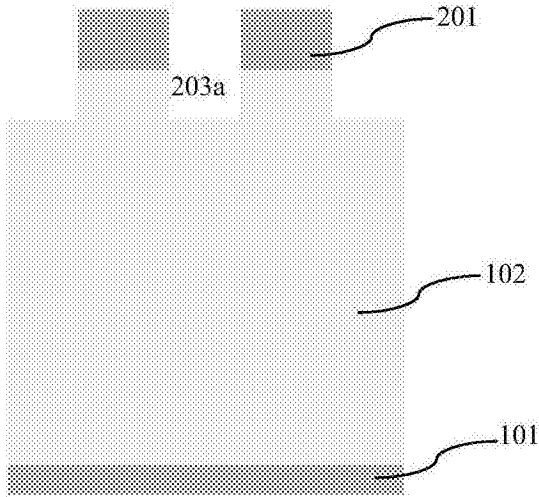


图4C

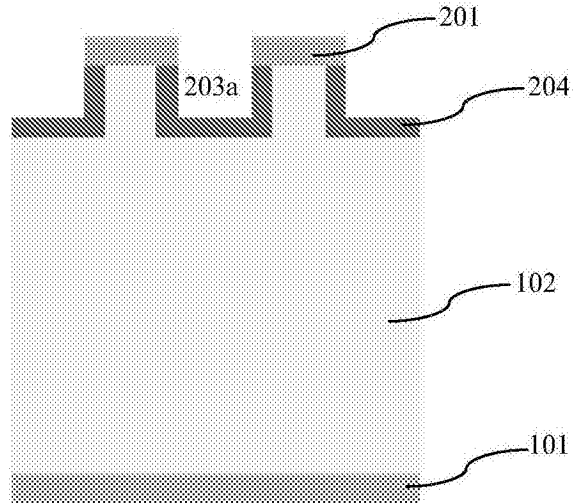


图4D

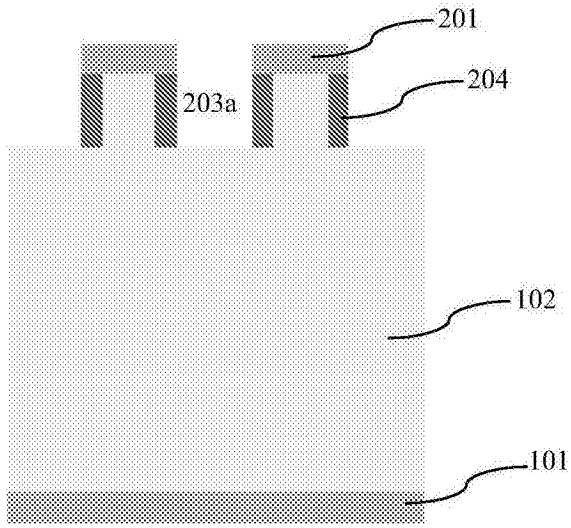


图4E

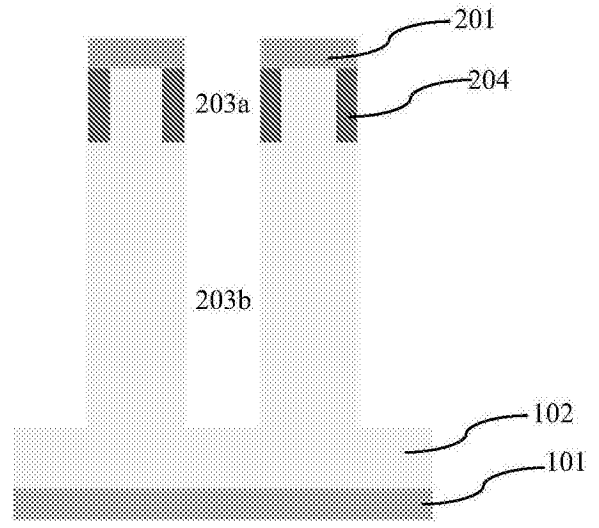


图4F

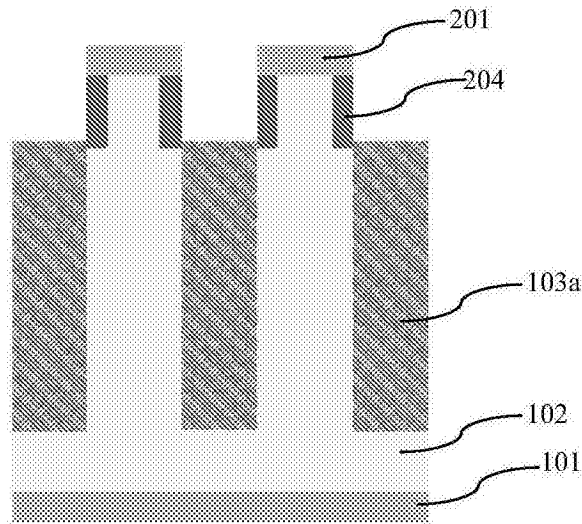


图4G

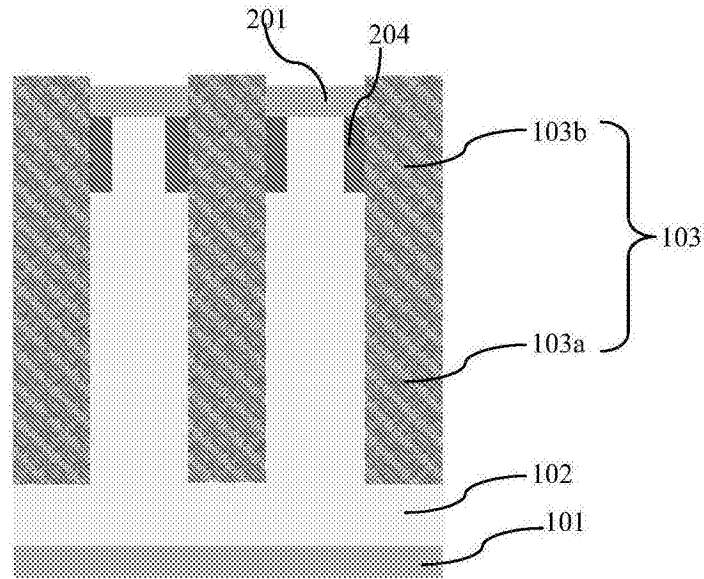


图4H

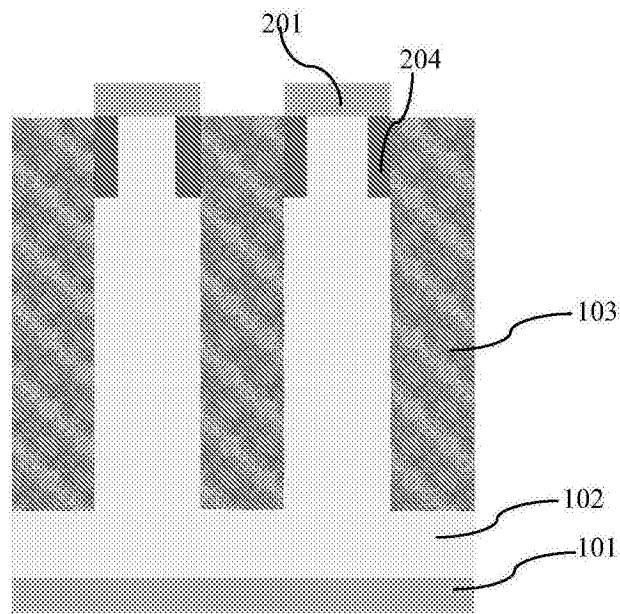


图4I

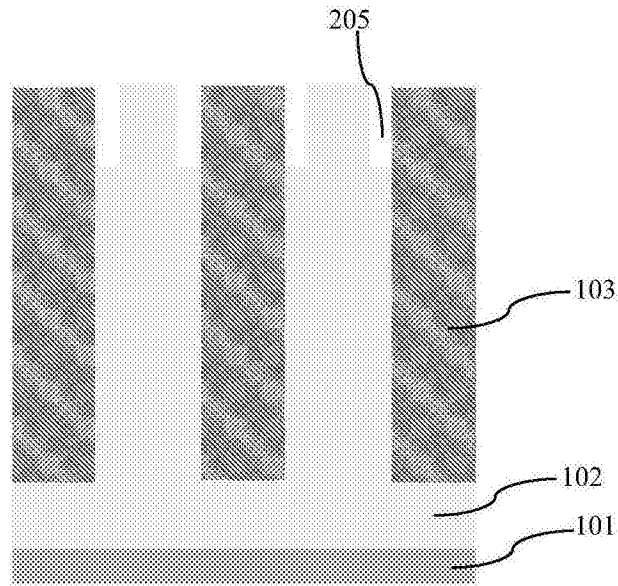


图4J

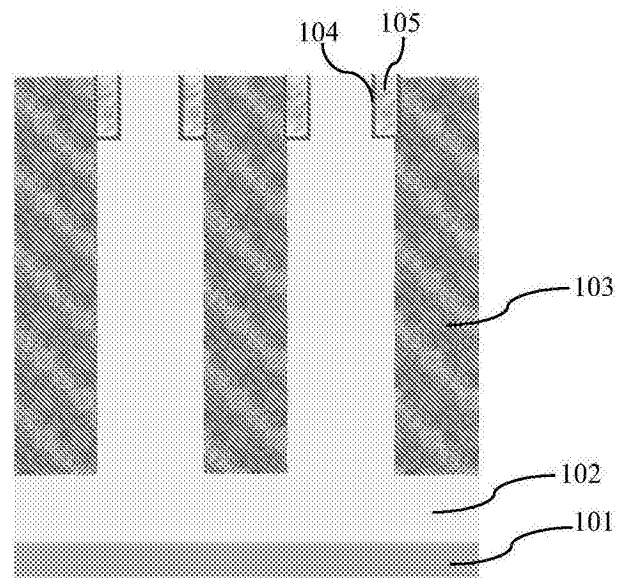


图4K

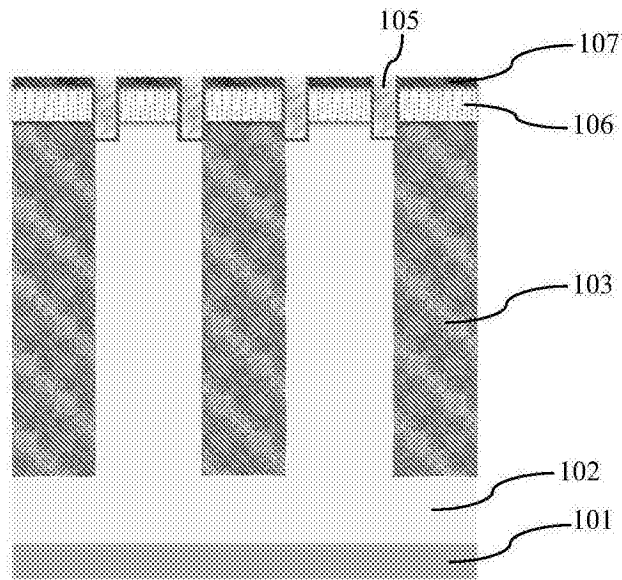


图4L

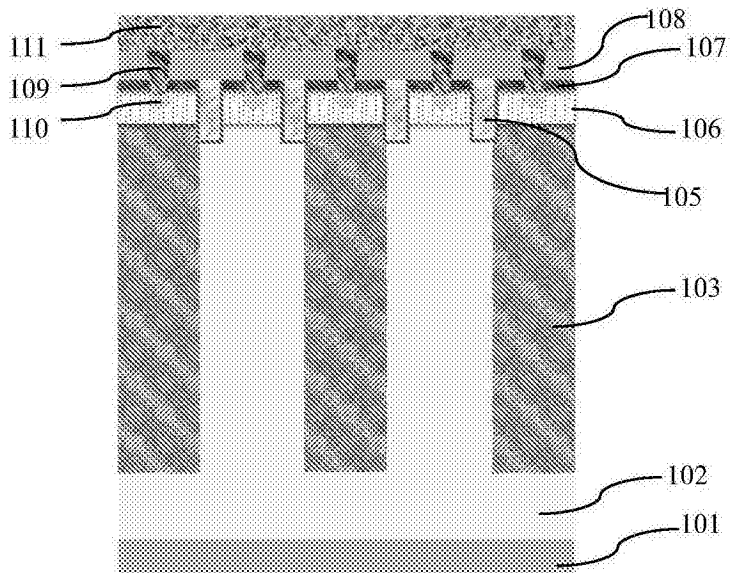


图4M