

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4339103号
(P4339103)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.	F I				
H03K 17/06 (2006.01)	H03K 17/06	C			
H03K 17/687 (2006.01)	H03K 17/687	G			
H03K 17/00 (2006.01)	H03K 17/00	M			
H03K 19/094 (2006.01)	H03K 19/094	C			
H03K 3/356 (2006.01)	H03K 3/356	D			

請求項の数 18 (全 42 頁) 最終頁に続く

(21) 出願番号 特願2003-421672 (P2003-421672)
 (22) 出願日 平成15年12月18日(2003.12.18)
 (65) 公開番号 特開2004-222256 (P2004-222256A)
 (43) 公開日 平成16年8月5日(2004.8.5)
 審査請求日 平成18年12月18日(2006.12.18)
 (31) 優先権主張番号 特願2002-374098 (P2002-374098)
 (32) 優先日 平成14年12月25日(2002.12.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 塩野入 豊
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 矢頭 尚之

(56) 参考文献 特開2002-197885 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

第1乃至第4のトランジスタを有し、
 前記第1乃至第4のトランジスタは、Nチャネル型であり、
 前記第1乃至第4のトランジスタは、非晶質半導体を有し、
 前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、
 前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、
 前記第2のトランジスタのゲートには、第2の信号が入力され、
 前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、
 前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電気的に接続され、
 前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電気的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、
 前記第3のトランジスタのソース又はドレインの他方は出力端子と電気的に接続され、
 前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

10

20

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

第1乃至第5のトランジスタを有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1乃至第5のトランジスタは、非晶質半導体を有し、

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

10

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

20

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続されていることを特徴とする半導体装置。

【請求項3】

第1乃至第5のトランジスタを有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1乃至第5のトランジスタは、非晶質半導体を有し、

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

30

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

40

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接

50

続され、前記第5のトランジスタのソース又はドレインの他方は、第2の出力端と電氣的に接続されていることを特徴とする半導体装置。

【請求項4】

第1乃至第6のトランジスタを有し、

前記第1乃至第6のトランジスタは、Nチャネル型であり、

前記第1乃至第6のトランジスタは、非晶質半導体を有し、

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

10

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

20

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は第2の出力端子と電氣的に接続され、

30

前記第6のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、

容量素子を有し、

前記容量の一方の端子は、前記第3のトランジスタのゲートと電氣的に接続され、前記容量の他方の端子は前記第3のトランジスタのソース又はドレインの他方と電氣的に接続されていることを特徴とする半導体装置。

40

【請求項6】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第4のトランジスタを有し、

前記第1乃至第4のトランジスタは、Nチャネル型であり、

前記第1乃至第4のトランジスタは、非晶質半導体を有し、

50

前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、
前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、
前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又は S O I 基板を有する I C チップに設けられていることを特徴とする表示装置。

【請求項 7】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至第 5 のトランジスタは、N チャネル型であり、

前記第 1 乃至第 5 のトランジスタは、非晶質半導体を有し、

前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、
前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又は S O I 基板を有する I C チップに設けられていることを特徴とする表示装置。

【請求項 8】

絶縁基板上に設けられた画素部と、
前記絶縁基板上に設けられたゲート線駆動回路と、
信号線駆動回路とを有し、
前記画素部と前記ゲート線駆動回路は電氣的に接続され、
前記画素部と前記信号線駆動回路は電氣的に接続され、
前記ゲート線駆動回路は第1乃至第5のトランジスタを有し、
前記第1乃至第5のトランジスタは、Nチャネル型であり、
前記第1乃至第5のトランジスタは、非晶質半導体を有し、
前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、
前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲ 10
ートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記
第2のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第2のトランジスタのゲートには、第2の信号が入力され、
前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続さ
れ、
前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの
他方と電氣的に接続され、
前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続さ
れ、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタの
ソース又はドレインの一方と電氣的に接続され、 20
前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続
され、
前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続
され、
前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接
続され、
前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続
され、
前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接
続され、前記第5のトランジスタのソース又はドレインの他方は、第2の出力端と電氣的 30
に接続され、
前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップ
に設けられていることを特徴とする表示装置。

【請求項9】

絶縁基板上に設けられた画素部と、
前記絶縁基板上に設けられたゲート線駆動回路と、
信号線駆動回路とを有し、
前記画素部と前記ゲート線駆動回路は電氣的に接続され、
前記画素部と前記信号線駆動回路は電氣的に接続され、
前記ゲート線駆動回路は、第1乃至第6のトランジスタを有し、 40
前記第1乃至第6のトランジスタは、Nチャネル型であり、
前記第1乃至第6のトランジスタは、非晶質半導体を有し、
前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、
前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲ
ートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記
第2のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第2のトランジスタのゲートには、第2の信号が入力され、
前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続さ
れ、
前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの 50

他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

10

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は第2の出力端子と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され

20

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップに設けられていることを特徴とする表示装置。

【請求項10】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第4のトランジスタを有し、

30

前記第1乃至第4のトランジスタは、Nチャネル型であり、

前記第1乃至第4のトランジスタは、非晶質半導体を有し、

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

40

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップ

50

プに設けられ、

前記 IC チップは、COG により前記絶縁基板に実装されていることを特徴とする表示装置。

【請求項 1 1】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至第 5 のトランジスタは、N チャネル型であり、

前記第 1 乃至第 5 のトランジスタは、非晶質半導体を有し、

前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又は SOI 基板を有する IC チップに設けられ、

前記 IC チップは、COG により前記絶縁基板に実装されていることを特徴とする表示装置。

【請求項 1 2】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至第 5 のトランジスタは、N チャネル型であり、

前記第 1 乃至第 5 のトランジスタは、非晶質半導体を有し、

前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続さ

10

20

30

40

50

れ、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

10

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、第2の出力端と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップに設けられ、

前記ICチップは、COGにより前記絶縁基板に実装されていることを特徴とする表示装置。

20

【請求項13】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第6のトランジスタを有し、

前記第1乃至第6のトランジスタは、Nチャネル型であり、

前記第1乃至第6のトランジスタは、非晶質半導体を有し、

30

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

40

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

50

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は第2の出力端子と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップに設けられ、

前記ICチップは、COGにより前記絶縁基板に実装されていることを特徴とする表示装置。

10

【請求項14】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第4のトランジスタを有し、

20

前記第1乃至第4のトランジスタは、Nチャンネル型であり、

前記第1乃至第4のトランジスタは、非晶質半導体を有し、

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

30

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップに設けられ、

40

前記ICチップは、TABにより前記絶縁基板に実装されていることを特徴とする表示装置。

【請求項15】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第5のトランジスタを有し、

50

前記第 1 乃至第 5 のトランジスタは、Nチャネル型であり、
前記第 1 乃至第 5 のトランジスタは、非晶質半導体を有し、
前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、
前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、
前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は出力端子と電氣的に接続され、
前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、
前記第 5 のトランジスタのゲートは、前記第 3 のトランジスタのゲートと電氣的に接続され、
前記信号線駆動回路の少なくとも一部は、単結晶基板又は S O I 基板を有する I C チップに設けられ、
前記 I C チップは、T A B により前記絶縁基板に実装されていることを特徴とする表示装置。

【請求項 16】

絶縁基板上に設けられた画素部と、
前記絶縁基板上に設けられたゲート線駆動回路と、
信号線駆動回路とを有し、
前記画素部と前記ゲート線駆動回路は電氣的に接続され、
前記画素部と前記信号線駆動回路は電氣的に接続され、
前記ゲート線駆動回路は第 1 乃至第 5 のトランジスタを有し、
前記第 1 乃至第 5 のトランジスタは、Nチャネル型であり、
前記第 1 乃至第 5 のトランジスタは、非晶質半導体を有し、
前記第 1 のトランジスタのソース又はドレインの一方には、第 1 の信号が入力され、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 2 のトランジスタのゲートには、第 2 の信号が入力され、
前記第 2 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、
前記第 3 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、前記第 3 のトランジスタのソース又はドレインの他方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は第 1 の出力端子と電氣的に接続され、
前記第 4 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、第2の出力端と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップに設けられ、

前記ICチップは、TABにより前記絶縁基板に実装されていることを特徴とする表示装置。

10

【請求項17】

絶縁基板上に設けられた画素部と、

前記絶縁基板上に設けられたゲート線駆動回路と、

信号線駆動回路とを有し、

前記画素部と前記ゲート線駆動回路は電氣的に接続され、

前記画素部と前記信号線駆動回路は電氣的に接続され、

前記ゲート線駆動回路は、第1乃至第6のトランジスタを有し、

前記第1乃至第6のトランジスタは、Nチャンネル型であり、

前記第1乃至第6のトランジスタは、非晶質半導体を有し、

20

前記第1のトランジスタのソース又はドレインの一方には、第1の信号が入力され、

前記第1のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第2のトランジスタのゲートには、第2の信号が入力され、

前記第2のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

30

前記第3のトランジスタのソース又はドレインの他方は第1の出力端子と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

40

前記第5のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、前記第5のトランジスタのソース又はドレインの他方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は第2の出力端子と電氣的に接続され、

前記第6のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第1の配線と電氣的に接続され、

前記信号線駆動回路の少なくとも一部は、単結晶基板又はSOI基板を有するICチップ

50

プに設けられ、

前記ICチップは、TABにより前記絶縁基板に実装されていることを特徴とする表示装置。

【請求項18】

請求項6乃至請求項17のいずれか一において、

前記ゲート線駆動回路は容量素子を有し、

前記容量素子の一方の端子は、前記第3のトランジスタのゲートと電氣的に接続され、前記容量素子の他方の端子は前記第3のトランジスタのソース又はドレインの他方と電氣的に接続されていることを特徴とする表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、デジタル回路の構成に関する。より詳しくは、ブートストラップ回路を用いて、出力信号の振幅を、より大きくする技術に関する。および、それを用いた表示装置に関する。

【背景技術】

【0002】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下、TFTと表記）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御することによって映像の表示を行っている。

20

【0003】

さらに最近の技術として、画素を構成するTFTの他に、画素部の周辺領域にTFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきている。

【0004】

表示装置の駆動回路としては、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路が一般的に使用されている。CMOS回路の特徴として、論理が変わる瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない（実際には微小なリーク電流の存在がある）ため、回路全体での消費電流を低く抑えることが可能な点や、高速駆動に有利な点が挙げられる。

30

【0005】

有機EL素子や、FED（フィールドエミッションディスプレイ）や、液晶ディスプレイに用いられる素子などのような自発光素子や液晶素子などを用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、非常に多くの個数のTFTを製造する必要があるため、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加することは容易に予測され、そのため表示装置をより安価に供給できるようにすることが望まれている。

40

【0006】

絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造することが理想的である。そこで、従来CMOS回路によって構成されていた駆動回路を、Nチャネル型もしくはPチャネル型のいずれか一方の導電型のみでTFTを用いて構成することが試みられている。この方法により、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。その結果、コストダウンを図ることが出来る。

【0007】

50

図9(A)は、一極性のみのTFTを用いて構成したTFT負荷型のインバータ回路の例を示している。以下に、その動作について述べる。

【0008】

図9(B)は、インバータ回路に入力する信号の波形を示している。ここで、入力信号振幅は高電位側電源VDDと低電位側電源GNDの間とする。なお、簡単のため、GND = 0Vとして考える。

【0009】

回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成するNチャンネル型TFTのしきい値電圧は、そのばらつきがないものとして一律(V_{thN})とする。また、P型TFTについても同様に、一律(V_{thP})とする。

10

【0010】

図9(B)に示すような信号が入力される場合を考える。まず、入力信号が、L信号(低電位側電源GND)のとき、Nチャンネル型TFT904はオフする。一方、負荷TFT903は常に飽和領域において動作していることから、出力端子の電位は高電位側電源VDDの方向に引き上げられる。一方、入力信号がH信号(高電位側電源VDD)のとき、Nチャンネル型TFT904はオンする。ここで、負荷TFT903の電流能力よりも、Nチャンネル型TFT904の電流能力を十分に高くしておくことにより、出力ノードの電位は低電位側電源GNDの方向に引き下げられる。

【0011】

ただし、この場合、以下のような問題点がある。図9(C)は、TFT負荷型インバータ回路の出力波形を示したものである。図9(C)に示すように、入力信号がL信号のときに、出力端子の電位は、907で示す分だけ、つまり、負荷TFT903のしきい値電圧分だけ、VDDよりも電位が低くなる。これは、負荷TFT903のゲート・ソース間電圧が、しきい値電圧よりも小さくなると、負荷TFT903に、ほとんど電流が流れなくなり、オフ状態となってしまうからである。ここで、負荷TFT903のソース端子が出力端子であり、ゲート端子は、VDDに接続されている。よって、出力端子の電位は、ゲート端子の電位よりも、しきい値電圧分だけ低い電位になる。つまり、出力端子の電位は、最大でも($VDD - V_{thN}$)までしか上昇しない。さらに、負荷TFT903とNチャンネル型TFT904の電流能力の比によっては、入力信号がH信号のときに、出力端子の電位は、908で示す分だけGNDよりも電位が高くなる。これを十分にGNDに近づけるためには、負荷TFT903に対し、Nチャンネル型TFT904の電流能力を十分に大きくする必要がある。

20

30

【0012】

このように、一極性のみのTFTを用いて構成したインバータ回路を用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。

【0013】

そこで、出力信号の振幅が小さくなってしまいう問題を、回避することが、いくつかの方法を用いて、検討されている(例えば、特許文献1、特許文献2、特許文献3、特許文献4を参照)。

【0014】

図33に、特許文献1、特許文献2に示されているインバータ回路の回路図を示す。図33の回路は、トランジスタ3302のゲート端子が、フローティング状態となり、容量素子3304の両端の電圧(両端の電位差)が、変化しなくなることを利用している。

40

【0015】

そこで、次に、図33の動作について説明する。入力端子3305と入力端子3306には、互いに反転した信号が入力される。まず、入力端子3306にH信号(高電位側電源VDD)が入力され、入力端子3305にL信号(低電位側電源GND)が入力されるとする。すると、トランジスタ3303はオンする。その結果、端子3308の電位は、L信号(低電位側電源GND)の電位となる。また、トランジスタ3301は、入力端子3305の電位がL信号(低電位側電源GND)の電位であるため、オンする。その結果、端子3307は、L信号(低電位側電源

50

GND)の電位となる。つまり、容量素子3304の両端の電圧(両端の電位差)は、0Vとなる。

【0016】

次に、入力端子3305にH信号(高電位側電源VDD)が入力され、入力端子3306にL信号(低電位側電源GND)が入力されるとする。すると、トランジスタ3303はオフする。入力端子3305の電位は、H信号(高電位側電源VDD)の電位であるため、トランジスタ3301はオンし、端子3307の電位が上昇する。そして、トランジスタ3302のゲート・ソース間電圧がしきい値電圧よりも大きくなると、トランジスタ3302がオンし、端子3308の電位が上昇し始める。そのような時に、端子3307の電位が上昇していくと、ついには、トランジスタ3301がオフする。なぜなら、端子3307は、トランジスタ3301のソース端子となっているため、端子3307の電位が上昇することにより、トランジスタ3301のゲート・ソース間電圧が小さくなり、ついには、しきい値電圧に等しくなってしまうからである。トランジスタ3301のゲート・ソース間電圧が、しきい値電圧に等しくなってしまうと、トランジスタ3301はオフ状態となる。よって、端子3305から端子3307への電流の流れは、とまってしまふ。つまり、端子3307は、フローティング状態になってしまう。その結果、容量素子3304の両端の電圧(両端の電位差)は、変化しなくなる。

10

【0017】

トランジスタ3301がオフになった時点において、端子3308の電位は、まだ、上昇を続けていたとする。その場合、トランジスタ3302は、オン状態にある。つまり、トランジスタ3302のゲート・ソース間電圧、つまり、容量素子3304の両端の電圧(両端の電位差)は、トランジスタ3302のしきい値電圧よりも大きい。よって、さらに、端子3308の電位が上昇する。このとき、同時に、端子3307の電位も上昇する。なぜなら、容量素子3304の両端の電圧(両端の電位差)は、変化しなくなっているため、容量素子3304の一方の端子(端子3308)が上昇すると、他方の端子(端子3307)も上昇するからである。そして、そのまま、端子3308の電位は、上昇を続け、ついには、高電位側電源VDDに達する。端子3308の電位が高電位側電源VDDに達するまでの間、ずっと、トランジスタ3302は、オン状態にある。そして、容量素子3304には、トランジスタ3301がオフになった時点での電圧が、そのまま保持されている。よって、端子3307の電位は、高電位側電源VDDよりも、容量素子3304に保存されている電圧分だけ、高くなっている。

20

【0018】

つまり、端子3307や端子3308の電位は、高電位側電源VDDと等しいか、それ以上の電位となる。したがって、入力信号の振幅よりも、出力信号の振幅の方が小さくなってしまふ、ということを防ぐことができる。

30

【0019】

このような回路は、一般に、ブートストラップ回路と呼ばれる。

【0020】

【特許文献1】特開平8-50790号公報

【特許文献2】特許第3330746号明細書

【特許文献3】特許第3092506号明細書

【特許文献4】特開2002-328643号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0021】

しかしながら、図33に示すインバータ回路には、大きく2つの問題点がある。

【0022】

1つ目の問題点は、入力端子3305にH信号(高電位側電源VDD)が入力され、入力端子3306にL信号(低電位側電源GND)が入力された時、トランジスタ3301がオフになるのが遅いと、端子3307や端子3308の電位が、十分に上昇しない状態になってしまう、ということである。仮に、トランジスタ3302が先にオフになっていたとする。その場合、容量素子3304は、トランジスタ3302のゲート・ソース間に配置されているため、容量素子3304

50

には、トランジスタ3302のしきい値電圧が蓄積されていることになる。その時点では、トランジスタ3301は、まだ、オン状態であるため、端子3307の電位は、上昇している。そしてついに、トランジスタ3301がオフする。このときには、容量素子には、トランジスタ3302のしきい値電圧が保存されており、トランジスタ3302は、オフしている。したがって、端子3308や3307の電位は、これ以上、上昇しない。

【 0 0 2 3 】

2つ目の問題点は、入力端子3305に入力されるH信号の電位が、高電位側電源VDDよりも低い場合、端子3307や端子3308の電位が、十分に上昇しない、ということである。入力端子3305に信号を出力する回路が、例えば、図9(A)のような回路である場合、H信号の電位が、高電位側電源VDDよりも低くなってしまうことが起こりうる。そこで仮に、入力端子3305に入力されるH信号の電位と、高電位側電源VDDとの差が、トランジスタ3301のしきい値電圧よりも大きい場合について考える。そのような場合は、入力端子3305にH信号が入力され、入力端子3306にL信号(低電位側電源GND)が入力された時、端子3307の電位の上昇が止まっても、トランジスタ3301は、オフ状態にならない。つまり、端子3307は、フローティング状態にはならず、端子3307には、端子3305から電荷が供給され続ける。そのため、端子3305と端子3307の電位は、等しい状態が維持される。したがって、容量素子3304の両端の電圧(両端の電位差)が変化しない、というような動作にはならない。その結果、端子3307や端子3308の電位は、十分に上昇しない。

【 0 0 2 4 】

このようなインバータ回路の出力端子に、同様な構成のインバータ回路を接続すると、その出力端子の信号振幅は、さらに、低くなってしまう。つまり、回路を接続するたびに、どんどん出力信号の振幅が小さくなり、正常に動作しなくなってしまう。

【 0 0 2 5 】

これに対し、特許文献4に示されているインバータ回路では、上記の2つ目の問題は、解決している。図34に、特許文献4に示されているインバータ回路を示す。入力端子3405に、高電位側電源VDDよりも低いH信号が入力され、入力端子3406にL信号(低電位側電源GND)が入力された時、端子3407の電位が上昇して、トランジスタ3401のゲート・ソース間電圧がしきい値電圧に等しくなると、トランジスタ3401は、オフする。つまり、端子3407は、フローティング状態になる。したがって、その時点での容量素子3404の両端の電圧(両端の電位差)は、保存される。よって、トランジスタ3401がオフした時点で、トランジスタ3402がオン状態であれば、端子3408の電位は、上昇を続け、結果として、端子3407の電位も、上昇していく。

【 0 0 2 6 】

ただし、図34の回路であっても、上記1つ目の問題は、解決できていない。

【 0 0 2 7 】

上述した問題に鑑み、出力信号の振幅が小さくなりにくい半導体装置を提供することを課題とする。また、極性が1つのみのトランジスタを用いて回路を構成することが出来る半導体装置を提供することを課題とする。

【 0 0 2 8 】

なお、半導体装置とは半導体を用いた素子(トランジスタ、ダイオード)、コンデンサ、抵抗などを含む回路を構成している装置をいうものとする。もちろんこれらの素子は限定しているわけではない。

【課題を解決するための手段】

【 0 0 2 9 】

本発明は、上記の問題点を解決するために、以下に示す手段を用いる。

【 0 0 3 0 】

本発明は、第1のトランジスタと第2のトランジスタと第3のトランジスタと第1の入力端子と第2の入力端子とを有する半導体装置であって、第1のトランジスタのソース端子と第2のトランジスタのドレイン端子とが接続され、第3のトランジスタのドレイン端子は、第1のトランジスタのゲート端子に接続され、第1の入力端子は、第3のトランジ

10

20

30

40

50

スタのゲート端子および第2のトランジスタのゲート端子に接続され、第2の入力端子は、第1のトランジスタのゲート端子と整流性素子を介して接続されていることを特徴とする半導体装置が提供される。

【0031】

また、本発明は、上記構成において、

整流性素子が、ダイオード接続されたトランジスタであることを特徴とする半導体装置が提供される。

【0032】

つまり、本発明では、信号入力部分にダイオード接続されたトランジスタなどのような整流性素子が配置される。

10

【0033】

そして、ダイオード接続されたトランジスタがオフすることによって、第1のトランジスタのゲート端子が、フローティング状態となる。そのとき、第1のトランジスタは、オン状態にあり、そのゲート・ソース間電圧は、容量素子(トランジスタのゲート容量)に保存される。その後、第1のトランジスタのソース端子の電位があがると、ブートストラップ効果により、第1のトランジスタのゲート端子の電位もあがる。その結果、出力信号の振幅が小さくなることを防ぐことが出来る。

【0034】

また、本発明は、上記構成において、

第3のトランジスタと直列に第2の整流性素子が接続されていることを特徴とする半導体装置が提供される。

20

【0035】

また、本発明は、上記構成において、

第2の整流性素子が、ダイオード接続されたトランジスタであることを特徴とする半導体装置が提供される。

【0036】

つまり、本発明では、第1のトランジスタのゲート端子部分に、ダイオード接続されたトランジスタなどのような第2の整流性素子が配置される。

【0037】

そして、第2の整流性素子であるダイオード接続されたトランジスタがオフすることによって、第1のトランジスタのゲート端子の電位が、下がりすぎることを防ぐことが出来る。その結果、出力信号の振幅が小さくなることを防ぐことが出来る。

30

【0038】

また、本発明は、上記構成において、

ダイオード接続されたトランジスタと、第1のトランジスタとが、同じ導電型を有することを特徴とする半導体装置が提供される。

【0039】

つまり、第1のトランジスタと、ダイオード接続されたトランジスタとが、同じ導電型を有することによって、回路を構成する全てのトランジスタの導電型を同じにすることが可能となる。その結果、コストダウンを図ることが出来る。

40

【0040】

また、本発明は、上記構成において、

第2の整流性素子であるダイオード接続されたトランジスタと、第1のトランジスタとが、同じ導電型を有することを特徴とする半導体装置が提供される。

【0041】

つまり、第1のトランジスタと、第2の整流性素子であるダイオード接続されたトランジスタとが、同じ導電型を有することによって、両トランジスタのしきい値電圧の大きさを概ね同じにすることが出来る。第1のトランジスタのしきい値電圧と、第2の整流性素子であるダイオード接続されたトランジスタのしきい値電圧とが、概ね同じ大きさであるため、第1のトランジスタがオフすべきときに、電流が漏れてしまうことを防ぐことが出

50

来る。

【0042】

また、本発明は上記構成において、容量素子を有し、容量素子の一方の端子は、第1のトランジスタのゲート端子と接続され、他方の端子は、第1のトランジスタのソース端子と接続されていることを特徴とする半導体装置が提供される。

【0043】

なお、本発明におけるランジスタは、どのような材料、手段、製造方法によりできたトランジスタでもよいし、どのようなタイプのトランジスタでもよい。例えば、薄膜トランジスタ(TFT)でもよい。TFTのなかでも、半導体層が非晶質(アモルファス)のものでよいし、多結晶(ポリクリスタル)でも、単結晶のものでよい。その他のトランジスタとして、単結晶基板において作られたトランジスタでもよいし、SOI基板において作られたトランジスタでもよいし、プラスチック基板の上に形成されたトランジスタでもよいし、ガラス基板上に形成されたトランジスタでもよい。その他にも、有機物やカーボンナノチューブで形成されたトランジスタでもよい。また、MOS型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

10

【0044】

なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、間に、別の素子や回路などが配置されていてもよい。

【発明の効果】

【0045】

本発明は上記構成によって、ブートストラップ回路を構成する容量素子の一方の端子をフローティング状態になりやすくすることが出来る。その結果、出力信号の振幅が小さくなってしまふことを防ぐことが出来る。また、入力信号の振幅が小さくても、ブートストラップ回路を構成する容量素子の一方の端子をフローティング状態にすることが出来る。そのため、出力信号の振幅が小さくなってしまふことを防ぐことが出来る。また、極性が1つのみのトランジスタを用いて回路を構成することが出来る。そのため、製造コストを抑えることが出来る。

20

【発明を実施するための最良の形態】

【0046】

本発明の半導体装置が有する回路構成について、以下に説明する。

30

【0047】

(実施の形態1)

本実施の形態では、まず、発明が解決しようとする課題において説明した、2つ目の問題に対処したインバータ回路について説明する。つまり、入力端子に入力されるH信号の電位が、高電位側電源VDDよりも低い場合、ある端子の電位が、十分に上昇しない、という問題に対処したインバータ回路について、説明する。

【0048】

図2に、入力端子105に入力されるH信号の電位が、高電位側電源VDDよりも低くても、端子107や端子108の電位が、十分に上昇できるようにしたインバータ回路を示す。入力端子105は、ダイオード接続されたトランジスタ101を介して、トランジスタ102のゲート端子と接続されている。トランジスタ101は、ダイオード接続されているため、そのゲート端子は、入力端子105に接続されている。よって、端子105から端子107の方へは、電流を流すことができ、端子107から端子105の方へは、電流を流すことが出来ない。また、トランジスタ102のゲート端子とソース端子の間には、容量素子104が接続されている。トランジスタ103のドレイン端子は、トランジスタ102のソース端子と接続されており、トランジスタ103のゲート端子は、入力端子106と接続されている。そして、トランジスタ109のゲート端子は、入力端子106と接続され、ドレイン端子は、トランジスタ102のゲート端子と接続されている。

40

【0049】

なお、トランジスタ109のソース端子と、トランジスタ103のソース端子は、低電位側電源

50

GNDに接続されているが、これに限定されない。各々のソース端子は、異なる電位の配線に接続されていてもよいし、パルス信号が入力されてもよい。

【0050】

また、入力端子106は、トランジスタ109のゲート端子とトランジスタ103のゲート端子とに接続されているが、これに限定されない。各々のゲート端子は、別々の入力端子に接続されていてもよい。

【0051】

また、トランジスタ102のドレイン端子は、高電位側電源VDDと接続されているが、これに限定されない。異なる電位の配線に接続されていてもよいし、パルス信号が入力されてもよい。

10

【0052】

次に、図2の動作について説明する。入力端子105と入力端子106には、通常は互いに反転した信号が入力される。ただし、常に反転した信号を入力しなくても動作させることは可能である。まず、入力端子106にH信号（高電位側電源VDD）が入力され、入力端子105にL信号（低電位側電源GND）が入力されるとする。すると、トランジスタ109とトランジスタ103はオンする。その結果、端子108の電位は、GNDとなる。そして、端子107の電位は、GNDとなるので、トランジスタ102はオフする。また、端子105と端子107は、同電位なので、トランジスタ101は、オフする。また、容量素子104の両端の電圧（両端の電位差）は、0Vとなる。

【0053】

20

次に、入力端子105にH信号（高電位側電源VDD）が入力され、入力端子106にL信号（低電位側電源GND）が入力されるとする。すると、トランジスタ109とトランジスタ103はオフする。入力端子105の電位は、H信号（高電位側電源VDD）の電位であるため、トランジスタ101はオンし、端子107の電位が上昇する。そして、トランジスタ102のゲート・ソース間電圧がしきい値電圧よりも大きくなると、トランジスタ102がオンし、端子108の電位が上昇し始める。そのような時に、端子107の電位が上昇していくと、ついには、トランジスタ101がオフする。なぜなら、端子107は、トランジスタ101のソース端子となっているため、端子107の電位が上昇することにより、トランジスタ101のゲート・ソース間電圧（ドレイン・ソース間電圧）が小さくなり、ついには、しきい値電圧に等しくなるからである。トランジスタ101のゲート・ソース間電圧が、しきい値電圧に等しくなると、トランジスタ101はオフ状態となる。よって、端子105から端子107への電流の流れは、とまる。つまり、端子107は、フローティング状態となる。その結果、容量素子104の両端の電圧（両端の電位差）は、変化しなくなる。

30

【0054】

トランジスタ101がオフになった時点において、端子108の電位は、まだ、上昇を続けていたとする。その場合、トランジスタ102は、オン状態にある。つまり、トランジスタ102のゲート・ソース間電圧、つまり、容量素子104の両端の電圧（両端の電位差）は、トランジスタ102のしきい値電圧よりも大きい。よって、さらに、端子108の電位が上昇する。このとき、同時に、端子107の電位も上昇する。なぜなら、容量素子104の両端の電圧（両端の電位差）は、変化しなくなっているため、容量素子104の一方の端子（端子108）が上昇すると、他方の端子（端子107）も上昇するからである。そして、そのまま、端子108の電位は、上昇を続け、ついには、高電位側電源VDDに達する。端子108の電位が高電位側電源VDDに達するまでの間、ずっと、トランジスタ102は、オン状態にある。容量素子104には、トランジスタ101がオフになった時点での電圧が、そのまま保持されている。よって、端子107の電位は、高電位側電源VDDよりも、容量素子3304に保存されている電圧分だけ、高くなっている。

40

【0055】

つまり、端子107や端子108の電位は、高電位側電源VDDと等しいか、それ以上の電位となる。したがって、入力信号の振幅よりも、出力信号の振幅の方が小さくなってしまふ、ということを防ぐことが出来る。

50

【 0 0 5 6 】

このように、端子106に入力した信号が、端子107、108では、反転した信号になっている。したがって、図2に示すインバータ回路においては、入力端子が端子106であり、出力端子が端子107または108である、ということができる。そして、端子105には、端子106とは反転した信号を入力すればよい。したがって端子105も入力端子の1つと考えてもよい。

【 0 0 5 7 】

また、出力端子を端子107にするか、端子108にするかは、その先に接続する回路の入力インピーダンスの大きさによって決めることができる。つまり、端子107は、動作状態によっては、フローティング状態にする必要がある。したがって、端子107は、入力インピーダンスが低い回路と接続することができない。ただし、端子107において、H信号の時の電位は、VDDよりも高くすることが出来る。一方、端子108の場合は、フローティング状態にする必要がないため、入力インピーダンスが低くないような回路に接続しても問題ない。ただし、H信号の時の電位は、VDDよりも高くはならない。このように、各々の相違点があるため、出力端子を端子107または端子108のどちらにするかは、適宜判断すればよい。

【 0 0 5 8 】

ここで、図2で示したインバータ回路を表す図記号301を、図3に示す。入力端子303は端子106に相当し、入力端子304は端子105に相当する。出力端子302は端子108または端子107に相当する。端子303と端子304には、互いに反転した信号が入力される。インバータ回路としての動作を考えると、端子303に入力した信号が、反転して、出力端子302に出力される。したがって、端子303がインバータ回路としての入力端子であるといえる。

【 0 0 5 9 】

次に、入力端子105に入力されるH信号の電位が、高電位側電源VDDよりも低い場合について考える。仮に、入力端子105に入力されるH信号の電位と、高電位側電源VDDとの差が、トランジスタ101のしきい値電圧よりも大きい場合について考える。そのような場合であっても、入力端子105にH信号が入力され、入力端子106にL信号（低電位側電源GND）が入力された時、端子107の電位が上昇し、トランジスタ101のゲート・ソース間電圧がしきい値電圧に等しくなると、トランジスタ101はオフし、端子107はフローティング状態になる。したがって、トランジスタ101がオフした段階で、トランジスタ102がオンしていれば、そのときのトランジスタ102のゲート・ソース間電圧は、容量素子104に保持される。よって、端子108や端子107の電位は、十分上昇する。

【 0 0 6 0 】

このように、通常のCMOS回路においても、Pチャネル型トランジスタを用いるトランジスタに関し、その極性を逆にしても、トランジスタ101、109、容量素子104などを用いることにより、正常に動作させることが可能となる。これは、インバータ回路だけでなく、あらゆる回路にも、適用できる。

【 0 0 6 1 】

なお、図2において、トランジスタ102のドレイン端子は、電位VDDの配線に接続されているが、これに限定されない。トランジスタ102のドレイン端子の電位は、状況によって変化してもよい。例えば、パルス信号を入力してもよい。同様に、トランジスタ103やトランジスタ109のソース端子は、電位GNDの配線に接続されているが、これに限定されない。トランジスタ103やトランジスタ109のソース端子の電位は、状況によって変化してもよいし、各々で異なる電位や信号が入力されていてもよい。

【 0 0 6 2 】

例えば、図4に示すように、トランジスタ102のドレイン端子は、入力端子105に接続されていてもよい。この場合においても、入力端子106にH信号（高電位側電源VDD）が入力され、入力端子105にL信号（低電位側電源GND）が入力されるときには、出力端子108の電位はGNDとなり、入力端子106にL信号（低電位側電源GND）が入力され、入力端子105にH信号（高電位側電源VDD）が入力されるときには、出力端子108の電位

10

20

30

40

50

はVDDとなる。したがって、問題なく動作する。

【0063】

あるいは、トランジスタ102のドレイン端子にパルス信号を入力することにより、シフトレジスタやラッチ回路など、もしくはその一部を構成することもできる。

【0064】

なお、図2において、トランジスタは、Nチャンネル型を用いていたが、これに限定されない。Pチャンネル型トランジスタも用いて回路を構成してもよいし、CMOS型にして、回路を構成してもよい。図2の回路におけるトランジスタを全てPチャンネル型にする場合は、VDDとGNDの電位を入れ替えればよい。

【0065】

なお、図2におけるトランジスタ101は、トランジスタ102などと同じ極性のトランジスタであるが、これに限定されない。整流性のある素子であれば、何でもよい。例えば、トランジスタ101の代わりに、PN接合やPIN接合のダイオードやショットキー型のダイオードなどを用いてもよい。また、図5に示すように、トランジスタ102などと反対の極性のトランジスタ101Pをダイオード接続したもの、などを用いてもよい。

【0066】

なお、容量素子104は、省略することも可能である。つまり、トランジスタ102のゲート容量で代用することが可能である。トランジスタ102のゲート容量については、ソース領域やドレイン領域やLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量

【0067】

(実施の形態2)

実施の形態1では、発明が解決しようとする課題において説明した、2つ目の問題に対処したインバータ回路について説明した。本実施の形態では、発明が解決しようとする課題において説明した、1つ目の問題に対処したインバータ回路について説明する。

【0068】

ここで、図33の回路にもどり、1つ目の問題が生じてしまう要因を分析する。まず、入力端子3306にH信号(高電位側電源VDD)が入力され、入力端子3305にL信号(低電位側電源GND)が入力されるときには、端子3307は、L信号(低電位側電源GND)の電位となる。つまり、容量素子3304の両端の電圧(両端の電位差)は、0Vとなる。

【0069】

次に、入力端子3305にH信号(高電位側電源VDD)が入力され、入力端子3306にL信号(低電位側電源GND)が入力されるときには、端子3307の電位は、GND(0V)から上昇し始める。そして、VDDよりもしきい値電圧だけ低い電位(VDD - V_{thN})になったあと、フローティング状態となる。つまり、それだけの電位差を上昇させる必要がある。そのため、それだけの充電時間が必要となってしまう。したがって、端子3307がフローティング状態になるのが、それだけ遅くなってしまう。

【0070】

そこで、本発明では、端子3307(またはそれに相当する端子)の電位を、GND(0V)まで下げずに動作させることにした。ただし、トランジスタがオフすべきときには、オフさせる必要があるため、端子の電位を、概ねしきい値電圧付近の電位まで下げることとした。その結果、容量素子には、0Vではなく、しきい値電圧が保存される。このように、最初から電荷が保持されているので、電位の上昇分が少なくすむ。よって、充電時間が少なくなり、端子がフローティングになるまでの時間も少なくなる。

【0071】

以上のような原理に基づき、回路を構成し、1つ目の問題に対処する。

【0072】

なお、本実施の形態では、実施の形態1で説明した回路を改良することにより、1つ目の問題に対処する。よって、1つ目の問題と2つ目の問題を両方同時に解決できることに

10

20

30

40

50

なる。したがって、基本的な構成や動作は、実施の形態1の場合と同様であるため、詳しい説明は省略する。

【0073】

図1に、図2を改良し、1つ目の問題と2つ目の問題を両方解決した回路図を示す。図1では、発明が解決しようとする課題において説明した、2つ目の問題を解決するために、ダイオード接続（ゲート端子とドレイン端子が接続）されたトランジスタ110を、トランジスタ109と直列に配置する。なお、図1では、トランジスタ109のドレイン端子側に、トランジスタ110が接続されているが、これに限定されない。例えば、図6に示すようにトランジスタ109のソース端子側に接続してもよい。

【0074】

図1のように、ダイオード接続されたトランジスタ110を配置することにより、端子107の電位が、しきい値電圧よりも低くならないようにすることが出来る。つまり、容量素子104の両端の電圧（両端の電位差）が、0Vにならず、しきい値電圧以上の電圧になることが出来る。

【0075】

そこで、簡単に動作を説明する。まず、入力端子106にH信号（高電位側電源VDD）が入力され、入力端子105にL信号（低電位側電源GND）が入力されるとする。すると、トランジスタ109とトランジスタ103はオンする。その結果、端子108の電位は、GNDとなる。しかし、端子107の電位は、トランジスタ110のしきい値電圧となる。なぜなら、トランジスタ101はオフしている。そして、トランジスタ110のゲート端子は、ドレイン端子と接続されているため、トランジスタ110のソース・ドレイン間電圧がしきい値電圧に等しくなると、トランジスタ110がオフするからである。端子107の電位がしきい値電圧になるため、容量素子104の両端の電圧（両端の電位差）も、しきい値電圧となる。したがって、トランジスタ110のしきい値電圧とトランジスタ102のしきい値電圧が等しいとすると、トランジスタ102はオフすることになる。

【0076】

次に、入力端子105にH信号（高電位側電源VDD）が入力され、入力端子106にL信号（低電位側電源GND）が入力されるとする。すると、トランジスタ109とトランジスタ103はオフする。入力端子105の電位は、H信号（高電位側電源VDD）の電位であるため、トランジスタ101はオンし、端子107の電位が上昇する。ただし、図2の場合は、電位はGND（0V）から上昇し始めるが、図1の場合は、端子107は、しきい値電圧から上昇し始める。そのため、端子107の電位はすばやく上昇する。その結果、トランジスタ101は、すばやくオフ状態となり、端子107もフローティング状態となる。その時点では、端子108の電位は、まだ上昇中であるため、トランジスタ102もオン状態となっている。よって、端子108や107の電位が十分に上昇しない、という問題に対処することが出来る。

【0077】

なお、トランジスタ110により、端子107の電位の変化量が少なくすみ、電位の変化がすばやくなる。その結果、回路の動作も早くなる。

【0078】

このような構成を用いることにより、発明が解決しようとする課題において説明した、1つ目の問題と2つ目の問題を、同時に両方解決することが出来る。

【0079】

なお、図1、図6において、トランジスタは、Nチャネル型を用いていたが、これに限定されない。図1や図6の回路におけるトランジスタを全てPチャネル型にする場合は、VDDとGNDの電位を入れ替えればよい。図1の回路におけるトランジスタを全てPチャネル型にした場合の回路図を、図7に示す。

【0080】

なお、図1、図6におけるトランジスタ110は、トランジスタ102などと同じ極性のトランジスタであるが、これに限定されない。整流性のある素子であれば、何でもよい。例えば、トランジスタ110の代わりに、PN接合やPIN接合のダイオード、ショットキー型ダ

10

20

30

40

50

イオード、トランジスタ102などと反対の極性のトランジスタをダイオード接続したものの、などを用いてもよい。つまり、端子107の電位が、下がり過ぎないようにしていればよい。

【0081】

ただし、トランジスタ110とトランジスタ102とは、同じ極性のトランジスタで、しきい値電圧も概ね等しいことが望ましい。なぜなら、トランジスタ110とトランジスタ102のしきい値電圧が異なれば、入力端子105にH信号（高電位側電源VDD）が入力され、入力端子106にL信号（低電位側電源GND）が入力されるとき、トランジスタ102がオンしてしまう可能性があるからである。したがって、トランジスタ110と102とは、近接して配置したりすることで、特性をそろえやすくすることが望ましい。例えば、半導体層をレーザーを用いて結晶化させる場合、同じショットがトランジスタ110と102に当たるようにすることが望ましい。ただし、動作に支障をきたさない程度であれば、トランジスタ110とトランジスタ102のしきい値電圧が多少異なっても問題ない。

10

【0082】

なお、本実施の形態では、実施の形態1で説明した回路を改良したものについて述べている。したがって、実施の形態1で説明した内容は、本実施の形態においても適用することが可能である。

【0083】

（実施の形態3）

本実施の形態では、実施の形態1で説明した回路を改良することにより、発明が解決しようとする課題において説明した1つ目の問題と2つ目の問題に対処したインバータ回路について説明した。本実施の形態では、図34の回路を改良することにより、1つ目の問題に対処したインバータ回路について説明する。

20

【0084】

図8に、図34の回路を改良したインバータ回路を示す。トランジスタ3409と直列に、ダイオード接続したトランジスタ801が配置される。なお、図8では、トランジスタ3409のドレイン端子と端子3407の間に、トランジスタ801が配置されているが、これに限定されない。例えば、トランジスタ3409のソース端子側に接続されていてもよい。

【0085】

このように、トランジスタ801を配置することにより、端子3407の電位が下がりすぎることがない。そのため、端子3407の電位はすばやく上昇する。その結果、トランジスタ3401は、すばやくオフ状態となり、端子3407もフローティング状態となる。その時点では、端子3408の電位は、まだ上昇中であるため、トランジスタ3402もオン状態となっている。よって、端子3408や3407の電位が十分に上昇しない、という問題に対処することが出来る。

30

【0086】

なお、トランジスタ801により、端子3407の電位の変化量が少なくすみ、電位の変化がすばやくなる。その結果、回路の動作も早くなる。

【0087】

このような構成を用いることにより、発明が解決しようとする課題において説明した、1つ目の問題と2つ目の問題を、同時に両方解決することが出来る。

40

【0088】

なお、図8において、トランジスタは、Nチャネル型を用いていたが、これに限定されない。Pチャネル型トランジスタも用いて回路を構成してもよいし、CMOS型にして、回路を構成してもよい。図8の回路におけるトランジスタを全てPチャネル型にする場合は、VDDとGNDの電位を入れ替えればよい。

【0089】

なお、図8におけるトランジスタ801は、トランジスタ3402などと同じ極性のトランジスタであるが、これに限定されない。整流性のある素子であれば、何でもよい。例えば、トランジスタ801の代わりに、PN接合やPIN接合のダイオード、ショットキー型ダイオ

50

ード、トランジスタ3402などと反対の極性のトランジスタをダイオード接続したもの、などを用いてもよい。つまり、端子3407の電位が、下がり過ぎないようにしていればよい。

【0090】

ただし、トランジスタ801とトランジスタ3402とは、同じ極性のトランジスタで、しきい値電圧も概ね等しいことが望ましい。なぜなら、トランジスタ801とトランジスタ3402のしきい値電圧が異なれば、入力端子3405にH信号（高電位側電源VDD）が入力され、入力端子3406にL信号（低電位側電源GND）が入力されるとき、トランジスタ3402がオンしてしまう可能性があるからである。したがって、トランジスタ801とトランジスタ3402とは、近接して配置したりすることで、特性をそろえやすくすることが望ましい。例えば、半導体層をレーザーを用いて結晶化させる場合、同じショットがトランジスタ801と3402に当たるようにすることが望ましい。ただし、動作に支障をきたさない程度であれば、トランジスタ801とトランジスタ3402のしきい値電圧が多少異なっても問題ない。

10

【0091】

（実施の形態4）

実施の形態1～3においては、インバータ回路に適用した場合について述べてきた。次に、本実施の形態では、それ以外の回路に適用した場合の例を示す。

【0092】

まず、図10に、クロックドインバータ回路に適用した場合の構成を示す。図10の回路は、図2に示したインバータ回路を拡張することにより、構成している。しかし、実施の形態1～3において示した別の回路を拡張することによりクロックドインバータ回路を構成することも可能である。

20

【0093】

図10において、トランジスタ1002B、1003Bは、クロックドインバータ回路の出力端子に、信号が出力されるか、されないかを制御している。通常は、クロック信号やサンプリングパルス信号などに同期して、オンオフが制御される。したがって、トランジスタ1002B、1003Bは、入力端子1005Bに入力される信号に同期して、同時にオンオフする。一方、トランジスタ1002、1003は、入力端子1005に入力される入力信号を反転させて、出力端子1010に出力するように動作する部分である。

【0094】

図10に示すように、クロックドインバータをCMOS型で構成する場合に、Pチャネル型トランジスタを用いる部分において、トランジスタ1001、1009、1001B、1009B、容量素子1004、1004Bなどを用いて、出力信号の振幅が小さくなってしまふことを防いでいる。なお、図10では、トランジスタ1003Bのゲート端子は、入力端子1005Bに接続されているが、これに限定されない。トランジスタ1003Bのゲート端子が、端子1007Bに接続されていてもよい。

30

【0095】

なお、図1のように、トランジスタ1009、1009Bなどと直列に、ダイオード接続されたトランジスタを配置してもよい。また、トランジスタ1001、1001Bの接続を図8におけるトランジスタ3401のように変更することにより、図8のインバータ回路を拡張して、クロックドインバータを構成してもよい。

40

【0096】

なお、図10の回路の動作については、実施の形態1～3で説明したものと同様であるため、省略する。

【0097】

ここで、本実施の形態で示したクロックドインバータを表す図記号1101を、図11に示す。端子1105は端子1005Bに相当し、端子1106は端子1006Bに相当する。端子1105と端子1106には、互いに反転した信号が入力される。端子1105にH信号が入力されたとき、出力端子1102に信号が出力されるものとする。そして、入力端子1103は端子1006に相当し、入力端子1104は端子1005に相当する。クロックドインバータ回路として考えた場合、入力端子11

50

03に入力した信号が、反転して、出力端子1102に出力される。したがって、端子1103がクロックインバータ回路としての入力端子であるといえる。なお、端子1103と端子1104には、互いに反転した信号が入力される。

【 0 0 9 8 】

次に、図12に、NAND回路に適用した場合の構成を示す。図12の回路は、図2に示したインバータ回路を拡張することにより、構成している。しかし、実施の形態1～3において示した別の回路を拡張することによりNAND回路を構成することも可能である。

【 0 0 9 9 】

図12では、NAND回路をCMOS型で構成する場合に、Pチャネル型トランジスタを用いる部分、つまり、トランジスタ1202、1202Bにおいて、トランジスタ1201、1209、1201B、1209B、容量素子1204、1204Bなどを用いて、出力信号の振幅が小さくなってしまふことを防いでいる。そして、CMOS型で構成する場合に、Nチャネル型トランジスタを用いる部分、つまり、トランジスタ1203、1203Bは、CMOS型で構成する場合と同様にす

10

【 0 1 0 0 】

なお、図1のように、トランジスタ1209、1209Bなどと直列に、ダイオード接続されたトランジスタを配置してもよい。また、トランジスタ1201、1201Bの接続を図8におけるトランジスタ3401のように変更することにより、図8のインバータ回路を拡張して、NAND回路を構成してもよい。

【 0 1 0 1 】

なお、図12の回路の動作については、実施の形態1～3で説明したものと同様であるため、省略する。

20

【 0 1 0 2 】

ここで、本実施の形態で示したNAND回路を表す図記号1301を、図13に示す。入力端子1303は端子1206に相当し、入力端子1305は端子1206Bに相当する。また、入力端子1304は端子1205に相当し、入力端子1306は端子1205Bに相当する。端子1303と端子1304には、互いに反転した信号が入力され、端子1305と端子1306には、互いに反転した信号が入力される。出力端子1302は、端子1201に相当する。NAND回路として論理動作を考えた場合、端子1303と端子1305がNAND回路としての入力端子であるといえる。

【 0 1 0 3 】

次に、図14に、NOR回路に適用した場合の構成を示す。図14の回路は、図2に示したインバータ回路を拡張することにより、構成している。しかし、実施の形態1～3において示した別の回路を拡張することによりNOR回路を構成することも可能である。

30

【 0 1 0 4 】

図14でも同様に、NOR回路をCMOS型で構成する場合に、Pチャネル型トランジスタを用いる部分、つまり、トランジスタ1402、1402Bにおいて、トランジスタ1401、1409、1401B、1409B、容量素子1404、1404Bなどを用いて、出力信号の振幅が小さくなってしまふことを防いでいる。そして、CMOS型で構成する場合に、Nチャネル型トランジスタを用いる部分、つまり、トランジスタ1403、1403Bは、CMOS型で構成する場合と同様にす

40

【 0 1 0 5 】

なお、図1のように、トランジスタ1409、1409Bなどと直列に、ダイオード接続されたトランジスタを配置してもよい。また、トランジスタ1401、1401Bの接続を図8におけるトランジスタ3401のように変更することにより、図8のインバータ回路を拡張して、NOR回路を構成してもよい。

【 0 1 0 6 】

なお、図14の回路の動作については、実施の形態1～3で説明したものと同様であるため、省略する。

【 0 1 0 7 】

次に、図15に、トランスファークローク回路（アナログスイッチ回路）に適用した場合の

50

構成を示す。図15の回路は、図2に示したインバータ回路を拡張することにより、構成している。しかし、実施の形態1～3において示した別の回路を拡張することによりトランスファークロウ回路を構成することも可能である。

【0108】

図15の場合、入出力端子である端子1510、1511の電位は、どちらの方が高くなるかは、状況によって変わる。したがって、どちら側の端子がソース端子になるかは、不明である。そこで、図15では、トランジスタ1502とトランジスタ1502Bを並列に配置し、容量素子1504と1504Bの接続をかえて配置した。これにより、端子1510、1511のどちらの電位が低くても、トランジスタ1502とトランジスタ1502Bのゲート端子の電位は、十分に上昇させることができる。

10

【0109】

したがって、トランスファークロウ回路の場合は、CMOS型で構成する場合に、Pチャネル型トランジスタを用いる部分のみを対象とするのではなく、両方のトランジスタに対して、トランジスタ1501、1509、1501B、1509B、容量素子1504、1504Bなどを用いて、出力信号の振幅が小さくなってしまふことを防いでいる。このように、出力信号の振幅が小さくなってしまふ部分のトランジスタに対して、ダイオード接続されたトランジスタや容量素子などを配置することにより、正常に動作させることが可能となる。

【0110】

なお、図1のように、トランジスタ1509、1509Bなどと直列に、ダイオード接続されたトランジスタを配置してもよい。また、トランジスタ1501、1501Bの接続を図8におけるトランジスタ3401のように変更することにより、図8のインバータ回路を拡張して、トランスファークロウ回路を構成してもよい。

20

【0111】

なお、図15の回路の動作については、実施の形態1～3で説明したものと同様であるため、省略する。

【0112】

なお、図10、12、14、15において、トランジスタは、Nチャネル型を用いていたが、これに限定されない。図10、12、14、15の回路におけるトランジスタを全てPチャネル型にする場合は、VDDとGNDの電位を入れ替えればよい。

【0113】

なお、本実施の形態では、NAND回路など、さまざまな回路に適用した場合について説明したが、適用できる回路は、本実施の形態で記載した回路に限定されない。さまざまな回路に適用することができる。

30

【0114】

なお、本実施の形態では、実施の形態1～3で説明した回路を拡張したものについて述べている。したがって、実施の形態1～3で説明した内容は、本実施の形態においても適用することが可能である。

【0115】

(実施の形態5)

実施の形態1において、図2のインバータ回路では、出力端子は、端子108だけでなく、端子107を用いてもよいことは、説明した。そこで、本実施の形態では、出力端子107の出力を利用して、さまざまな回路を構成する例について説明する。つまり、端子108から信号を出力するインバータ回路を、レベル補正回路として動作させ、さまざまな回路を動作させる場合の例を示す。

40

【0116】

まず、インバータ回路に適用した場合について、図16に構成を示す。図16では、図1のインバータ回路をレベル補正回路として用いており、端子107を出力端子として、別の回路(ここではインバータ回路)の入力端子と接続している。そして、レベル補正回路1601から出力される信号を用いて、回路(ここではインバータ回路)を正常に動作させる。

【0117】

50

レベル補正回路1601の入力端子1603と入力端子1604は、各々、端子105と端子1206とに接続されている。レベル補正回路1601の出力端子1605は、端子107と接続され、出力端子1606は、端子106と接続されている。

【 0 1 1 8 】

入力端子1603と入力端子1604とには、互いに反転した信号が入力される。すると、出力端子1606には、入力端子1604の信号がそのまま出力され、一方、出力端子1605には、入力端子1603の信号の電位が調節されて、出力される。具体的には、H信号の場合は、より高くなった電位が出力される。

【 0 1 1 9 】

したがって、出力端子1605には、C M O S型で構成する場合に、Pチャネル型トランジスタを用いる部分のトランジスタを接続すればよい。すると、出力信号の振幅が小さくなってしまふことを防ぐことが出来る。

10

【 0 1 2 0 】

図16では、レベル補正回路1601の出力端子1605は、トランジスタ1608のゲート端子に接続されており、出力端子1606は、トランジスタ1609のゲート端子に接続されている。その結果、出力端子1607には、振幅値が小さくならず、信号が出力される。

【 0 1 2 1 】

このように、C M O S型で構成する場合に、Pチャネル型トランジスタを用いる部分のトランジスタのゲート端子には、出力端子1605から信号を入力する。その結果、回路は、正常に動作するようになる。

20

【 0 1 2 2 】

なお、レベル補正回路は、図16の構成の構成に限定されない。実施の形態1～3において説明した回路を、任意に用いることが出来る。

【 0 1 2 3 】

ここで、図16の回路を図3で示したインバータ回路を表す図記号301で表すとすると、端子1604は端子303に相当し、端子1603は端子304に相当し、端子1607は端子302に相当することになる。

【 0 1 2 4 】

同様に、クロックドインバータ回路に適用した場合について、図17に構成を示す。レベル補正回路1601Cを用いて、トランジスタ1702、1705を同時にオンオフさせ、レベル補正回路1601Aを用いて、トランジスタ1703、1704を制御する。

30

【 0 1 2 5 】

トランジスタ1702、1703のゲート端子には、高い電位を与えることが出来るため、出力信号の振幅が小さくなることを防ぐことが出来る。

【 0 1 2 6 】

ここで、図17の回路を図11で示したクロックドインバータ回路を表す図記号1101で表すとすると、端子1604Aは端子1103に相当し、端子1603Aは端子1104に相当し、端子1604Cは端子1106に相当し、端子1603Cは端子1105に相当し、端子1706は端子1102に相当することになる。

【 0 1 2 7 】

同様に、N A N D回路に適用した場合について、図18に構成を示す。レベル補正回路1601Bを用いて、トランジスタ1802、1805をを制御し、レベル補正回路1601Aを用いて、トランジスタ1803、1804を制御する。

40

【 0 1 2 8 】

トランジスタ1802、1803のゲート端子には、高い電位を与えることが出来るため、出力信号の振幅が小さくなることを防ぐことが出来る。

【 0 1 2 9 】

ここで、図18の回路を図13で示したN A N D回路を表す図記号1301で表すとすると、端子1604Aは端子1303に相当し、端子1603Aは端子1304に相当し、端子1604Bは端子1105に相当し、端子1603Bは端子1306に相当し、端子1806は端子1302に相当することになる。

50

【 0 1 3 0 】

同様に、NOR回路に適用した場合について、図19に構成を示す。レベル補正回路1601Bを用いて、トランジスタ1902、1905を制御し、レベル補正回路1601Aを用いて、トランジスタ1903、1904を制御する。

【 0 1 3 1 】

トランジスタ1902、1903のゲート端子には、高い電位を与えることが出来るため、出力端子1906の出力信号の振幅が小さくなることを防ぐことが出来る。

【 0 1 3 2 】

同様に、トランスファージェート回路に適用した場合について、図20に構成を示す。レベル補正回路1601Aを用いて、トランジスタ2003を制御する。

10

【 0 1 3 3 】

トランジスタ2002のゲート端子には、高い電位を与えることが出来るため、入出力端子2003、2004の信号の振幅が小さくなることを防ぐことが出来る。

【 0 1 3 4 】

これまでは、図16～20のように、出力端子が1つの場合について述べてきた。しかし、その回路の先に、さらに別の回路を接続する場合、反転信号が必要になる場合が多い。そこで次に、出力端子が2つ有り、反転信号も出力する場合について述べる。

【 0 1 3 5 】

図21に、インバータに適用した場合の構成を示す。トランジスタ2103、2104で1つのインバータ回路を構成し、トランジスタ2103B、2104Bで1つのインバータ回路を構成している。各々のインバータ回路に、反転した信号を入力すれば、互いに反転した2つの信号を出力することが出来る。

20

【 0 1 3 6 】

ただし、トランジスタ2103とトランジスタ2103Bのゲート端子には、VDDよりも高い電位を入力できるようにしなければならない。かつ、トランジスタ2103とトランジスタ2103Bのゲート端子には、互いに反転した信号を入力しなければならない。したがって、2つのレベル補正回路1601A、1601Bが必要となる。

【 0 1 3 7 】

ここで、図21の回路を図記号2201で表した場合を図22に示す。入力端子2203の信号が、反転して、出力端子2202に出力される。入力端子2204には、入力端子2203とは反転した信号が入力され、出力端子2207には、出力端子2202とは反転した信号が出力される。すると、端子1604Aは端子2203に相当し、端子1603Aは端子2204に相当し、端子2106は端子2202に相当し、端子2106Bは端子2207に相当することになる。

30

【 0 1 3 8 】

同様に、図23に、クロックドインバータに適用した場合の構成を示す。トランジスタ2302、2303、2304、2305で1つのクロックドインバータ回路を構成し、トランジスタ2302B、2303B、2304B、2305Bで1つのクロックドインバータ回路を構成している。各々のクロックドインバータ回路に、反転した信号を入力すれば、互いに反転した2つの信号を出力することが出来る。

【 0 1 3 9 】

ただし、トランジスタ2303とトランジスタ2303Bのゲート端子には、VDDよりも高い電位を入力できるようにしなければならない。かつ、トランジスタ2303とトランジスタ2303Bのゲート端子には、互いに反転した信号を入力しなければならない。したがって、2つのレベル補正回路1601A、1601Bが必要となる。

40

【 0 1 4 0 】

また、トランジスタ2302とトランジスタ2302Bのゲート端子には、VDDよりも高い電位を入力できるようにしなければならない。ただし、トランジスタ2302とトランジスタ2302Bのゲート端子には、同じ信号を入力すればよい。したがって、1つのレベル補正回路1601Cが必要となる。

【 0 1 4 1 】

50

ここで、図23の回路を図記号2401で表した場合を図24に示す。端子2405にH信号が入力されたときに、入力端子2403の信号が、反転して、出力端子2402に出力される。入力端子2404には、入力端子2403とは反転した信号が入力され、入力端子2406には、入力端子2405とは反転した信号が入力され、出力端子2407には、出力端子2402とは反転した信号が出力される。すると、端子1603Cは端子2405に相当し、端子1604Cは端子2406に相当し、端子1604Aは端子2403に相当し、端子1603Aは端子2404に相当し、端子2306は端子2402に相当し、端子2306Bは端子2407に相当することになる。

【 0 1 4 2 】

同様に、図25に、NAND回路に適用した場合の構成を示す。トランジスタ2502、2503、2504、2505で1つのNAND回路を構成し、トランジスタ2502B、2503B、2504B、2505Bで1つのNAND回路を構成している。各々のNAND回路に、反転した信号を入力すれば、互いに反転した2つの信号を出力することが出来る。

10

【 0 1 4 3 】

ただし、トランジスタ2502、2503、2502B、2503Bのゲート端子には、VDDよりも高い電位を入力できるようにしなければならない。かつ、トランジスタ2502とトランジスタ2502Bのゲート端子、または、トランジスタ2503とトランジスタ2503Bのゲート端子には、互いに反転した信号を入力しなければならない。したがって、4つのレベル補正回路1601A、1601B、1601D、1601Eが必要となる。

【 0 1 4 4 】

ここで、図25の回路を図記号2601で表した場合を図26に示す。入力端子2603、2605の信号が、出力端子2602に出力される。入力端子2604には、入力端子2603とは反転した信号が入力され、入力端子2606には、入力端子2605とは反転した信号が入力され、出力端子2607には、出力端子2602とは反転した信号が出力される。すると、端子1604Bは端子2603に相当し、端子1604Aは端子2605に相当し、端子1603Bは端子2604に相当し、端子1603Aは端子2606に相当し、端子2506は端子2602に相当し、端子2506Bは端子2607に相当することになる。

20

【 0 1 4 5 】

同様に、NOR回路についても、適用することが出来る。

【 0 1 4 6 】

なお、本実施の形態では、レベル補正回路を用いて、電位レベルを調節しているが、これに限定されない。例えば、直接、振幅の大きな信号を入力して、動作させるようにしてもよい。例えば、図17や図23における端子1605Cの信号は、レベル補正回路1601Cを用いずに、直接、振幅の大きな信号、具体的には、H信号の電位がVDDよりも大きな信号を入力してもよい。同様に、図17や図23における端子1605A、1606A、1605B、1606B、の信号は、レベル補正回路1601A、1601Bを用いずに、直接、振幅の大きな信号を入力してもよい。

30

【 0 1 4 7 】

なお、本実施の形態では、まず、レベル補正回路を用いて、電位レベルを調節してから、動作させたい回路に信号を入力していたが、これに限定されない。反対に、まず、動作させたい回路において動作をさせて、その後、その電位のレベルを調節するようにしてもよい。図27には、インバータ回路に対して適用した場合の構成を示す。トランジスタ2708、2709、2710、2711を用いて、2組のインバータ回路を構成する。2組設けるのは、後段でのレベル補正回路2701において、反転信号も必要とするからである。そして、入力端子2703とその反転信号が入る入力端子2704から、信号を入力し、レベル補正回路2701でレベルを調節し、出力端子2707から、信号を出力する。なお、インバータだけでなく、他の回路においても、適用することが出来る。

40

【 0 1 4 8 】

このように、本実施の形態では、クロックドインバータ回路、NAND回路など、さまざまな回路に適用した場合について説明したが、適用できる回路は、本実施の形態で記載した回路に限定されない。さまざまな回路に適用することができる。

【 0 1 4 9 】

なお、本実施の形態では、実施の形態1～4で説明した回路を利用したものについて述

50

べている。したがって、実施の形態 1 ~ 4 で説明した内容は、本実施の形態においても適用することが可能であり、これらの回路構成を有する半導体装置とすることにより、正確な動作を行う半導体装置を低コストで製造することができる。

【実施例 1】

【0150】

本実施例では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や、ゲート線駆動回路の一部に、実施の形態 1 ~ 5 で示した回路構成を適用することができる。

【0151】

表示装置は、図28に示すように、画素2801、ゲート線駆動回路2802、信号線駆動回路2810を有している。ゲート線駆動回路2802は、画素2801に選択信号を順次出力する。信号線駆動回路2810は、画素2801にビデオ信号を順次出力する。画素2801では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路2810から画素2801へ入力するビデオ信号は、電圧であることが多い。つまり、画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路2810から入力されるビデオ信号（電圧）によって、状態を変化させるものであることが多い。まれに、画素2801へ入力するビデオ信号が、電流である場合もある。画素に配置する表示素子の例としては、液晶（LCD）や有機ELや FED（フィールドエミッションディスプレイ）での素子、DMD（デジタル・ミラー・デバイス）などがあげられる。

【0152】

なお、ゲート線駆動回路2802や信号線駆動回路2810は、複数配置されていてもよい。

【0153】

信号線駆動回路2810は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ2803、第1ラッチ回路（LAT1）2804、第2ラッチ回路（LAT2）2805、デジタル・アナログ変換回路2806などに分けられる。

【0154】

そこで、信号線駆動回路2810の動作を簡単に説明する。シフトレジスタ2803は、フリップフロップ回路（FF）やラッチ回路等を複数列用いて構成され、クロック信号（S-CLK）2812、スタートパルス（SP）2813、クロック反転信号（S-CLKb）2811が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0155】

シフトレジスタ2803より出力されたサンプリングパルスは、第1ラッチ回路2804に入力される。第1ラッチ回路2804には、ビデオ信号線2808より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路2806を配置している場合は、ビデオ信号はデジタル値である。

【0156】

第1ラッチ回路2804において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線2809よりラッチパルス（Latch Pulse）が入力され、第1ラッチ回路2804に保持されていたビデオ信号は、一斉に第2ラッチ回路2805に転送される。その後、第2ラッチ回路2805に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路2806へと入力される。そして、デジタル・アナログ変換回路2806から出力される信号は、画素2801へ信号が入力される。

【0157】

第2ラッチ回路2805に保持されたビデオ信号が、さまざまな回路を経由して、画素2801に入力されている間、シフトレジスタ2803においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

【0158】

なお、第1ラッチ回路2804や第2ラッチ回路2805が、アナログ値を保存できる回路であ

る場合は、デジタル・アナログ変換回路2806は省略できる場合が多い。また、画素2801に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路2806は省略できる場合が多い。また、信号線駆動回路2810には、レベルシフト回路やガンマ補正回路や電圧電流変換回路、増幅回路などが内蔵されている場合もある。

【0159】

また、第1ラッチ回路2804や第2ラッチ回路2805などが無く、ビデオ信号線2808と画素2801とが、トランスファークローク回路(アナログスイッチ回路)を介して、接続されている場合もある。その場合は、シフトレジスタ2803より出力されたサンプリングパルスが、トランスファークローク回路を制御する。

【0160】

このように、信号線駆動回路2810の構成は、図28に限定されず、様々なものがある。

【0161】

一方、ゲート線駆動回路2802は、画素2801に選択信号を順次出力するだけである場合が多いので、信号線駆動回路2810のシフトレジスタ2803と同様な構成をもつシフトレジスタやレベルシフト回路、増幅回路などにより、構成されることが多い。ただし、ゲート線駆動回路2802の構成は、これに限定されず、様々なものがある。

【0162】

実施の形態1~5の回路構成は、信号線駆動回路2810やゲート線駆動回路2802などにおけるシフトレジスタや、信号線駆動回路2810の第1ラッチ回路(LAT1)2804や第2ラッチ回路2805など、回路を構成する様々な部分に適用できる。

【0163】

そこで、シフトレジスタや第1ラッチ回路(LAT1)2804や第2ラッチ回路2805などで用いられるDFF回路(ディレイ・フリップ・フロップ回路)について、図29、30に示す。

【0164】

図29のDFF回路2901では、入力端子2904に信号が入力され、端子2906、2907に入力される同期信号によって、動作が制御される。そして、出力端子2902に信号が出力される。端子2904と端子2905には、互いに反転した信号が入力され、端子2906と端子2907にも、互いに反転した信号が入力される。そして、出力として、端子2902と端子2903には、互いに反転した信号が出力される。図30のDFF回路3001でも同様に、端子300~3007において、信号のやり取りが行われる。

【0165】

図29においては、反転した信号も出力する回路を用いている。一方、図30においては、反転した信号を出力しない回路を用いている。そのため、反転した信号を作りだすため、各部分の回路を並列に配置している。

【0166】

次に、DFF回路などを用いて構成したシフトレジスタの一部を図31に示す。DFF回路2901A~2901Dにより、構成されている。DFF回路としては、図29に示した回路でも、図30に示した回路でもよい。クロック信号(S-CLK)2812、クロック反転信号(S-CLKb)が、端子2906、2907(または端子3006、3007)に相当する部分に入力され、その信号に同期して、シフトレジスタが動作する。

【0167】

DFF回路などを用いて第1ラッチ回路(LAT1)2804を構成する場合は、端子2906、2907(または端子3006、3007)に相当する部分に、シフトレジスタから出力されるサンプリングパルスが入力される。また、DFF回路などを用いて第2ラッチ回路(LAT2)2805を構成する場合は、端子2906、2907(または端子3006、3007)に相当する部分には、ラッチ制御線2809よりラッチパルス(Latch Pulse)が入力される。

【0168】

なお、シフトレジスタにおけるDFF回路において、クロックドインバータ回路として、図17や図23などの回路を用いる場合、クロック信号(S-CLK)2812やクロック反転信号(S-CLKb)の信号振幅を電源電圧の振幅よりも大きくする場合、図17や図23などの回路にお

10

20

30

40

50

けるレベル補正回路1601Cを省略することが可能となる。同様に、第1ラッチ回路(LAT1)2804や第2ラッチ回路(LAT2)2805におけるDFF回路において、クロックインバータ回路として、図17や図23などの回路を用いる場合、ビデオ信号線2808より入力されるビデオ信号や、ラッチ制御線2809より入力されるラッチパルス(Latch Pulse)の信号振幅を電源電圧の振幅よりも大きくする場合、図17や図23などの回路におけるレベル補正回路のいくつかを省略することが可能となる。

【0169】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図28で示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、図28における回路の一部が、ある基板に形成されており、図28における回路の別の一部が、別の基板に形成されていてもよい。つまり、図28における回路の全てが同じ基板上に形成されていなくてもよい。例えば、図28において、画素2801とゲート線駆動回路2802とは、ガラス基板上にTFTを用いて形成し、信号線駆動回路2810(もしくはその一部)は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。

【0170】

このように、表示装置に実施の形態1~5において説明した回路構成を有する半導体装置を用いることが可能となる。

【実施例2】

【0171】

表示部に本発明の半導体装置を用いた表示装置を備える電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図32に示す。

【0172】

図32(A)は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13003に用いることができる。また本発明により、図32(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0173】

図32(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13102に用いることができる。また本発明により、図32(B)に示すデジタルスチルカメラが完成される。

【0174】

図32(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13203に用いることができる。また本発明により、図32(C)に示す発光装置が完

10

20

30

40

50

成される。

【0175】

図32(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13302に用いることができる。また本発明により、図32(D)に示すモバイルコンピュータが完成される。

【0176】

図32(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明の半導体装置を用いた表示装置は、表示部A、B13403、13404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図32(E)に示すDVD再生装置が完成される。

10

【0177】

図32(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体13501、表示部13502、アーム部13503を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13502に用いることができる。また本発明により、図32(F)に示すゴーグル型ディスプレイが完成される。

20

【0178】

図32(G)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13602に用いることができる。また本発明により、図32(G)に示すビデオカメラが完成される。

【0179】

図32(H)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。ここで、本発明の半導体装置を用いた表示装置は、表示部13703に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図32(H)に示す携帯電話が完成される。

30

【0180】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0181】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

40

【0182】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0183】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の表示部に用いることが可能である。また本実施例の電子機器は、実施の形態1~5、に示したいずれの回路構成を有する半導体装置を用いた表示装置を備えていてもよい。

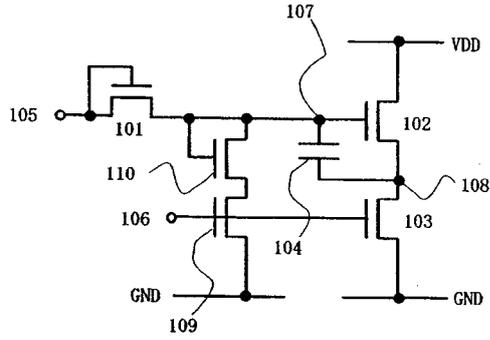
50

【図面の簡単な説明】

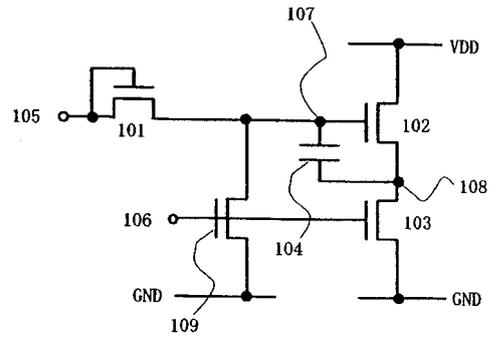
【0184】

- 【図1】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図2】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図3】本発明を適用したインバータ回路を表す図記号を示す図。
【図4】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図5】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図6】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図7】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図8】本発明をインバータ回路に適用した場合の回路構成を示す図。 10
【図9】従来のインバータ回路の構成と動作を示す図。
【図10】本発明をクロックドインバータ回路に適用した場合の回路構成を示す図。
【図11】本発明を適用したクロックドインバータ回路を表す図記号を示す図。
【図12】本発明をNAND回路に適用した場合の回路構成を示す図。
【図13】本発明を適用したNAND回路を表す図記号を示す図。
【図14】本発明をNOR回路に適用した場合の回路構成を示す図。
【図15】本発明をトランスファークロック回路に適用した場合の回路構成を示す図。
【図16】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図17】本発明をクロックドインバータ回路に適用した場合の回路構成を示す図。
【図18】本発明をNAND回路に適用した場合の回路構成を示す図。 20
【図19】本発明をNOR回路に適用した場合の回路構成を示す図。
【図20】本発明をトランスファークロック回路に適用した場合の回路構成を示す図。
【図21】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図22】本発明を適用したインバータ回路を表す図記号を示す図。
【図23】本発明をクロックドインバータ回路に適用した場合の回路構成を示す図。
【図24】本発明を適用したクロックドインバータ回路を表す図記号を示す図。
【図25】本発明をNAND回路に適用した場合の回路構成を示す図。
【図26】本発明を適用したNAND回路を表す図記号を示す図。
【図27】本発明をインバータ回路に適用した場合の回路構成を示す図。
【図28】本発明の表示装置の構成を示す図。 30
【図29】本発明をDFF回路に適用した場合の回路構成を示す図。
【図30】本発明をDFF回路に適用した場合の回路構成を示す図。
【図31】本発明をシフトレジスタに適用した場合の回路構成を示す図。
【図32】本発明が適用される電子機器の図。
【図33】従来のインバータ回路の構成を示す図。
【図34】従来のインバータ回路の構成を示す図。

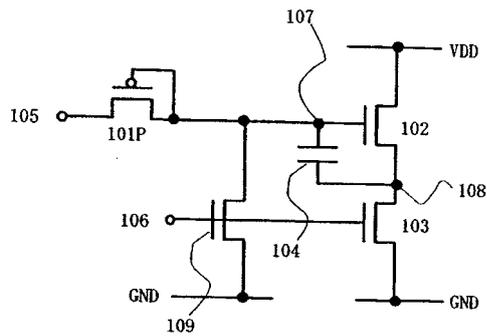
【 図 1 】



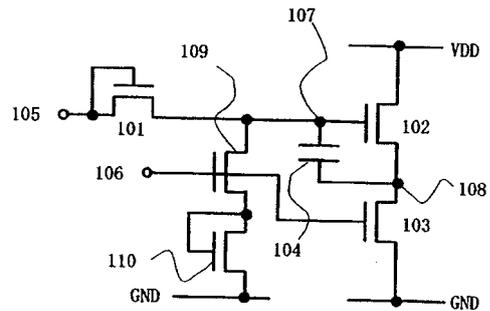
【 図 2 】



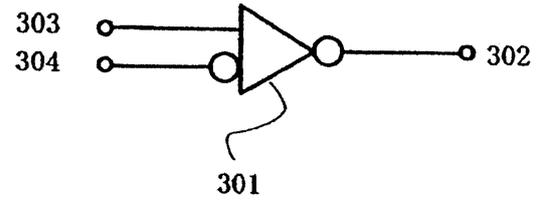
【 図 5 】



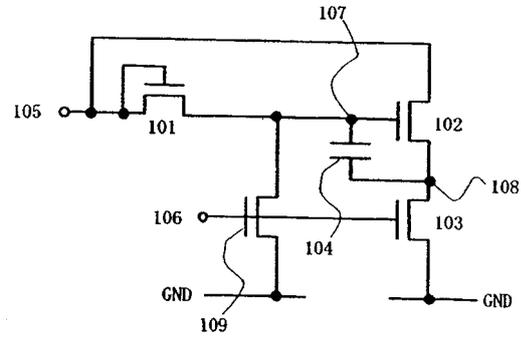
【 図 6 】



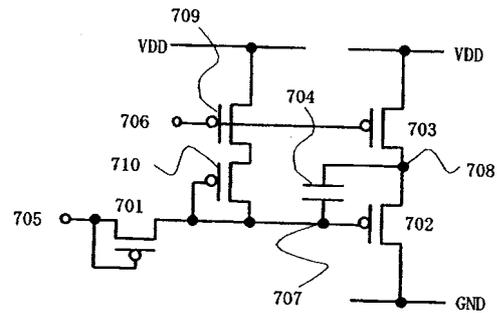
【 図 3 】



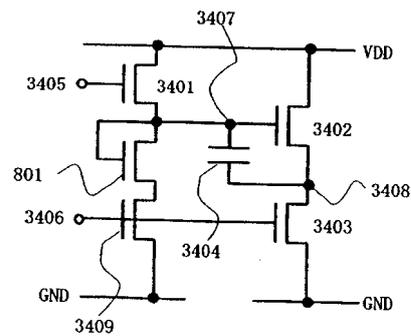
【 図 4 】



【 図 7 】

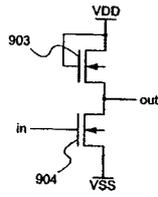


【 図 8 】

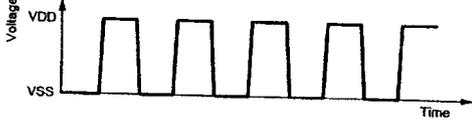


【 図 9 】

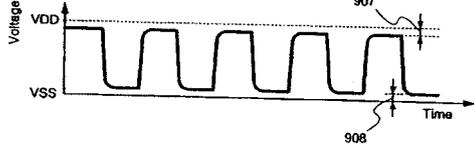
(A)



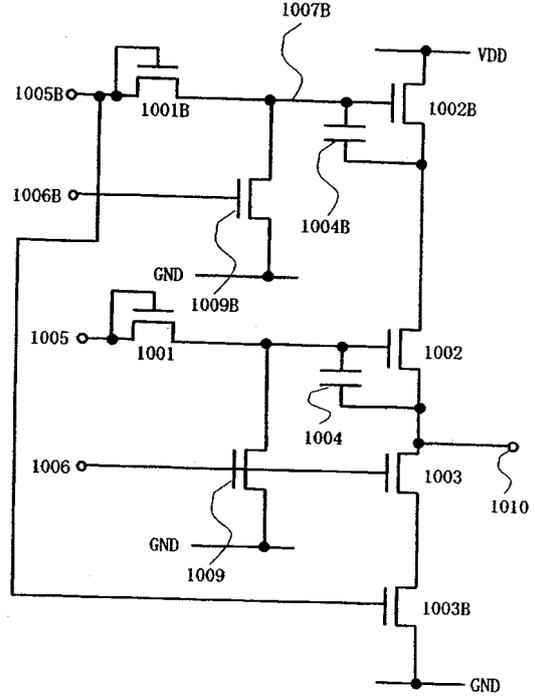
(B)



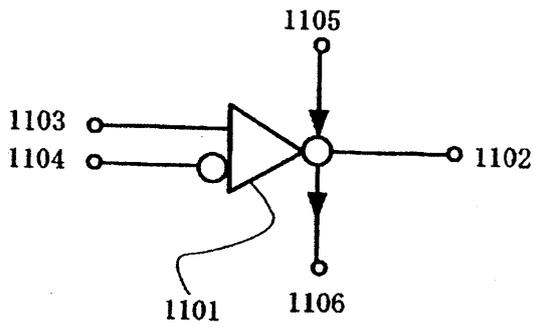
(C)



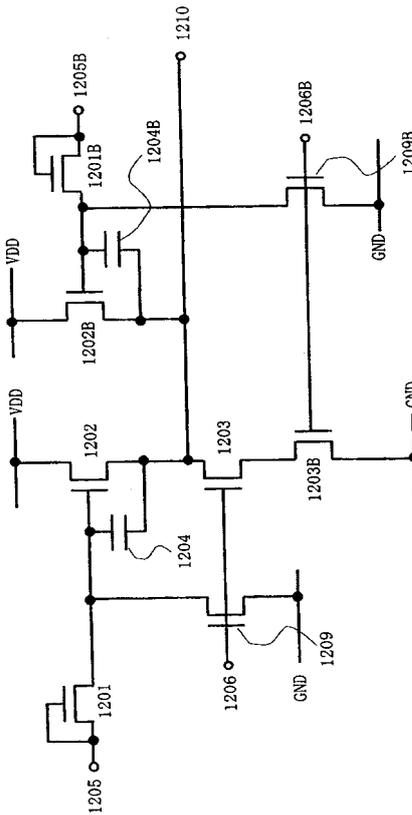
【 図 10 】



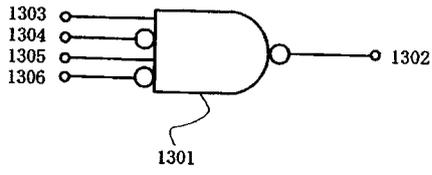
【 図 11 】



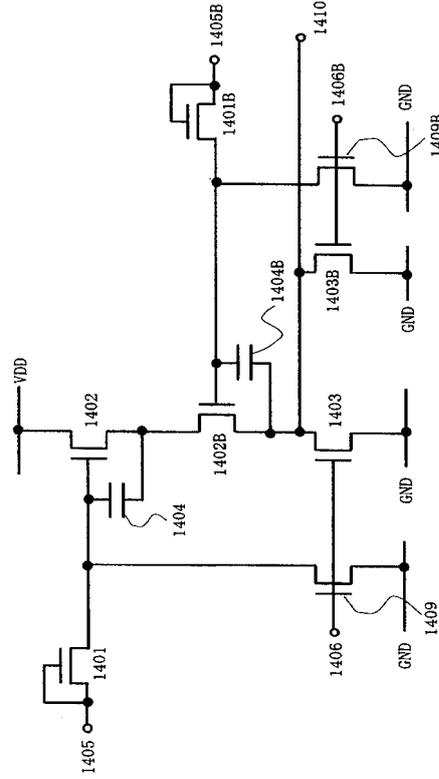
【 図 12 】



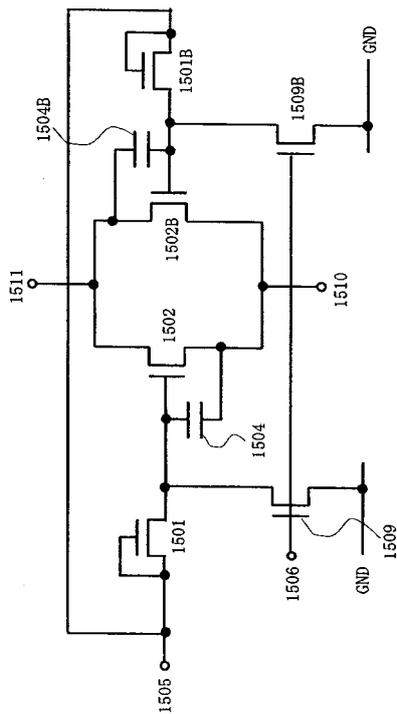
【 13 】



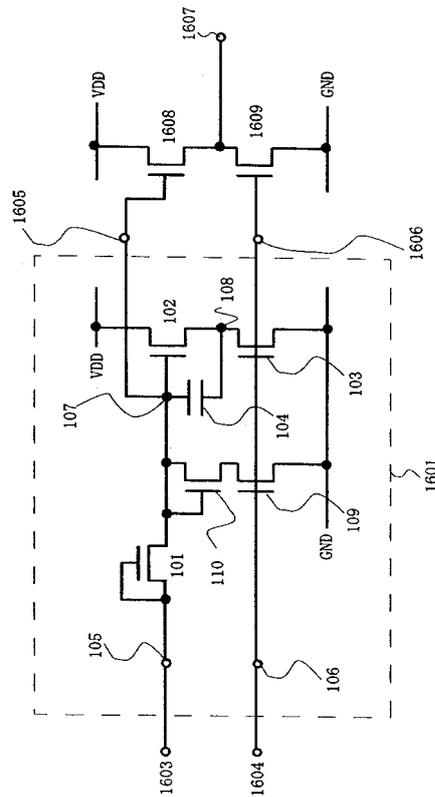
【 14 】



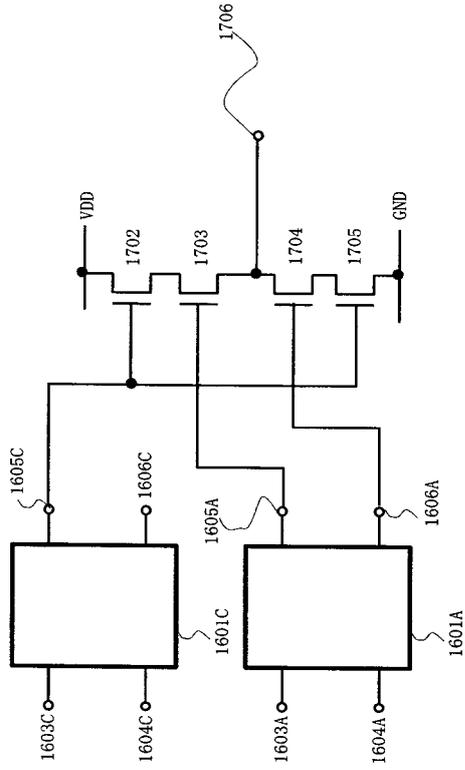
【 15 】



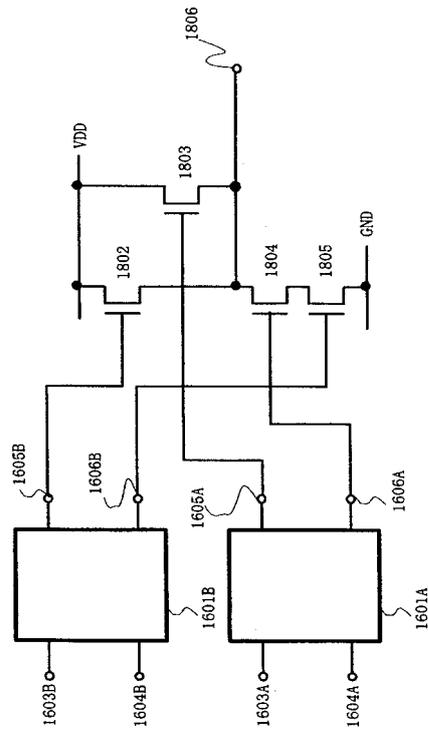
【 16 】



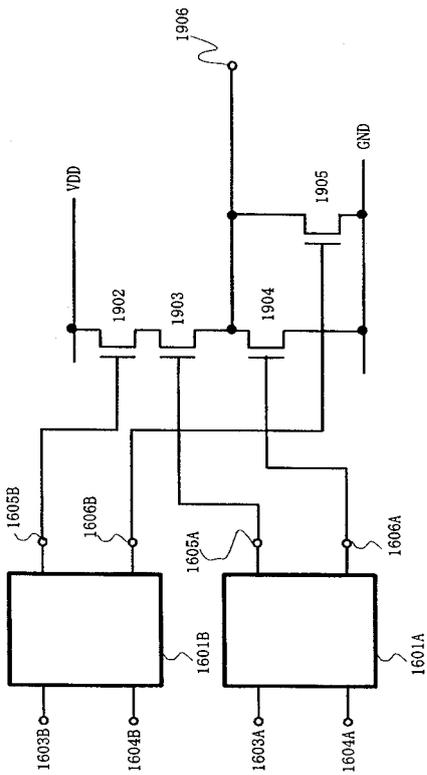
【 図 17 】



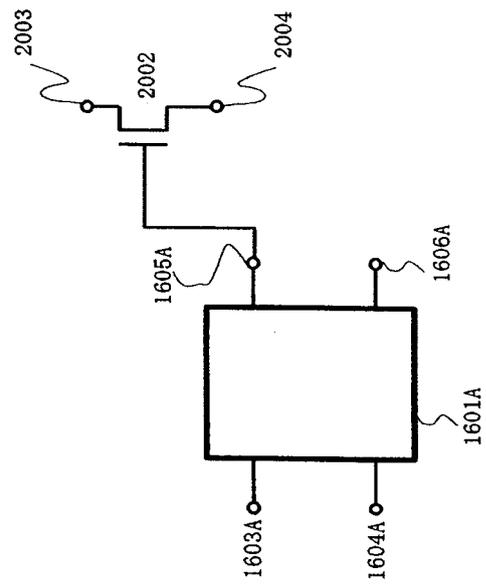
【 図 18 】



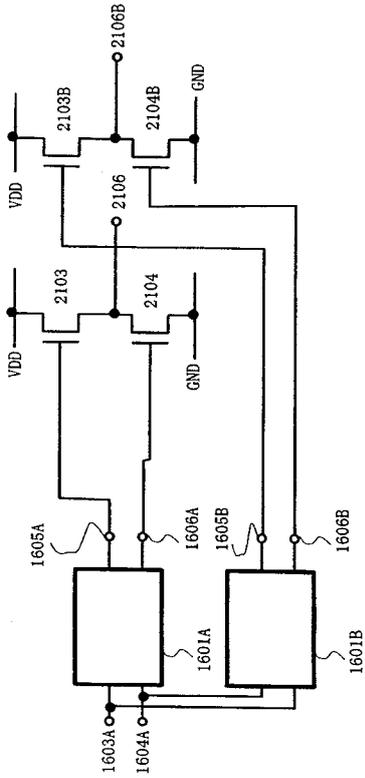
【 図 19 】



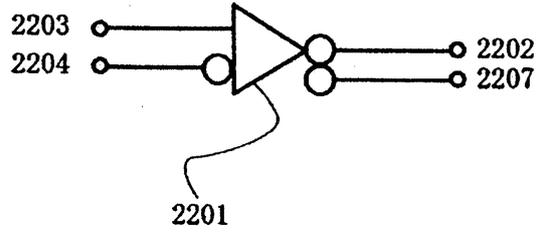
【 図 20 】



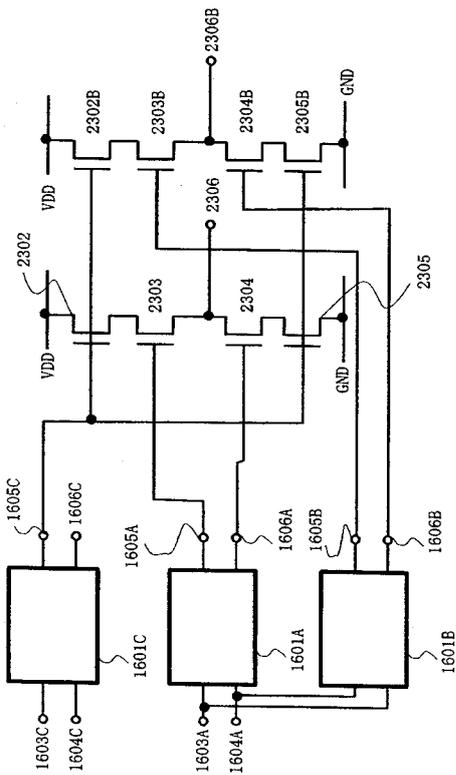
【 2 1 】



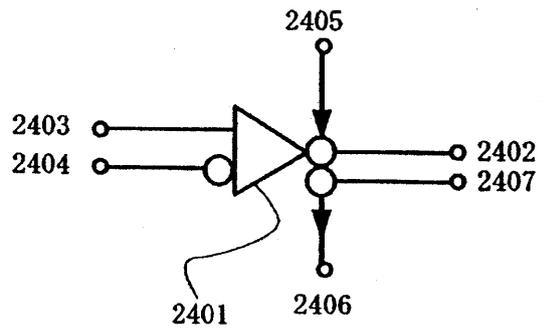
【 2 2 】



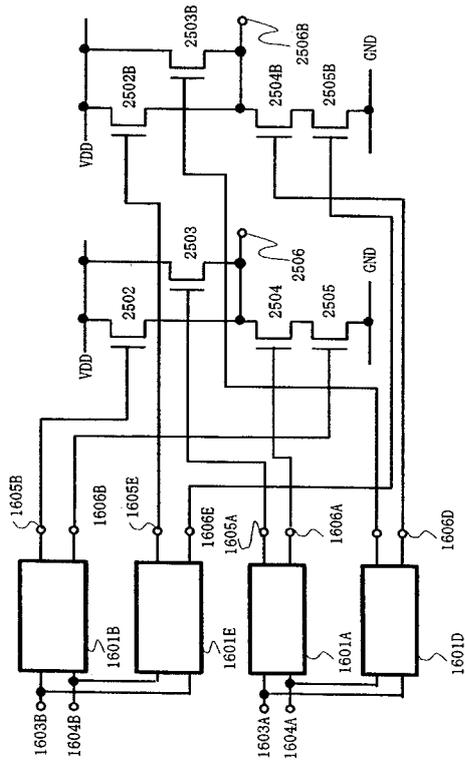
【 2 3 】



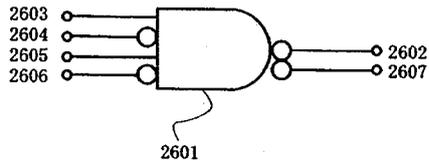
【 2 4 】



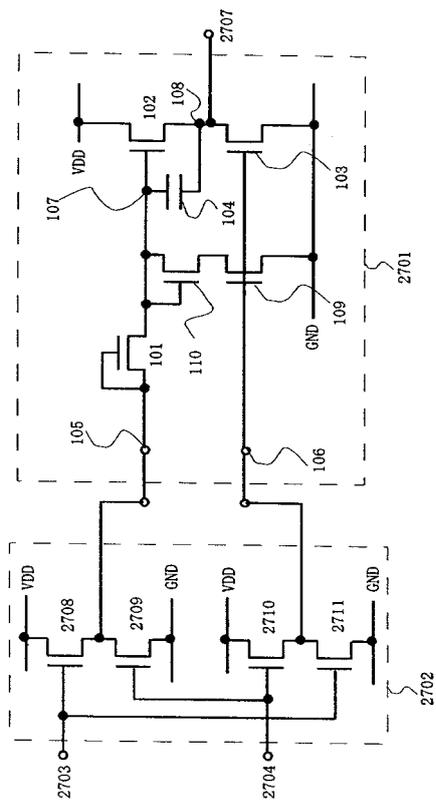
【 25 】



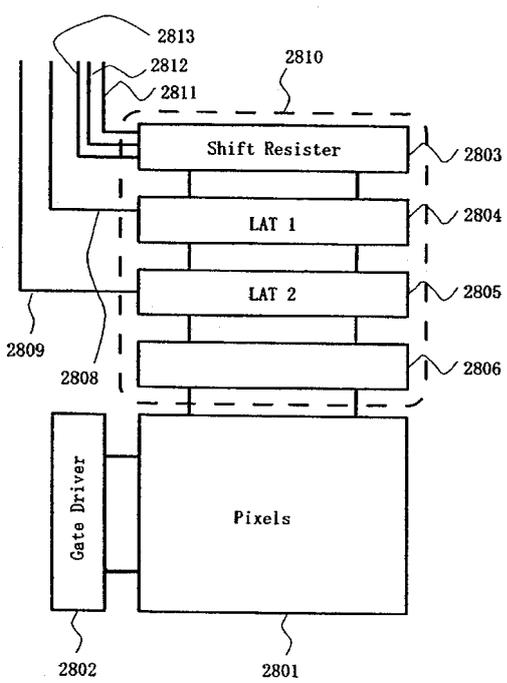
【 26 】



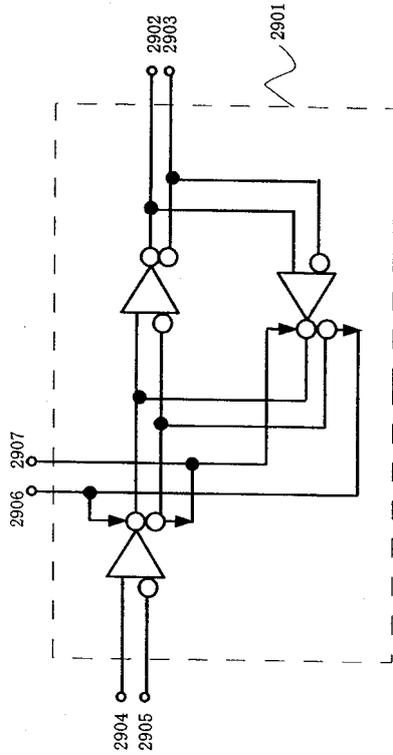
【 27 】



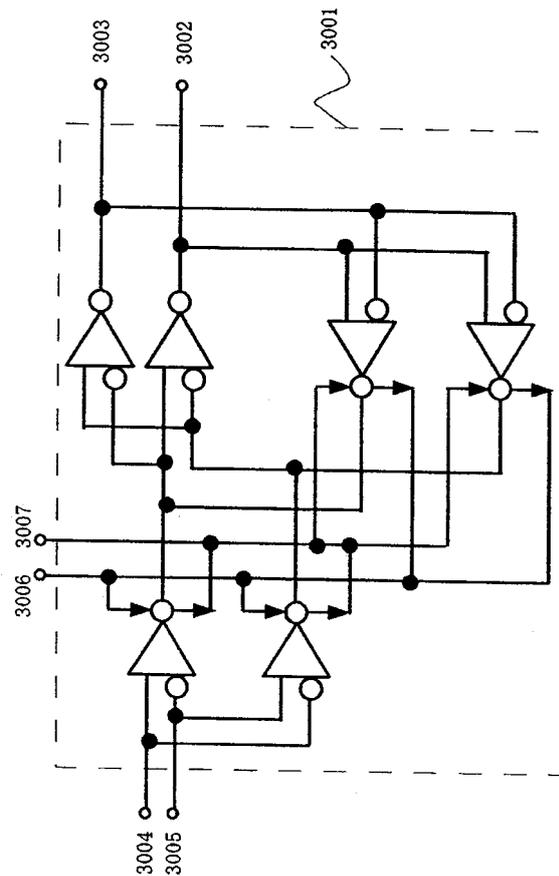
【 28 】



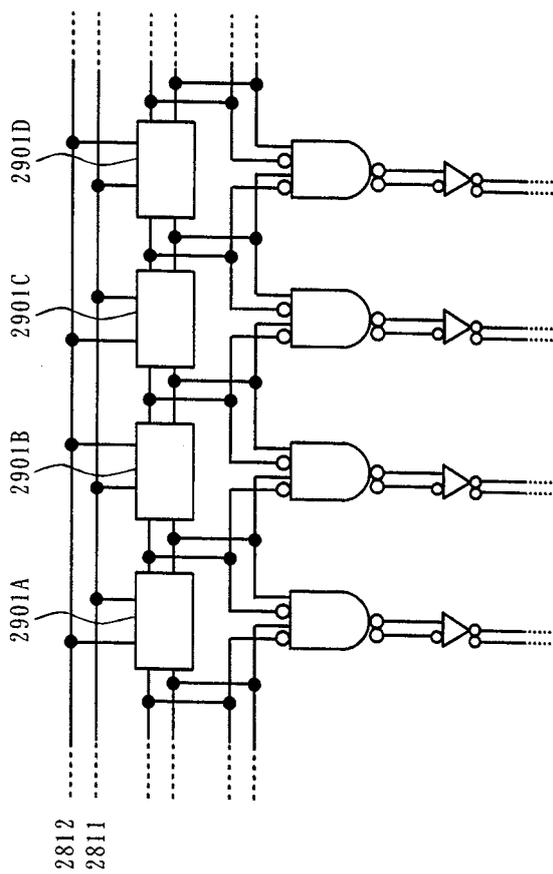
【図 29】



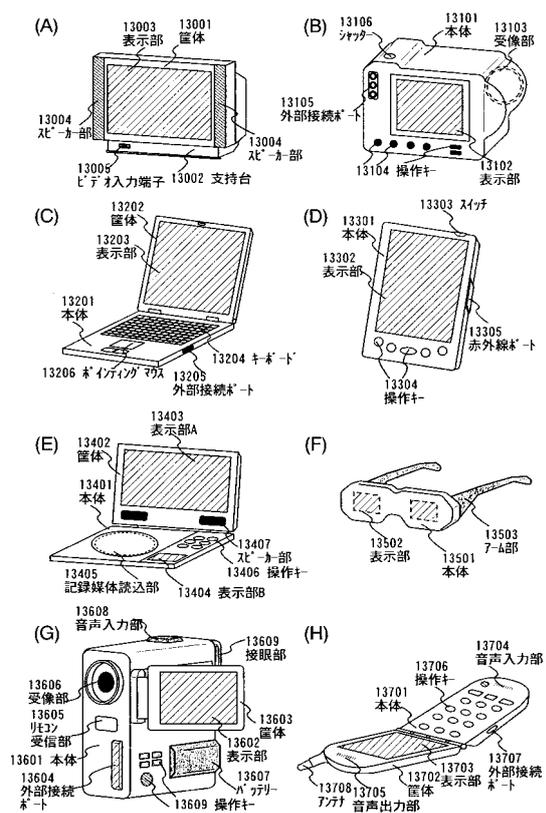
【図 30】



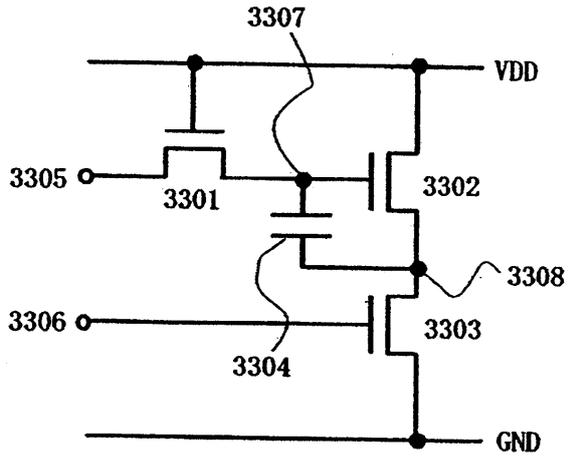
【図 31】



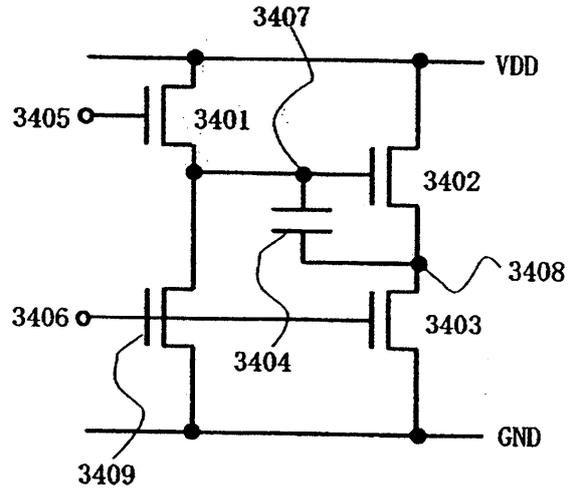
【図 32】



【図33】



【図34】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 19/096 (2006.01) H 0 3 K 19/096 C

(58)調査した分野(Int.Cl. , D B名)
H 0 3 K 1 7 / 0 6
H 0 3 K 3 / 3 5 6
H 0 3 K 1 7 / 0 0
H 0 3 K 1 7 / 6 8 7
H 0 3 K 1 9 / 0 9 4
H 0 3 K 1 9 / 0 9 6