

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6708464号
(P6708464)

(45) 発行日 令和2年6月10日(2020.6.10)

(24) 登録日 令和2年5月25日(2020.5.25)

(51) Int.Cl. F I
H O 1 L 27/146 (2006.01) H O 1 L 27/146 A

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2016-74270 (P2016-74270)	(73) 特許権者	308033711
(22) 出願日	平成28年4月1日(2016.4.1)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2017-188499 (P2017-188499A)		神奈川県横浜市港北区新横浜二丁目4番地
(43) 公開日	平成29年10月12日(2017.10.12)		8
審査請求日	平成31年1月18日(2019.1.18)	(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	柴田 寛
			宮城県黒川郡大衡村沖の平1番 ラピスセ
			ミコンダクタ宮城株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電型を有する半導体層の内部に設けられ、前記第1の導電型とは異なる第2の導電型を有する受光部と、

前記受光部の光入射側に設けられ、前記第1の導電型を有するアモルファスシリコンで構成された緩衝層と、

前記緩衝層の光入射側に設けられ、前記半導体層および前記緩衝層の屈折率よりも低い屈折率を有する低屈折率層と、

前記低屈折率層の光入射側に設けられ、前記低屈折率層の屈折率よりも低い屈折率を有する絶縁膜と、

前記低屈折率層及び前記絶縁膜を貫通して前記緩衝層に達するコンタクトプラグと、

前記コンタクトプラグを介して前記緩衝層に電氣的に接続された電極と、

を含む半導体装置。

【請求項2】

前記緩衝層は、前記受光部に接している

請求項1に記載の半導体装置。

【請求項3】

前記緩衝層は、前記受光部に接することなく前記半導体層に接している

請求項1または請求項2に記載の半導体装置。

【請求項4】

10

20

前記緩衝層を、前記アモルファスシリコンに代えてポリシリコンで構成した請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

第 1 の導電性を有する半導体層の内部に前記第 1 の導電型とは異なる第 2 の導電性を有する受光部を形成する工程と、

前記受光部の光入射側に前記第 1 の導電性を有するアモルファスシリコンで構成された緩衝層を形成する工程と、

前記緩衝層の光入射側に前記半導体層および前記緩衝層の屈折率よりも低い屈折率を有する低屈折率層を形成する工程と、

前記低屈折率層の光入射側に前記低屈折率層の屈折率よりも低い屈折率を有する絶縁膜を形成する工程と、

前記低屈折率層及び前記絶縁膜を貫通して前記緩衝層に達するコンタクトプラグを形成する工程と、

前記絶縁膜の表面に前記コンタクトプラグを介して前記緩衝層に電氣的に接続された電極を形成する工程と、

を含む半導体装置の製造方法。

【請求項 6】

前記アモルファスシリコンの材料となる材料ガスと前記アモルファスシリコンに導電性を付与する不純物を含む不純物ガスとを混合した混合ガスを用いた気相成長法により前記緩衝層を形成する

請求項 5 に記載の製造方法。

【請求項 7】

前記緩衝層を形成する工程は、

前記受光部の光入射側にノンドープのアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン層に不純物を注入して前記アモルファスシリコン層に導電性を付与する工程と、

を含む請求項 5 に記載の製造方法。

【請求項 8】

前記緩衝層にレーザーを照射して前記緩衝層に含まれる不純物を活性化させる工程を更に含む

請求項 6 または請求項 7 に記載の製造方法。

【請求項 9】

前記緩衝層を、前記アモルファスシリコンに代えてポリシリコンで構成する

請求項 5 から請求項 8 のいずれか 1 項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

CMOS (Complementary MOS (metal-oxide-semiconductor field-effect transistor)) イメージセンサ等の固体撮像装置の構造として、表面照射型 (FSI: Front Side Illumination) および裏面照射型 (BSI: Back Side Illumination) が知られている。表面照射型の固体撮像装置は、フォトダイオードを有する半導体層の上に、配線層、カラーフィルタおよびマイクロレンズをこの順で積層した構造を有する。表面照射型の固体撮像装置においては、マイクロレンズおよびカラーフィルタを透過した撮像対象物からの光は、配線の合間を通過してフォトダイオードに到達する。このため、表面照射型の固体撮像装置においては、斜め方向から入射する光が配線で反射され、光の利用効率を高めて感度の向上を図ることは困難である。

10

20

30

40

50

【0003】

一方、裏面照射型の固体撮像装置は、半導体層の配線層の形成面とは反対側に、カラーフィルタおよびマイクロレンズを有する。すなわち、裏面照射型の固体撮像装置においては、マイクロレンズおよびカラーフィルタを透過した撮像対象物からの光は、配線層を経由することなくフォトダイオードに到達する。裏面照射型の固体撮像装置によれば、表面照射型よりも光の利用効率を向上させて感度を高くすることができる。

【0004】

裏面照射型の固体撮像装置に関する技術として以下の技術が知られている。例えば、下記の特許文献1には、シリコン基板の裏面側の光照射面上にシリコン基板と屈折率の異なる2層の反射防止膜を設けることが記載されている。更に、上記の2層膜の反射防止膜が

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-268643号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記のように、裏面照射型の固体撮像装置では、半導体層の光入射面における光の反射を防止するために、半導体層の光入射面に半導体層の屈折率よりも低い屈折率の反射防止膜を設けることが行われている。半導体層が例えばシリコン(Si)で構成される場合、反射防止膜として例えばシリコン窒化膜(SiN)を用いることができる。しかしながら、このような反射防止膜は、半導体層との界面付近に比較的大きな応力を生じさせ、この応力によって半導体基板内部に結晶欠陥が生じ、フォトダイオードから出力される信号にノイズを生じさせる結果となる。そこで、このような応力に起因する結晶欠陥の発生を防止するために、半導体層と反射防止膜との間に例えばシリコン酸化膜(SiO₂)で構成される緩衝層を設けて応力を緩和させる対策が考えられる。しかしながら、シリコン酸化膜(SiO₂)の屈折率は、反射防止膜を構成するシリコン窒化膜(SiN)の屈折率よりも低いため、反射防止膜による反射防止効果が低下する。

20

30

【0007】

本発明は、上記した点に鑑みてなされたものであり、裏面照射型の固体撮像装置を構成する半導体装置において、反射防止膜による反射防止効果を損なうことなく、半導体層内部における結晶欠陥の発生を抑制することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、第1の導電型を有する半導体層の内部に設けられ、前記第1導電型とは異なる第2の導電型を有する受光部と、前記受光部の光入射側に設けられ、前記第1の導電型を有するアモルファスシリコンで構成された緩衝層と、前記緩衝層の光入射側に設けられ、前記半導体層および前記緩衝層の屈折率よりも低い屈折率を有する低屈折率層と、前記低屈折率層の光入射側に設けられ、前記低屈折率層の屈折率よりも低い屈折率を有する絶縁膜と、前記低屈折率層及び前記絶縁膜を貫通して前記緩衝層に達するコンタクトプラグと、前記コンタクトプラグを介して前記緩衝層に電氣的に接続された電極と、を含む。

40

【0009】

本発明に係る半導体装置の製造方法は、第1の導電型を有する半導体層の内部に前記第1導電型とは異なる第2の導電型を有する受光部を形成する工程と、前記受光部の光入射側に前記第1の導電型を有するアモルファスシリコンで構成された緩衝層を形成する工程と、前記緩衝層の光入射側に前記半導体層および前記緩衝層の屈折率よりも低い屈折率を

50

有する低屈折率層を形成する工程と、前記低屈折率層の光入射側に前記低屈折率層の屈折率よりも低い屈折率を有する絶縁膜を形成する工程と、前記低屈折率層及び前記絶縁膜を貫通して前記緩衝層に達するコンタクトプラグを形成する工程と、前記絶縁膜の表面に前記コンタクトプラグを介して前記緩衝層に電氣的に接続された電極を形成する工程と、を含む。

【発明の効果】

【0010】

本発明によれば、反射防止膜による反射防止効果を損なうことなく、半導体層内部における結晶欠陥の発生を抑制することが可能となる。

【図面の簡単な説明】

10

【0011】

【図1】本発明の実施形態に係る半導体装置の構成を示す断面図である。

【図2A】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2B】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2C】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2D】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2E】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2F】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2G】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2H】本発明の実施形態に係る半導体装置の製造方法を示す図である。

20

【図2I】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2J】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2K】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図2L】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図3】本発明の他の実施形態に係る半導体装置の構成を示す断面図である。

【図4A】本発明の他の実施形態に係る半導体装置の製造方法を示す図である。

【図4B】本発明の他の実施形態に係る半導体装置の製造方法を示す図である。

【発明を実施するための形態】

【0012】

以下、開示の技術の実施形態の一例を図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素および部分には同一の参照符号を付与し、重複する説明は適宜省略する。

30

【0013】

[第1の実施形態]

図1は、本発明の第1の実施形態に係る裏面照射型の固体撮像装置を構成する半導体装置100の構成を示す断面図である。

【0014】

半導体装置100は、例えば、n型の単結晶シリコンで構成される半導体層10の内部にフォトダイオードを構成するp型の受光部30を有する。本実施形態において、受光部30は、半導体層10の光入射側の表面S1にまで達する深さで形成されている。なお、半導体層10には、図1に示す構成と同様の構成の複数のフォトダイオードが設けられている。これら複数のフォトダイオードの各々は、固体撮像装置における複数の画素を構成する。

40

【0015】

受光部30は、半導体層10の表面S1側から入射する光の量に応じた電荷を発生させる。半導体層10の光入射側の表面S1とは反対側には、受光部30の表面に沿って設けられたn型のピンニング層31が設けられている。ピンニング層31は、受光部30の表面の界面準位に起因するノイズの発生を抑制する役割を持つ。

【0016】

また半導体層10の内部には、受光部30との間に間隙を隔てて、p型のフローティン

50

グディフュージョン 24 が設けられている。また、半導体層 10 の内部には、 SiO_2 等の絶縁体によって構成される素子分離領域 21 が設けられている。素子分離領域 21 により、半導体層 10 内部に設けられた複数のフォトダイオードが電氣的に分離される。

【0017】

半導体層 10 の光入射側の表面 S1 とは反対側の表面の受光部 30 とフローティングディフュージョン 24 との間に対応する領域には、ゲート絶縁膜 22 を介してゲート電極 23 が設けられている。ゲート電極 23 は、導電体で構成されるコンタクトプラグ 25 を介して配線 27 に接続されている。また、フローティングディフュージョン 24 は、導電体で構成されるコンタクトプラグ 26 を介して配線 28 に接続されている。半導体層 10 の光入射側の表面 S1 とは反対側の表面は、 SiO_2 等の絶縁体で構成される絶縁膜 29 で覆われており、ゲート電極 23、コンタクトプラグ 25、26 および配線 27、28 は、絶縁膜 29 の内部に埋設されている。

10

【0018】

半導体層 10 の光入射側の表面 S1 は、緩衝層 40 で覆われている。本実施形態において、緩衝層 40 は、受光部 30 の導電型とは反対の導電型である n 型のアモルファスシリコンで構成されている。緩衝層 40 は、受光部 30 と接している。

【0019】

緩衝層 40 の光入射側の表面は、半導体層 10 および緩衝層 40 の屈折率よりも低い屈折率を有する低屈折率層 41 で覆われている。ここで、半導体層 10 を構成する単結晶シリコンおよび緩衝層 40 を構成するアモルファスシリコンの屈折率はともに 4 程度である。低屈折率層 41 として例えば、屈折率が 2 程度のシリコン窒化膜 (SiN) を用いることができる。低屈折率層 41 を、半導体層 10 および緩衝層 40 の屈折率よりも低い屈折率を有する材料で構成することで、低屈折率層 41 は、半導体層 10 の光入射側の表面 S1 に照射される光の反射を防止する反射防止膜として機能する。

20

【0020】

以下に、半導体装置 100 の製造方法の一例について図 2A ~ 図 2L を参照しつつ説明する。

【0021】

はじめに、基板層 12、埋め込み酸化膜 11 および半導体層 10 が積層された SOI (Silicon on Insulator) 基板 1 を用意する (図 2A)。

30

【0022】

次に、例えば、公知の STI (Shallow Trench Isolation) 法を用いて、半導体層 10 の内部に SiO_2 等の絶縁体で構成される素子分離領域 21 を形成する (図 2B)。

【0023】

次に、例えば、公知の熱酸化法を用いて半導体層 10 の表面に SiO_2 等の絶縁体で構成されるゲート絶縁膜 22 を形成する。続いて、例えば公知の CVD (Chemical Vapor Deposition: 化学気相成長) 法を用いて、ゲート絶縁膜 22 の表面にポリシリコン膜を堆積し、このポリシリコン膜を公知のフォトリソグラフィ技術を用いてパターンニングすることで、ゲート電極 23 を形成する (図 2C)。なお、ポリシリコン膜の形成後に、ゲート電極 23 を低抵抗化するためのイオン注入処理を行ってもよい。

40

【0024】

次に、公知のイオン注入法により、例えばボロン等の 3 属元素からなる不純物イオンを半導体層 10 のゲート電極 23 の近傍に注入する。その後、熱処理により不純物イオンを活性化させる。これにより、半導体層 10 の内部にフォトダイオードを構成する p 型の受光部 30 が形成される。受光部 30 は、半導体層 10 と埋め込み酸化膜 11 との界面に達するように形成される。続いて、例えば、リン (P) またはヒ素 (As) 等の 5 属元素からなる不純物イオンを半導体層 10 に注入することにより、受光部 30 の表面に n 型のピンニング層 31 を形成する。続いて、ボロン等の 3 属元素からなる不純物イオンを半導体層 10 の、ゲート電極 23 を間に挟んで受光部 30 と対向する位置に注入する。その後、熱処理により不純物イオンを活性化させる。これにより、半導体層 10 内部のゲート電極

50

23を間に挟んで受光部30と対向する位置にp型のフローティングディフュージョン24が形成される(図2D)。

【0025】

次に、例えば、公知のCVD法を用いて半導体層10の表面にSiO₂等の絶縁体で構成される絶縁膜29を形成する。続いて、絶縁膜29にゲート電極23に達するコンタクトホールおよびフローティングディフュージョン24に達するコンタクトホールを形成し、これらのコンタクトホールにタングステン(W)等の導電体を埋め込むことで、コンタクトプラグ25および26を形成する。続いて、絶縁膜29の表面にアルミニウム等の導電体で構成される導体膜を形成し、公知のフォトリソグラフィ技術を用いてこの導体膜をパターンングすることで、コンタクトプラグ25および26にそれぞれ接続された配線27および28を形成する。その後、配線27および28を覆うように、更に絶縁膜29を形成する(図2E)。

10

【0026】

次に、表面にSiO₂等の絶縁膜51が形成された支持基板50をSOI基板に貼り付ける。両基板を貼り合わせる前に、両基板の接合面となる支持基板50側の絶縁膜51の表面およびSOI基板側の絶縁膜29の表面にそれぞれプラズマ照射による界面活性化処理を施しておくことが好ましい(図2F)。

【0027】

次に、公知のバックラインディング技術を用いて、SOI基板の基板層12を研削して埋め込み酸化膜11を表出させる(図2G)。

20

【0028】

次に、公知のウェットエッチング処理により、埋め込み酸化膜11を除去して、半導体層10の光入射側の表面S1を表出させる。これにより、受光部30の光入射側の表面も表出する(図2H)。

【0029】

次に、公知のプラズマCVD法または触媒CVD(Cat-CVD)法を用いて、半導体層10の光入射側の表面S1上にアモルファスシリコンで構成される厚さ10nm~50nm程度の緩衝層40を形成する。このCVDでは、例えば、シランガス(SiH₄)および水素ガス(H₂)を材料ガスとして使用することができる(図2I)。

【0030】

30

次に、公知のイオン注入法により、リン(P)またはヒ素(As)等の5属元素からなる不純物イオンを緩衝層40に注入する。続いて、緩衝層40の表面に、Nd:YLFレーザを照射することにより緩衝層40に注入された不純物イオンを活性化させる。これにより、緩衝層40にn型の導電性が付与される(図2J)。このようなレーザアニール処理によれば、デバイス全体の加熱処理が不要となるので、配線27および28の形成後においても使用することができる。また、本工程におけるイオン注入処理およびレーザアニール処理は、緩衝層40に対する処理であり、イオン注入時の加速電圧やレーザパワーを適切に設定することで、これらの処理による半導体層10へのダメージを略なくすることができる。

【0031】

40

次に、公知のプラズマCVD法を用いて、緩衝層40の表面に例えばシリコン窒化膜(SiN)で構成される低屈折率層41を形成する。このCVDでは、例えば、シランガス(SiH₄)、アンモニアガス(NH₃)および窒素ガス(N₂)を材料ガスとして使用することができる(図2K)。低屈折率層41の層厚は、固体撮像装置としての半導体装置100がセンシングする光の波長域に応じて設定される。例えば、半導体装置100がセンシングする光の波長域が赤外線の波長域である場合、低屈折率層41の層厚は、例えば120nm程度とすることができる。

【0032】

以上のように、本発明の実施形態に係る半導体装置100は、n型の半導体層10の内部に設けられたフォトダイオードを構成するp型の受光部30と、受光部30の光入射側

50

に設けられ、 n 型のアモルファスシリコンで構成された緩衝層40と、緩衝層40の光入射側に設けられ、半導体層10および緩衝層40の屈折率よりも低い屈折率を有する低屈折率層41と、を含む。

【0033】

低屈折率層41は、半導体層10の屈折率よりも低い屈折率を有するため、低屈折率層41は、反射防止膜として機能する。緩衝層40は、半導体層10と低屈折率層41との間に介在することで、低屈折率層41による応力の半導体層10への影響が緩和され、半導体層10内における結晶欠陥の発生が抑制される。緩衝層40は、アモルファスシリコンで構成されており、その屈折率は、単結晶シリコンで構成される半導体層の屈折率と同程度であり、低屈折率層41の屈折率よりも高い。従って、緩衝層40は、低屈折率層41による反射防止効果を低減させることなく応力緩和機能を発揮する。

10

【0034】

更に、緩衝層40は、受光部30と接し、且つ受光部30の導電型とは反対の導電型を有する。これにより、緩衝層40は、受光部30の表面の界面準位に起因するノイズの発生を抑制するピンニング層としても機能する。すなわち、受光部30は、光入射側の表面S1とは反対側に設けられたピンニング層31と、光入射側の表面S1側に設けられたピンニング層としても機能する緩衝層40とに挟まれている。これにより、ノイズの少ない固体撮像装置が構成される。

【0035】

なお、緩衝層40に電氣的に接続された電極を設け、緩衝層40に電圧を印加できるように構成してもよい。緩衝層40に電圧を印加することで、緩衝層40のピンニング層としての機能を促進させることが可能となる。緩衝層40に電氣的に接続された電極を設ける場合は、例えば、図2Lに示すように、低屈折率層41の表面に、低屈折率層41よりもさらに屈折率の小さい絶縁体（例えば SiO_2 ）で構成される絶縁膜42を形成する。続いて、絶縁膜42および低屈折率層41を貫通し、緩衝層40に達するコンタクトホールを形成する。続いて、このコンタクトホールにタングステン（W）等の導電体を埋め込むことによりコンタクトプラグ43を形成する。その後、絶縁膜42の表面にコンタクトプラグ43に接続するアルミニウム等の導電体で構成される電極44を形成する。

20

【0036】

本実施形態では、緩衝層40に導電性を付与する手法として、緩衝層40の成膜後に、緩衝層40に対して不純物イオンを注入する手法を用いたが、この手法に限定されるものではない。例えば、プラズマCVD法または触媒CVD（Cat-CVD）法によって緩衝層40を形成する際に、シランガス（ SiH_4 ）および水素ガス（ H_2 ）を含む材料ガスと、リン（P）またはヒ素（As）等の5属元素を含む不純物ガスとを混合した混合ガスを用いてもよい。これにより、緩衝層40の成膜の段階で緩衝層40に導電性を付与できる。

30

【0037】

また、本実施形態では、緩衝層40の材料として、アモルファスシリコンを用いたが、アモルファスシリコンに代えてポリシリコンを用いることも可能である。このように、緩衝層40をポリシリコンで構成する場合でも、緩衝層40をアモルファスシリコンで構成する場合と同様の効果を得ることができる。ポリシリコンで構成される緩衝層40の成膜は、アモルファスシリコンの場合と同様、公知のCVD法を用いて行うことができる。また、ポリシリコンで構成される緩衝層40に対する導電性の付与は、アモルファスシリコンの場合と同様、公知のイオン注入法によって行うことができる。若しくは、CVD法による緩衝層40の成膜時に不純物ガスを導入することにより緩衝層40に導電性を付与してもよい。

40

【0038】

[第2の実施形態]

図3は、本発明の第2の実施形態に係る裏面照射型の固体撮像装置を構成する半導体装置101の構成を示す断面図である。半導体装置101は、第1の実施形態に係る半導体装置100と同様、 n 型の半導体層10の内部に設けられたフォトダイオードを構成する

50

p型の受光部30と、受光部30の光入射側に設けられ、n型のアモルファスシリコンで構成された緩衝層40と、緩衝層40の光入射側に設けられ、半導体層10および緩衝層40の屈折率よりも低い屈折率を有する低屈折率層41と、を含む。

【0039】

本実施形態に係る半導体装置101は、以下の点において第1の実施形態に係る半導体装置100と異なる。すなわち、本実施形態に係る半導体装置101において、緩衝層40は、半導体層10に接しているが、受光部30には接していない。換言すれば、受光部30は、半導体層10の光入射側の表面S1にまで達していない。また、半導体装置101は、導電体で構成されるコンタクトプラグ43を介して緩衝層40に電氣的に接続された電極44を有する。より具体的には、低屈折率層41の光入射側には、低屈折率層41

10

【0040】

以下に、第2の実施形態に係る半導体装置101の製造方法の一例について図4Aおよび図4Bを参照しつつ説明する。半導体装置101の製造方法は、低屈折率層41を形成する工程(図2K)までは、第1の実施形態に係る半導体装置100の製造方法と基本的には同じである。ただし、受光部30の深さ方向の終端位置が、半導体層10の光入射側の表面S1にまで達しないように受光部30を形成する点が、第1の実施形態に係る半導体装置100の製造方法とは異なる。受光部30の深さは、受光部30を形成するためのイ

20

【0041】

緩衝層40の表面に低屈折率層41を形成した後、例えば公知のCVD法により、SiO₂等の絶縁体で構成される絶縁膜42を低屈折率層41の表面に形成する(図4A)。

【0042】

次に、絶縁膜42および低屈折率層41を貫通し、緩衝層40に達するコンタクトホールを形成した後、このコンタクトホールにタングステン(W)等の導電体を埋め込むことによりコンタクトプラグ43を形成する。その後、絶縁膜42の表面にコンタクトプラグ43に接続するアルミニウム等の導電体で構成される電極44を形成する。

【0043】

以上のように、本実施形態に係る半導体装置101において、低屈折率層41は、半導体層10の屈折率よりも低い屈折率を有するため、低屈折率層41は、反射防止膜として機能する。緩衝層40は、半導体層10と低屈折率層41との間に介在することで、低屈折率層41が生じさせる応力の半導体層10への作用を緩和する。これにより、半導体層10内における結晶欠陥の発生が抑制される。緩衝層40は、アモルファスシリコンで構成されており、その屈折率は、単結晶シリコンで構成される半導体層の屈折率と同程度であり、低屈折率層41の屈折率よりも高い。従って、緩衝層40は、低屈折率層41による反射防止効果を低減させることなく応力緩和機能を発揮する。

30

【0044】

半導体層10に電圧を印加することによりフォトダイオードを逆バイアス状態として撮像を行う場合がある。本実施形態に係る半導体装置101によれば、緩衝層40は、半導体層10と接し且つ半導体層10と同じ導電性を有する。また、緩衝層40には、コンタクトプラグ43を介して電極44が接続されている。従って、電極44、コンタクトプラグ43および緩衝層40を介して、半導体層10に電圧を印加することが可能である。すなわち、本実施形態に係る半導体装置101によれば、緩衝層40は、半導体層10に電圧を印加するためのコンタクト層としても機能する。なお、緩衝層40の材料として、アモルファスシリコンに代えてポリシリコンを用いることも可能である。

40

【0045】

上記の第1および第2の実施形態においては、半導体層10および緩衝層40の導電性をn型とし、受光部30およびフローティングディフュージョン24をp型で構成する場

50

合を例示したが、これらの各構成要素の導電型を反転させてもよい。

【符号の説明】

【0046】

10 半導体層

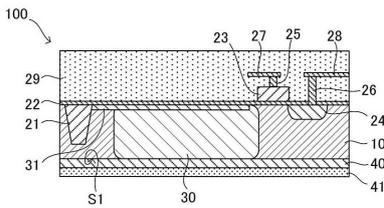
30 受光部

40 緩衝層

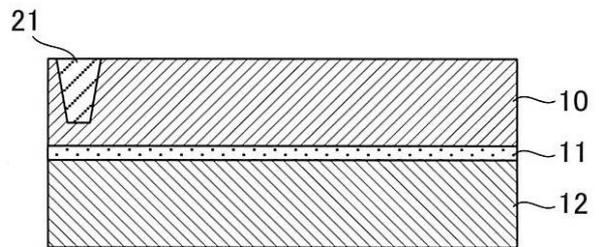
41 低屈折率層

100、101 半導体装置

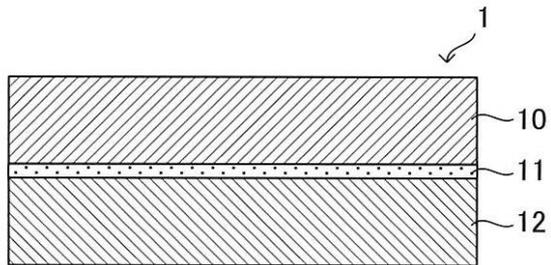
【図1】



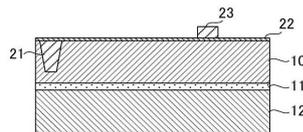
【図2B】



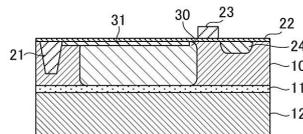
【図2A】



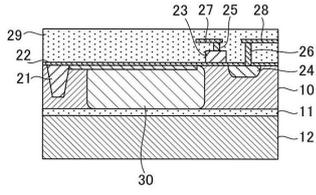
【図2C】



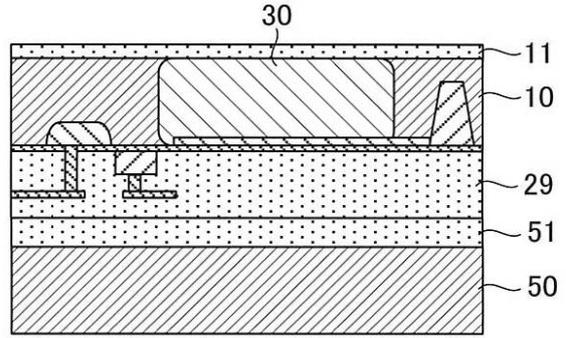
【図2D】



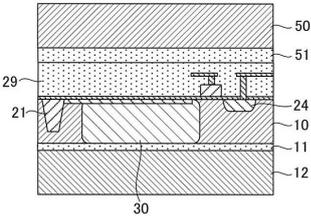
【図 2 E】



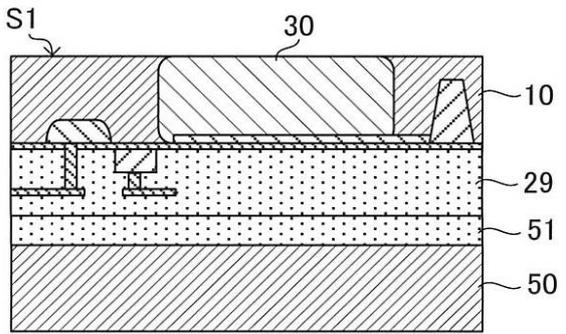
【図 2 G】



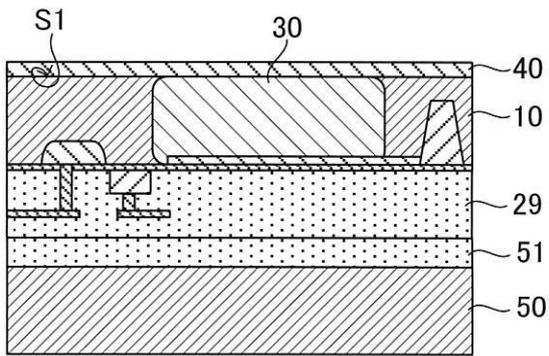
【図 2 F】



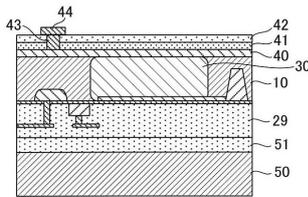
【図 2 H】



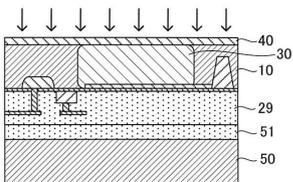
【図 2 I】



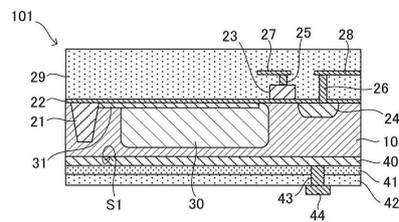
【図 2 L】



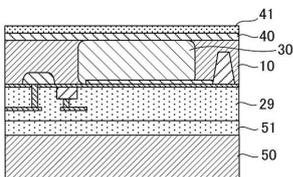
【図 2 J】



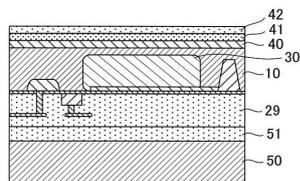
【図 3】



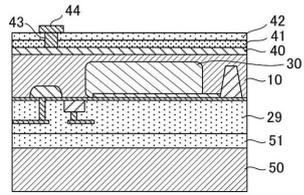
【図 2 K】



【図 4 A】



【 4 B】



フロントページの続き

- (56)参考文献 特開2012-204690(JP,A)
特開2013-232647(JP,A)
特開2003-338615(JP,A)
特開2003-258262(JP,A)
特開2015-131754(JP,A)
特開2015-012228(JP,A)
特開2012-212911(JP,A)
米国特許出願公開第2010/0291730(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/146