

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-150212

(P2007-150212A)

(43) 公開日 平成19年6月14日(2007.6.14)

(51) Int. Cl.		F I			テーマコード (参考)	
H05K	1/02	(2006.01)	H05K	1/02	N	5E338
H05K	3/46	(2006.01)	H05K	3/46	Q	5E346
			H05K	3/46	N	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2005-346260 (P2005-346260)
 (22) 出願日 平成17年11月30日 (2005.11.30)

(71) 出願人 000005496
 富士ゼロックス株式会社
 東京都港区赤坂九丁目7番3号
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 関根 弘幸
 埼玉県さいたま市岩槻区府内3丁目7番1号 富士ゼロックス株式会社内

最終頁に続く

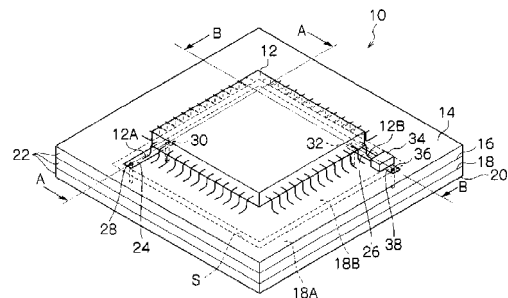
(54) 【発明の名称】 回路基板

(57) 【要約】 (修正有)

【課題】 インピーダンスが高くなる部分での電位変動を安定させることで、回路基板の電磁放射ノイズを低減すること。

【解決手段】 電源パターン26は、電源ラインから電源が供給されるメイン電源層18AとはクリアランスSを介して絶縁されて形成されたサブ電源層18Bに接続されており、この電源パターン26はコンデンサ34を介してグランド層16に接続されている。つまり、電源パターン26は、メイン電源層18Aから直接電源を供給されないため、インピーダンスが高くなることによって電位変動が大きくなるが、バルクコンデンサ34が接続されているので、電位変動を安定させることができる。これにより、回路基板10から発生する電磁放射ノイズを低減することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源ラインから電源が供給される第 1 電源層と、
前記第 1 電源層と同一層に形成され、クリアランスで該第 1 電源層と絶縁される第 2 電源層と、

前記第 1 電源層と前記第 2 電源層に接続され、該第 1 電源層から該第 2 電源層に電源を供給する第 1 電源パターンと、

前記第 2 電源層に接続され、該第 2 電源層の電源が供給される第 2 電源パターンと、
グラウンドラインに接続されたグラウンド層と第 2 電源パターンを接続するコンデンサと、
を有することを特徴とする回路基板。

10

【請求項 2】

電源ラインから電源が供給される第 1 電源層と、

前記第 1 電源層と異なる層に形成された第 2 電源層と、

前記第 1 電源層と前記第 2 電源層に接続され、該第 1 電源層から該第 2 電源層に電源を供給する第 1 電源パターンと、

前記第 2 電源層に接続され、該第 2 電源層の電源が供給される第 2 電源パターンと、
グラウンドラインに接続されたグラウンド層と第 2 電源パターンを接続するコンデンサと、
を有することを特徴とする回路基板。

【請求項 3】

前記コンデンサは、インピーダンスが最大となる位置にある前記第 2 電源パターンに接続されていることを特徴とする請求項 1 又は請求項 2 に記載の回路基板。

20

【請求項 4】

前記コンデンサは、第 1 電源パターンからの距離が最大となる位置にある第 2 電源パターンに接続されていることを特徴とする請求項 1 ~ 請求項 3 のいずれか 1 項に記載の回路基板。

【請求項 5】

前記第 2 電源層の電源経路を分断するビアホールが形成されているとき、前記コンデンサは、前記ビアホールを挟んで前記第 1 電源パターンにそれぞれ対向配置された前記第 2 電源パターンに接続されていることを特徴とする請求項 1 ~ 請求項 4 のいずれか 1 項に記載の回路基板。

30

【請求項 6】

前記第 1 電源パターンが複数配置されているとき、コンデンサは各第 1 電源パターンからの距離が最大となる位置にある前記第 2 電源パターンにそれぞれ接続されていることを特徴とする請求項 1 ~ 請求項 5 のいずれか 1 項に記載の回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器に用いられ、電源層及びグラウンド層を有する回路基板に関する。

【背景技術】

【0002】

集積回路 (IC) が実装された回路基板において、信号周波数の高速化によって発生する電磁放射ノイズ (EMI) の低減が課題となっている。そこで、電磁放射ノイズを低減させる一般的な手法として、集積回路の電源端子近傍にバイパスコンデンサを設け、電源端子近傍から発生する電磁放射ノイズをカットしている。

40

【0003】

例えば、特許文献 1 では、電源層にクリアランスを設け、主電源プレーンとサブ電源プレーンを絶縁して形成し、実装面に形成された電源パターンの一端を、スルーホールを介して主電源プレーンに接続している。この電源パターンの他端をサブ電源プレーンに接続することで、主電源プレーンからサブ電源プレーンに電源が供給される。そして、この電源パターンにバイパスコンデンサを接続することで、ノイズをカットしている。

50

【0004】

しかし、主電源プレーンに直接接続された電源パターンにバイパスコンデンサを設けても、この電源パターン付近では電磁放射ノイズの発生が抑えられるが、この電源パターンから遠い部分ではバイパスコンデンサの効果が薄くなって、電位変動が吸収されず電源波形が崩れる。これにより、回路基板から発生する電磁放射ノイズが低減されない。また、スルーホールを介してサブ電源プレーンにのみ接続されている電源パターン付近では、スルーホール等によってインピーダンスが高くなるため、電位変動が不安定になる。このため、電源波形が崩れて電磁放射ノイズが発生してしまう。

【特許文献1】特開2003-282781号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

本発明は、インピーダンスが高くなる部分での電位変動を安定させることで、回路基板の電磁放射ノイズを低減することを課題とする。

【課題を解決するための手段】

【0006】

請求項1に記載の本発明は、電源ラインから電源が供給される第1電源層と、前記第1電源層と同一層に形成され、クリアランスで該第1電源層と絶縁される第2電源層と、前記第1電源層と前記第2電源層に接続され、該第1電源層から該第2電源層に電源を供給する第1電源パターンと、前記第2電源層に接続され、該第2電源層の電源が供給される第2電源パターンと、グラウンドラインに接続されたグラウンド層と第2電源パターンを接続するコンデンサと、を有することを特徴としている。

20

【0007】

請求項1の発明によれば、第2電源パターンは、電源ラインから電源が供給される第1電源層とは絶縁され、同一層にある第2電源層に接続されている。この第2電源パターンは、コンデンサを介してグラウンド層に接続されている。

【0008】

つまり、第2電源パターンは、第1電源層から直接電源を供給されないため、インピーダンスが高くなることによって電位変動が大きくなるが、コンデンサが接続されているので電位変動を安定させることができる。これにより、回路基板から発生する電磁放射ノイズを低減することができる。

30

【0009】

請求項2に記載の本発明は、電源ラインから電源が供給される第1電源層と、前記第1電源層と異なる層に形成された第2電源層と、前記第1電源層と前記第2電源層に接続され、該第1電源層から該第2電源層に電源を供給する第1電源パターンと、前記第2電源層に接続され、該第2電源層の電源が供給される第2電源パターンと、グラウンドラインに接続されたグラウンド層と第2電源パターンを接続するコンデンサと、を有することを特徴としている。

【0010】

請求項2の発明によれば、第2電源パターンは、電源ラインから電源が供給される第1電源層とは異なる層に形成された第2電源層に接続されている。この第2電源パターンは、コンデンサを介してグラウンド層に接続されている。

40

【0011】

つまり、第2電源パターンは、第1電源層から直接電源を供給されないため、インピーダンスが高くなることによって電位変動が大きくなるが、コンデンサが接続されているので電位変動を安定させることができる。これにより、回路基板から発生する電磁放射ノイズを低減することができる。

【0012】

請求項3に記載の本発明は、前記コンデンサは、インピーダンスが最大となる位置にある前記第2電源パターンに接続されていることを特徴としている。

50

【0013】

請求項3の発明によれば、インピーダンスが最大となる位置にある第2電源パターンにコンデンサを接続する。つまり、電位変動が最も不安定な位置にある第2電源パターンにコンデンサを接続することで、回路基板から発生する電磁放射ノイズが低減される。

【0014】

請求項4に記載の本発明は、前記コンデンサは、第1電源パターンからの距離が最大となる位置にある第2電源パターンに接続されていることを特徴としている。

【0015】

請求項4の発明によれば、第1電源パターンからの距離が大きくなるほどインピーダンスが高くなるので、第1電源パターンからの距離が最大となる位置にある第2電源パターンにコンデンサを接続する。つまり、電位変動が最も不安定な位置にある第2電源パターンにコンデンサを接続することで、回路基板から発生する電磁放射ノイズが低減される。

10

【0016】

請求項5に記載の本発明は、前記第2電源層の電源経路を分断するビアホールが形成されているとき、前記コンデンサは、前記ビアホールを挟んで前記第1電源パターンにそれぞれ対向配置された前記第2電源パターンに接続されていることを特徴としている。

【0017】

請求項5の発明によれば、ビアホールが第2電源層に形成されているとき、ビアホール周囲に形成された逃げ（ビアホールと第2電源層とを絶縁するクリアランス）によって、第2電源層の電源経路が分断される。このため、ビアホールを挟んで第1電源パターンに対向配置された第2電源パターン近傍で最もインピーダンスが高くなる。そこで、この位置に配置された第2電源パターンにコンデンサを接続することで、回路基板から放射される電磁放射ノイズを低減することができる。

20

【0018】

請求項6に記載の本発明は、前記第1電源パターンが複数配置されているとき、コンデンサは各第1電源パターンからの距離が最大となる位置にある前記第2電源パターンにそれぞれ接続されていることを特徴としている。

【0019】

請求項6の発明によれば、第1電源パターンが複数配置されているとき、それぞれの第1電源パターンからの距離が最大となる位置にある第2電源パターンにコンデンサを接続する。つまり、複数の箇所において第1電源層から第2電源層に電源が供給される時、それぞれの電源供給入り口の部分（第1電源パターン）からの距離が最大となってインピーダンスが最大となる位置にある第2電源パターンにコンデンサを接続することで、回路基板から発生する電磁放射ノイズを低減する。

30

【発明の効果】

【0020】

本発明は上記構成としたので、インピーダンスが高くなる部分での電位変動を安定させることで、回路基板の電磁放射ノイズを低減できる。

【発明を実施するための最良の形態】

【0021】

ここで、本発明の第1の実施形態に係る回路基板10について説明する。

40

【0022】

図1には、回路基板10上に特定用途向け集積回路（以下、「ASIC」とする）12を実装した状態が示されている。また、図2には、回路基板10の上面図が示されており、図3(A)には、図1のA-A線での断面図、図3(B)には、図1のB-B線での断面図がそれぞれ示されている。

【0023】

図1に示すように、回路基板10は矩形とされており、上層から順に絶縁層22を介して、第1信号層14、グランド層16、電源層18、第2信号層20が積層され、多層構造の4層基板となっている。

50

【0024】

第1信号層14には、複数の電源端子を備えるASIC12が実装され、ASIC12の電源端子12A、12Bは、電源を供給する電源パターン24、26に接続されている。また、グランド層16は、グランドラインに接続されている。

【0025】

図2の二重の点線はクリアランスSを示しており、このクリアランスSで、電源層18は、電源ラインに接続されるメイン電源層18Aと、サブ電源層18Bに分断され、絶縁されている。つまり、メイン電源層18Aの中央にサブ電源層18Bが島状に設けられている。また、図3(A)に示すように、メイン電源層18Aは、スルーホール28を介して、電源パターン24に接続されている。

10

【0026】

電源パターン24は、メイン電源層18Aとサブ電源層18Bに跨っており、スルーホール30によってサブ電源層18Bと接続されている。つまり、電源パターン24は、メイン電源層18Aとサブ電源層18Bを電氣的に接続し、メイン電源層18Aに外部から供給された電源を、電源パターン24を通じてサブ電源層18Bに供給するようになっている。

【0027】

一方、電源パターン26は、電源パターン24が設けられた位置に対して、サブ電源層18B上の対角部分に設けられており、図3(B)に示すように、スルーホール32によってサブ電源層18Bと電氣的に接続されている。これにより、電源パターン26に、サブ電源層18Bからの電源が供給されるようになっている。

20

【0028】

また、電源パターン26には、バルクコンデンサ34が接続されている。このバルクコンデンサ34はグランドパターン38に接続されており、グランドパターン38は、スルーホール36によってグランド層16に電氣的に接続されている。これにより、電源パターン26には、バルクコンデンサ34から安定して電源が供給されるため、電磁放射ノイズを低減することができる。

【0029】

次に、本発明の第1の実施形態の作用について説明する。

【0030】

電源パターン26は、電源ラインから電源が供給されるメイン電源層18Aとは絶縁されたサブ電源層18Bに接続されており、この電源パターン26はコンデンサ34を介してグランド層16に接続されている。

30

【0031】

つまり、電源パターン26は、メイン電源層18Aから直接電源を供給されないため、インピーダンスが高くなることによって電位変動が大きくなるが、バルクコンデンサ34が接続されているので、電位変動を安定させることができる。これにより、回路基板10から発生する電磁放射ノイズを低減することができる。

【0032】

また、メイン電源層18Aから直接電源が供給される電源パターン24(電源供給入り口)に対して対角の位置(電源パターン24から最も遠い位置)に形成された電源パターン26近傍では、回路基板10内においてインピーダンスが最大となる。このため、電位変動が最も不安定となって、大きな電磁放射ノイズが発生してしまう。そこで、この位置に形成された電源パターン26にバルクコンデンサ34を接続することで、バルクコンデンサ34から安定して電源が供給されるため、回路基板10から発生する電磁放射ノイズが低減される。

40

【0033】

次に、本発明の第2の実施形態に係る回路基板40について説明する。なお、第1の実施形態と同様の部分についての説明は割愛する。

【0034】

50

図4に示すように、回路基板40のサブ電源層18Bの角部近傍には、電源パターン42が形成されている。この電源パターン42は、スルーホール44によってメイン電源層18Aと電氣的に接続されていると共に、スルーホール46によってサブ電源層18Bと電氣的に接続されている。

【0035】

また、回路基板40には、電源パターン42から離れた位置に、電源パターン52が設けられている。電源パターン52の近傍には、信号線等のビアホール48が、横方向に並列して3つ形成されている。ビアホール48は円形状のクリアランス50によってサブ電源層18Bと電氣的に非接続状態とされている。

【0036】

また、電源パターン52はスルーホール54によってサブ電源層18Bと電氣的に接続されている。電源パターン52の他端には、バルクコンデンサ56が接続されている。バルクコンデンサ56はグラウンドパターン59に接続されており、グラウンドパターン59は、スルーホール58によってグラウンド層16(図1参照)に接続されている。

【0037】

このような構成において、電源ラインからサブ電源層18Bに供給された電源の経路は、信号線等のビアホール48の周囲に形成されたクリアランス50によって分断される。このため、ビアホール48を挟んで、電源パターン42と対向する位置に形成された電源パターン52近傍で、インピーダンスが最大となる。そこで、この電源パターン52にバルクコンデンサ56を接続することで、バルクコンデンサ56から安定して電源が供給されるため、回路基板40から発生する電磁放射ノイズが低減される。

【0038】

なお、本実施形態では、ビアホール48が3つ並列に形成されている場合について説明したが、ビアホール48の数は3つに限定されるものではなく、ビアホールを設けることによってインピーダンスが高くなる近傍の電源パターンに、バルクコンデンサを接続すれば、回路基板から発生する電磁放射ノイズを低減できる。

【0039】

次に、本発明の第3の実施形態に係る回路基板60について説明する。なお、第1の実施形態と同様の部分についての説明は割愛する。

【0040】

図5に示すように、回路基板60のサブ電源層18Bの角部近傍には、電源パターン62が形成されている。この電源パターン62は、スルーホール64によってメイン電源層18Aと電氣的に接続されていると共に、スルーホール66によってサブ電源層18Bと電氣的に接続されている。

【0041】

また、回路基板60には、電源パターン62と対角に位置するサブ電源層の角部近傍に、電源パターン68が形成されている。この電源パターン68も、電源パターン62と同様に、スルーホール70によってメイン電源層18Aと電氣的に接続されていると共に、スルーホール72によってサブ電源層18Bと電氣的に接続されている。

【0042】

一方、回路基板60には、垂直方向の中心線Mを挟んで電源パターン62と対向する位置に、電源パターン74が形成されており、スルーホール76によってサブ電源層18Bと電氣的に接続されている。

【0043】

電源パターン74の他端には、バルクコンデンサ78が接続されている。バルクコンデンサ78はグラウンドパターン82に接続されており、グラウンドパターン82は、スルーホール80によってグラウンド層16(図1参照)に接続されている。これにより、電源パターン74にはバルクコンデンサ78から安定して電源が供給されるため、電磁放射ノイズを低減することができる。

【0044】

10

20

30

40

50

また、回路基板 60 には、中心線 M を挟んで電源パターン 68 と対向する位置に、電源パターン 84 が形成されている。電源パターン 84 はスルーホール 86 によってサブ電源層 18B と電氣的に接続されている。

【0045】

電源パターン 84 の他端には、バルクコンデンサ 88 が接続されている。バルクコンデンサ 88 はグランドパターン 92 に接続されており、グランドパターン 92 は、スルーホール 90 によってグランド層 16 に接続されている。これにより、電源パターン 84 にはバルクコンデンサ 88 から安定して電源が供給されるため、電磁放射ノイズを低減することができる。

【0046】

このように、電源供給入り口（電源パターン 62、68）が複数設けられている場合、それぞれの電源供給入り口からの距離が最大となる位置にある電源パターン 74、84 にバルクコンデンサ 78、88 を接続する。つまり、それぞれの電源供給入り口からの距離が最大となってインピーダンスが最大となる位置にある電源パターン 74、84 にバルクコンデンサ 78、88 を接続することで、バルクコンデンサ 78、88 からそれぞれ電源パターン 74、84 に安定して電源が供給されるため、回路基板 60 から発生する電磁放射ノイズが低減される。

【0047】

なお、本実施形態では、電源供給入り口（メイン電源層 18A に電氣的に接続された電源パターン 62、68）が 2 箇所設けられた場合について説明したが、電源供給入り口が 3 箇所設けられている場合には、それぞれの電源供給入り口からの距離が最大となる位置にある電源パターンにバルクコンデンサを接続する。このように、電源供給入り口の数と、バルクコンデンサを接続する電源パターンの数を比例させる。

【0048】

次に、本発明の第 4 の実施形態に係る回路基板 150 について説明する。なお、第 1 の実施形態と同様の部分についての説明は割愛する。

【0049】

図 6 に示すように、回路基板 150 は略 L 字状とされており、電源層 152 の外縁に沿って、電源ラインに接続されるメイン電源層 152A が設けられている。メイン電源層 152A の内側には、クリアランス S を介してサブ電源層 152B が設けられている。つまり、サブ電源層 152B は、回路基板 150 よりも一回り小さい面積とされた略 L 字状とされている。

【0050】

回路基板 150 には、サブ電源層 152B の図の左上角部近傍に、電源パターン 154 が形成されている。電源パターン 154 は、スルーホール 156 によってメイン電源層 152A と電氣的に接続されていると共に、スルーホール 158 によってサブ電源層 152B と電氣的に接続されている。

【0051】

一方、回路基板 150 には、サブ電源層 152B の図の右下角部近傍に、電源パターン 160 が形成されており、スルーホール 162 によってサブ電源層 152B と電氣的に接続されている。

【0052】

電源パターン 160 には、バルクコンデンサ 164 が接続されている。バルクコンデンサ 164 はグランドパターン 168 に接続されており、グランドパターン 168 は、スルーホール 166 によってグランド層に電氣的に接続されている。

【0053】

このように、略 L 字状の回路基板 150 の場合にも、電源供給入り口部分（電源パターン 154）からの距離が最大となってインピーダンスが最大となる位置にある電源パターン 160 にバルクコンデンサ 164 を接続することで、バルクコンデンサ 164 から安定して電源が供給されるため、回路基板 150 から発生する電磁放射ノイズが低減される。

10

20

30

40

50

【 0 0 5 4 】

なお、本実施形態では、クリアランス S を介してメイン電源層とサブ電源層を同一の層に絶縁状態に設けた構成で説明したが、2つの層にそれぞれ外部からの電源が供給されるメイン電源層と、スルーホールを介してメイン電源層からの電源が供給されるサブ電源層を設けた場合にも、本発明を適用できる。

【 0 0 5 5 】

また、本実施形態では、回路基板の表面の信号層（第1信号層14）に形成された電源パターンにバルクコンデンサを接続する構成としたが、図7に示すように、回路基板の裏側の第2信号層20に、サブ電源層18Bとスルーホール170を介して電氣的に接続されている電源パターン172と、グラウンド層18にスルーホール174を介して電氣的に接続されたグラウンドパターン176を形成し、この電源パターン172とグラウンドパターン176とをバルクコンデンサ178で接続してもよい。つまり、バルクコンデンサ178を回路基板のASIC12が実装される側と反対側に実装してもよい。

10

【 図面の簡単な説明 】

【 0 0 5 6 】

【図1】第1の実施形態に係る回路基板の構成を示す斜視図である。

【図2】第1の実施形態に係る回路基板の上面図である。

【図3】第1の実施形態に係る回路基板の側面断面図であり、(A)は図1のA-A線での断面図であり、(B)は図1のB-B線での断面図である。

【図4】第2の実施形態に係る回路基板の上面図である。

20

【図5】第3の実施形態に係る回路基板の上面図である。

【図6】第4の実施形態に係る回路基板の上面図である。

【図7】他の形態に係る回路基板の側面断面図である。

【 符号の説明 】

【 0 0 5 7 】

10 回路基板

16 グラウンド層

18 電源層

18A メイン電源層（第1電源層）

18B サブ電源層（第2電源層）

30

24 電源パターン（第1電源パターン）

26 電源パターン（第2電源パターン）

34 バルクコンデンサ（コンデンサ）

40 回路基板

42 電源パターン（第1電源パターン）

48 ピアホール

52 電源パターン（第2電源パターン）

56 バルクコンデンサ（コンデンサ）

60 回路基板

62 電源パターン（第1電源パターン）

40

68 電源パターン（第1電源パターン）

74 電源パターン（第2電源パターン）

78 バルクコンデンサ（コンデンサ）

84 電源パターン（第2電源パターン）

88 バルクコンデンサ（コンデンサ）

150 回路基板

152 電源層

152A メイン電源層（第1電源層）

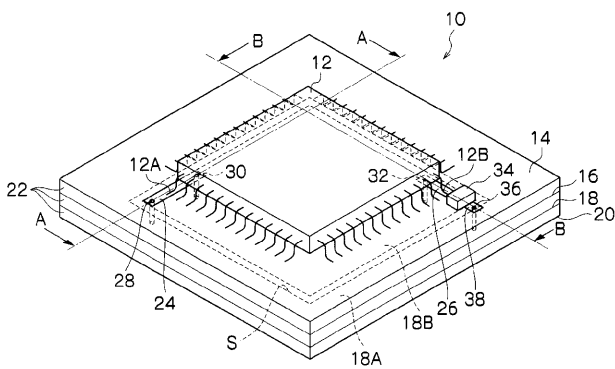
152B サブ電源層（第2電源層）

154 電源パターン（第1電源パターン）

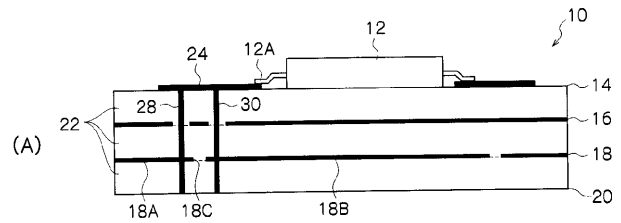
50

- 1 6 0 電源パターン (第 2 電源パターン)
- 1 6 4 バルクコンデンサ (コンデンサ)

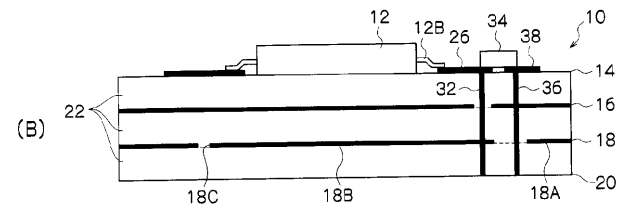
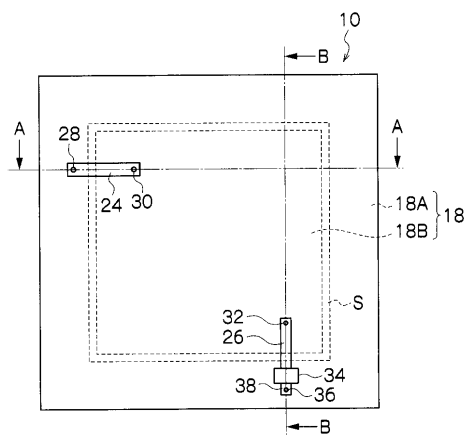
【 図 1 】



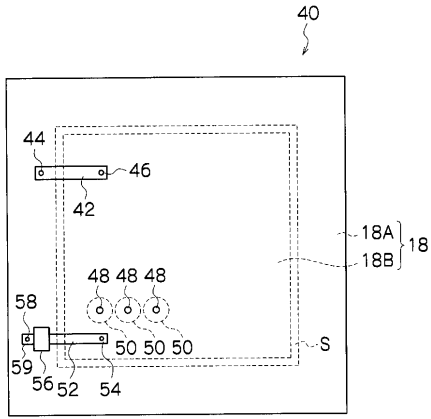
【 図 3 】



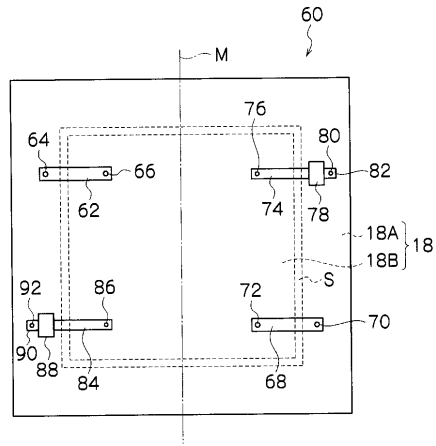
【 図 2 】



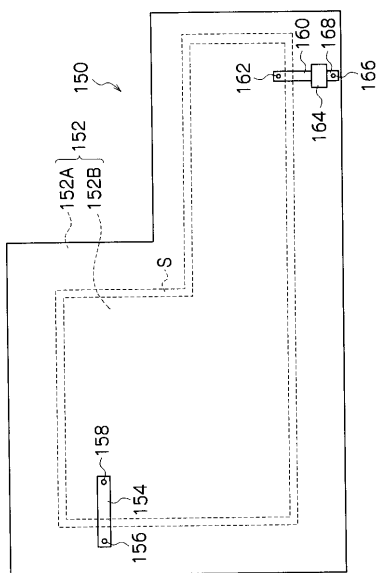
【 図 4 】



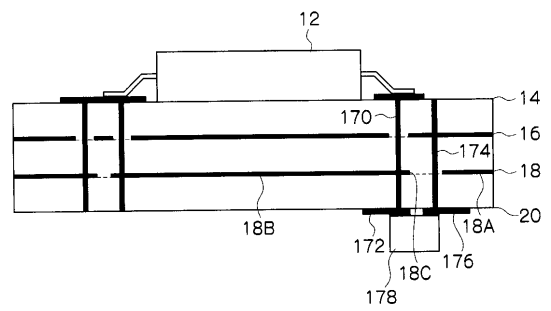
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

Fターム(参考) 5E338 AA03 CC04 CC06 CD11 CD40 EE11
5E346 AA12 AA15 AA32 AA43 BB02 BB03 BB04 BB20 FF45 HH01