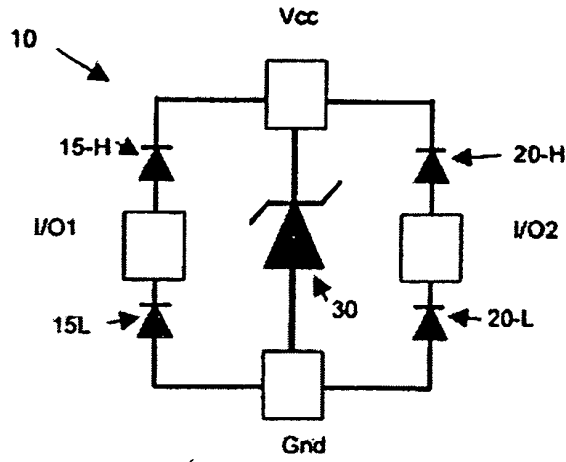
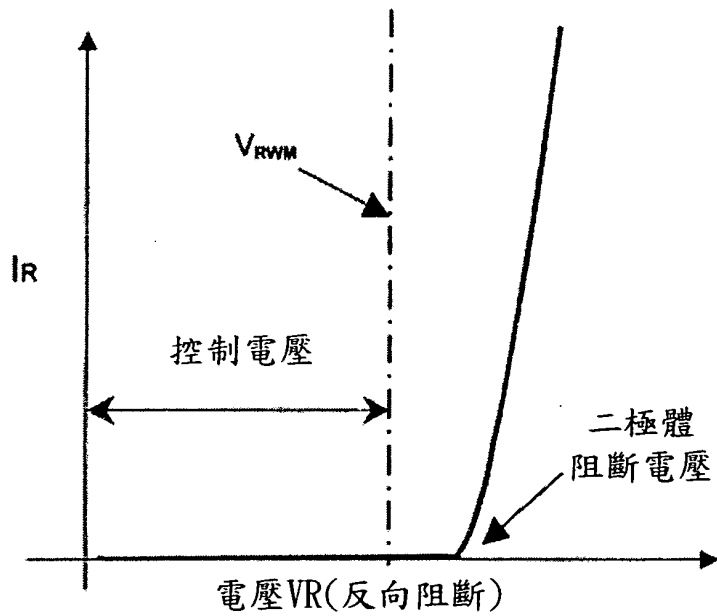


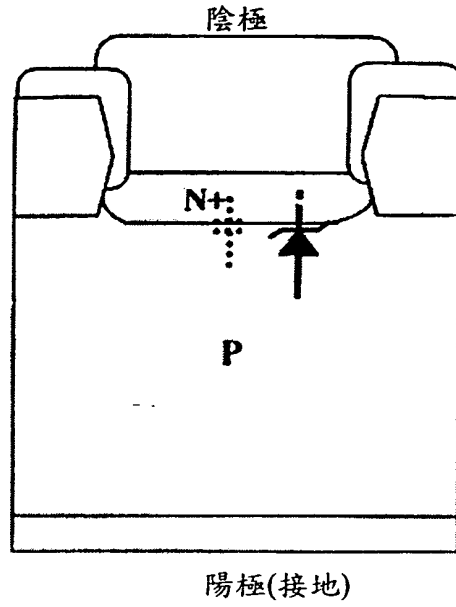
十一、圖式：



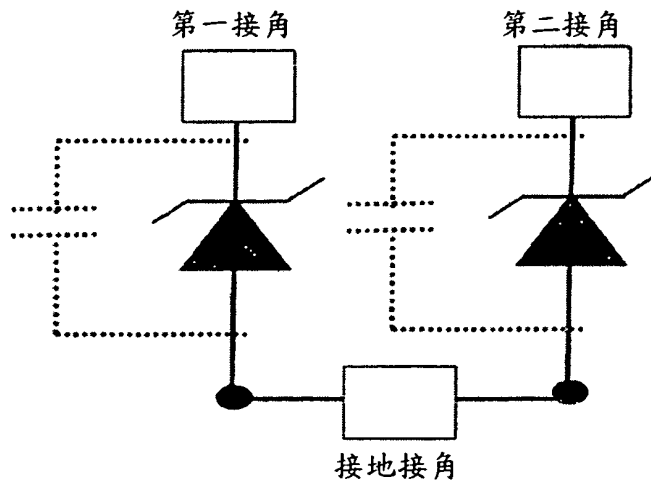
第1A-1圖(先前技術)



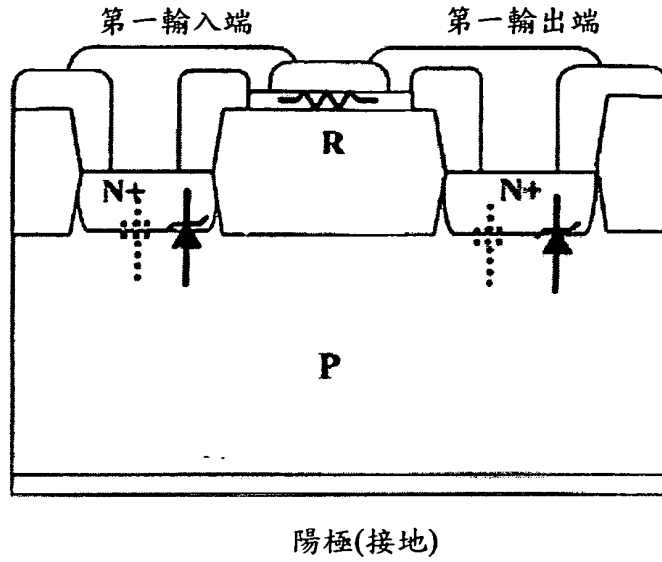
第1A-2圖(先前技術)



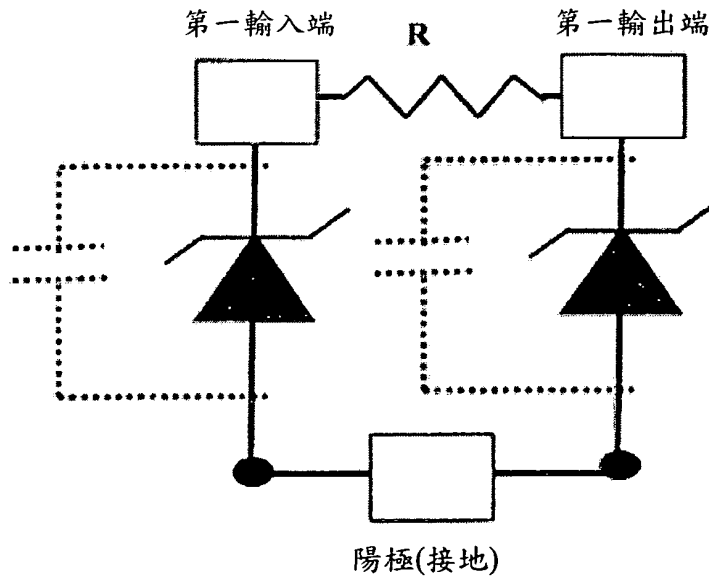
第1B-1圖(先前技術)



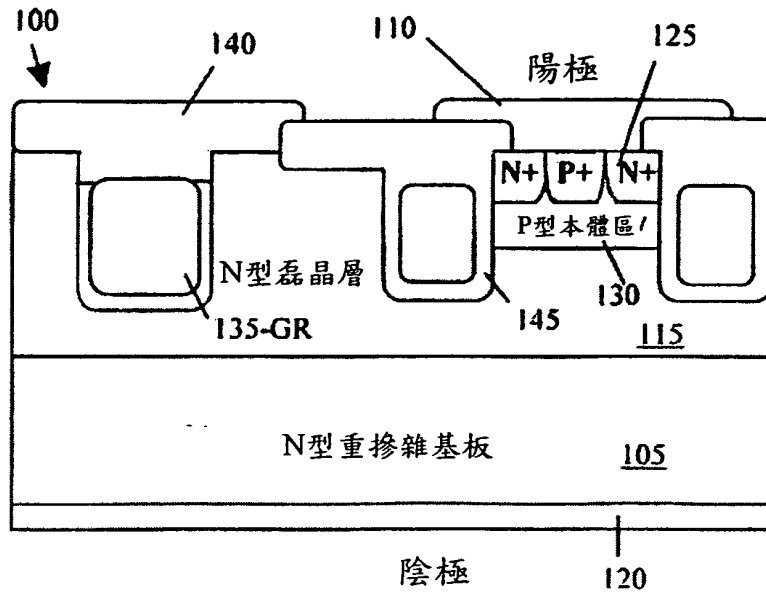
第1B-2圖(先前技術)



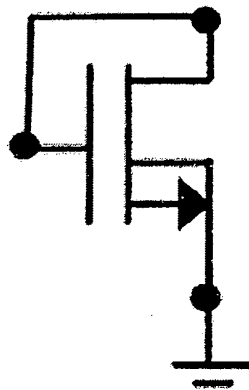
第1C-1圖(先前技術)



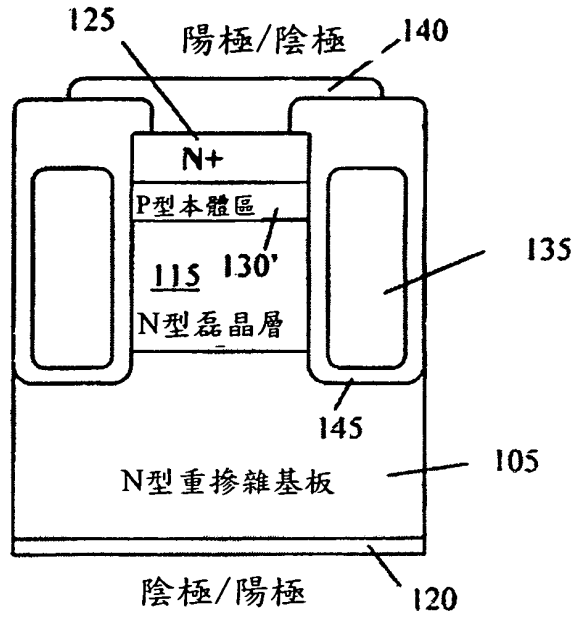
第1C-2圖(先前技術)



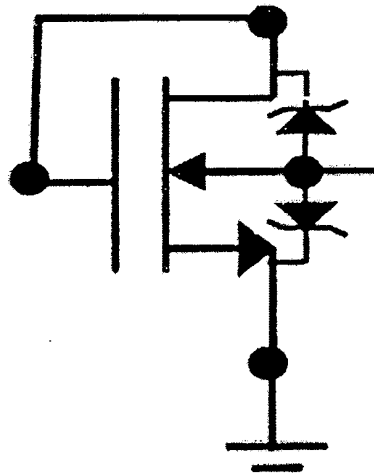
第2A圖



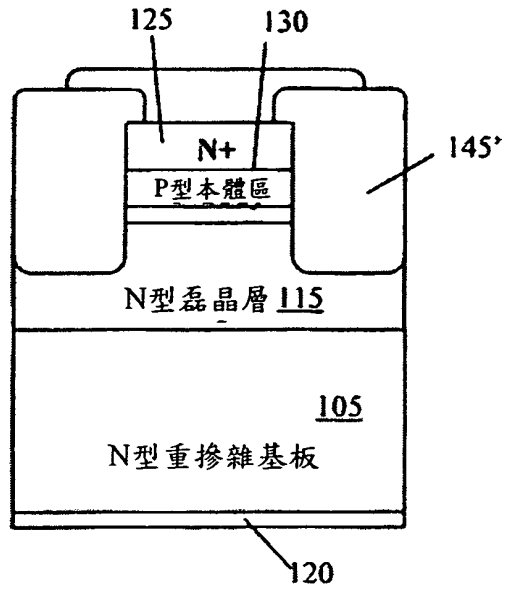
第2B圖



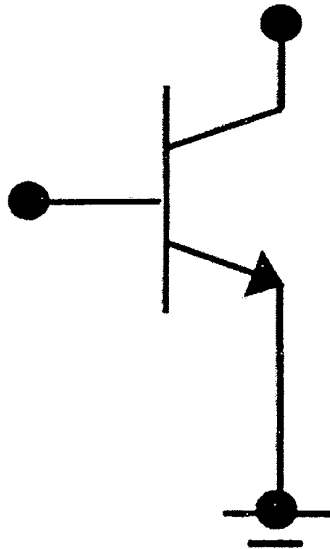
第3A圖



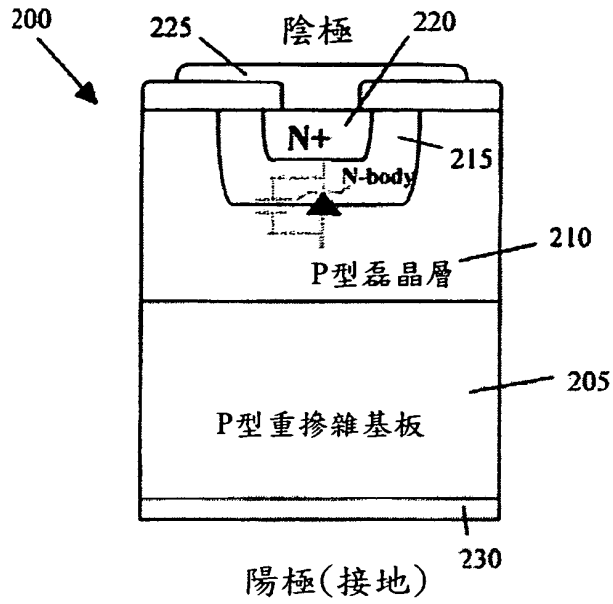
第3B圖



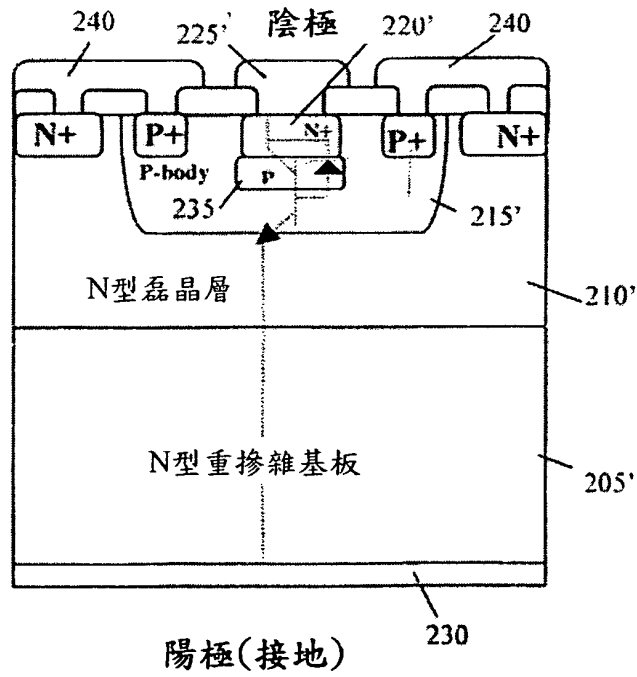
第3C圖



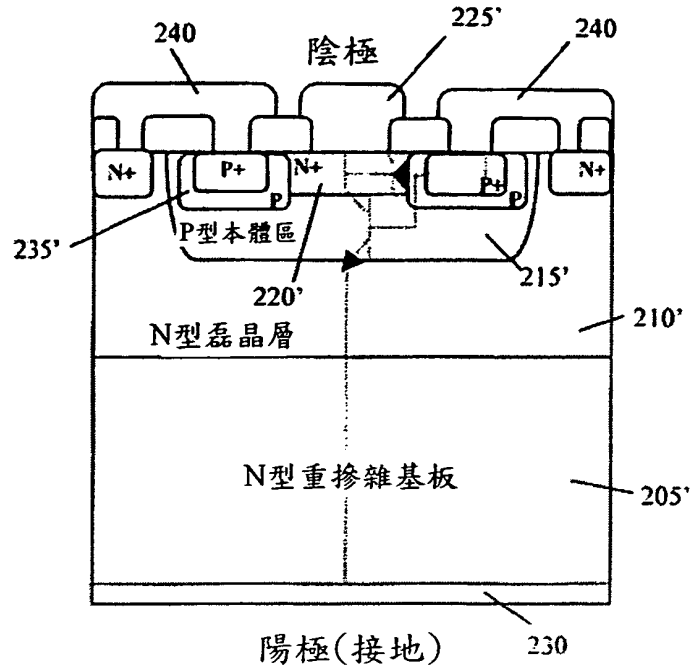
第3D圖



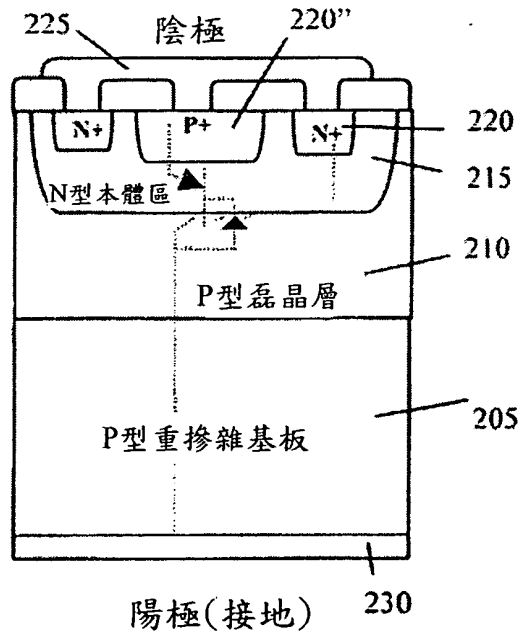
第4圖



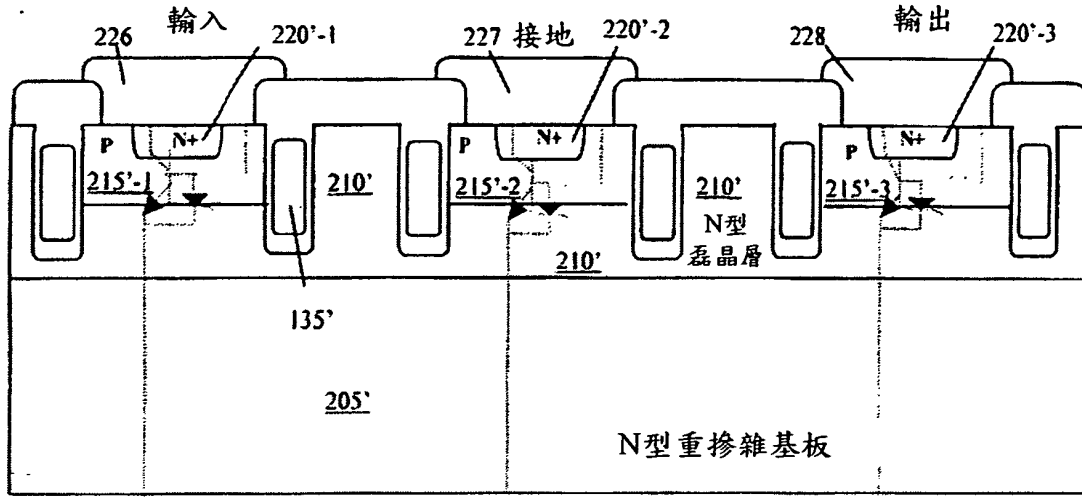
第5A圖



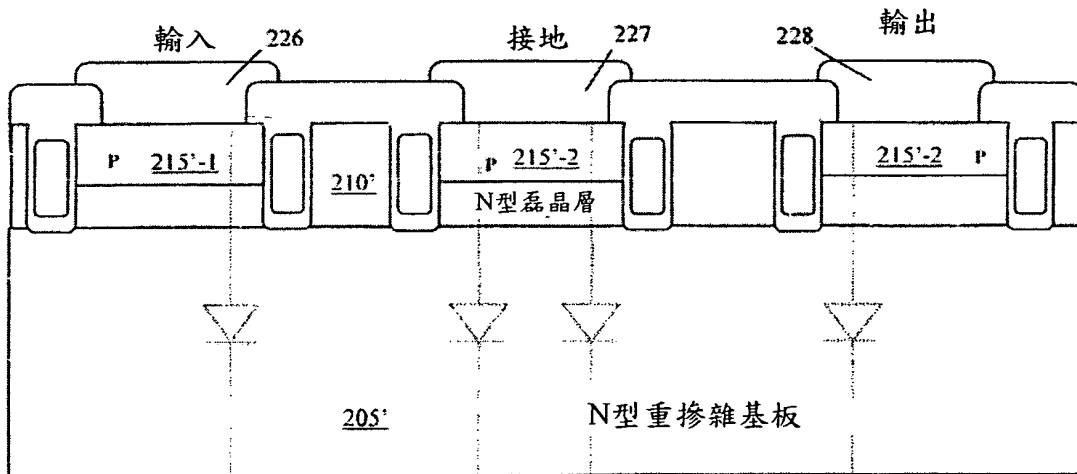
第5B圖



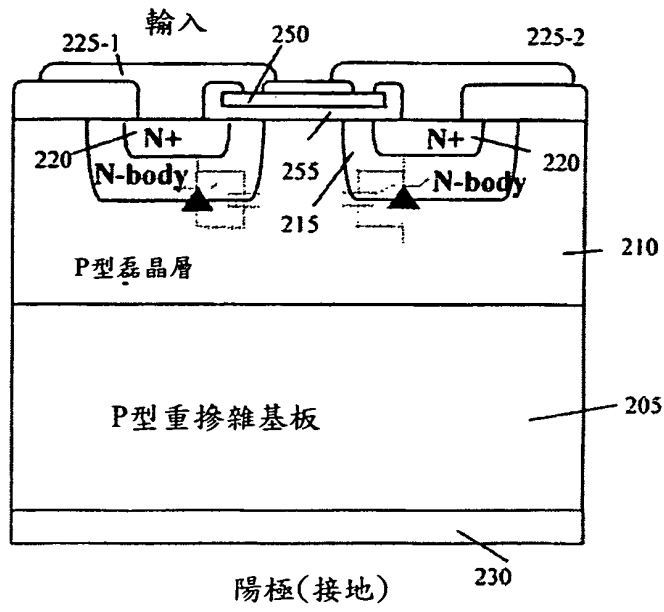
第5C圖



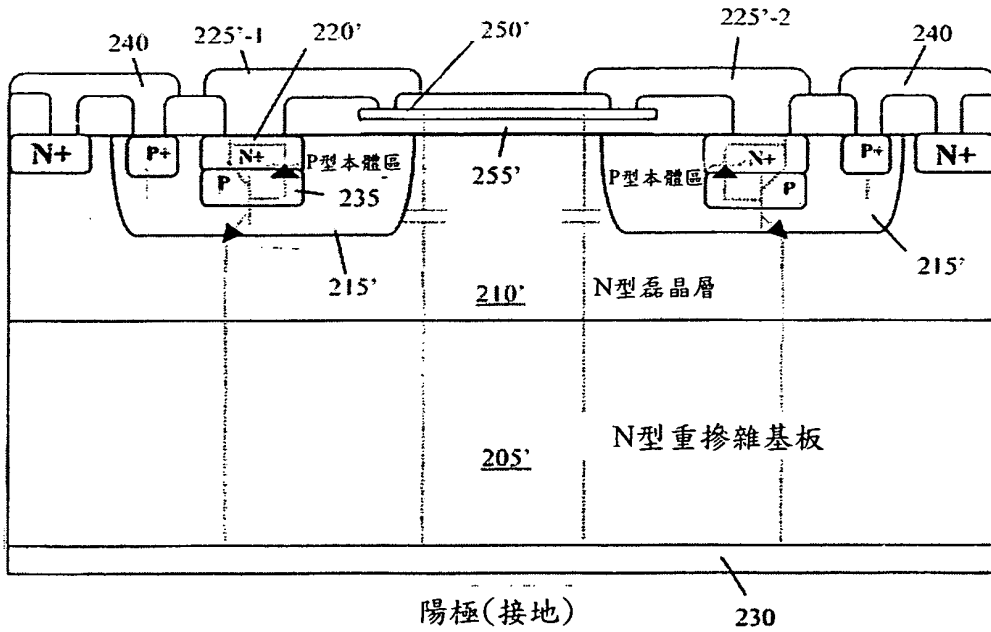
第5D圖



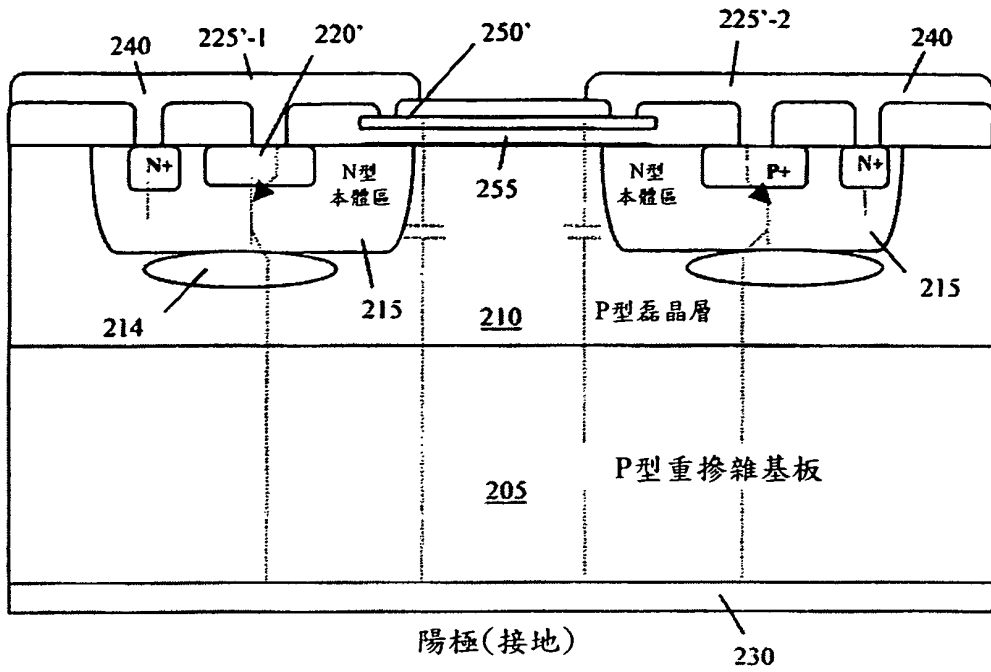
第5E圖



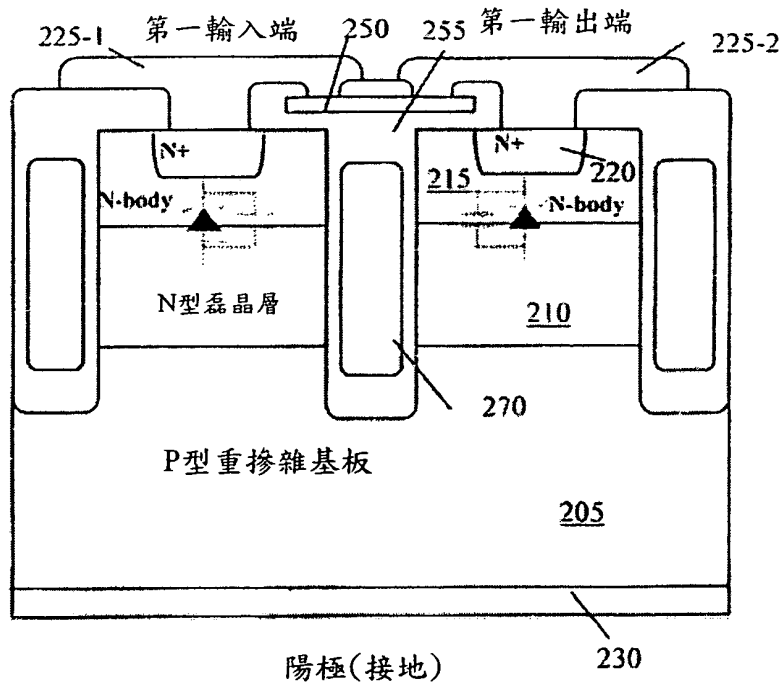
第6圖



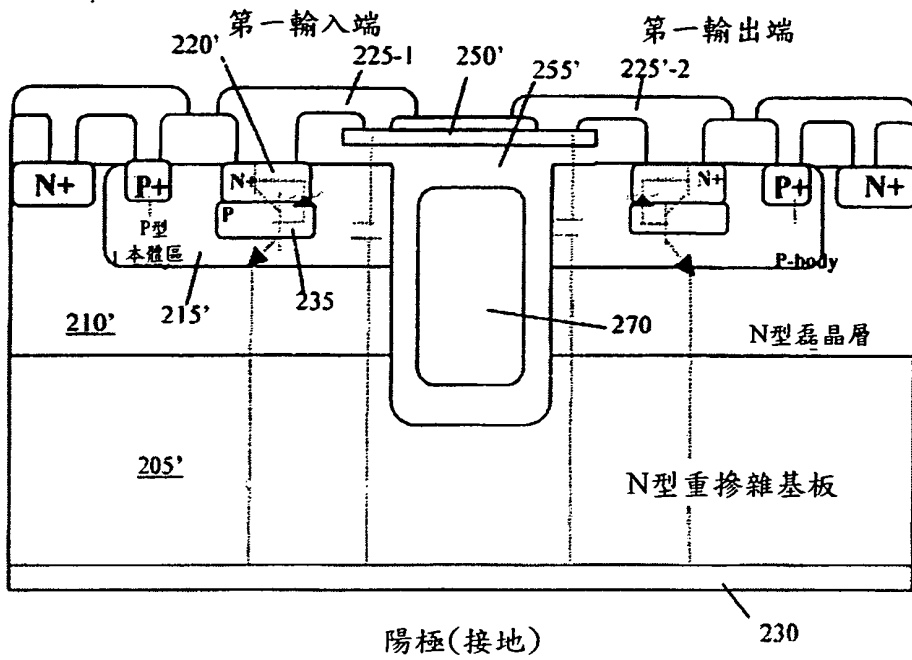
第7A圖



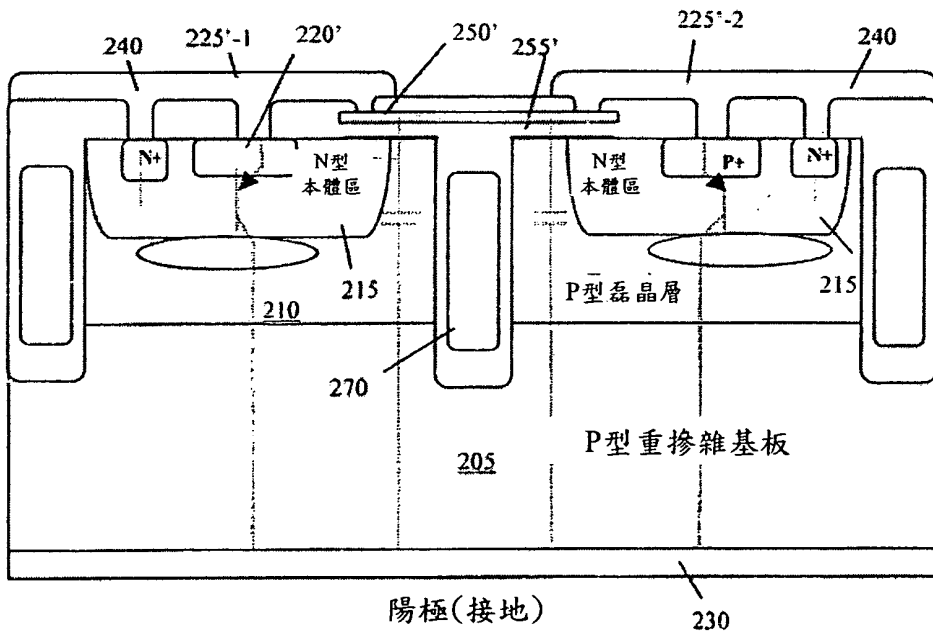
第7B圖



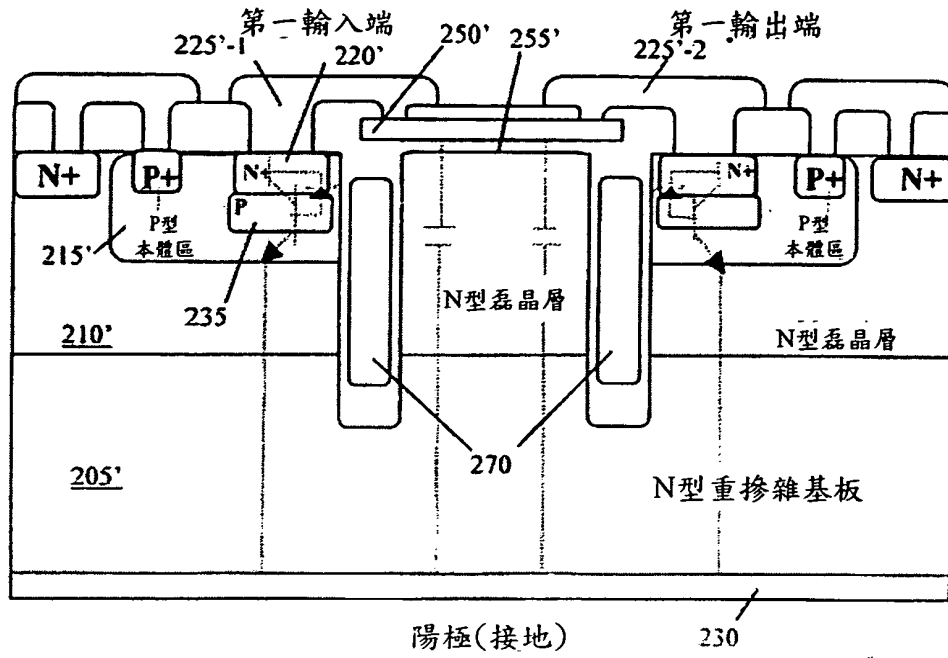
第8圖



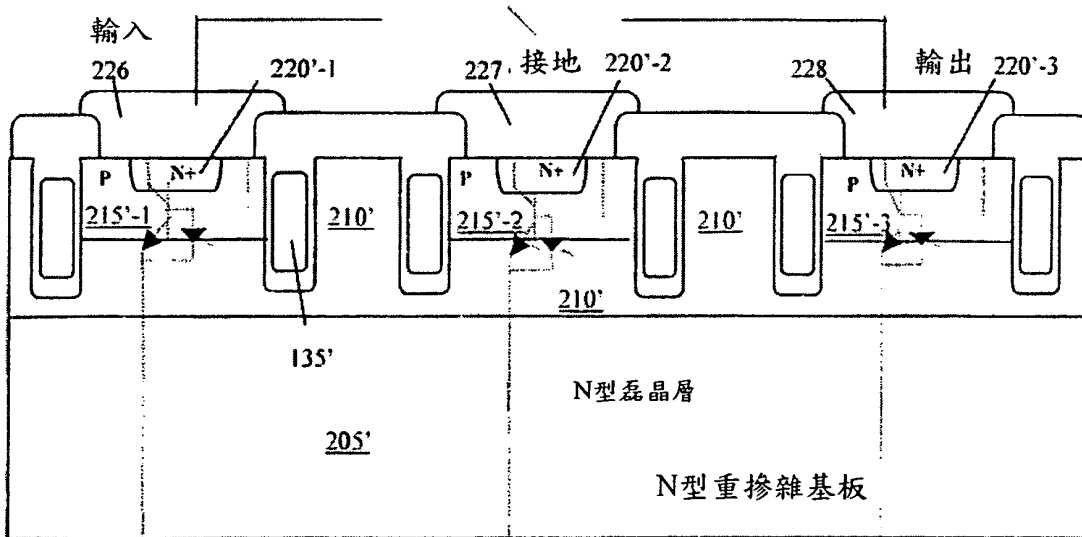
第9A圖



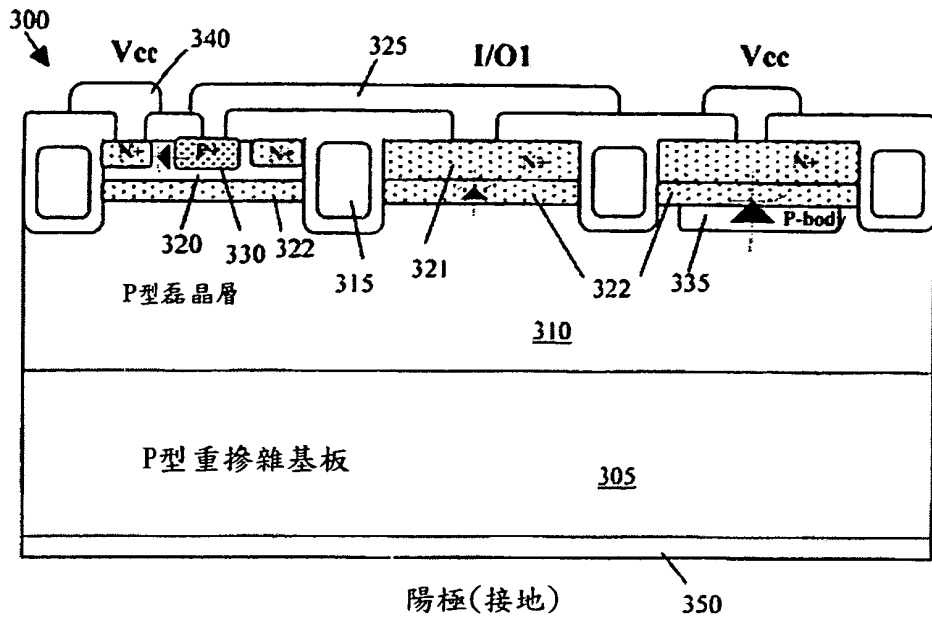
第9B圖



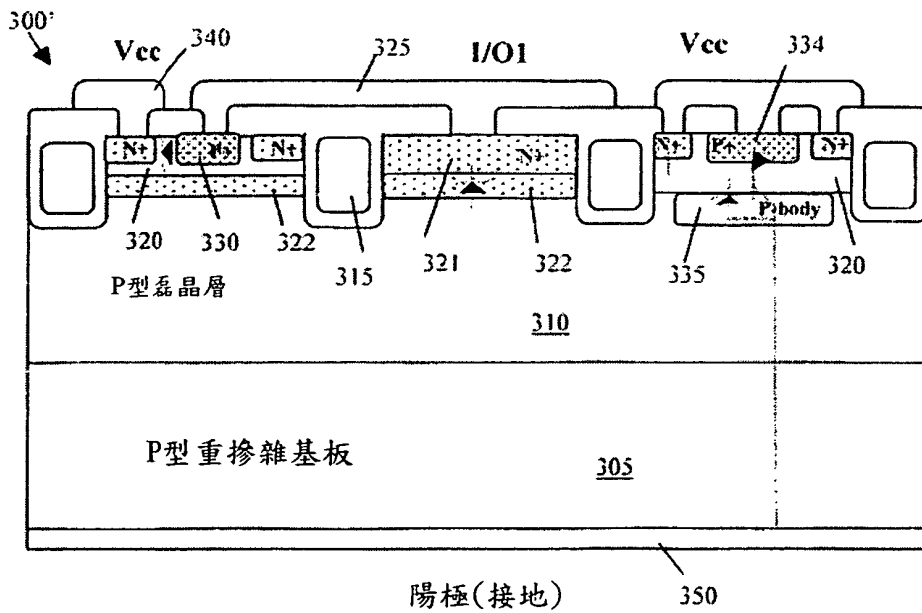
第9C圖



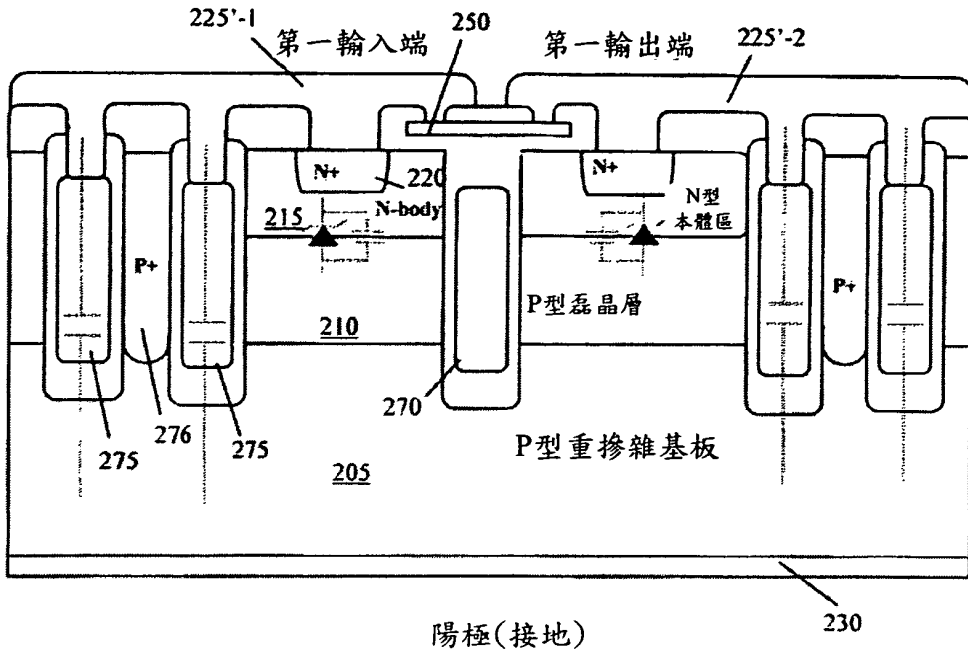
第9D圖



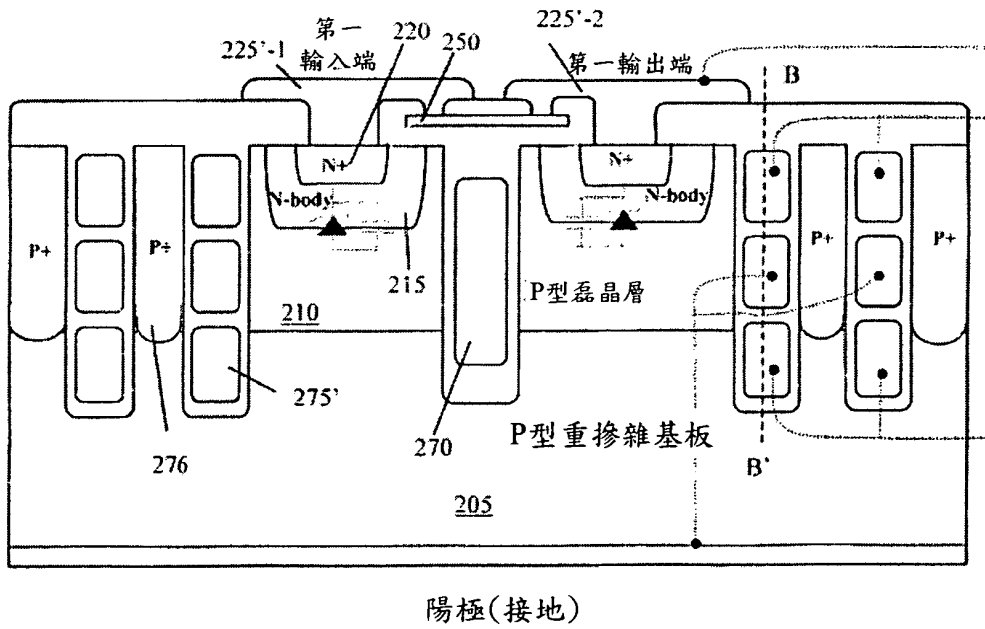
第10A圖



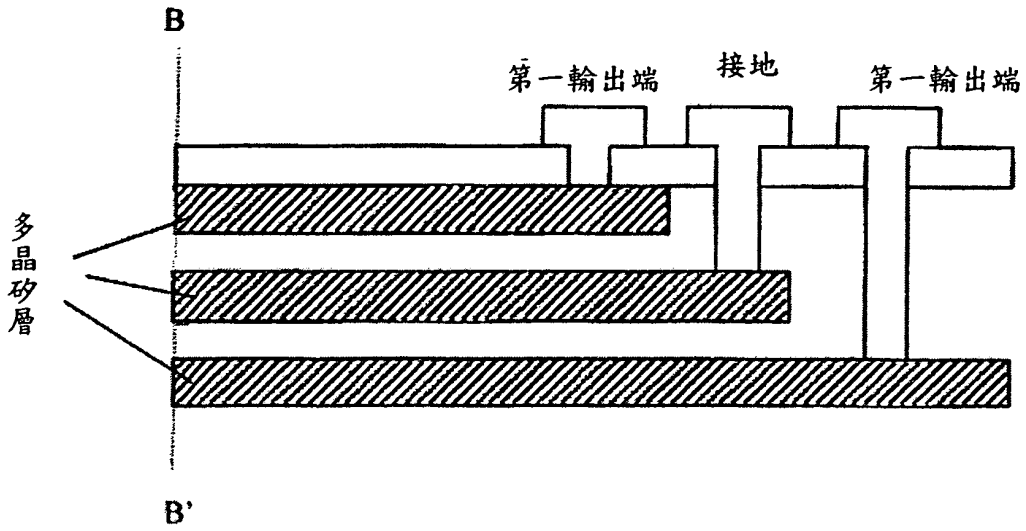
第10B圖



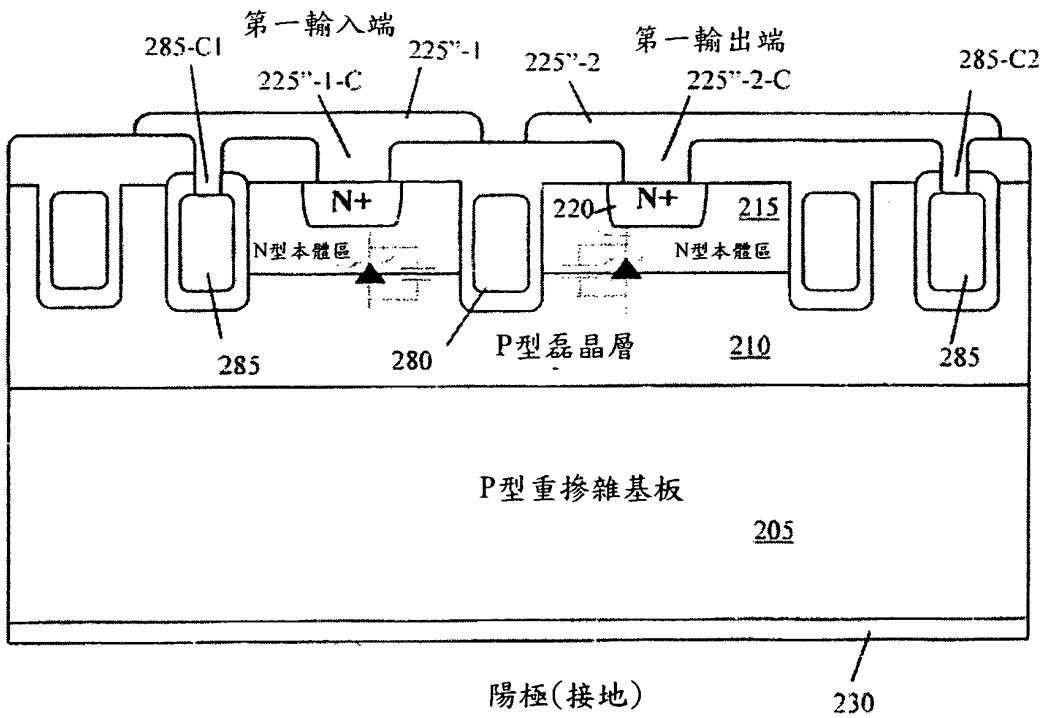
第11圖



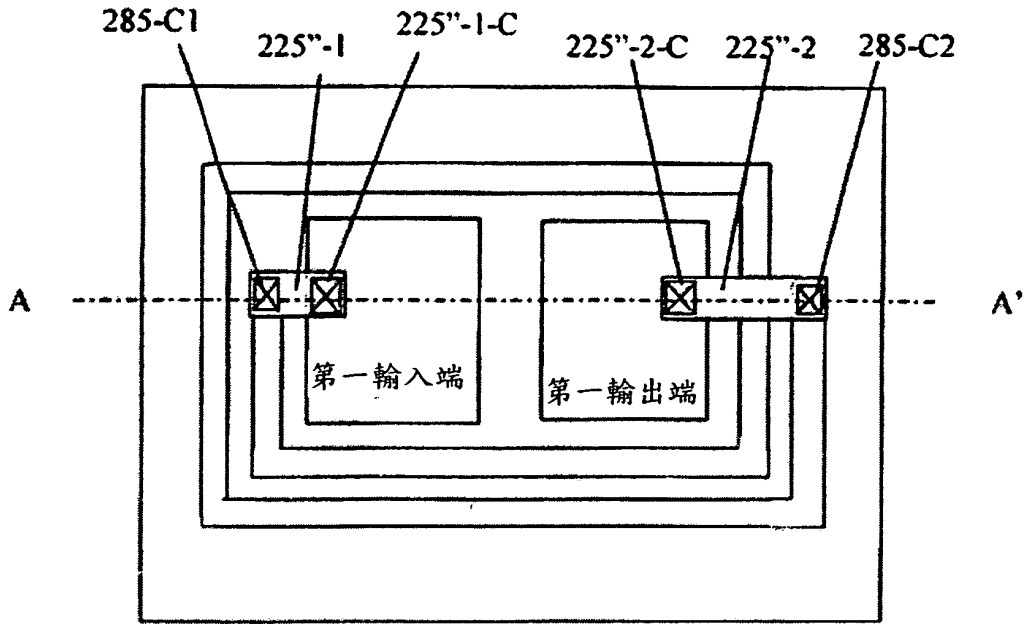
第12A圖



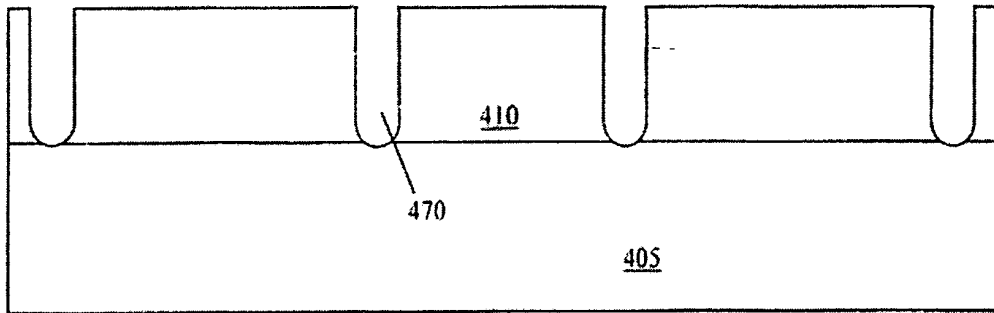
第12B圖



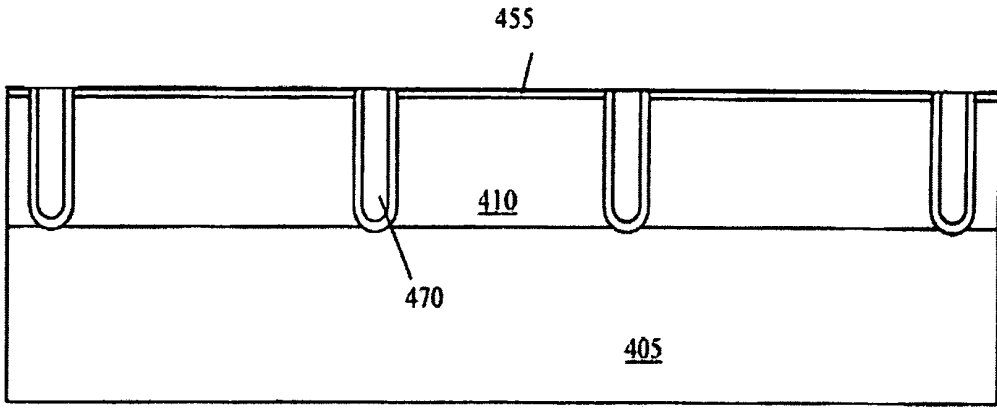
第13A圖



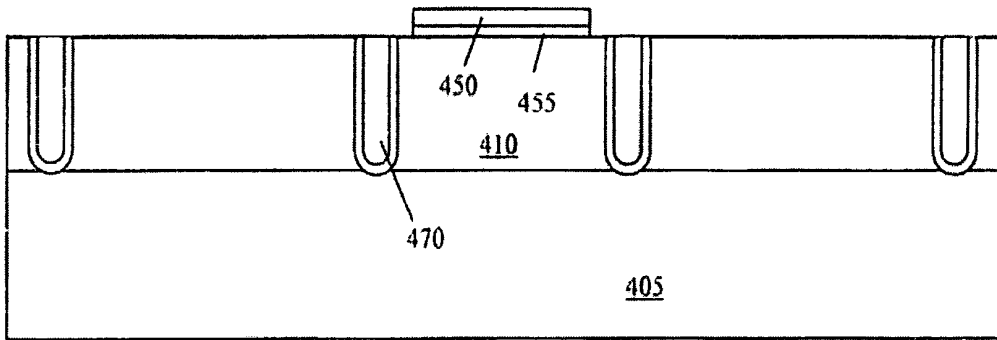
第13B圖



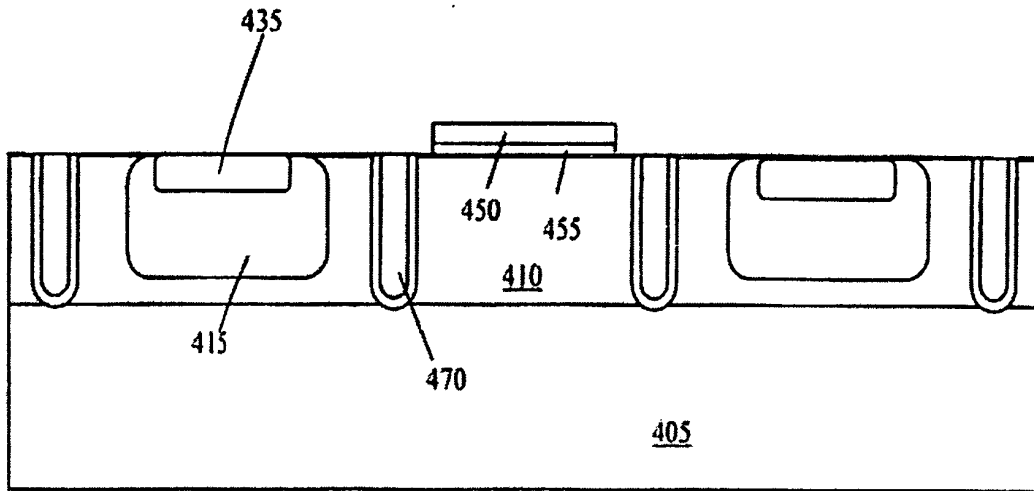
第14A圖



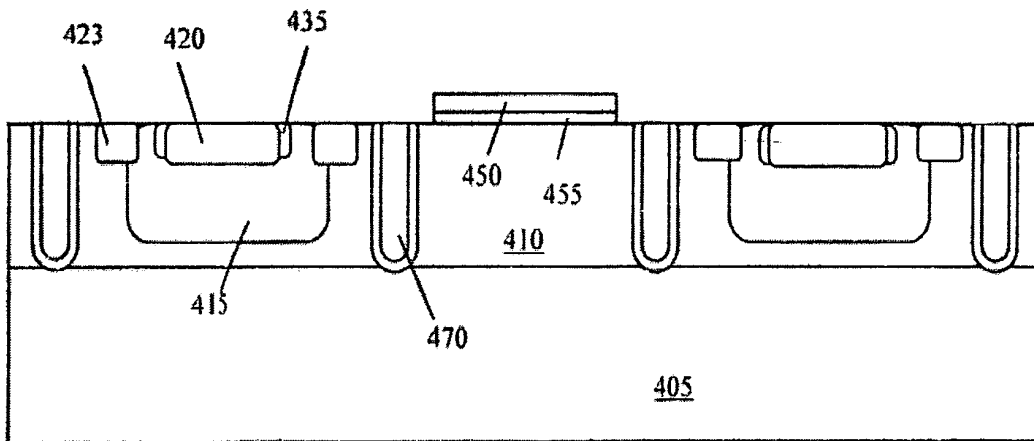
第14B圖



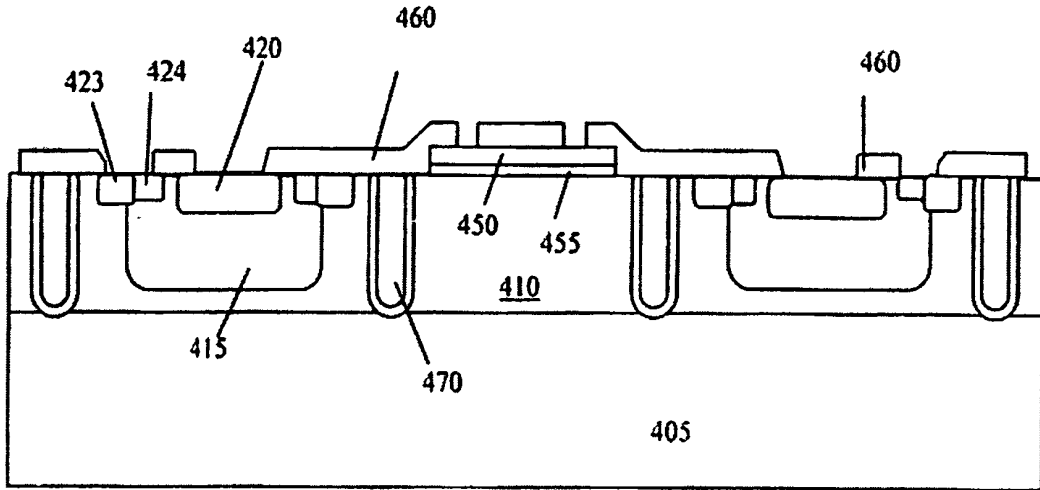
第14C圖



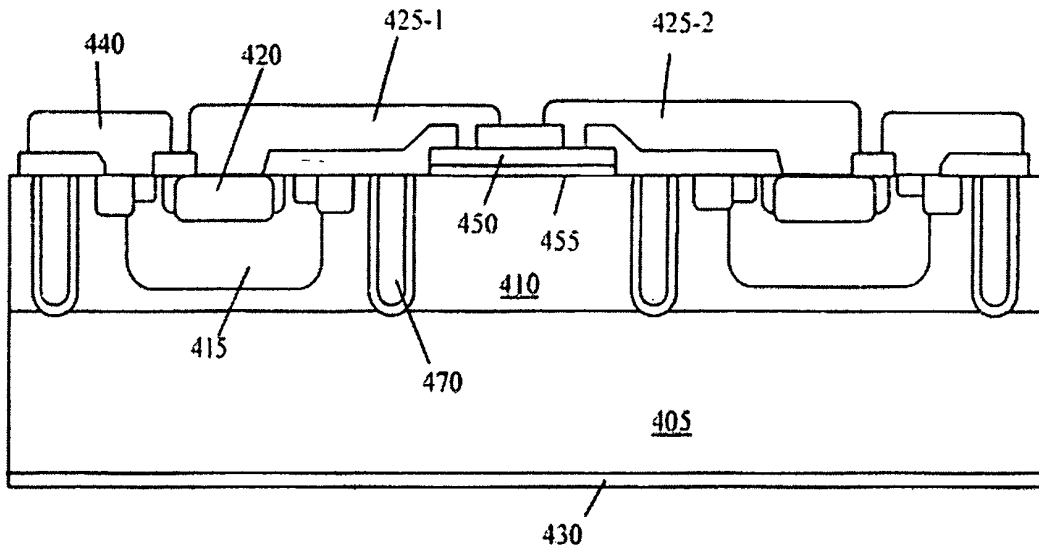
第14D圖



第14E圖



第14F圖



第14G圖

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96/40388

※ 申請日期：96.10.26

※IPC 分類：H01L 23/60 (2006.01)

H01L 29/68 (2006.01)

H02H 9/04 (2006.01)

一、發明名稱：(中文/英文)

具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構及製造方法

CIRCUIT CONFIGURATION AND MANUFACTURING PROCESSES FOR VERTICAL TRANSIENT
VOLTAGE SUPPRESSOR (TVS) AND EMI FILTER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國半導體股份有限公司

Alpha and Omega Semiconductor ,Limited.

代表人：(中文/英文) 張復興 / Mike F. Chang

住居所或營業所地址：(中文/英文)

英屬百慕達，漢彌敦 HM12，維多利亞街 22 號，肯諾庭

Canon's Court, 22 Victoria Street, Hamilton HM 12, Bermuda.

美國營業所地址：495 曼克羅道，桑尼維爾，加州 94085，美國

495 Mercury Drive, Sunnyvale, CA94085, U.S.A

國 籍：(中文/英文) 百慕達 / BM

三、發明人：(共 2 人)

姓 名：(中文/英文)

雪克.瑪力卡勒強斯瓦密 / Shekar Mallikarjunaswamy

馬督兒 博德 / Madhur Bobde

國 籍：(中文/英文)

美國 / US

印度 / IN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2006/11/16、11/600,696

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種暫態電壓抑制器之電路結構及其製造方法，特別是指一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構及製造方法。

【先前技術】

暫態電壓抑制器 (transient voltage suppressor, TVS) 一般用來保護積體電路不被意外產生之過量電壓所損壞，只因積體電路係設計在正常電壓值範圍下運作，然而，在諸如靜電放電 (ESD)、快速暫態及閃爍電 (electrical fast transients and lightning)、非預期且無法控制的高電壓等皆可能瞬間攻擊電路，而暫態電壓抑制器即提供電路保護的功能，在積體電路上產生過量電壓時防止電路被破壞。積體電路上脆弱而易被過量電壓破壞之部分對於暫態電壓抑制器之需求也隨之增加。暫態電壓抑制器之範例可見於 USB 電源供應器及資料線防護、數位影音介面、高速網路、筆記型電腦、顯示器及平面顯示器。

第 1A-1 圖所示為典型商用多通道暫態電壓抑制器陣列 10，包括兩組控制二極體 (steering diode)，如分別做為兩輸入端及輸出端 I/O-1 及 I/O-2 之二極體 15-H、15-L、20-H 及 20-L，更甚者，還包括一齊納二極體 (Zener diode) 如二極體 30 及一從高電壓端 (如 Vcc 端) 到接地電壓端 (如 Gnd 端) 之大尺寸崩潰式二極體 (avalanche diode)。當一正電壓攻擊其中一輸出/輸入接點時，二極體之高電壓端 15-H、20-H 提供一正向偏壓，並利用大型之 Vcc-Gnd 二極體如齊納二極體 30 箝制；控制二極體 15-H、15-L、20-H、20-L 設計為小尺寸，用以減少輸入/輸出端之電容，從而減少如乙太網路之高速線上的插入損耗 (insertion loss)。第 1A-2 圖所示為第 1A-1 圖中暫態電壓抑制器 10 上電壓源 Vcc 與接地電壓間之齊納二極體的反向電流 IR 對反向

阻斷電壓 (blocking voltage) 之示意圖，在第 1A-2 圖中所示之反向電流 I_R 表示通過齊納二極體傳導之一反向電流，例如在 V_{cc} 及 Gnd 之間。假設每一顆控制二極體之反向阻斷電壓較齊納二極體之反向阻斷電壓大，但當高電流時， V_{cc} - Gnd 接點電壓大於等於控制二極體之反向阻斷電壓的總和時，電流會通過兩列路徑上之所有控制二極體。由於齊納二極體與雙極性接面電晶體 (bipolar junction transistor, BJT) 或矽控整流器 (SCR) 加上雙極性接面電晶體相較之下，齊納二極體每一單位區域具有較高之阻抗，這是一個缺點，因為在高電流時控制二極體之反向傳導也必須要堅固耐用；在矽控整流器加上雙極性接面電晶體之例子中，齊納二極體在高電流時之電壓較低，因此不會引導控制二極體之路徑。 V_{cc} - Gnd 二極體 30 及控制二極體 15、20 之崩潰電壓 (breakdown voltage) 應大於控制電壓 (V_{rwm})，使這些二極體只在電壓暫態期間作用開啟； V_{cc} - Gnd 箝制二極體 (clamp diode) 之問題在於反向阻斷模式下阻抗較大，且需要大面積以減少阻抗。如第 1A-2 圖所示，高阻抗使阻斷電壓在高電流時電壓增加，高阻斷電壓不但造成上述控制二極體之崩潰，更會破壞暫態電壓抑制器所要保護之電路，要實現暫態電壓抑制器這類電路時，對大面積二極體之需求限制了裝置的進一步微型化。

利用第 1B-1 圖中之垂直暫態電壓抑制器二極體來縮小暫態電壓抑制器電路所佔之尺寸及表面積。暫態電壓抑制器係以標準 P 型基板至 N 型重摻雜齊納崩潰式二極體來實現，其在 P 型基板上—N 型重摻雜區之頂表面、陰極電極下方形成一陰極端，並在基板步形成一金屬層作為陽極電極。P 型基板通常具有 10-20 歐姆-公分之阻抗，此造成二極體之高阻抗。第 1B-2 圖所示為一雙通道垂直暫態電壓抑制器二極體之等效電路，暫態電壓抑制器二極體亦可整合一電磁干擾濾波器，如第 1C-1 圖及第 1C-2 圖中所示，垂直整合結構與具有一附加電阻，並利用附加電阻在垂直暫態電壓抑制器之兩二極體間互相連接之垂直

暫態電壓抑制器二極體相似，在第 1B-1 圖至第 1C-2 圖中所提供之垂直二極體與電磁干擾濾波器可承受巨大的接面電容 (junction capacitance)，而基板的高阻抗所產生之高二極體阻抗 (diode series resistance) 使垂直二極體與電磁干擾濾波器之箝制效果貧弱。

因此，本發明即針對本領域中對於電路設計及裝置製造現存之需求，提出一種新的電路結構及製造方法以有效克服上述之該等問題，特別是一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構及製造方法。

【發明內容】

本發明之目的在提供一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構，其係利用雙擴散金屬氧化半導體技術實施主流雙擴散金屬氧化半導體程序以製造低成本之暫態電壓抑制器及電磁干擾濾波器，其具有小矽片之印模痕跡以克服上述討論中之限制及困難。

本發明之另一目的在提供一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構及製造方法，其係使用主流垂直溝槽雙擴散金屬氧化半導體技術，其中溝槽閘極係做為暫態電壓抑制器之一部分，作用為隔離通道及濾波器之電容。

本發明之再一目的在提供一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構，其係利用雙擴散金屬氧化半導體技術實施主流溝槽雙擴散金屬氧化半導體程序，其中暫態電壓抑制器及電磁干擾濾波器之垂直結構可製作小矽片之印模痕跡，增加積體電路之細胞密度，更可減少製作成本。

為達上述之目的，本發明提供一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構，以抑制一暫態電壓，結構包含一第一垂直暫態電壓抑制器及一第二垂直暫態電壓抑制器，其中每一垂直暫態電壓抑制器在一井上設置一具有一第一導電類型之陰極摻雜區，此壁可為一本體區，其為被一第一導電類型之磊晶層所包圍之第二導電類

型，本體區係設於一第一導電類型之半導體基板上，與配置在半導體基板底部表面之一陽極相接觸，且配置在半導體基板頂部表面之一陰極與陰極摻雜區相接觸，因此而形成一第一垂直暫態電壓抑制器及一第二垂直暫態電壓抑制器。具有電磁干擾濾波器之垂直暫態電壓抑制器更包括一絕緣導電區，其與第一、第二垂直暫態電壓抑制器之陰極電性連接，可如電磁干擾濾波器般一起在第一、第二垂直暫態電壓抑制器上作用。在另一實施例中，導電區域係為在半導體基板頂部摻雜之一多晶矽層，用以與第一、第二垂直暫態電壓抑制器之陰極電性連接；在另一實施例中，半導體基板為一 N 型基板，而第一及第二垂直暫態電壓抑制器之井為 P 型井；在另一實施例中，半導體基板為一 P 型基板，而第一及第二垂直暫態電壓抑制器之井為 N 型井；在另一實施例中，第一及第二垂直暫態電壓抑制器各包括一第二導電類型、在陰極摻雜區下面之摻雜區域，用以調節二極體之一崩潰電壓。

在本發明之另一較佳實施例中更揭露形成如積體電路之一電路裝置，其中電路裝置更包括一暫態電壓抑制器。暫態電壓抑制器包括一半導體基板用以支撐暫態電壓抑制器，半導體基板之前側做為暫態電壓抑制器之陽極而後側則做為陰極；暫態電壓抑制器更包括一本徵二極體 (inherent diode) 及一寄生電晶體 (parasitic transistor)，其配置如一溝槽雙擴散金屬氧化半導體，其中一源極區及一本體區即做為本徵二極體，而源極區、本體區及一磊晶層則做為具有一溝槽閘極之寄生電晶體，此溝槽閘極可當成一絕緣溝槽。雙擴散金屬氧化半導體更具有一溝槽閘極引道 (trench gate runner) 做為配置在後側之陰極。在另一較佳實施例中，半導體基板更包括利用本徵二極體支撐 N 型磊晶層之一 N 型基板，其中本徵二極體係設置於 N 型源極與 P 型本體區之間，且一 NPN 電晶體形成於 N 型源極、P 型本體區及 N 型磊晶層之間；在另一較佳實施例中，溝槽閘極引道設置於半導體基板之一邊緣，其寬度大於絕緣溝槽短路到溝槽閘極引道通過磊晶層到陰

極；在另一較佳實施例中，本體區依據一金氧半場效電晶體 (MOSFET) 約為六伏特之閘極臨界電壓及溝槽閘極之一閘極氧化層而摻雜有一摻雜濃度，提供約十五伏特之崩潰電壓之承受度，當垂直暫態電壓抑制器之電壓超過六伏特且提供寄生電晶體傳送一暫態電流以維持箝制電壓下之一電壓時，暫態電壓抑制器開啟。

本發明更揭露一種具有電磁干擾濾波器之垂直暫態電壓抑制器的製造方法，此方法包括應用標準雙擴散金屬氧化半導體製程製造垂直雙擴散金屬氧化半導體裝置之步驟，此裝置具有一本徵 PN 型接面二極體 (inherent PN-junction diode) 及一寄生 NPN 型或 PNP 型電晶體，可當成一垂直暫態電壓抑制器。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明提供一種具有電磁干擾濾波器之垂直暫態電壓抑制器的電路結構及製造方法，參照第 2A 圖以及第 2B 圖所示之垂直暫態電壓抑制器 100 之以標準雙擴散金屬氧化半導體程序製成之側面剖示圖及電路圖，垂直暫態電壓抑制器 100 設於一重摻雜半導體基板 105 上，包含一前側作為陽極端 110 以及後側作為陰極端 120 以形成垂直暫態電壓抑制器，於垂直暫態電壓抑制器中包含一本徵二極體 (inherent diode) 與一 NPN 型電晶體，當產品使用標準溝槽雙擴散金屬氧化半導體製程製成時，第 2A 圖之剖視圖所示為一溝槽 N 金屬氧化半導體結構包含源極區 125，其係形成於一 N 型磊晶層 115 頂端之一本體區 130 上，而 N 型磊晶層 115 係覆蓋於作為汲極之用的 N 型重摻雜基板 105 上，絕緣溝槽閘極 135 與閘極引道 135-GR 互相連結於到在立體空間內

其他溝槽閘極的邊界區域，如第 2A 圖所示本垂直暫態電壓抑制器裝置與其他一般溝槽雙擴散金屬氧化半導體不同之處在於絕緣溝槽閘極 135 透過與 N 型磊晶層 115 連接之閘道溝槽接觸(或閘極接點)區域中的閘極金屬層 140 來短路到汲極 105，這是在雙擴散金屬氧化半導體接觸開口製程時不使用額外的遮罩，透過寬度大於閘極引道溝槽 135-GR 的蝕刻閘極接觸開口 140，第 2B 圖所示之等效電路顯示閘道短路至汲極，要製作一針對五伏特裝置之垂直暫態電壓抑制器，P 型本體區 130 的摻雜濃度可能會多次注入以增加至符合約六伏特金氧半場效應電晶體閘道臨界電壓的程度，且閘極氧化層 145 的厚度會增加以承受當電壓高到十五伏特之崩潰。因此當傳輸的高電壓到達五伏特，電壓將會作用於閘道且開啟金屬氧化半導體，寄生 NPN 型電晶體也會開啟，因此大量的電流將不會受到太多阻抗流過該裝置，此增進對二極體之箝制。第 2A 圖也顯示與一般雙擴散金屬氧化半導體裝置一樣，雙擴散金屬氧化半導體本體區 130 被短路至源極區 125。

第 3A 圖為另一與第 2 圖相似裝置結構之實施例的剖視圖，但其本體區 130' 是浮動的，如同第 3B 圖所示之等效電路，閘道 135 被繫在汲極 105 上且此裝置之功用作為金屬氧化半導體加上 NPN 型摻雜，閘道 135 也可以被繫在源極區 125，且在這個情形下金氧半電晶體將不會被打開，且此裝置作為 NPN 之用，閘道 135 的深度可以透過 N 型磊晶層 115 延伸到 N 型重摻雜半導體基板 105 的深度來改善通道間的絕緣以及輸出與輸入間的絕緣，更進一步，溝槽閘道 135 可以由氧化物

145' 或其他非傳導性的金屬形成，而非在第 3C 圖所示之傳導性金屬，N 型重摻雜區 125、P 型本體區 130 和 N 型磊晶層 115 構成一如第 3D 圖所示之開放基板(open base)NPN，本體 130 到 N 型重摻雜區 125 或 N 型磊晶層 115 接面透過改變 P 型本體區 130 的摻雜濃度調整到擁有六伏特崩潰電壓，因此當受到更高的暫態電壓瞬間衝擊連接處，該連接處將會發生電壓崩潰，該崩潰會觸發 NPN 開啟來保護其他電路，除了在第 2 圖、第 3 圖所顯示的裝置結構外，一個 P 通道雙擴散金屬氧化半導體和垂直暫態電壓抑制器的 PNP 可以使用類似方式改變半導體的極性製成。

參考第 4 圖一個應用於垂直暫態電壓抑制器之改良二極體，該二極體 200 基於 P 型重摻雜基板 205 來減低阻抗，相較於先前技術使用標準 IC 製程所製造之二極體中的 P 基板之 10-20 歐姆公分電阻，P 型重摻雜基板在雙擴散金屬氧化半導體裡面用來提供只有幾微歐姆公分電阻，此外也可以使用一個具有重度摻雜底層來降低電阻的輕度摻雜基板，一個 N 型本體區 215 由注入砷或磷離子到 P 型磊晶層 210 構成，藉此控制摻雜濃度以調整 N 型本體區 215 和 P 型磊晶層 210 間的電壓崩潰到六伏特或是任何需要的電壓，P 型磊晶層 210 的厚度只有幾微米以將電阻降到最小，更進一步 N 型重摻雜區 220 被建構於 N 型本體區 215 的上方來改善歐姆接觸到陰極電極 225 與建構在基板 205 底部的陽極電極 230。

第 5A 圖到第 5C 圖為應用於垂直暫態電壓抑制器之雙極電晶體，

如第 5A 中之 NPN 所示，在 N 型磊晶層 210' 頂端之 P 型井上方形成一 N 型重摻雜區 220'，其蓋於 N 型重摻雜半導體基板 205' 來構成一陰極區域連接到陰極電性接點 225'，一可選擇之 P 型區域 235 可被配置在 N 型重摻雜陰極區 220' 底下透過不同的 P 摻雜濃度來調整崩潰電壓，P 型井 215' 透過接觸金屬層 240 和 N 型磊晶層 210' 被短路到陽極 230，當瞬間電壓超過原先設計之裝置工作電壓，N 型重摻雜陰極區 220' 與 P 型區域 235 之連接面下將會發生電壓崩潰導致電子流過短路-接觸金屬層 240 到 N 型磊晶層 210 以到達陽極 230，當電流增加，區域間 220'、235'、215' 和 210' 構成的 NPN 會開啟以更低的阻抗來引導更高的電流，借此改善箝制效能(clamping performance)，在第 5B 圖中電壓崩潰調整 P 型區域 235' 被側移到 N 型重摻雜陰極區 220'，此舉提供一項優勢，其使得發生電壓崩潰的金屬電極 240 和 225' 到 N 型重摻雜或 P 型區域接面間的空間間隔可以彈性的調整來避免過熱。

第 5C 圖是另一種基於 PNP 雙極電晶體改良的垂直暫態電壓抑制器，相較於第 4 圖中的二極體 200，第 5C 圖中的裝置更進一步包含了一個 P 型重摻雜區 220" 在連接到陰極的 N 本體 215 內，P 型重摻雜區 220"、N 型井 215 和 P 型磊晶層 210 或 P 型重摻雜基板 205 設定為一個 PNP 電晶體用以提供啟動觸發 N 本體 215 與 P 型磊晶層 210 之間的電壓崩潰，垂直暫態電壓抑制器裝置的箝制也因此被改善。

第 5D 圖為另一與對稱暫態電壓抑制器類似運作原則之實施例的剖視圖，當半導體基板的底部為浮動時，P 型井 215' 被短路 N 型重摻

雜區 220' 且直接連結到電極端 226、227 和 228 以分別作為輸入、接地、輸出，輸入、接地、輸出通道進一步被多個閘極溝槽 135' 所隔離，在高瞬間電壓經過時，P 型井 215' 與 P 型磊晶層 210' 的結合會電壓崩潰並啟動由 N 型重摻雜區 220'、P 型井 215' 和 N 型磊晶層 210' 構成之 NPN，當輸出或輸入端點的受到一個負高電壓瞬間暫態將會觸發輸出或輸入通道暫態電壓抑制器，同時輸出與輸入端點的一個正高電壓瞬間暫態將會觸發接地通道暫態電壓抑制器，由於所有的通道是同時製作，驅動暫態電壓抑制器的正負瞬間電壓大致上有一樣的振幅，因此此暫態電壓抑制器裝置為對稱裝置。第 5E 圖為另一與第 5D 圖相似裝置結構之實施例的剖視圖，不同點在於將 N 型重摻雜區 220' 移除掉，使得箝制功能是由 P 型井 215' 和 N 型磊晶層 210' 間的接面二極體所提供，但仍具有對稱運作的特性。

第 6 圖為一多通道暫態電壓抑制器和一電磁干擾濾波器的剖視圖，其裝置結構是基於第 4 圖所示的暫態電壓抑制器裝置結構下去實作，第一和第二個垂直暫態電壓抑制器是由基於 P 型重摻雜半導體基板 205 的第一二極體和第二二極體構成來降低阻抗，每一個第一二極體和第二二極體包含一個 N 本體 215 由注入砷或磷離子到 P 型磊晶層 210 構成，透過控制一厚度只有幾微米進而降低阻抗的 P 型磊晶層 210 之摻雜濃度，這些二極體的 N 型本體區 215 和 P 型磊晶層 210 間的電壓崩潰被調整到六伏特或是任何需要的電壓，每一個這些二極體，N 本體區 215 的上方是由一 N 型重摻雜區 220 構成來改進歐姆連結到第

一和第二陰極電極 225-1 和 225-2 與位於基板 205 底部的陽極端點 230，此裝置更進一步作為一個電磁干擾濾波器，其陰極電極 225-1 功用為輸入端點且第二陰極電極 225-1 功用為輸出端點，並有一多晶矽層 250 建構在絕緣層 255 之上來連接第一和第二電極 225-1 到 225-2 以通電，多晶矽層 250 作用為一電阻相互連結分別作用為輸入和輸出端點的第一和第二陰極電極 225-1 和 225-2。

第 7A 圖為一整合一電磁干擾濾波器之多通道暫態電壓抑制器的剖視圖，其包含基於第 5A 圖所示之裝置結構的第一和第二垂直暫態電壓抑制器，第一和第二垂直暫態電壓抑制器的陰極電極 225'-1 以及 225'-2 透過填塞一層絕緣層 255' 的多晶矽層 250' 相互連接，多晶矽層 250' 作用為一個介於電磁干擾濾波器輸入和輸出端點的電阻，這些端點分別為第一和第二陰極電極 225'-1 以及 225'-2，第 7B 圖是一個第 7A 圖所示之整合一電磁干擾濾波器之多通道暫態電壓抑制器包含含基於第 5C 圖所示之裝置結構之第一和第二垂直暫態電壓抑制器的 PNP 互補結構，一可選的 P 型摻雜區 214 可以被因調整電壓崩潰而構建在 N 本體 215 之下。

第 8 圖為一多通道暫態電壓抑制器其整合一電磁干擾濾波器，該裝置結構類似於第 6 圖之多通道暫態電壓抑制器和電磁干擾濾波器的裝置結構，但不同點在於有數個絕緣溝槽 270 建構於多晶矽層 250 下方，周圍填充一絕緣層 255。第 9A 圖所示為另一個多通道暫態電壓抑制器其整合一電磁干擾濾波器，該裝置結構類似於第 7A 圖之多通道暫

態電壓抑制器和電磁干擾濾波器的裝置結構，但不同點在於有數個絕緣溝槽 270 建構於多晶矽層 250' 下方，周圍填充一絕緣層 255'。第 9B 圖所示為另一個多通道暫態電壓抑制器其整合一電磁干擾濾波器，該裝置結構類似於第 7B 圖之暫態電壓抑制器和電磁干擾濾波器的裝置結構，但不同點在於有數個絕緣溝槽 270 建構於多晶矽層 250' 下方，周圍填充一絕緣層 255'。如第 9C 圖所示得以使用更多個溝槽來改善輸出和輸入絕緣性，更進一步來說，第 9D 圖所示為另一個多通道對稱暫態電壓抑制器其整合一電磁干擾濾波器，該裝置結構建構於第 5D 圖的對稱暫態電壓抑制器的裝置結構之上，且透過一電阻或誘導體連接輸入端點 226 和輸出端點 228，PNP 互補結構可以透過交換摻雜極性來製造。

第 10A 圖和第 10B 圖為多通道暫態電壓抑制器具有類似如第 1A-1 所示之電路之剖視圖，但其透過新的裝置結構來實作，第 10A 圖的暫態電壓抑制器 300 由 P 型重摻雜基板 305 支撐一個 P 型磊晶層 310，在絕緣溝槽 315 間形成複數個 N 本體區 320，在 N 本體區 320 生成一個 P 型重摻雜歐姆接觸摻雜區域 330 來連接輸入輸出端 325，一個可選的 N 型重摻雜埋入層 (optional N⁺ buried layer) 322 形成在 P 型重摻雜界面下，藉由注入高能量 N 型重摻雜來降低 PNP 增益，一個 P 型本體區 335 在 N 本體區 320 和一個可選的 N 型重摻雜埋入層 322 之下以作為齊納二極體之用，P 型重摻雜歐姆接觸摻雜區域 330 和 N 本體區 320 提供如上層二極體的功用連接輸入輸出端 325 和電壓源端

340，該二極體於磊晶層 310 和 N 本體區形成被連接到介於輸入輸出端 325 和接地電位的陽極端 350，同時間齊納二極體連接於電壓源 340 和陽極 350 接地電壓之間，且並聯於上層和下層二極體，其連接位於上層和下層二極體中點的輸入輸出端 325，每個二極體皆被絕緣溝槽 315 隔離，第 10B 圖為進一步改良之結構，其使用 PNP 來置換掉齊納二極體，並在可選的 N 型重摻雜區 322 注入其間使用一個遮罩來阻擋 P 型重摻雜區 332 所在的 N 型井 320，PNP 電晶體是由 P 型重摻雜區 334、N 型井 320 和 P 型本體區 335 組成，其可以被 N 型井 320 和 P 型本體區 335 間的接面電壓崩潰所觸發。

第 11 圖為一整合一電磁干擾濾波器之多通道暫態電壓抑制器的剖視圖，其介於第 8 圖所示之輸出和輸入端點 225' -1 和 225' -2 之間，且具有額外的溝槽 275 來增加位於溝槽間 275 和磊晶層 210' 之間寄生電容的容量，這些電容如第 11 圖所示並聯，電磁干擾濾波器的截頻點(cut off frequency)可以透過電容大小來調整，可以在溝槽電容中注入 P 型擴散區 276 以封閉之，並藉由製造良好的低阻抗基板來降低電容的等效串連電阻(equivalent series resistance, ESR)，第 12A 圖有類似的裝置結構，透過分離溝槽間 275' 來增加電容，第 12B 圖是另一個沿著 B-B' 的裝置剖視圖，其顯示分離的電容之間的並聯關係。

第 13A 圖和第 13B 圖所示分別為使用溝槽電感在裝置內之側面剖視圖和俯視圖，其包含一個多通道暫態電壓抑制器如第 4 圖所示的第

一和第一二極體所構成，且第一陰極電極 225” -1 的作用為輸入端點，而第二陰極 225” -2 的作用為輸出端點，第一和第二二極體被一個絕緣溝槽 280 所隔離，且透過一個溝槽電感 285 來連接，輸入和輸出端點的接觸開口分別如 225” -1-C 和 225” -2-C 所示，接觸開口到溝槽電感各自到輸入和輸出電極分別如 285-C1 和 285-C2 所示。

參照第 14A 圖到第 14G 圖為根據本發明的具有電磁干擾濾波器之多通道垂直暫態電壓抑制器其使用主流溝槽雙擴散金屬氧化半導體製程技術的製造過程，在第 14A 圖中，數個溝槽 470 是透過蝕刻一個硬式氧化物遮罩(oxide hard mask) (圖中未示) 在一個 N 型重摻雜基板 405 上的 N 型磊晶層 410 之中形成，基板 405 是一個典型用於垂直雙擴散金屬氧化半導體裝置的重摻雜基板，所使用的摻雜濃度高於 $1E18/cm^3$ ，相當於一個少於 N 型 20 微歐姆-公分的電阻和一個 P 型 40 微歐姆-公分，相較於典型積體電路製程基板擁有少於 $1E16$ 的摻雜濃度和數個歐姆-公分的電阻，另一方面，也可使用一個具由重度摻雜底層的輕度摻雜基板來降低電阻，溝槽傾向透過蝕刻穿過磊晶層 410 到基板 405 以達到最好的絕緣性，可以實做一個可選的流程如在溝槽雙擴散金屬氧化半導體製程裡增加所使用的犧牲氧化物和圓滑化溝槽底部(rounding the trench bottom)來移除氧化物硬式遮罩。在第 14B 圖中一個閘氧化物層 455 被熱氧化(thermally grown)然後接著結晶(poly)沉積以填充溝槽，接著使用無圖形回蝕(blanket etching back)製程來去除超出溝槽的結晶，氧化物層 455 的厚度可以透過熱氧化或

沉積來增加到想要的厚度。在第 14C 圖中第二結晶沉積被精密控制厚度和摻雜物密度，之後使用遮罩來模式化以製造第二結晶 450 來構成電磁干擾濾波器的電阻，氧化物層 455 也被清除以進行下列注入步驟。在第 14D 圖中 P 型本體區 415 和初始崩潰電壓調整區 435 被 P 型摻雜物置入與散播，為了獲得一個深 P 型本體區 415 可以實施一高能注入，在一實施例中，在能量等級介於 700 千伏特到 1000 千伏特之間實施硼注入，且劑量調整範圍 $5E13$ 到 $1E14$ 以製造一個 2-3 微米厚度的 P 型本體。在第 14E 圖中，實施 N 型注入來製造 N 型重摻雜區 420 和 423，在第 14F 圖中，一氧化物層 460 被製造在表面上方，接下來一個硼磷矽玻璃 (BPSG) 沉澱落下來使表面平面化，在接觸開口被蝕刻穿過氧化層 460 後實施一個 P 型重摻雜接觸來製造 P 型本體接觸區 424，其不應反摻雜用以提供磊晶層歐姆接觸來使得 P 型本體到磊晶層和基板短路的 N 型重摻雜區 423。在一實施例中，當 N 型重摻雜區被於 80 千電子伏特注入能量使用濃度為 $4E15$ 的砷沉積物，接著在 80 千電子伏特注入濃度為 $4E15$ 的 P 沉積物的雙重注入製造時，接觸注入使用濃度 $2E15$ 每平方公分的 B/BF_2 且能量在 60 千電子伏特，N 型重摻雜區 420 反摻雜控制 P 型區崩潰電壓的中央區，P 型區已經在低能量 50 千電子伏特下被注入一低摻雜 $1E13$ 到 $4E13$ ，留下未受影響的區域邊界 435 來使用 N 型重摻雜區 420 來製造一個側邊二極體提供初始崩潰電壓。在第 14D 圖，不僅金屬層被沉積和仿造來構成輸入電極 425-1 和輸出電極 425-2，P 型本體磊晶層也短路到電極 440，金屬層 430 也

被沉積在表面底部來構成陽極電極。

上述製程提供一個具有電磁干擾濾波器之垂直暫態電壓抑制器配置為多個被溝槽絕緣的 NPN 電晶體，並且透過一個使用類似於第 9 圖所揭露的實施例之雙擴散金屬氧化半導體技術製造而成的電阻元素相連，其側面放置一初始崩潰電壓二極體。其他實施例可能可以透過適當的基板和類似的增加或刪除以修改某些程序製造出來，特別是沒有絕緣溝槽的實施例可能跳過溝槽成型製程；無電磁干擾濾波器之暫態電壓抑制器之實施例可以跳過第二結晶沉積製程，此外，第 13A 圖和第 13B 圖所示之為了增加電容具有分隔間的實施例可能可以包含多個步驟的結晶沉積和回蝕製程。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1A-1 圖為一般暫態電壓抑制器之電路示意圖；第 1A-2 圖為描述暫態電壓抑制器之反相特徵之電流-電壓曲線圖。

第 1B-1 圖為垂直暫態電壓抑制器二極體之剖視圖；第 1B-2 圖為先前技術中垂直暫態電壓抑制器二極體之等效電路圖。

第 1C-1 圖為整合電磁干擾濾波器之垂直暫態電壓抑制器二極體之剖視圖；第 1C-2 圖為整合電磁干擾濾波器之垂直暫態電壓抑制器二極體之等效電路圖。

第 2A 圖及第 2B 圖分別為以垂直溝槽雙擴散金屬氧化半導體技術製成，配置如溝槽雙擴散金屬氧化半導體之垂直暫態電壓抑制器之電路圖剖視圖及等效電路圖。

第 3A 圖至第 3D 圖分別為以垂直溝槽雙擴散金屬氧化半導體技術製成之垂直暫態電壓抑制器之兩實施例之剖視圖及等效電路圖。

第 4 圖為利用雙擴散金屬氧化半導體技術製成且配置為一垂直二極體之暫態電壓抑制器電路架構之剖視圖。

第 5A 圖至第 5E 圖為利用雙擴散金屬氧化半導體技術製成且配置為一雙極性電晶體之垂直暫態電壓抑制器之實施例剖視圖。

第 6 圖為利用雙擴散金屬氧化半導體技術製成且配置為以一電阻元件連接複數二極體之整合電磁干擾濾波器之垂直暫態電壓抑制器之剖視圖。

第 7A 圖至第 7B 圖為利用雙擴散金屬氧化半導體技術製成且配置如一雙極性電晶體連接到一電阻元件之整合電磁干擾濾波器之垂直暫態電壓抑制器之剖視圖。

第 8 圖為利用雙擴散金屬氧化半導體技術製成且配製如複數以溝槽隔離並以電阻元件連接之二極體的整合電磁干擾濾波器之垂直暫態電壓抑制器之剖視圖。

第 9A 圖至第 9D 圖為利用雙擴散金屬氧化半導體技術製成且配置如複數以溝槽隔離並以電阻元件連接之雙極性電晶體的整合電磁干擾濾波器之垂直暫態電壓抑制器之剖視圖。

第 10A 圖至第 10B 圖為利用雙擴散金屬氧化半導體技術製成且配置如控制二極體 (steering diode)，並在其間以溝槽隔離之暫態電壓抑制器之剖視圖。

第 11 圖、第 12A 圖及第 12B 圖為利用雙擴散金屬氧化半導體技術製成且配置以溝槽隔開輸入輸出通道之整合電磁干擾濾波器之垂直暫態電壓抑制器之剖視圖，其中填滿多晶矽之溝槽更可做為多晶電容器。

第 13A 圖及第 13B 圖分別為利用雙擴散金屬氧化半導體技術製成之整合電磁干擾濾波器之垂直暫態電壓抑制器之側面剖視圖及俯視圖，其配置如以隔離溝槽隔開之垂直二極體，並與設有溝槽之電感互連。

第 14A 圖至第 14G 圖為本發明中使用主流溝槽雙擴散金屬氧化半導體流程來製造整合電磁干擾濾波器之多通道暫態電壓抑制器之一系列製程步驟之側面剖視圖。

【主要元件符號說明】

- 100 垂直暫態電壓抑制器
- 105 N 型重摻雜半導體基板 / 汲極
- 110 陽極
- 115 N 型磊晶層
- 120 陰極端
- 125 源極區 / N 型重摻雜區
- 130 P 型本體區
- 135 絕緣溝槽閘極
- 135' 閘極溝槽
- 135-GR 閘極引道
- 140 閘極金屬層
- 145 閘極氧化層
- 200 二極體
- 205 P 型重摻雜基板
- 210 P 型磊晶層
- 210' P 型磊晶層
- 214 P 型摻雜區
- 215 N 型本體區/N 型井
- 215' P 型井
- 220 N 型重摻雜區
- 220' N 型重摻雜(陰極)區
- 225 陰極電極
- 225' 陰極電性接點

226 輸入端
228 輸出端
230 陽極
235 P 型區域
240 接觸金屬層
220' ' P 型重摻雜區
250' 多晶矽層
255' 絕緣層
255' -1、255' -2 陰極
255' -1 第一陰極
255' -2 第二陰極
270 絕緣溝槽
275 附加溝槽
276 P 型擴散區
300 暫態電壓抑制器
305 P 型重摻雜基板
310 P 型磊晶層
315 絕緣溝槽
320 N 型本體區/N 型井
322 N 型重摻雜埋入層
325 輸入輸出端
330 P 型重摻雜毆母接觸區
334 P 型重摻雜區
335 P 型本體區
340 電壓源端
350 陽極端
405 N 型重摻雜基板

- 410 N型磊晶層
- 415 P型本體區
- 420 N型重摻雜區
- 423 N型重摻雜區
- 424 P型本體接觸區
- 425-1 輸入電極
- 425-2 輸出電極
- 430 金屬層
- 435 初始崩潰電壓調整區/P型區
- 440 P型本體磊晶短電極
- 450 結晶 (poly)
- 455 閘極氧化層
- 460 氧化層
- 470 溝槽

五、中文發明摘要：

垂直暫態電壓抑制器的電路包括一半導體基板以支撐垂直暫態電壓抑制器，在半導體基板上有一重摻雜層，其係延伸到基板之底部。利用複數深溝槽做為垂直暫態電壓抑制器之間的隔離，並利用複數溝槽閘極增加整合電磁干擾濾波器之垂直暫態電壓抑制器的電容。

六、英文發明摘要：

十、申請專利範圍：

1. 一種垂直暫態電壓抑制器，包括：

一基板，包含延伸至該基板之一底表面之一重摻雜層，該重摻雜層包括一第一導電類型，其摻雜濃度每立方公分大於 $1E18$ ，該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層包括一頂表面，其相對於該重摻雜層之該底表面，一本體區 (body region) 為一第二導電類型，並設於該第一導電類型之對面、該磊晶層之上部，該本體區形成該磊晶層之 PN 連接面，且該本體區包括一頂表面，其與該磊晶層之該頂表面係共平面，又該第一導電類型之一頂部半導體區域之摻雜濃度大於該本體區之摻雜濃度，該頂部半導體區域位於該本體區之頂部，與該磊晶層之該頂表面係共平面，且該頂部半導體區域、該本體區及該磊晶層加上該基板形成一雙極性電晶體 (bipolar transistor)，其中該第一導電類型係由 N 型所組成，而該第二導電類型則由 P 型所組成，使該本體區透過一金屬電極短路到該磊晶層。

2. 一種垂直暫態電壓抑制器，包括：

一基板，包含延伸至該基板之一底表面之一重摻雜層，該重摻雜層包括一第一導電類型，其摻雜濃度每立方公分大於 $1E18$ ，該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層包括一頂表面，其相對於該重摻雜層之該底表面，一本體區 (body region) 為一第二導電類型，並設於該第一導電類型之對面、該磊晶層之上部，該本體區形成該磊晶層之 PN 連接面，且該本體區包括一頂表面，其與該磊晶層之該頂表面係共平面，又該第一導電類型之一頂部半導體區域之摻雜濃度大於該本體區之摻雜濃度，該頂部半導體區域位於該本體區之頂部，與該磊晶層之該頂表面係共平面，且該頂部半導體區域、該本體區及該

- 磊晶層加上該基板形成一雙極性電晶體 (bipolar transistor) ;
- 一第一溝槽，作為一閘極引道；以及
- 一第二溝槽，該第一溝槽與該第二溝槽皆為導電材質，並通向該磊晶層，分別利用一介電層定義出該第一溝槽與該第二溝槽之一側壁及一底部，且該第一溝槽與該第二溝槽更通過該頂部半導體區域及該本體區，該閘極引道透過一閘極金屬層短路至該磊晶層。
3. 如申請專利範圍第 2 項所述之垂直暫態電壓抑制器，其中該第一溝槽與該第二溝槽係透過該磊晶層通向該基板之該重摻雜層。
4. 一種多通道垂直暫態電壓抑制器，包括：
- 一基板，包含延伸至該基板之一底表面之一重摻雜層，該重摻雜層包括一第一導電類型，其摻雜濃度每立方公分大於 $1E18$ ，該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層包括一頂表面，其相對於該重摻雜層之該底表面，其中每一通道更包括一第二導電類型，其中一本體區係設於該第一導電類型之對面、該磊晶層之上部，該本體區形成該磊晶層之 PN 連接面，且該本體區包括一頂表面，其與該磊晶層之該頂表面係共平面，又該第一導電類型之一頂部半導體區域之摻雜濃度大於該本體區之摻雜濃度，該頂部半導體區域位於該本體區之頂部，該頂部半導體區域、該本體區及該磊晶層加上該基板形成一雙極性電晶體 (bipolar transistor)，其中該第一導電類型係由 N 型所組成，而該第二導電類型則由 P 型所組成，使該本體區透過一金屬電極短路到該磊晶層。
5. 如申請專利範圍第 4 項所述之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一介電層定義出該溝槽之一側壁及一底部，且該第一導電類型係由 P 型所組成。
6. 如申請專利範圍第 4 項所述之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一第一介電層定義出該溝槽之一

側壁及一底部；一輸入電極，其係連接至一第一通道之該頂部半導體區域；一接地電極，其係連接至一第二通道之該頂部半導體區域；一輸出電極，其係連接至一第三通道之該頂部半導體區域；一浮動電壓，其係連接至該基板之底部，使該多通道垂直暫態電壓抑制器作用如同一對稱垂直暫態電壓抑制器。

7. 如申請專利範圍第4項所述之多通道垂直暫態電壓抑制器，更包括一輸入/輸出接點 (input/output pad)，其係電性連接至一第一通道及一第二通道；一電源供應接點 (voltage supply Vcc pad)，其電性連接至一第三通道，該第一通道、第二通道及該第三通道利用由一介電層所定義出之複數溝槽來隔開。

8. 一種多通道垂直暫態電壓抑制器，包括：

一基板，包含延伸至該基板之一底表面之一重摻雜層，該重摻雜層包括一第一導電類型，其摻雜濃度每立方公分大於 $1E18$ ，該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層包括一頂表面，其相對於該重摻雜層之該底表面，其中每一通道更包括一第二導電類型，其中一本體區係設於該第一導電類型之對面、該磊晶層之上部，該本體區形成該磊晶層之PN連接面，且該本體區包括一頂表面，其與該磊晶層之該頂表面係共平面，又該第一導電類型之一頂部半導體區域之摻雜濃度大於該本體區之摻雜濃度，該頂部半導體區域位於該本體區之頂部，該頂部半導體區域、該本體區及該磊晶層加上該基板形成一雙極性電晶體 (bipolar transistor)；

一第一溝槽，作為一閘極引道；以及

一第二溝槽，該第一溝槽與該第二溝槽皆為導電材質，並通向該磊晶層，分別利用一介電層定義出該第一溝槽與該第二溝槽之一側壁及一底部，且該第一溝槽與該第二溝槽更通過該頂部半導體區域及該本體區，該閘極引道透過一閘極金屬層短路至該磊晶層。

9. 如申請專利範圍第 8 項所述之多通道垂直暫態電壓抑制器，其中該第一溝槽與該第二溝槽係透過該磊晶層通向該基板之該重摻雜層。
10. 如申請專利範圍第 8 項所述之多通道垂直暫態電壓抑制器，更包括一輸入電極，其係連接至一第一通道之該頂部半導體區域；一接地電極，其係連接至一第二通道之該頂部半導體區域；一輸出電極，其係連接至一第三通道之該頂部半導體區域；一浮動電壓，其係連接至該基板之底部，使該多通道垂直暫態電壓抑制器作用如同一對稱垂直暫態電壓抑制器。
11. 一種整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，包括：
一基板，包含延伸至該基板之一底表面之一重摻雜層，該重摻雜層包括一第一導電類型，其摻雜濃度每立方公分大於 $1E18$ ；
一輸入電極，其係連接至一第一通道之該頂部半導體區域；一輸出電極，其係連接至一第二通道之該頂部半導體區域；以及一隔離導電區域，其作用為電性連接於該輸入電極與該輸出電極之間的一電阻。
12. 如申請專利範圍第 11 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層包括一頂表面，其相對於該重摻雜層之該底表面。
13. 如申請專利範圍第 12 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中每一通道更包括一第二導電類型，其中一本體區係設於該第一導電類型之對面、該磊晶層之上部，該本體區形成該磊晶層之 PN 連接面，且該本體區包括一頂表面，其與該磊晶層之該頂表面係共平面。
14. 如申請專利範圍第 13 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該第一導電類型之一頂部半導體區域之摻雜濃度大於該本體區之摻雜濃度，該頂部半導體區域位於該本體區之

頂部，與該磊晶層之該頂表面係共平面，且該頂部半導體區域、該本體區及該磊晶層加上該基板形成一雙極性電晶體（bipolar transistor）。

15. 如申請專利範圍第 14 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該第一導電類型係由 N 型所組成，而該第二導電類型則由 P 型所組成，使該本體區透過一金屬電極短路到該磊晶層。
16. 如申請專利範圍第 15 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該第一導電類型係由 P 型所組成，而該第二導電類型則由 N 型所組成，使該本體區透過一金屬電極短路到該頂部半導體區域。
17. 如申請專利範圍第 15 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一第一介電層定義出該溝槽之一側壁及一底部。
18. 如申請專利範圍第 17 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該溝槽係透過該磊晶層通向該基板之該重摻雜層。
19. 如申請專利範圍第 17 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該溝槽更通過該頂部半導體區域及該本體區。
20. 如申請專利範圍第 16 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該溝槽係為導電材質。
21. 如申請專利範圍第 16 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，更包括一接地電極，其係連接至一第三通道之該頂部半導體區域；一浮動電壓，其係連接至該基板之底部，使該多通道垂直暫態電壓抑制器作用如同一整合電磁干擾濾波器之對稱垂直暫態電壓抑制器。

22. 如申請專利範圍第 13 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一第一介電層定義出該溝槽之一側壁及一底部，且該第一導電類型係由 P 型所組成。
23. 如申請專利範圍第 13 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一第一介電層定義出該溝槽之一側壁及一底部；一接地電極，其係連接至一第三通道之該頂部半導體區域；一浮動電壓，其係連接至該基板之底部，使該多通道垂直暫態電壓抑制器作用如同一整合電磁干擾濾波器之對稱垂直暫態電壓抑制器。
24. 如申請專利範圍第 11 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，更包括一溝槽，其係通向該磊晶層，利用一第一介電層定義出該溝槽之一側壁及一底部，該第一介電層可隔離該溝槽中之導電材質。
25. 如申請專利範圍第 24 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該導電材質之溝槽被分成互相隔離之複數導電層，該溝槽中每一該導電層係電性連接至該頂部半導體區域或該基板之底部其中之一。
26. 如申請專利範圍第 11 項所述之整合電磁干擾濾波器之多通道垂直暫態電壓抑制器，其中該隔離導電區域係做為一螺旋結構之電阻，更可做為一電感 (inductor)。
27. 一種整合暫態電壓抑制器之電子裝置之製造方法，包括下列步驟：
形成一基板，其上具有一延伸到該基板底部之一重摻雜層，其中該重摻雜層之一第一導電類型的摻雜濃度每立方公分大於 $1E18$ ，該第一導電類型更包括一磊晶層，其係設於該重摻雜層之頂部，該磊晶層蝕刻有複數個溝槽；
形成一閘極氧化層於該些溝槽與該磊晶層上，並結晶 (poly) 沉積以

填充溝槽；以及
清除部份該閘極氧化層，以留下二該溝槽之間的該磊晶層上之該閘極氧化層，並於其上形成第二結晶，來構成一電磁干擾濾波器的電阻。

七、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

- 100 垂直暫態電壓抑制器
- 105 N 型重摻雜半導體基板/汲極
- 110 陽極
- 115 N 型磊晶層
- 120 陰極端
- 125 源極區/N 型重摻雜區
- 130 P 型本體區
- 135-GR 閘極引道
- 140 閘極金屬層
- 145 閘極氧化層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：