

公告本

申請日期	88.5.7
案 號	88107470
類 別	G11C 1/67

A4
C4

425553

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	具較快重設操作之記憶體電路
	英文	MEMORY CIRCUIT WITH FASTER RESET OPERATION
二、發明人	姓名	(1)藤岡伸也 (2)佐藤靖治
	國籍	日本
	住、居所	(1)(2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓名 (名稱)	日商・富士通股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代表人 姓名	秋草直之

經濟部中央標準局員工消費合作社印製

裝

訂

線

425553

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 1998,9,24 案號： 特願平10-270264
有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明係與動態RAM(DRAM)之類的記憶體電路有關，特別係有關具有重設操作速度較快之位元線之記憶體電路。

對於DRAM一類記憶體裝置之容量與速度的需求不斷提高。舉例而言，分頁模式與脈衝模式已被提出以提高速度。近來亦有人提出降低隨機存取循環，這涉及行位址及列位址的改變。實例之一為快循環RAM(FCRAM，Fujitsu之註冊商標)，其隨機存取作業之循環時間較短，該技術揭露1998年6月15日之Nikkei Electronics，第163-171頁，以及1998年之SYMPOSIUM ON VLSI CIRCUITS，DIGSET OF TECHNICAL PAPERS，第22-25頁。

第1圖為傳統記憶體裝置之電路圖。在第1圖之記憶體裝置中，感應放大器SA、位元線箝位與短路電路BLR，以及行開CLG位於第一位元線對BL0與/BL0及第二位元線對BL1與/BL1之間，這些位元線在行方向上並行配置。感應放大器SA、位元線箝位與短路電路BLR及行開CLG由第一及第二位元線對BL0、/BL0、BL1與/BL1共用，並透過導通位於第一位元線對與第二位元線對之間的第一與第二位元線傳輸開BLT0與BLT1之一的方式與第一位元線對或第二位元線對連接。

第一與第二晶胞陣列CM0與CM1配置於左側與右側，而字元線WL0與WL1即配置於此，且記憶體晶胞MC0與MC1位於字元線與位元線的交叉位置。多數個第1圖中所示的電路在字元線的方向上成行配置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

第1圖中之感測放大器SA包含N通道電晶體N1、N2、N3以及P通道電晶體P1、P2、P3，當電晶體N1隨著N側的感測放大器啟動信號 lez 而動作時，感測放大器啟動，將節點 nsa 的電壓降為接地電壓 V_{ss} ，或者當電晶體P1隨著P側的感測放大器啟動信號 lex 而動作時，感測放大器啟動，將節點 psa 的電壓提高至內部電源供應器電壓 V_{ii} 。透過啟動感測放大器，位元線對被驅動並放大至接地電壓 V_{ss} 與內部電源供應器電壓 V_{ii} 。

位元線轉換開BLT0與BLT1包含N通道電晶體N10、N11、N12與N13，並在轉換控制信號 $Blt0$ 與 $Blt1$ 的控制下將對應的位元線對連接至感測放大器SA以及位元線箝位與短路電路BLR。

在位元線箝位與短路電路BLR中，N通道電晶體N4、N5與N6根據位元線重設信號 bre 動作，其中電晶體N1使位元線對短路，同時電晶體N5與N6將位元線對之電位限制於預先充電電位 $V_{ii}/2$ ，亦即內部電源供應器電壓 V_{ii} 的二分之一。行開CLG包含N通道電晶體N14與N15，它們根據行選擇信號 cl 將位元線對連接至資料匯流排線對DB與/DB。

根據前述傳統記憶體裝置之操作，位元線轉換開BLT0與BLT1在重設狀態下動作，位元線箝位電路BLR之電晶體N4—N6由位元線重設信號 bre 操作，該信號使位元線對短路，並將位元線對之電位設定於位元線預先充電電位 $V_{ii}/2$ 。若記憶體晶胞MC0在此被選定，則位元線轉換開

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

側不再動作，位元線箝位與短路電路BRL重設，使電晶體N4、N5、N6不動作，字元線WL0被驅動，且第一位元線對BL0與/BL0之間會根據儲存於記憶體晶胞MC0中的電荷而形成極小的電位差。隨後感測放大器啟動信號lex上升而lex下降，啟動感測放大器SA，將位元線對BL0與BL1之間的極小電位差被放大，使一條位元線的電位提升至內部電源供應器電壓Vii，而另一條位元線的電位降低至接地電位Vss。位元線對BL0與/BL0根據行選擇信號c1連接至資料匯流排線對DB與/DB，而讀取信號經由讀取放大器與輸出電路輸出，此部分圖中未顯示。當字元線WL0電位降低而記憶體晶胞MC0再次被寫入，感測放大器SA被抑制，同時位元線轉換開BLT1側再次動作，且位元線箝位與短路電路BLR之電晶體根據位元線重設信號bre動作，並使位元線對BL0與/BL0及BL1與/BL1短路並將其電位限制於預先充電電位Vii/2。

在第1圖之記憶體裝置組態中，左右位元線對共用一個感測放大器SA，且位元線轉換器開BLT0與BLT1將一組位元線對連接至感測放大器SA。此外，用以重設位元線的位元線箝位與短路電路BLR鄰接感測放大器SA，且由左右位元線對所共用。因此，在相當長的位元線對連接至感測放大器或記憶體裝置之感測放大器SA之行數較少時，此組態可提供相當的佈線效率。因為一對記憶體晶陣列CM0、CM1可共用感測放大器行。

然而，位元線箝位與短路電路BLR係透過位元線轉換

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

開BLT0與BLT1連接至位元線對，因而位元線轉換器開之電晶體N10-N13之導通電阻使位元線對之重設操作的時間增長。漫長的重設操作時間使隨機存取操作的循環時間延長。

第2圖為傳統記憶體裝置的另一個實例。第1圖中的標號用於第2圖的相同元件上。在第2圖之習知技術中，左右位元線對BL0與/BL0以及BL1與/BL1在行方向上配置，與第1圖之習知技術相同，它們共用感測放大器SA。因此，位元線轉換器開BLT0與BLT1分別位於感測放大器SA與各位元線對之間。與感測放大器類似，行開CLG亦由兩位元線對共用。

在第2圖之習知技術中，各位元線對配有位元線箝位與短路電路BLR為位元線重設電路，以便提高操作速度，並將位元線對短路且將電位重設於預先充電電位 $V_{ii}/2$ 。易言之，位元線箝位與短路電路BLR0連接至右側位元線對BL0與/BL0，根據重設信號blt1將所連接之位元線對BL0與/BL0短路，並將位元線對之電位侷限於預先充電電位 $V_{ii}/2$ 。同樣地，位元線箝位與短路電路BLR1連接至左位元線對BL1與/BL1，根據重設信號blt0將所連接之位元線對BL1與/BL1短路，並將位元線對之電位侷限於預先充電電位 $V_{ii}/2$ 。個別位元線箝位與短路電路BLR0、BLR1包含用以短路N4與N24的N通道電晶體以及用以箝位N5與N6以及N25與N26的N通道電晶體。

在第2圖之習知技術中，相同的控制信號blt1控制右

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（5）

位元線箝位與短路電路BLR0與左位元線轉換開BLT1，而相同的控制信號blt0控制左位元線箝位與短路電路BLR1與右位元線轉換開BLT。因此，位元線箝位與短路電路BLR0與BLR1可直接將相對應的位元線對短路並將其電位侷限於預先充電電位而不需經過位元線轉換開。如此一來，重設操作時間可小於第1圖中之習知技術。

然而，只有在非選定位元線長時間維持在預先充電電位（內部電源Vii）且預先充電電位由於記憶體裝置之基體的接面洩漏而下降，使重設狀態下的位元線對之間的短路操作無法將位元線對設定於預先充電電位Vii/2（內部電源的一半）時，才需要前述位元線箝位與短路電路BLR0、BLR1之由電路體N5與N6以及N25與N26所構成之箝位電路。因此，短路電路主要用以重設位元線對，且位元線箝位電路之操作不致大幅影響位元線對之操作。

另一方面，在第2圖的習知技術中，由用以重設位元線之位元線箝位電路與短路電路構成之電路BLR0與BLR1針對各位元線對而配置。因此，若在記憶體裝置中，由於位元線對之長度減少而使位元線對之重設操作的速度提高，則針對各位元線對配置箝位電路的作法不利於集積度的提高。亦言之，箝位電路對提高位元線對之重設操作速度的提高無甚助益，若針對各位元線對配置箝位電路，重設操作的速度不會改善，反而會影響區域效率。

特別是在前述之具有較短的隨機存取循環時間的FCRAM中，位元線對被分段而縮短，以減少感測放大器SA

五、發明說明(6)

對位元線對之驅動操作時間，並降低位元線對之重設操作時間。因此，記憶體裝置中之感測放大器行數量與共用感測放大器之位元線對數量同步增加。因此，在FCRAM的架構中，針對各位元線對配置箝位電路的做法(如第2圖所示)將會降低區域效率。此外，位元線對共用位元線對短路電路的做法(如第1圖所示)使位元線對重設時間難以降低。

在FERAM中，降低循環時間導致更頻繁的重設操作，因而增加電力消耗。因此，吾人亦要求重設位元線之位元線箝位電路與短路電路具有節約電力的特性。

因此，本發明之目的在於提供一種區域交率提高且位元線對之重設操作時間縮短之記憶體電路。

本發明的另一個目的在於提供一種可使位元線對之重設操作時間縮短且重設操作之電力消耗減少之記憶體電路。

本發明的再一個目的在於提供一種可縮短隨機存取循環時間縮短且節省電力的記憶體電路。

為達成以上目的，本發明之記憶體電路具有多數條字元線與多數位元線對，且記憶體晶胞位於字元線與位元線對之交叉位置，該記憶體電路包含：感測放大器，由配置於行方向上的第一位元線對與第二位元線對所共用，並放大位元線對之電壓；第一與第二位元線轉換開，分別位於該感測放大器與第一及第二位元線對之間，並將被選定之記憶體晶胞側的位元線對連接至該感測放大器；位元線箝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

位器，位於該第一與第二位元線轉換開之間，由該第一位元線對與第二位元線對共用，並提供預先充電電位至位元線對；與位元線短路電路，位於該第一與第二位元線對之間，並將位元線對短路。

根據前述發明，涉及位元線短路操作之重設操作可高速執行，因為位元線短路電路針對各位元線對而配置。此外，由於位元線箝位器電路係由第一與第二位元線對所共用，區域效率可提高。

前述發明之特徵還包含，該記憶體電路還包含第一內部電源，其中該感測放大器將該等位元線對之一之電壓放大至該第一內部電源電位；該第一與第二位元線轉換開包含位於該感測放大器與該第一與第二位元線對之間的轉換電晶體，用以驅動轉換電晶體之轉換控制信號之電位被控制在在大於該第一內部電源電位的水準；該位元線箝位器包含位於該預先充電電位接點與該等位元線對之間的箝位器電晶體，用以驅動箝位器電晶體之箝位器控制信號之電位被控制在小於轉換控制信號的水準。

根據以上發明，產生轉換控制信號所需電力消耗可減少。

前述發明之特徵還包含，該記憶體電路還包含第一內部電源，其中該感測放大器將該等位元線對之一之電壓放大至該第一內部電源電位；該第一與第二位元線轉換開包含位於該感測放大器與該第一與第二位元線對之轉換電晶體，用以驅動轉換電晶體之轉換控制信號被控制在在大於該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

第一內部電源電位的水準；該位元線短路電路包含位於該等位元線對之間的短路電晶體，用以驅動短路電晶體之短路控制信號被控制在小於轉換控制信號的水準。

根據以上發明，產生位元線短路信號所需電力消耗可減少。

為達成以上目的，第二個發明為一種記憶體電路，其中第一級用以解碼指令，第二級用以啟動感測放大器，第三級用以輸入與輸出資料，此三級電路係以管路方式配置，多數資料在感測放大器與第三級之間以並列方式傳送，該記憶體電路包含：多數個子晶胞陣列，它們在字元方向上被分割，並具有多數個記憶體晶胞，多數條字元線與多數組位元線對，其中該子晶胞陣列包含：感測放大器，它由行方向配置之第一位元線對與第二位元線對所共用，並放大位元線對之電壓；第一與第二位元線轉換開，位於感測放大器與第一及第二位元線對之間，並將選定記憶體晶胞之位元線對連接至感測放大器；位元線箝位器，位於第一與第二位元線轉換開之間，由第一位元線對與第二位元線對所共用，並提供預先充電電位至位元線對；與位元線短路電路，位於該第一與第二位元線對之間並將位元線對短路。

第1圖為傳統記憶體裝置之電路圖；

第2圖為另一種傳統記憶體裝置之電路圖；

第3圖為本發明第一實施例之記憶體裝置之電路圖；

第4圖為第3圖之記憶體裝置之操作波形圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

第5圖為本發明第二實施例之記憶體裝置之電路圖；

第6圖為FCRAM之方塊圖；

第7圖為FCRAM之記憶體核心之部分電路圖；

第8圖為FCRAM之讀取操作之時序圖；

第9圖為子位元線轉換解碼器與箝位器控制電路之電路圖；

第10圖為第9圖電路之操作時序圖；

第11圖為子位元線轉換解碼器與箝位器控制電路之電路圖(2)；

第12圖為子位元線轉換解碼器與箝位器控制電路之電路圖(3)。

以下參照圖式說明本發明。然而，本發明之技術範疇不限於此。

第3圖為本發明第一實施例之記憶體裝置之電路圖。在第3圖之裝置中，第一位元線對BL0與/BL0以及第二位元線對BL1與/BL1在行方向配置並共用感測放大器SA、位元線箝位器CLP以及行開CLG。因此，被共用的感測放大器SA、位元線箝位器CLP與行開CLG經由位元線轉換開BLT0與BLT1連接至第一位元與第二位元線對BL0與/BL0及BL1與/BL1。此外，位元線短路電路SH0與SH1分別位於第一與第二位元線對。在第一位元線對BL0及/BL0與字元線WL0的交叉位置具有電晶體與電容器構成的記憶體晶胞MC0，而在第二位元線對BL1及/BL1與字元線WL1的交叉位置具有相同的記憶體晶胞MC1。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

第3圖中與第1、2圖相同的元件使用相同的標號。然而，在第3圖的記憶裝置中，位元線短路電路SH0、SH1配置在各位元線對上，此與第1圖不同。右側位元線短路電路SH0具有N通道電晶體N40，並由轉換控制信號blt1加以控制，它控制左側位元線轉換開BLT1。左側位元線短路電路SH1具有N通道電晶體N41，它並由轉換控制信號blt0加以控制，它控制右側位元線轉換開BLT0。

與第2圖不同者，在第3圖之記憶體裝置中，位元線箝位器CLP針對第一與第二位元線對而配置，它包含電晶體N5與N6，由來自轉換控制信號blt0與blt1的箝位器控制信號(或位元線重設信號)brs加以控制，並將一對位元線對的電位控制在預先充電電位 $V_{ii}/2$ 。感測放大器之結構與第1、2圖相同。

第4圖為第3圖之記憶裝置之操作波形。第4圖用以說明3圖之第一實施例的操作。以下說明記憶體晶MC0之讀取，其中左側晶胞陣列CM0儲存高電位。

在初始重設狀態下，轉換控制信號blt0與blt1為H電位，此電位大於內部電源 V_{ii} ，而轉換器控制信號blt0與blt1所產生之箝位器控制信號brs亦為H電位。因此，左側與右側位元線轉換開BLT0與BLT1處於動作狀態，左側與右側位元線短路電路SH0與SH1之電晶體N40與N41處於動作狀態，而位元線箝位器CLP之電晶體N5與N6亦處於動作狀態。因此，第一與第二位元線對被重設於預先充電電位 $V_{ii}/2$ ，此為內部電源 V_{ii} 的一半。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

接著，轉換控制信號blt1與箝位控制信號brs變成L電位，左側位元線轉換開BLT1變成不動作，右側位元線短路電路SH0之電晶體N40變成不動作，箝位電路CLP之電晶體N5也變成不動作，而重設狀態終止。在此狀態中，第一位元線對BL0與/BL0經由保持在動作狀態的位元線轉換開BLT0連接至感測放大器SA。

隨後右側晶胞陣列CM0之字元線WL0被驅動至H電位，此電位大於內部電源Vii。因此，第一位元線對之位元線BL0的電位隨著記憶體晶胞MC0內部的充電量而小幅提升，而另一條位元線/BL0保持在預先充電電位Vii/2。當感測放大器啟動信號lex上升而lex下降，感測放大器驅動器SAD動作，感測放大器SA啟動，位元線對BL0與/BL0之間的微小電位差被放大，位元線BL0被驅動至內部電源電位Vii而另一條位元線/BL0被驅動至接地電位Vss。回應於行選擇信號c1，第一位元線對BL0與/BL0經由電晶體N14、N15連接至資料匯流排線對DB與/DB，且讀取信號經由讀取放大器與輸出電路輸出，它們連接至資料匯流排線DB、/DB，但此處並未繪出。

當字元線WL0下降且記憶體晶胞MC0被重新寫入時，感測放大器啟動信號lez下降而lex上升，感測放大器驅動器SAD變成不動作，且感測放大器SA不動作。轉換控制信號blt1與箝位器控制信號brs上升，左側位元線轉換開BLT1動作，短路電路SH0將第一位元線對短路，箝位電路CLP將兩組位元線對之電位限制於預先充電電位Vii/2。易

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

言之，用以重設位元線之位元線短路電路與位元線箝位器被啟動且兩組位元線對都被重設在預先充電電位 $V_{ii}/2$ 。

如前述，在第3圖所示之記憶體裝置中，用以短路位元線對之位元線短路電路 SH_0 或 SH_1 位於各位元線對中，因此位元線可被短路而不需經過位於位元線對之間的位元線轉換開 BLT_0 與 BLT_1 以及共用的感測放大器。因此，位元線轉換開 BLT_0 與 BLT_1 之電晶體 $N_{10}-N_{13}$ 之導電電阻所引起之延遲不會發生，而位元線對之重設操作的速度可提高。由於位元線箝位器 CLP 無法大幅提高位元線對之重設操作的速度，它由第一與第二位元線對所共用，因而提高區域效率。

第5圖為第二實施例之記憶裝置電路圖。第5圖顯示 n 對第一與第二位元線對 BL_0 與 BL_0-BL_{2n-1} 與 BL_{2n-1} ，其中各第一與第二位元線對共用感測放大器 SA_1-SA_n 、位元線箝位器 CLP_1-CLP_n 以及行開 CLG_1-CLG_n 。各第一與第二位元線對具有專屬位元線短路電路 SH_0 與 SH_1-SH_{2n-2} 與 SH_{2n-1} 。位元線轉換開 BLT_0 與 BLT_1-BLT_{2n-2} 與 BLT_{2n-1} 位於感測放大器 SA_1-SA_n 以及第一與第二位元線對之間。各控制信號與第3圖相同。

第5圖之第二實施例與第一實施例之差異在於，感測放大器驅動器 SAD 之 N 通道電晶體 N_1 與 P 通道電晶體 P_1 共同配置於多數個感測放大器 SA_1-SA_n 中。而共同配置的感測放大器 SAD 分別使共用節點 nsa 與 psa 之電位變成接地電位 V_{ss} 與內部電源 V_{ii} ，使多數個感測放大器 SA_1-SA_n

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

被啟動。

如此一來，在第二實施例中，感測放大器驅動器SAD針對多數個感測放大器共同配置，這可提高區域效率。若記憶體裝置具有少量的感測放大器SA，則感測放大器SA之啟動速度可維持在夠快的水準上，即使感測放大器驅動器如上所述地共同配置。

第6圖為具有較短隨機存取循環時間之FCRAM的方塊圖。若前述第一與第二實施例之記憶體裝置應用於記憶體核心區域之組態被切割的FCRAM中，位元線對重設操作減少且隨機存取之循環時間降低，位元線對之重設操作速度可提高且改善區域效率。

接著說明第6圖之FCRAM的構造。首先，外部時鐘CLOCK被送至時鐘輸入緩衝器10，並輸出內部時鐘clk。回應內部時鐘clk，控制信號CNT、列位址Radd與行位址Cadd輸入至對應的緩衝器11、12與13並被閃鎖。此外，回應於內部時鐘clk，資料由資料輸出接點DQ送出，且資料由資料輸入接點Din被送入。

控制信號CNT被送到指令解碼器14，指令在此解碼。在初始狀態中，回應於控制信號CNT，由列位址接點Radd送達之各種模式設定值由模式暫存器15加以閃鎖。在正常操作中，當控制信號CNT由指令解碼器14加以解碼且RAS產生器16根據解碼輸出偵知RAS啟動時，控制單元17控制解碼器與其他元件之操作。因此，這些元件包含字元解碼器30、位元線轉換解碼器31、感測放大器啟動電路32、1/4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

解碼器33、行解碼器34與行系統控制單元35。

列位址信號Radd由輸入緩衝器12加以閃鎖，並由字元預解碼器19加以預先解碼。預先解碼信號被送到字元解碼器30、位元線轉換解碼器31、感測放大器啟動電路32、1/4解碼器33與區塊解碼器20。行位址Cadd由輸入緩衝器13加以閃鎖，並由行預解碼器22預先解碼。預先解碼信號被送到感測放大器啟動電路32、1/4解碼器33、行解碼器34、行系統控制單元35、讀取側並列/串列轉換電路37與寫入側串列/並列轉換電路42。

FCRAM被區分為第一級100、第二級200與第三級300，第一級100用以解碼控制信號CNT與檢測操作模式，第二級200用以解碼行位址信號Radd、啟動字元線與感測放大器並輸出資料至緩衝電路36以進行並列讀取與寫入，第三級300利用並列/串列轉換電路37將並列輸入資料轉換至讀取與寫入緩衝電路36中，並由資料輸出緩衝器38輸出資料。第三級300包含一組電路，用以輸入資料至資料輸入緩衝器44，將資料由串列形式轉換為並列形式，並將並列資料送至讀取與寫入緩衝電路。第一、第二與第三級100、200與300具有管線結構，因而各級可獨立操作。

在記憶體核心40中，由電晶體與電容器(圖中未顯示)構成之記憶體晶胞位於位元線與次字元線SWL之交叉位置。記憶體核心40(容後詳述)在列方向上(圖中的平行方向)被區分為多數個子晶胞陣列SCM0、SCM1、SCM2，而感測放大器SA亦針對各個次晶胞陣列而配置。因此，行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

位址可用以選擇子晶胞陣列。主字元解碼器30根據列位址選擇主字元線而在連接至主字元線的次字元線中，只有被選定的子晶胞陣列會被啟動。如此一來，感測啟動電路僅啟動對應於選定之子晶胞陣列中之選定次字元線的感測放大器。

記憶體核心40中之讀取操作與一般DRAM相同。易言之，屬於主字元線且位於選定之子晶胞陣列中的次字元線會被啟動。經啟動之次字元線之記憶體中的資料會被讀取，並在感測放大器啟動時被放大且鎖定。感測放大器鎖定之資料並列輸出至讀取/寫入緩衝器36以配合脈衝長度。之後並列資料由並列/串列轉換電路37轉換為串列形式，並持續由資料輸出緩衝器38輸出。並列/串列電路37根據資料等待時間計數器24執行轉換操作。

並列/串列轉換電路37根據所設定之脈衝長度以串列方式輸出所需的資料數量。舉例來說，就來自讀取/寫入緩衝器3之並列4位元資料而言，1位元、2位元與4位元串列輸出，以配合2位元行位址與脈衝長度1、2與4。

第二級200、記憶體核心40與讀取/寫入緩衝器36構成一個區塊。通常，一個記憶體裝置中會配置多個區塊。因此，各區塊具有區塊解碼器20，用以根據列位址信號產生一個信號，標示該區塊是否被選定，且提供該信號至字元解碼器30、位元線轉換解碼器31、感測放大器啟動電路32與1/4解碼器33。

第7圖為FCRAM之記憶體核心的部分電路圖。第7圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

顯示記憶體核心之子陣列SCM0與SCM1，它們在字元方向(水平方向)上被分隔。字元解碼器30包含由多數個子晶胞陣列所共用的主字元解碼器30M以及位於各個子晶胞陣列中之子字元解碼器30S。1/4解碼器33亦包含共用1/4解碼器33M與位於各個子晶胞陣列中之子1/4字元解碼器33S。列位址raaz與rabz、字元驅動器重設信號wdr與主字元區塊啟動信號mbke0與1被送到主字元解碼器33M，而字元驅動器重設信號WDR、列位址raq與區塊選擇信號bks被送到主1/4字元解碼器33M。用以選定子晶胞陣列SCM之行位址rab0z與rbalz被送到各個子1/4字元解碼器30S與主字元線MWL，而子1/4字元解碼器33S被送到子字元解碼器30S。

因此，多數子晶胞陣列之字元方向由主字元解碼器30M加以選定。各主字元線MWL選擇四個子字元解碼器30S，而各子字元解碼器30S由子1/4字元解碼器33S之輸出加以選定。然而，在第7圖中，主字元線MWL僅有一個子字元解碼器SWD。當子1/4字元解碼器33S由行位址rba0z與rbalz加以選定時，被選定的輸出會送到子字元解碼器30S。因此，只有被主字元線MWL與子1/4字元解碼器33S所選定的子字元解碼器30S會驅動子字元線SWL。由於子字元線SWL分配到各個子晶胞陣列SCM，驅動速度會提高。

位元線轉換解碼器31為轉換器控制電路，它包含主位元線轉換解碼器31M與子位元線轉換解碼器31S，以及主

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

位元線轉換解碼器31M，它接收區塊選擇信號bks與位元線重設信號blr並輸出主位元線轉換信號MBLT。子位元線轉換解碼器31S接收主位元線轉換信號MBLT以及行位址rba0z與rbalz，並輸出轉換控制信號blt0與1。因此，僅有子陣列中的位元線轉換開BLT0與BLT1動作。

轉換控制信號blt0與1亦被送到位元線短路電路SH1與SH0。因此，當位元線轉換開BLT0保持動作狀態而其他位元線轉換開BLT1變成不動作，位元線之電晶體短路電路SH0變成不動作並終止位元線對之短路。另一方面，當位元線轉換開BLT1保持動作狀態而其他位元線轉換開BLT0變成不動作，位元線短路電路SH1之電晶體變成不動作。

來自子位元線轉換開31S之信號被送到箝位控制電路45，而箝位控制信號brs在位元線轉換開BLT0與BLT1之一啟動時產生。

感測放大器啟動電路32包含主感測放大器啟動電路32M與子感測放大器啟動電路32S，而主感測放大器啟動電路32M接收主字元區塊啟動信號mbke0與mbke1、主位元線轉換信號MBLT0與MBLT1以及啟動時序信號tsa，並產生主啟動信號MLE。子感測放大器啟動電路32S接收主啟動信號MLE與來自箝位控制電路45之輸出，並提供感測放大器啟動信號lex與lez至子晶胞陣列之感測放大器列。

在第7圖中，行開與資料匯流排線對被省略。

如前述，FCRAM之記憶體核心之特徵在於，記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

核心在字元方向上被分割為數個子晶胞陣列SCM，而僅有被選定的子晶胞陣列中的子字元線SWL會被驅動。因此，被選定的子晶胞陣列中的位元線轉換閘BLT被控制，且僅有被選定的子晶胞陣列中的感測放大器列、籍位器列與短路電路列會被驅動。因此，字元線驅動速度極快，感測放大器啟動速度極快，且重設速度極快。利用此構造，涉及行位址改變之隨機存取循環時間可減少。

第8圖為FCRAM之操作時序圖。FCRAM之構造特徵為(1)管路操作係分級執行，其中第一級用以接收列位址、行位址以及控制信號，並執行指令解碼操作，而第二級啟動並重設字元線與感測放大器，(2)記憶體核心區分為多數個子晶胞陣列，且僅有經行位址選定之子晶胞陣列之子字元線與感測放大器會被啟動，(3)多數組脈衝長度的資料會在感測放大器與第三級之間批次傳送。

以下根據第8圖說明讀取操作。在與讀取指令READ同步的狀態下，列位址Radd與行位址Cadd以非多路調制的方式同時提供，或者以多路調制的方式在很短的時間內連續提供。第一級100接收這些位址與控制信號並將控制信號解碼。根據解碼的結果，第二級200解碼列位址與行位址，驅動(啟動)字元線並驅動(啟動)感測放大器。基於前述的第二項特徵，字元線與感測放大器之啟動操作的速度提高。

在第三級300中，由感測放大器加以放大並鎖定之資料經由區塊匯流排以4位元形式輸出至讀取/寫入緩衝器37

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

並被鎖定。此位元資料並列輸出至並列/串列轉換電路37。並列/串列轉換電路37根據預定的脈衝長度以串列方式輸出所需的資料數量。在第8圖的例子中，脈衝長度設定為2，因而2位元資料由資料輸出接點DQ以串列方式輸出。

當4位元資料由在各區塊中由讀取/寫入緩衝器37輸出至區塊中之並列/串列轉換電路37時，重設操作(預先充電操作)在區塊中自動開始。易言之，字元線被抑制，感測放大器被抑制，位元線與資料匯流排之電位被重設(預先充電)。此種重設(預先充電)操作由第6圖之自動重設電路18開始。由於多位元資料輸出至第三級300之行系統電路，感測電路之啟動時間可縮短，無論脈衝為何種長度。因此，與傳統DRAM不一樣的是，字元線與感測放大器之啟動狀態不需維持到脈衝長度的所有資料都輸出為止，而下一個讀取指令的字元線與感測放大器之啟動操作可就此開始。易言之，如第8圖所示，在第二級200中，下一個指令的字元線與感測放大器之啟動操作在字元線與感測放大器針對第一讀取指令進行重設時即可開始。

如前述，基於FCRAM之構造，循環時間 t_{RC} 小於存取時間 t_{RAC} 。易言之，透過採用第一級100與第二級200之管線結構，接收並解碼下一個循環之位址與控制信號的程序可提前展開，且透過改善記憶體核心以及從記憶體核心以批次方式輸出多數位元的方式可縮短字元線與感測放大器之啟動時間。因此，隨機存取操作時間可縮短。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

如第7圖所示，在前述FCRAM構造中，透過在各位元線對配置位元線短路電路以便使各位元線對短路的方式可提高位元線對之重設操作速度，而透過第一與第二位元線對共用箝位器CLP與感測放大器SA的方式使配置有感測放大器之區域的效率提高。

第9圖為子位元線轉換解碼器與箝位器控制電路之電路圖。位於上方的子位元線轉換解碼器(控制控制電路)31S包含P通道電晶體P21與P22，N通道電晶體N21、N22與N23，以及反相器46與47。子位元線轉換解碼器產生轉換控制信號blt0。位於底部的子位元線轉換解碼器(轉換控制電路)31S具有類似的構造，並產生轉換控制信號blt1。子位元線轉換解碼器31S連接至升壓電源Vpp，其電位大於內部電源Vii，而輸出之轉換控制信號blt0與blt1之振幅為接地電源Vss至升壓電源Vpp。

箝位器控制電路45具有NAND閘50，其輸入節點連接至子位元線轉換解碼器31S，以及反相器51。箝位器控制電路連接至升壓電源Vpp，而箝位控制信號brs之振幅亦為接地電源Vss至升壓電源Vpp。

位元線轉換解碼器31S之操作為，主轉換控制信號MBLT0被送到P通道電晶體P21與N通道電晶體N23，而前述行位址rba0z與rbalz被送到N通道電晶體N21與N22。

第10圖為第9圖之電圖的操作時序圖。以下根據第10圖說明其操作。

在重設狀態下，主轉換控制信號MBLT0為L電位，電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

晶體P21導通，電晶體N23不導通，而節點n1為H電位。同樣地，主轉換控制信號MBLT1為L電位，而節點n2為H電位。因此，轉換控制信號blt0與blt1為H電位。易言之，位元線轉換開BLT0與BLT1處於動作狀態，而兩組位元線對被短路且重設。由於節點n1為H電位，反相器46之輸出變成L電位，電晶體P22導通，節點n1之H電位被鎖定。由於節點n1與n2為H電位，箝位器控制電路45之NANA開50之輸出變成L電位，箝位器控制信號brs變成H電位，位元線箝位器CLP被驅動，而位元線對被限制在預先充電電壓。

在啟動狀態下，選定側之主轉換控制信號MBLT1在時間t1時維持在L電位。因此，對應的轉換控制信號blt1維持在H電位，而對應的位元線轉換開BLT1在連接位元線對至感測放大器SA時保持在操作狀態。非選定側之主轉換控制信號MBLT0變成H電位。回應於此，電晶體N23導通，而若位址rba0z與rbalz處於H電位，電晶體N21與N22導通且節點n1變成L電位。因此，轉換控制信號blt0變成L電位，對應的位元線轉換開BLT0變成不動作，且在對應側的位元線對與感測放大器SA的連接中斷。同時，箝位器控制信號brs變成L電位，而位元線箝位器CLP被抑制。由於轉換控制信號blt0為L電位，選定側之位元線對上的位元線短路電路變成不導通。

若位址rba0z與rbalz之中至少有一個處於L電位，則電晶體N21與N22之一會變成不導通，節點n2之H電位會由於閉鎖作用而保持，且輸出blt1保持在H電位。易言之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

，在未被選定的子晶陣列SCM中，轉換控制信號不會被驅動，而箝位器控制信號brs亦保持在H電位。

在時間t2時，主轉換控制信號MBLT1變成H電位。在此，轉換控制信號blt1變成L電位，對應之位元線轉換開BLT1變成不動作，而位元線對與感測放大器SA之連接中斷。同時，箝位器控制信號brs變成L電位，抑制箝位器CLP。

子位元線轉換解碼器31S連接至升壓電源Vpp，而轉換控制信號blt0與blt1被驅動至升壓電源電位Vpp。因此，位元線轉換開BLT之電晶體開之電位變成升壓電位Vpp，而感測放大器SA可驅動一個位元線的電位至內部電源電位Vii。箝位器控制信號BRS亦被驅動至升壓電源電位Vpp。

第11圖為子位元線轉換解碼器與箝位器控制電路之另一實例之電路圖。相同標號用以標示與第9圖相同的元件。第11圖之實例與第9圖之電路的差異在於，箝位器控制電路45不連接至升壓電源Vpp，而是連接至內部電源Vii，其電壓小於Vpp。其他構造完全相同。升壓電源Vpp係對外部電源Vcc進行升壓所產生。利用升壓電源Vpp可產生較低的電源Vii。因此， $V_{pp} > V_{cc}$ ，而 $V_{pp} > V_{ii}$ 。

位元線箝位器CLP用以將位元線對之電位限制於預先充電電位 $V_{ii}/2$ ，此為內部電源Vii的一半，而轉換器之開電壓不需要設定為升壓電位Vpp。因此，在第11圖的例子中，較低的內部電源Vii被選定為箝位器控制電路45之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

源，使箝位器控制信號brs之H電位為內部電源電位Vii，此電位小於升壓電位Vpp，因此，電力消耗降低。這代表升壓電源Vpp之電流消耗可減少。在FCRAM中，減少電力消耗相當重要。易言之，對具有較短循環時間的FCRAM而言，內部重設操作與主動操作之循環較短。這會提高整體電力消耗。因此，對FCRAM而言，儘可能使用第11圖之電路以降低電力消耗的做法相當重要。

第12圖為子位元線轉換解碼器與箝位器控制電路之另一實例之電路圖。相同標號用以標示與第9圖相同的元件。在第12圖中，用以產生位元線短路電路之控制信號blt0與blt1之反相器60、61、62與63被加在子位元線轉換解碼器31S中。反相器60至63係連接至內部電源Vii而非升壓電源Vpp。因此，用於短路電路(SH)之控制信號blt0與blt1只被驅動至內部電源電位Vii。因此，電力消耗可降低。就位元線短路電路而言，第3圖中之電晶體N40與N41之閘電壓可為內部電源電壓Vii以操作位元線對。

如前述，根據本發明，位元線短路電路位於各位元線對且位元線箝位器針對位元線對而共同配置，位元線對之重設操作速度可提高且區域效率可改善。

前述構造應用於FCRAM時可大幅降低FCRAM之循環時間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

元件標號對照

10...時鐘輸入緩衝器	36...緩衝電路
11...緩衝器	37...讀取側並列/串列轉換 電路
12...緩衝器	38...輸出緩衝器
13...緩衝器	40...記憶體核心
14...指令解碼器	42...寫入側串列/並列轉換 電路
15...模式暫存器	44...資料輸入緩衝器
16...RAS產生器	46...反相器
17...控制單元	47...反相器
18...自動重設電路	50...NAND閘
19...字元預解碼器	51...反相器
20...區塊解碼器	60...反相器
22...行預解碼器	61...反相器
24...資料等待時間計數器	62...反相器
30...字元解碼器	63...反相器
31...位元線轉換解碼器	100...第一級
32...感測放大器啟動電路	200...第二級
33...1/4解碼器	300...第三級
34...行解碼器	
35...行系統控制器單元	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 具較快重設操作之記憶體電路)

本發明係有關一種記憶體電路，具有多數條字元線與多數位元線對，且記憶體晶胞位於字元線與位元線對之交叉位置。該記憶體電路包含：感測放大器，由配置於行方向上的第一位元線對與第二位元線對所共用，並放大位元線對之電壓；第一與第二位元線轉換開，分別位於該感測放大器與第一及第二位元線對之間，並將被選定之記憶體晶胞側的位元線對連接至該感測放大器；位元線箝位器，位於該第一與第二位元線轉換開之間，由該第一位元線對與第二位元線對共用，並提供預先充電電位至位元線對；與位元線短路電路，位於該第一與第二位元線對之間，並

(接下頁)

英文發明摘要(發明之名稱： MEMORY CIRCUIT WITH FASTER RESET OPERATION)

The present invention is a memory circuit having a plurality of word lines, a plurality of bit line pairs, and memory cells disposed at the cross-position thereof. The memory comprises: a sense amplifier which is shared by the first bit line pair and the second bit line pair disposed in the column direction and amplifies a voltage of the bit line pairs; a first and a second bit line transfer gates which are disposed between the sense amplifier and the first and second bit line pairs, and connects the bit line pair at the selected memory cell side to the sense amplifier; a bit line clamper, which is disposed between the first and second bit line transfer gates, is shared by the first bit line pair and the second bit line pair, and supplies the precharge level to the bit line pairs; and a bit line short circuit,

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:)

(承上頁)

將位元線對短路。根據以上構造，由於位元線短路電路針對各位元線對而配置，涉及位元線短路操作的重設操可高速進行。此外由於位元線箝位電路係由第一與第二位元線對所共用，區域效率可提高。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

which is disposed at the first and the second bit line pairs respectively and shorts the bit line pairs. According to the above structure, the reset operation involving a bit line short operation can be executed at high-speed, since the bit line short circuit is disposed for each bit line pair. Also area efficiency can be improved since the bit line clamper circuit is shared by the first and the second bit line pairs.

訂

線

六、申請專利範圍

1. 一種記憶體電路，具有多數條字元線與多數位元線對，且記憶體晶胞位於字元線與位元線對之交叉位置，該記憶體電路包含：

感測放大器，由配置於行方向上的第一位元線對與第二位元線對所共用，並放大位元線對之電壓；

第一與第二位元線轉換開，分別位於該感測放大器與第一及第二位元線對之間，並將被選定之記憶體晶胞側的位元線對連接至該感測放大器；

位元線箝位器，位於該第一與第二位元線轉換開之間，由該第一位元線對與第二位元線對共用，並提供預先充電電位至位元線對；與

位元線短路電路，位於該第一與第二位元線對之間，並將位元線對短路。

2. 如申請專利範圍第1項之記憶體電路，還包含行開，該行開由該第一與第二位元線對所共用，並提供該等位元線對之信號至資料匯流排線對。
3. 如申請專利範圍第1或2項之記憶體電路，其中用以驅動該感測放大器之感測放大器驅動器係用於多數個感測放大器。
4. 如申請專利範圍第1或2項之記憶體電路，還包含第一與第二轉換控制電路，可產生第一與第二轉換控制信號，用以導通該第一與第二位元線轉換開，其中該第二與第一位元線短路電路根據該第一與第二轉換控制信號進行操作。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

5. 如申請專利範圍第1或2項之記憶體電路，其中用以控制該位元線箝位器之箝位器控制信號係根據用以控制該第一與第二位元線短路電路之第一與第二短路控制信號而產生。

6. 如申請專利範圍第1項之記憶體電路，還包含第一內部電源，其中

該感測放大器將該等位元線對之一之電壓放大至該第一內部電源電位；

該第一與第二位元線轉換閘包含位於該感測放大器與該第一與第二位元線對之間的轉換電晶體，用以驅動轉換電晶體之轉換控制信號之電位被控制在大大於該第一內部電源電位的水準；

該位元線箝位器包含位於該預先充電電位接點與該等位元線對之間的箝位器電晶體，用以驅動箝位器電晶體之箝位器控制信號之電位被控制在小於轉換控制信號的水準。

7. 如申請專利範圍第1項記憶體電路，還包含第一內部電源，其中

該感測放大器將該等位元線對之一之電壓放大至該第一內部電源電位；

該第一與第二位元線轉換閘包含位於該感測放大器與該第一與第二位元線對之轉換電晶體，用以驅動轉換電晶體之轉換控制信號被控制在大大於該第一內部電源電位的水準；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

該位元線短路電路包含位於該等位元線對之間的短路電晶體，用以驅動短路電晶體之短路控制信號被控制在小於轉換控制信號的水準。

8. 一種記憶體電路，其中第一級用以解碼指令，第二級用以啟動感測放大器，第三級用以輸入與輸出資料，此三級電路係以管路方式配置，多數資料在感測放大器與第三級之間以並列方式傳送，該記憶體電路包含：

多數個子晶胞陣列，它們在字元方向上被分割，並具有多數個記憶體晶胞，多數條字元線與多數組位元線對，

其中該子晶胞陣列包含：

感測放大器，它由行方向配置之第一位元線對與第二位元線對所共用，並放大位元線對之電壓；

第一與第二位元線轉換開，位於感測放大器與第一及第二位元線對之間，並將選定記憶體晶胞之位元線對連接至感測放大器；

位元線箝位器，位於第一與第二位元線轉換開之間，由第一位元線對與第二位元線對所共用，並提供預先充電電位至位元線對；與

位元線短路電路，位於該第一與第二位元線對之間並將位元線對巷短路。

9. 如申請專利範圍第8項之記憶體電路，還包含行開，它由第一與第二位元線對共用，並提供該位元線對之信

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

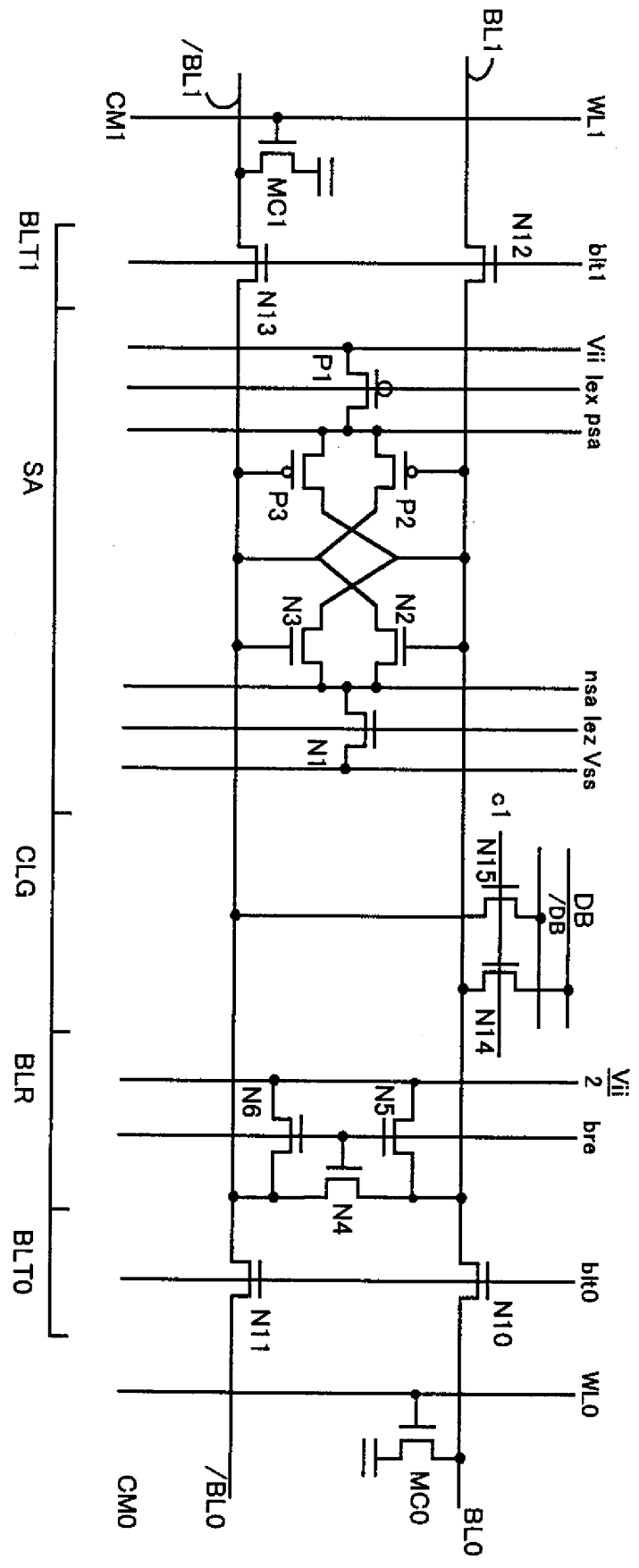
六、申請專利範圍

號至資料匯流排線對。

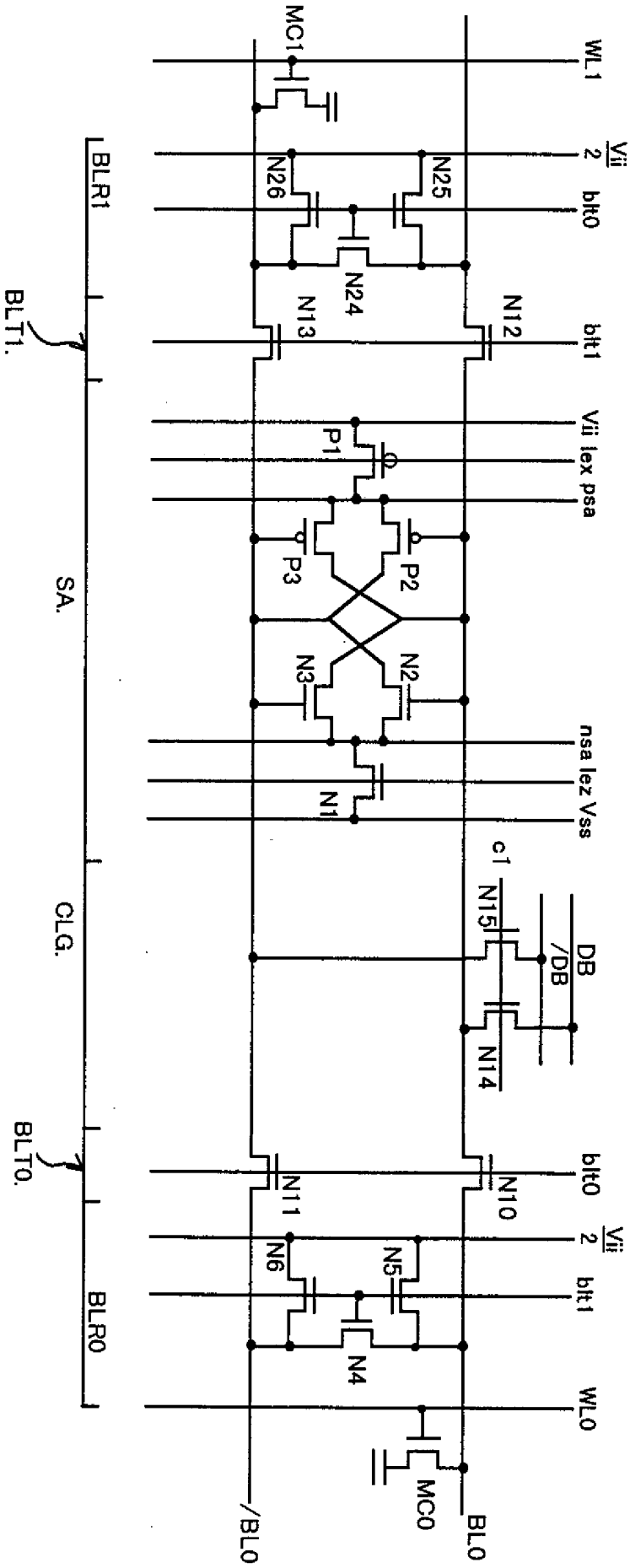
10. 如申請專利範圍第8或9項之記憶體電路，其中用以控制位元線轉換閘之轉換控制信號係由第一電壓所驅動，而用以控制位元線箝位器之箝位器控制信號係由小於該第一電壓之電壓加以驅動。
11. 如申請專利範圍第8或9項之記憶體電路，其中用以控制位元線轉換閘之轉換控制信號係由第一電壓所驅動，而用以控制位元線短路電路之短路控制信號係由小於該第一電壓之電壓加以驅動。

(請先閱讀背面之注意事項再填寫本頁)

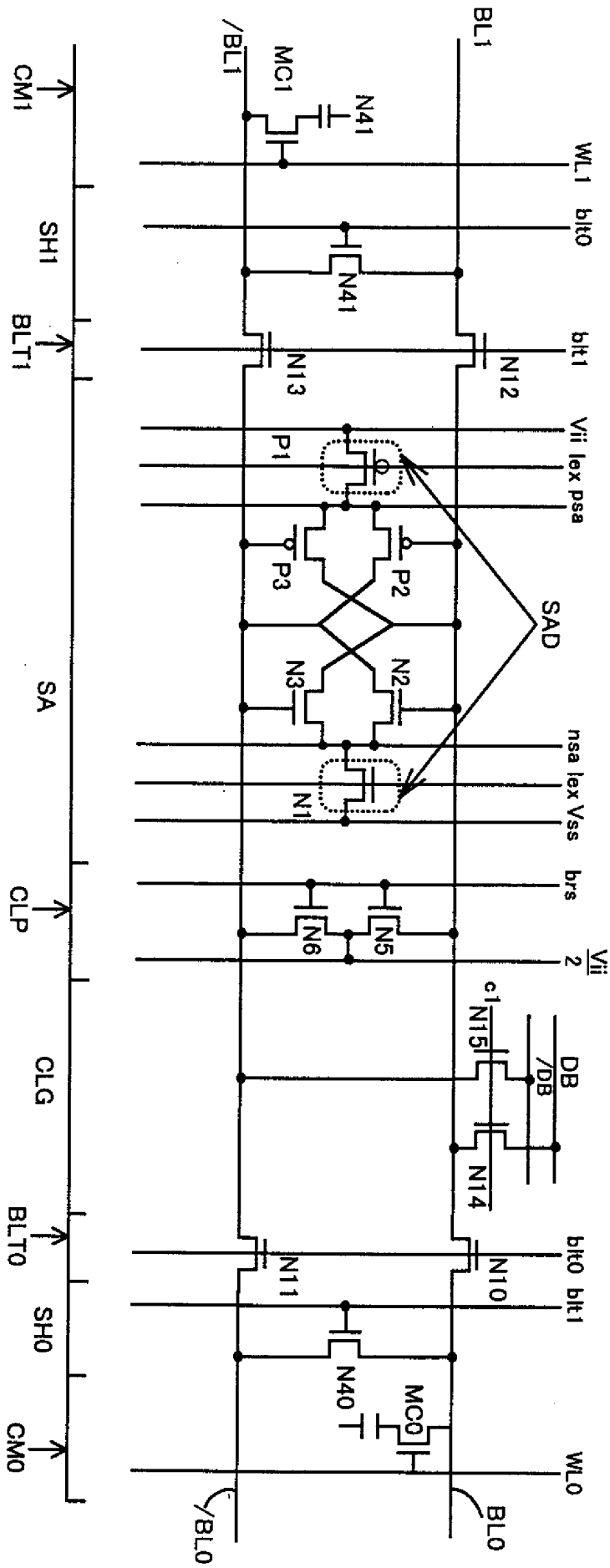
裝
訂
線



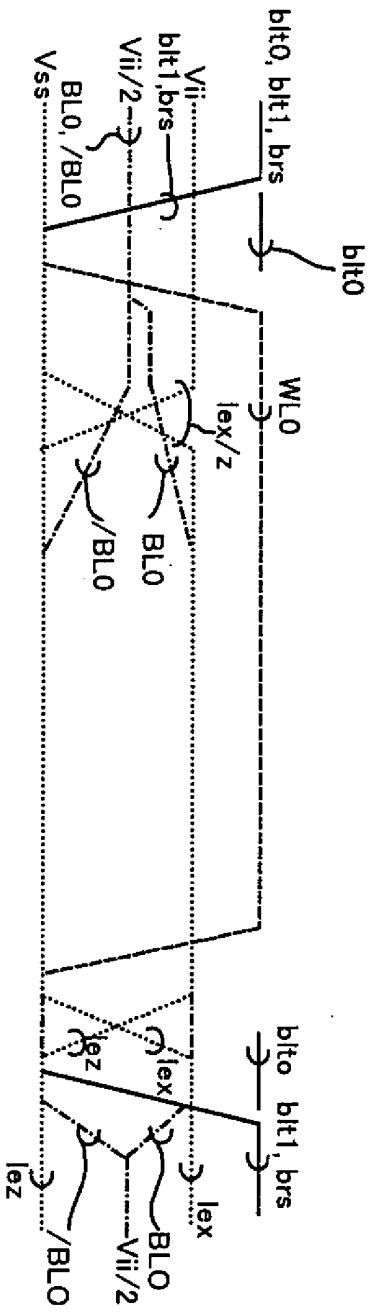
第 1 圖



第 2 圖

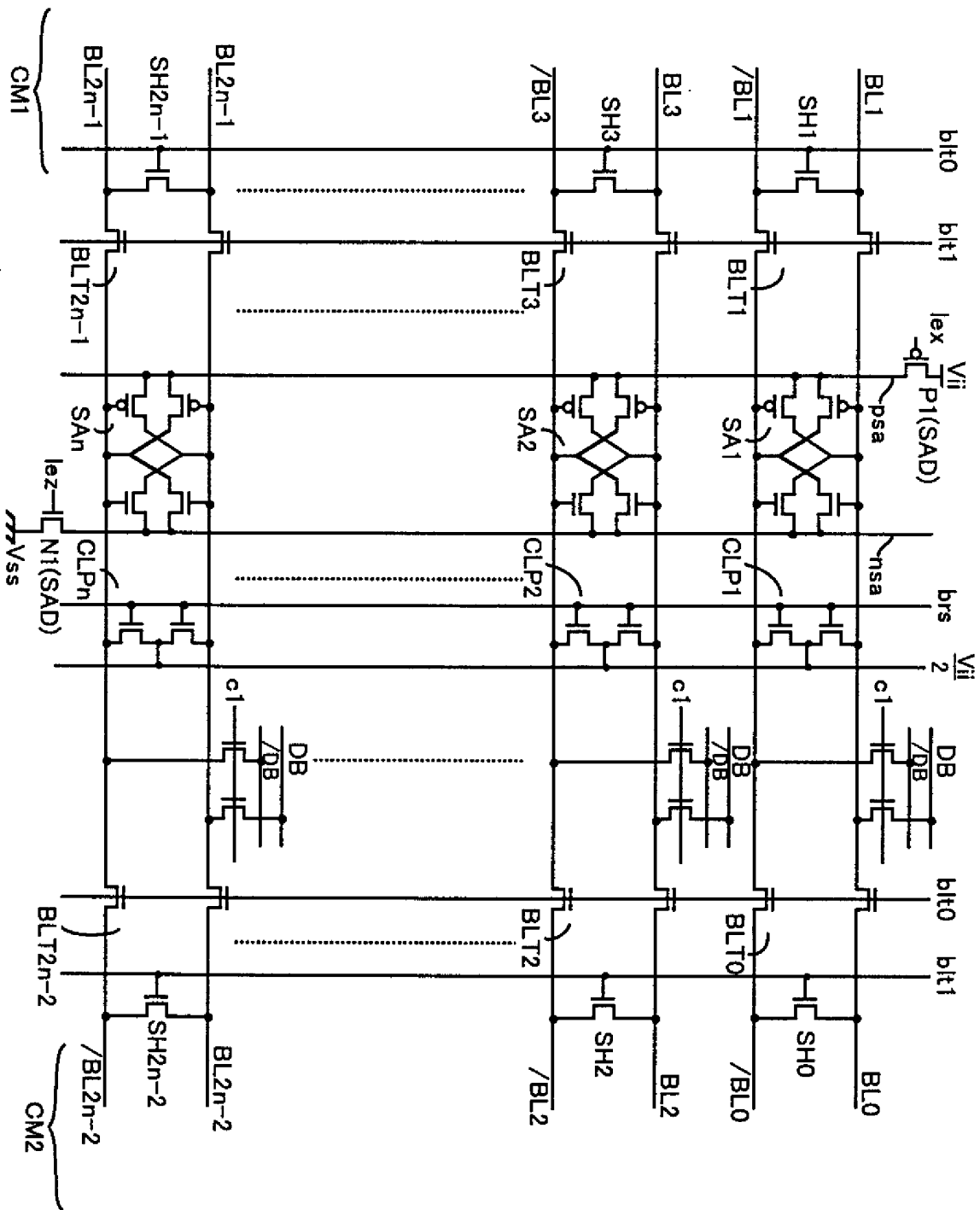


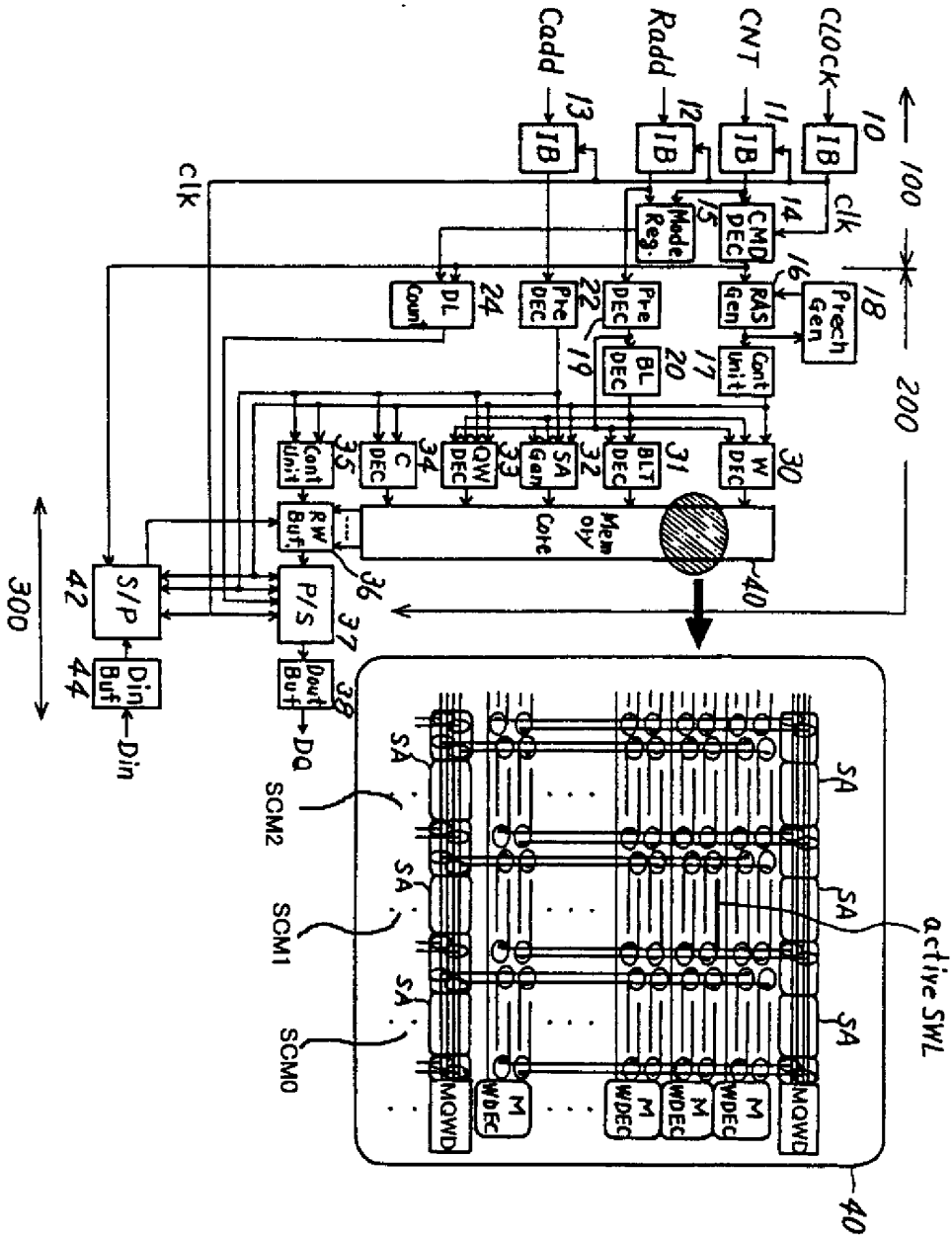
第 3 圖



第 4 圖

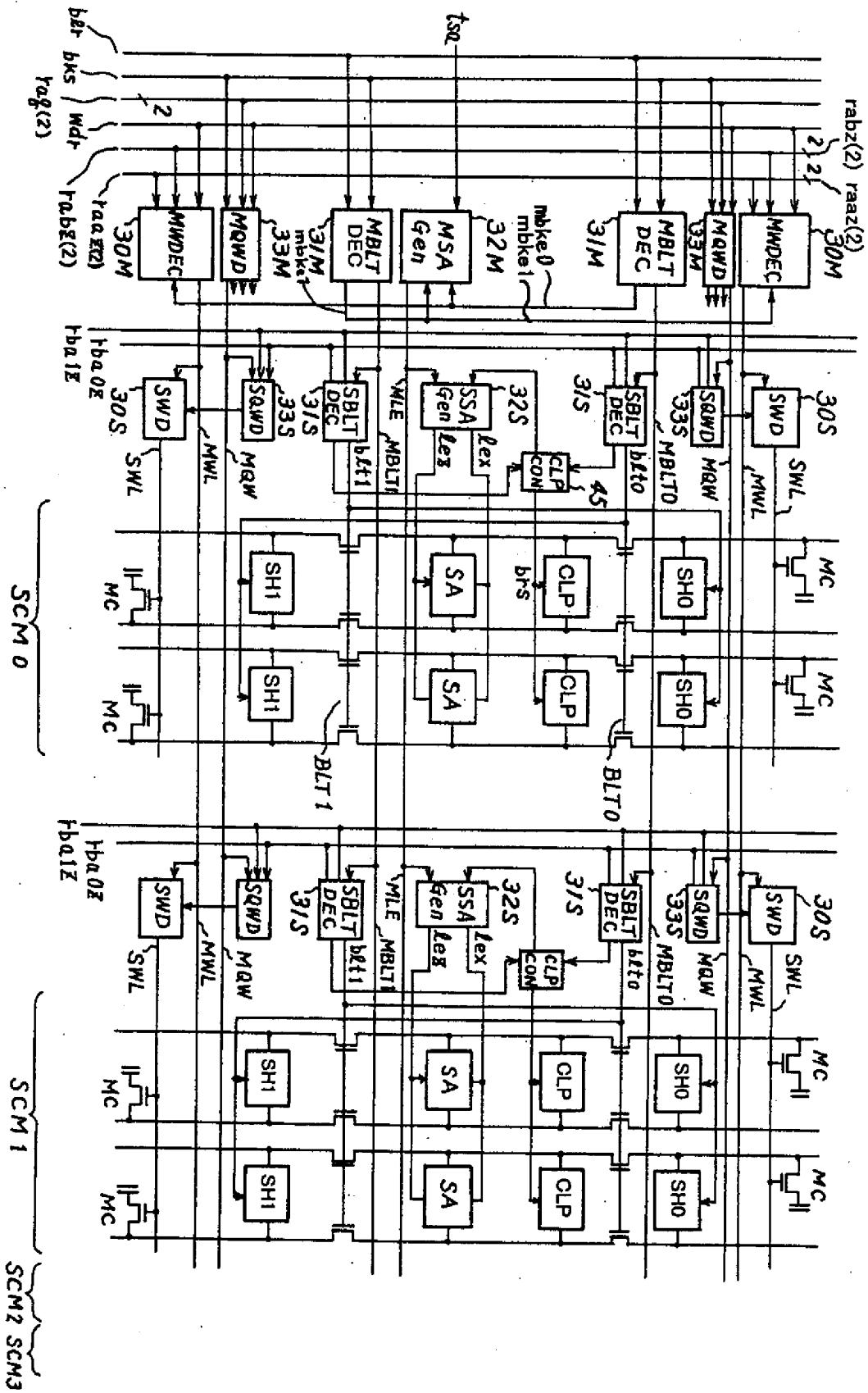
第 5 圖

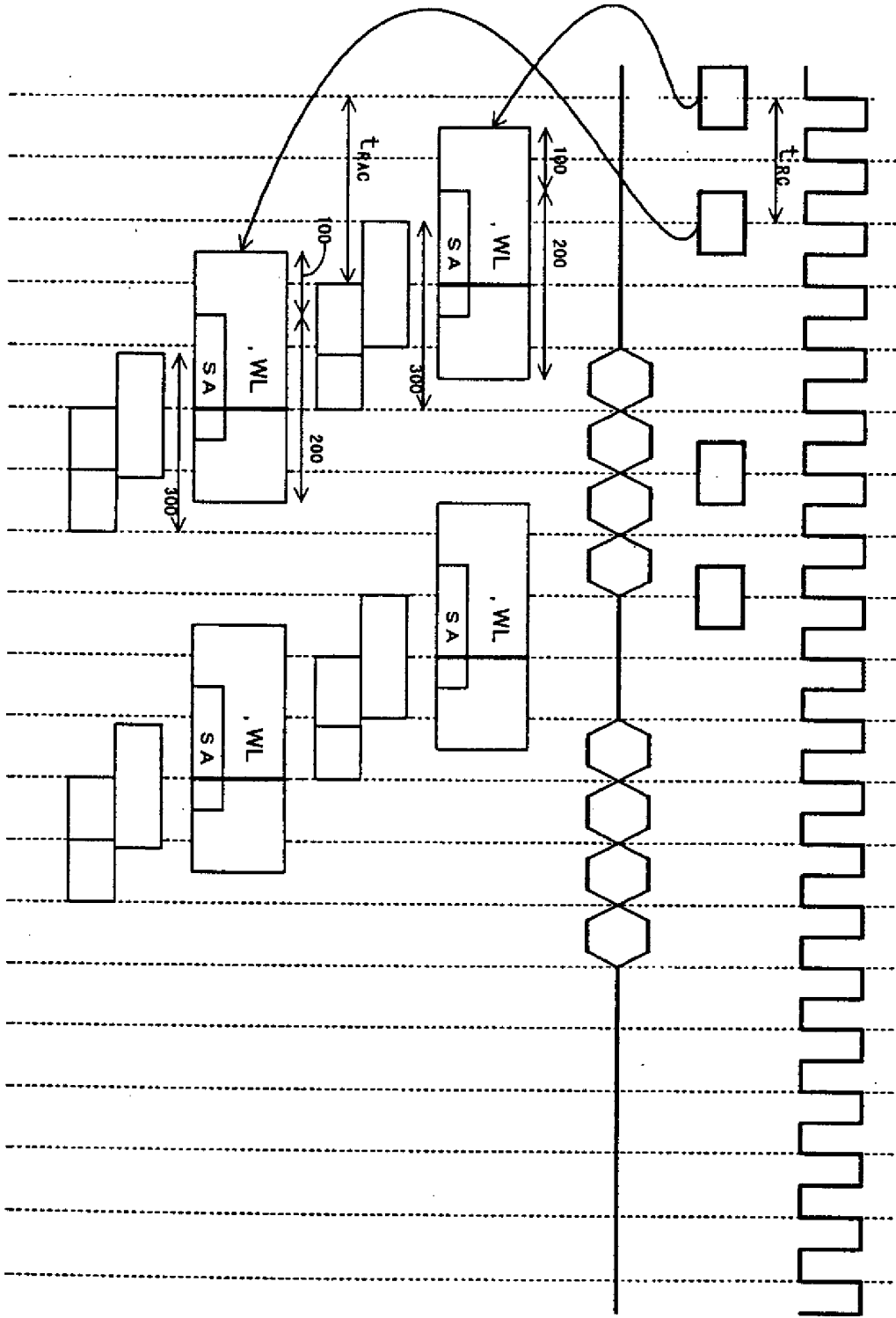




第 6 圖

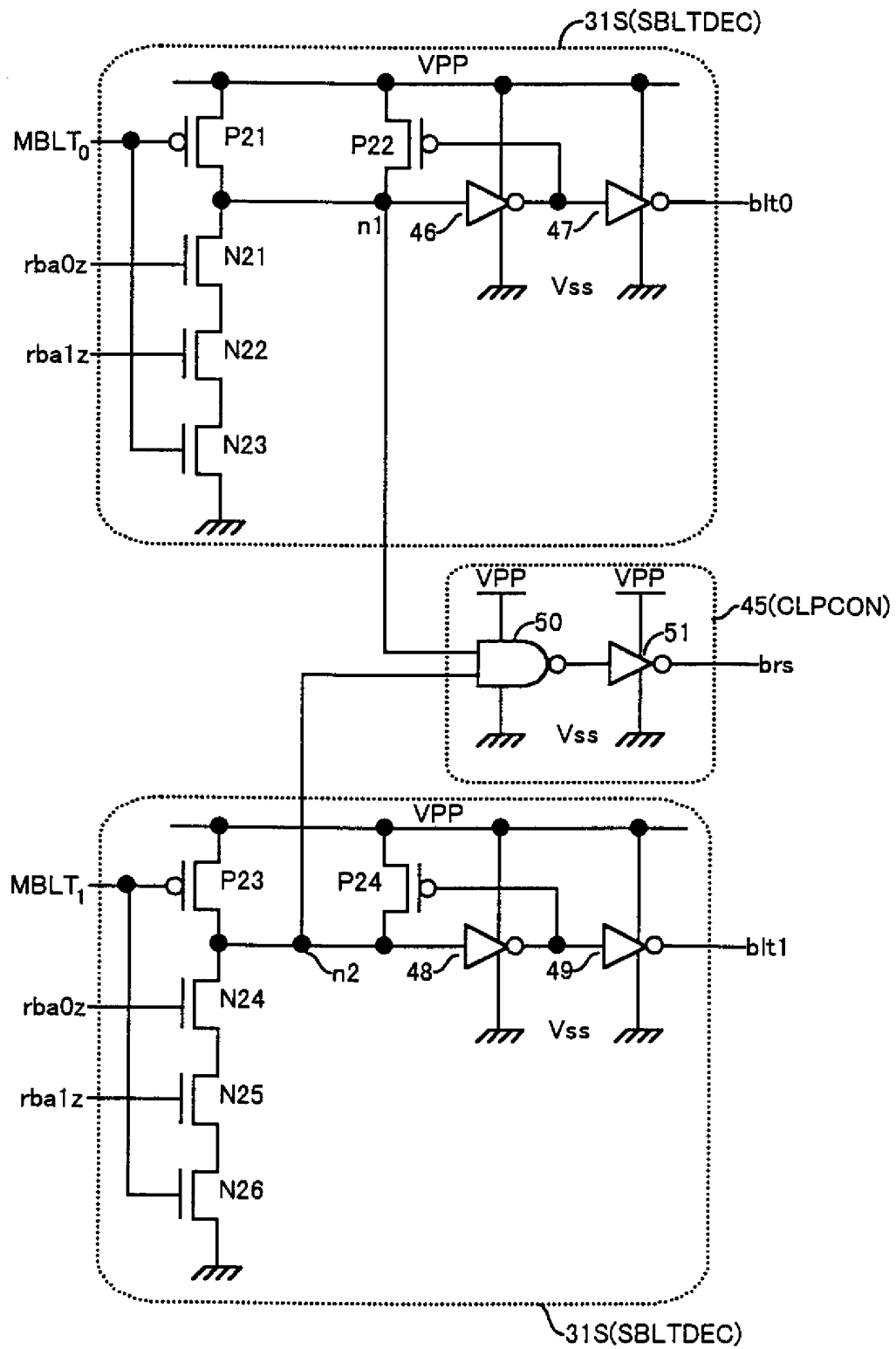
第 7 圖

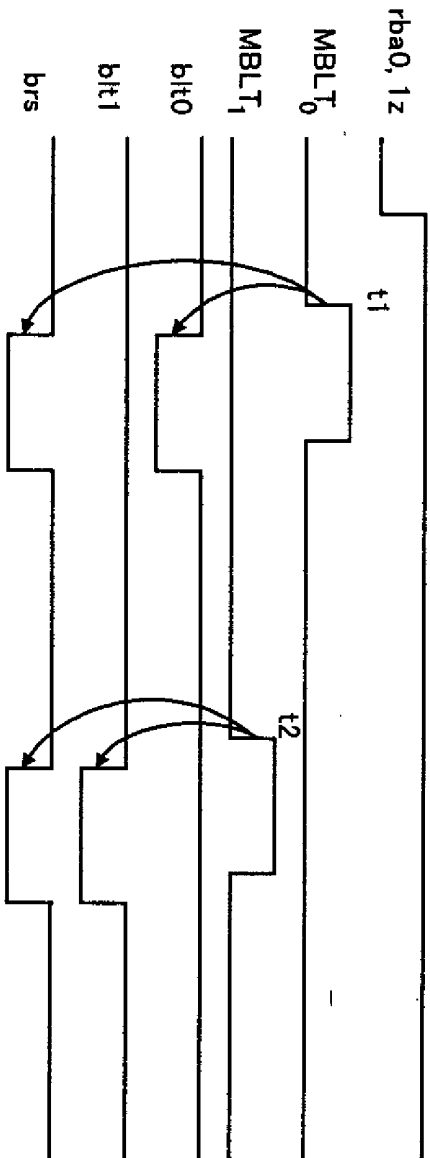




第 8 圖

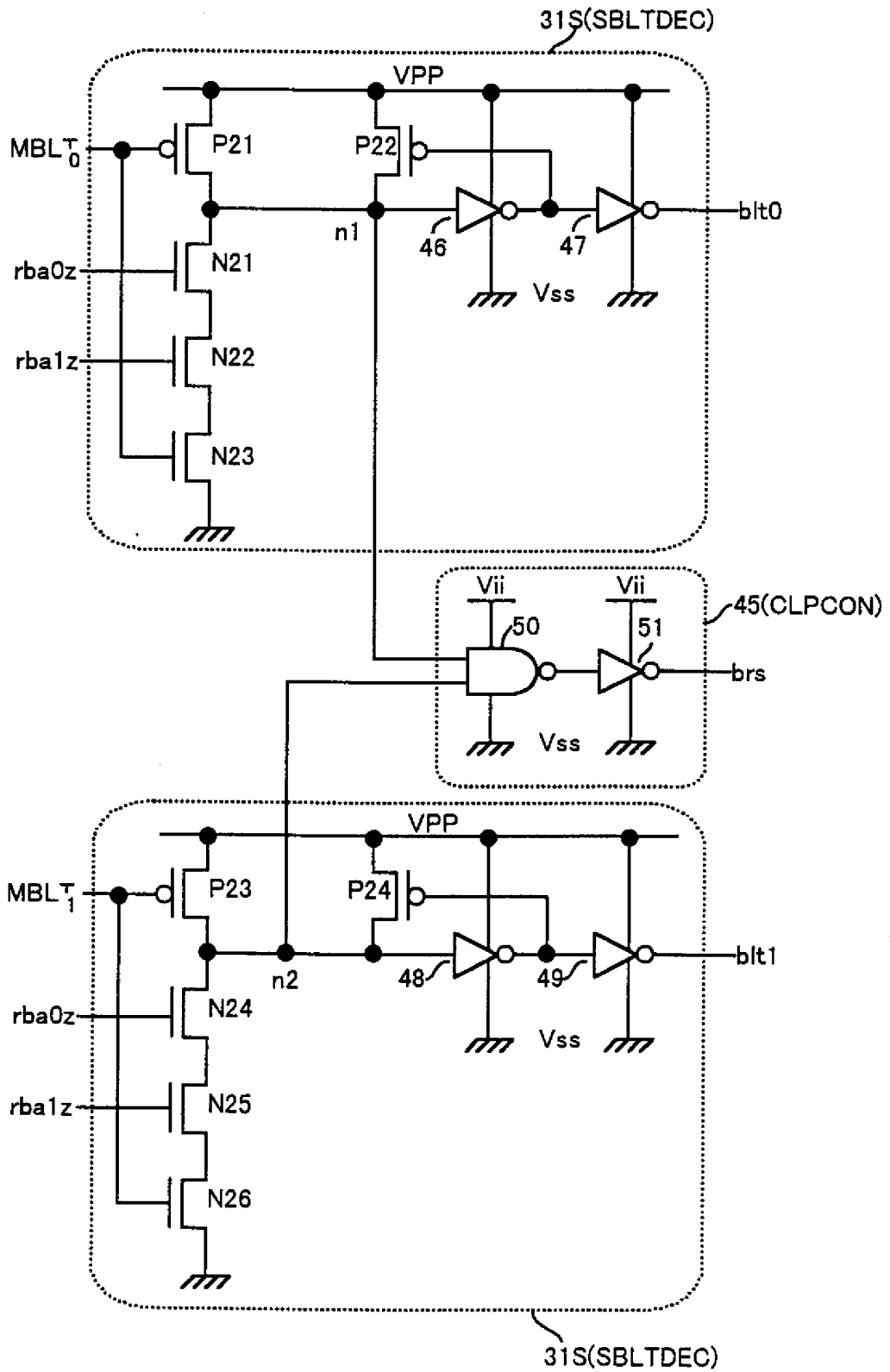
第 9 圖





第 10 圖

第 11 圖



第 12 圖

