

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3825765号  
(P3825765)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月7日(2006.7.7)

(51) Int. Cl.		F I		
	HO 1 L 21/336 (2006.01)		HO 1 L 29/78	6 1 7 S
	HO 1 L 29/786 (2006.01)		HO 1 L 29/78	6 1 6 T
			HO 1 L 29/78	6 2 1

請求項の数 8 (全 10 頁)

(21) 出願番号	特願2003-187996 (P2003-187996)	(73) 特許権者	000003078
(22) 出願日	平成15年6月30日(2003.6.30)		株式会社東芝
(65) 公開番号	特開2005-26336 (P2005-26336A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年1月27日(2005.1.27)	(74) 代理人	100075812
審査請求日	平成15年6月30日(2003.6.30)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

表面に絶縁層が形成された半導体基板と、  
前記絶縁層上に形成された、第1の不純物濃度を有する第1導電型の第1半導体層と、  
前記第1半導体層において、この第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、前記第1の不純物濃度より高い濃度を有する第1導電型の第2半導体層と、

前記第1半導体層において、前記第2半導体層と所定距離を空けて、前記第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、第2の不純物濃度を有する第2導電型の第3半導体層と、

前記第2半導体層の表面部分に形成された、前記第2の不純物濃度より高い濃度を有する第2導電型の第4半導体層と、

前記第1半導体層、前記第2半導体層、前記第3半導体層、前記第4半導体層のそれぞれの表面上に渡って形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

を備え、

前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合が、前記制御電極における前記第3半導体層側の端部の下部に位置することを特徴とする半導体素子。

【請求項2】

前記絶縁膜の厚さが、前記第1半導体層上から前記第3半導体層上に向かうにつれて厚くなるように連続的に変化し、前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合の上部における前記絶縁膜の厚さが、前記第4半導体層の上部における前記絶縁膜の厚さより厚いことを特徴とする請求項1記載の半導体素子。

【請求項3】

前記絶縁膜において、前記制御電極の下部に位置する部分の厚さが、最も薄い部分が50nm～150nmの範囲にあり、最も厚い部分が150nm～450nmの範囲にあることを特徴とする前記請求項1記載の半導体素子。

【請求項4】

前記絶縁膜は、シリコン酸化膜、あるいはシリコン酸化膜及びシリコン窒化膜の積層構造を有することを特徴とする請求項1乃至3のいずれかに記載の半導体素子。 10

【請求項5】

前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合が、前記制御電極における前記第3半導体層側の端面から0～0.8μmの範囲の下部に位置することを特徴とする請求項1乃至4のいずれかに記載の半導体素子。

【請求項6】

前記第1半導体層の前記第1の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、前記第1半導体層と前記第2半導体層との間の前記所定間隔が、0.5μm以下であることを特徴とする請求項1乃至5のいずれかに記載の半導体素子。

【請求項7】

前記第2半導体層の表面から前記絶縁層の表面上に到達するように形成された第1の溝と、前記第3半導体層の表面から前記絶縁層の表面上に到達するように形成された第2の溝とをさらに備えることを特徴とする請求項1乃至6のいずれかに記載の半導体素子。 20

【請求項8】

前記第1及び第2の溝を埋め込むように形成された、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜をさらに備えることを特徴とする請求項7記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子に関する。 30

【0002】

【従来の技術】

半導体素子の高集積化に伴い、出力段に用いられるMOSFET等の素子には、高いドレイン電圧と低いオン抵抗とが要求される。これらの要求に応えるために、後述する特許文献1には、絶縁層を有する半導体基板(SOI(Silicon On Insulator)基板)を用いた素子が開示されている。

【0003】

この従来の素子によれば、高いドレイン電圧と低いオン抵抗とは実現される。しかし、出力容量に関しては、この文献における図1に示されたn型オフセット層7とp型高抵抗半導体層3との間に存在する接合面積が大きいので、この接合部における容量が大きくなるという問題があった。 40

【0004】

以下に、従来の半導体装置を開示する文献名を記載する。

【0005】

【特許文献1】

特許第3217554号

【0006】

【発明が解決しようとする課題】

上述したように、従来の半導体素子には、出力容量を低減することができないという問題 50

があった。

【0007】

本発明は上記事情に鑑み、pn接合部の面積を縮小し出力容量を低減することが可能な半導体素子を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の半導体素子は、

表面に絶縁層が形成された半導体基板と、

前記絶縁層上に形成された、第1の不純物濃度を有する第1導電型の第1半導体層と、

前記第1半導体層において、この第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、前記第1の不純物濃度より高い濃度を有する第1導電型の第2半導体層と、

10

前記第1半導体層において、前記第2半導体層と所定距離を空けて、前記第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、第2の不純物濃度を有する第2導電型の第3半導体層と、

前記第2半導体層の表面部分に形成された、前記第2の不純物濃度より高い濃度を有する第2導電型の第4半導体層と、

前記第1半導体層、前記第2半導体層、前記第3半導体層、前記第4半導体層のそれぞれの表面上に渡って形成された絶縁膜と、

前記絶縁膜上に形成された制御電極とを備え、

20

前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合が、前記制御電極における前記第3半導体層側の端部の下部に位置することを特徴とする。

【0009】

ここで、前記絶縁膜の厚さが、前記第1半導体層上から前記第3半導体層上に向かうにつれて厚くなるように連続的に変化し、前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合の上部における前記絶縁膜の厚さが、前記第4半導体層の上部における前記絶縁膜の厚さより厚いことが望ましい。

【0010】

前記絶縁膜において、前記制御電極の下部に位置する部分の厚さが、最も薄い部分が50nm~150nmの範囲にあり、最も厚い部分が150nm~450nmの範囲にあってもよい。

30

【0011】

前記絶縁膜は、シリコン酸化膜、あるいはシリコン酸化膜及びシリコン窒化膜の積層構造を有するものであってもよい。

【0012】

前記第1半導体層と前記第3半導体層との間で形成される第1、第2導電型の接合が、前記制御電極における前記第3半導体層側の端面から0~0.8μmの範囲の下部に位置することが望ましい。

【0013】

前記第1半導体層の前記第1の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、前記第1半導体層と前記第2半導体領域との間の前記所定間隔が、0.5μm以下であってもよい。

40

【0014】

前記第2半導体層の表面から前記絶縁層の表面上に到達するように形成された第1の溝と、前記第3半導体層の表面から前記絶縁層の表面上に到達するように形成された第2の溝とをさらに備えることもできる。

【0015】

前記第1及び第2の溝を埋め込むように形成された、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜をさらに備えてもよい。

【0016】

50

**【発明の実施の形態】**

以下、本発明の実施の形態について図面を参照して説明する。

**【0017】**

(1) 第1の実施の形態

図1に、本発明の第1の実施の形態による半導体素子の断面構造を示す。

**【0018】**

この素子は、SOI基板を用いて形成されており、半導体基板1の表面上に絶縁層2を介して高抵抗のp<sup>-</sup>型活性層3が形成されている。ここで、p<sup>-</sup>型活性層3の不純物濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3}$ 以下であることが望ましい。

**【0019】**

このp<sup>-</sup>型活性層3において選択的に、表面から絶縁層2に到達する深さに渡って、p<sup>-</sup>型活性層3より不純物濃度が高く、パンチスルー防止用及び閾値制御用のp型ベース層4が形成されている。

**【0020】**

このp型ベース層4の表面部分には、n<sup>+</sup>型ソース層5が選択的に形成されている。p型ベース層4の表面及びn<sup>+</sup>型ソース層5の表面に接続するように、ソース電極9が設けられている。

**【0021】**

また、p<sup>-</sup>型活性層3には、p型ベース層4と所定間隔、例えば0.5 μm以下の間隔を空けて選択的に、その表面から絶縁層2に到達する深さに渡って、n型ドレイン層6が形成されている。このn型ドレイン層6の表面上には、ドレイン電極10が設けられている。

**【0022】**

また、n<sup>+</sup>型ソース層5、p型ベース層4、p<sup>-</sup>型活性層3及びn型ドレイン層6の表面上には、絶縁膜7を介して制御電極8が設けられている。

**【0023】**

ここで絶縁膜7は、n<sup>+</sup>型ソース層5及びp型ベース層4の表面上においてほぼ一定の薄い膜厚を有し、p<sup>-</sup>型活性層3の表面上からn型ドレイン層6の表面上に向かって厚くなるように連続的に膜厚が変化している。例えば、制御電極8の下部に位置する部分の厚さが、最も薄い部分が50 nm ~ 150 nmの範囲にあり、最も厚い部分が150 nm ~ 450 nmの範囲にあることが望ましい。

**【0024】**

このような構成を有する本実施の形態による半導体素子によれば、n型ドレイン層6が絶縁層2に到達する深さまで形成されていることで、n型ドレイン層6とp<sup>-</sup>型活性層3層との間に形成されるpn接合部の面積が縮小される。これにより、ドレイン/ソース間容量が減少し、出力容量を低減することが可能である。

**【0025】**

また、p<sup>-</sup>型活性層3の不純物濃度が低く高抵抗であることにより、n型ドレイン層6とp<sup>-</sup>型活性層3との間に形成されるpn接合部に生成される空乏層が大きく拡がることのできるため、pn接合部における空乏層の距離が拡大され、さらにドレイン/ソース間容量を減少させることができる。

**【0026】**

ところで、本実施の形態では、n型ドレイン層6が絶縁層2に到達する深さまで形成されており、p型ベース層4が絶縁層2に到達する深さまで形成されている。絶縁層2におけるp<sup>-</sup>型活性層3との界面において+電荷が存在し、p<sup>-</sup>型活性層3の界面にはn<sup>-</sup>型反転層が形成された状態にある。

**【0027】**

従って、n型ドレイン層6が絶縁層2に到達するように形成されていると、このn<sup>-</sup>型反転層とn型ドレイン層6とが接続され、n<sup>-</sup>型反転層が長く存在するとこの部分をリーク電流が流れ得る状態になる。そこで、p型ベース層4を絶縁層2に到達するように形成し

10

20

30

40

50

、 $n^-$ 型反転層を止めることで、リーク電流の発生を防止している。

【0028】

ここで、絶縁膜7の膜厚は、特性を考慮して $n^+$ 型ソース層5及び $p$ 型ベース層4の表面上において薄い膜厚を有し、耐圧を高めるため $p^-$ 型活性層3の表面上から $n$ 型ドレイン層6の表面上に向かって連続的に厚くなるように形成されている。

【0029】

図2に、この絶縁膜7の部分を拡大して示す。

【0030】

絶縁膜7は、例えば素子分離領域の形成に用いられているLOCOS法により形成してもよい。この場合、絶縁膜7の表面上には、膜厚の薄い部分の上にシリコン窒化膜17が存在し、シリコン窒化膜17が存在しない部分の膜厚が連続的に厚く変化した状態となる。

10

【0031】

ここで、シリコン窒化膜17を残存させた状態で引き続き制御電極8を形成してもよく、これによりシリコン窒化膜17を削除する工程を減らすことができる。あるいはシリコン窒化膜17を除去した後、制御電極8を形成してもよい。

【0032】

(2)第2の実施の形態

本発明の第2の実施の形態による半導体素子について説明する。

【0033】

上記第1の実施の形態では、制御電極8と、 $p^-$ 型半導体層3と $n$ 型ドレイン層6との $pn$ 接合部の端部20との位置関係について、限定していない。

20

【0034】

これに対し本実施の形態では、図1に示された制御電極8における $n$ 型ドレイン6側の端面21を $X$ 方向の座標"0"とし、この位置から図中左方向に向かって $p^-$ 型半導体層3と $n$ 型ドレイン層6との $pn$ 接合部の端部20までの距離 $x$ について、限定を有する。この距離 $x$ は、 $0 \leq x \leq 0.8 \mu\text{m}$ の範囲内にある。

【0035】

このように、本実施の形態では、 $p^-$ 型活性層3の表面上において存在する $n$ 型ドレイン層6との間の $pn$ 接合の位置20が制御電極8の端面21近傍に位置しているため、これによりドレイン電圧を確保し、かつオン抵抗と出力容量積(CR積)の低減が可能である。

30

【0036】

図3に、制御電極8における $n$ 型ドレイン6側の端面21から、 $p^-$ 型活性層3と $n$ 型ドレイン層6との間の $pn$ 接合部の端部20の位置までの距離 $x$ と、ドレイン電圧に関する耐圧との関係を示す。例えば、必要な耐圧が4.3V以上であるとすると、グラフ上から距離 $x$ は、 $-0.2 \mu\text{m} \leq x \leq 0.8 \mu\text{m}$ の範囲であることがわかる。

【0037】

ここで、特性上 $pn$ 接合部の端部20が制御電極8の下方に位置することが特性上望ましいことを考慮し、距離 $x$ は、 $0 \mu\text{m} \leq x \leq 0.8 \mu\text{m}$ の範囲とする。

【0038】

図4に、制御電極8における $n$ 型ドレイン層6側の端面21から、 $p^-$ 型活性層3と $n$ 型ドレイン層6との間の $pn$ 接合部の端部20の位置までの距離 $x$ と、オン抵抗 $\times$ オフ時の出力容量(CR積)との関係を示す。

40

【0039】

このグラフから、距離 $x$ が大きいほどCR積が小さくなり特性上望ましいことがわかる。

【0040】

ここで、耐圧特性から求めた $0 \mu\text{m} \leq x \leq 0.8 \mu\text{m}$ の範囲におけるCR積を求めると、 $2.64 \text{ pF} \leq \text{CR積} \leq 2.90 \text{ pF}$ となる。

【0041】

図3及び図4からわかるように、制御電極8の端面21から $pn$ 接合部の端部20までの

50

距離  $x$  が大きい程、CR積は低減できるが、距離  $x$  が大きくなりすぎると耐圧が確保されなくなる。また、距離  $x$  が小さくなり過ぎると、耐圧が低下してしまい、かつCR積も大きくなってしまう。

【0042】

そこで、上述したように、本実施の形態では距離  $x$  を  $0 \mu\text{m} < x < 0.8 \mu\text{m}$  と限定することで、所望の耐圧を確保し、かつCR積の増大を抑制することができる。

【0043】

また、LOCOS法等を用いて、制御電極8下の絶縁膜7を膜厚が連続的に変化するように形成すると、 $p^-$ 型活性層3表面にストレス性ダメージが与えられてチャネル移動度が低下するおそれがある。しかし、 $pn$ 接合部の端部20の位置を上述したように設定し、制御電極8の端部21と $pn$ 接合部の端部20の位置とが重なるようにすることで、ストレス性ダメージの影響を低減することが可能である。

10

【0044】

(3)第3の実施の形態

図5に、本発明の第3の実施の形態による半導体素子の断面構造を示す。

【0045】

本実施の形態も上記第1の実施の形態と同様にSOI基板を用いて形成されており、半導体基板1の表面上に絶縁層2を介して高抵抗の $p^-$ 型活性層3が形成されている。

【0046】

そして上記第1の実施の形態と同様に、 $p^-$ 型活性層3において選択的に、表面から絶縁層2に到達する深さに渡ってパンチスルー防止用及び閾値制御用の $p$ 型ベース層4が形成され、この $p$ 型ベース層4の表面部分には $n^+$ 型ソース層5が選択的に形成されている。 $p$ 型ベース層4の表面及び $n^+$ 型ソース層5の表面に接続するように、ソース電極9が設けられている。

20

【0047】

$p^-$ 型活性層3には、 $p$ 型ベース層4と所定間隔を空けて選択的に、その表面から絶縁層2に到達する深さに渡って、 $n$ 型ドレイン層6が形成され、 $n$ 型ドレイン層6の表面上にドレイン電極10が設けられている。

【0048】

$n^+$ 型ソース層5、 $p$ 型ベース層4、 $p^-$ 型活性層3及び $n$ 型ドレイン層6の表面上に、絶縁膜7を介して制御電極8が設けられている。

30

【0049】

ここで絶縁膜7は、 $n^+$ 型ソース層5及び $p$ 型ベース層4の表面上においてほぼ一定の薄い膜厚を有し、 $p^-$ 型活性層3の表面上から $n$ 型ドレイン層6の表面上に向かって厚くなるように連続的に膜厚が変化している。

【0050】

さらに、本実施の形態は上記第1の実施の形態と異なり、 $p$ 型ベース層4の表面において、ソース電極9の端面のうち制御電極8側と反対側の端面近傍の表面から絶縁層2に達する溝11と、 $n$ 型ドレイン層6の表面において、ドレイン電極10の端面のうち制御電極9側と反対側の端面近傍の表面から絶縁層2に達する溝12とが形成されている。

40

【0051】

この溝11、12は、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜等の絶縁膜13、14によって埋め込まれている。

【0052】

$n$ 型ドレイン層6と $p$ 型ベース層4との間には、図5に示されたように、絶縁層2を介して容量C1、C2が存在する。本実施の形態では、溝11、12を形成したことにより、 $n$ 型ドレイン層6と半導体基板1との間、 $p$ 型ベース層4と半導体基板1との間の接合面積が縮小されるので、この間の容量C1、C2が縮小される。この結果、ソース/ドレイン間の寄生容量の低減が可能である。

【0053】

50

また本実施の形態によれば、上記第1の実施の形態と同様に、n型ドレイン層6が絶縁層2に到達する深さまで形成されていることで、n型ドレイン層6とp<sup>-</sup>型活性層3との間に形成されるpn接合部の面積が縮小される。これにより、ドレイン/ソース間容量が減少し、出力容量が低減される。

【0054】

また、p<sup>-</sup>型活性層3の不純物濃度が低く高抵抗であることにより、n型ドレイン層6とp<sup>-</sup>型活性層3との間に形成されるpn接合部に生成される空乏層が大きく拡がることのできるため、pn接合部における空乏層の距離が拡大されさらにドレイン/ソース間容量を減少させることが可能である。

【0055】

(4)第4の実施の形態

本発明の第4の実施の形態について、図6を参照して説明する。

【0056】

上記第1～3の実施の形態では、絶縁膜7が、n<sup>+</sup>型ソース層5及びp型ベース層4の表面上においてほぼ一定の薄い膜厚を有し、p<sup>-</sup>型活性層3の表面上からn型ドレイン層6の表面上に向かって厚くなるように連続的に膜厚が変化している。

【0057】

これは上述したように、例えば40V以上というような高耐圧が得られるように、必要な部分だけ、即ちp<sup>-</sup>型活性層3の表面上からn型ドレイン層6の表面上に向かって連続的に厚くなるように形成し、他の部分は特性を考慮してn<sup>+</sup>型ソース層5及びp型ベース層4の表面上において薄く形成している。

【0058】

これに対し、本実施の形態では例えば20V前後というような比較的低耐圧での使用を前提としている。このような場合は、絶縁膜7aは薄い膜厚で形成した方が良好な特性が得られ、また工程上の簡易であるので、ほぼ均一に比較的薄い膜厚で形成している。

【0059】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない。

【0060】

例えば、導電型は上記実施の形態におけるものと異なってもよく、また制御電極下の絶縁膜は上記実施の形態において用いたLOCOS法以外の方法で形成してもよい。

【0061】

【発明の効果】

本発明の半導体装置によれば、絶縁層上の第1導電型の半導体層表面に形成された第2導電型の半導体層が、絶縁層に到達する深さで形成されていることにより、この第1導電型の半導体層と第2導電型の半導体層との間に存在する第1、第2導電型の接合面積が縮小されるので、出力容量を低減することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体素子の断面構造を示した縦断面図。

【図2】同半導体素子における制御電極下の絶縁膜を拡大して示した部分拡大図。

【図3】本発明の第2の実施の形態による半導体素子において、制御電極端面からのpn接合位置と、耐圧との関係を示したグラフ。

【図4】同半導体素子において、制御電極端面からのpn接合位置と、オン抵抗×出力容量との関係を示したグラフ。

【図5】本発明の第3の実施の形態による半導体素子の断面構造を示した縦断面図。

【図6】本発明の第4の実施の形態による半導体素子の断面構造を示した縦断面図。

【符号の説明】

- 1 半導体基板
- 2 絶縁層
- 3 p<sup>-</sup>型高抵抗層
- 4 p型ベース層

10

20

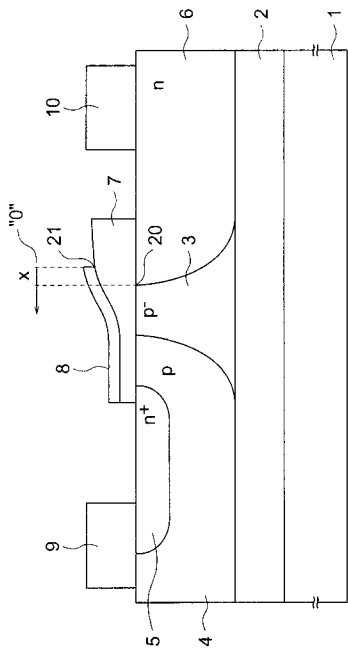
30

40

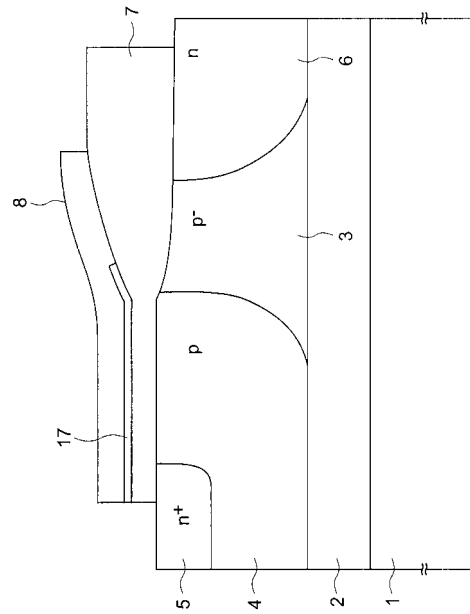
50

- 5 n<sup>+</sup>型ソース層
- 6 n型ドレイン層
- 7、7 a、17 絶縁膜
- 8 制御電極
- 9 ソース電極
- 10 ドレイン電極
- 11、12 溝
- 13、14 絶縁膜

【図1】

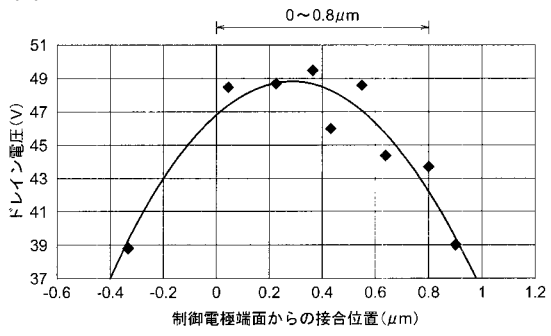


【図2】

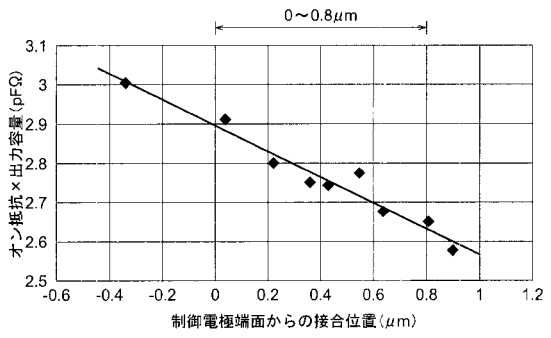




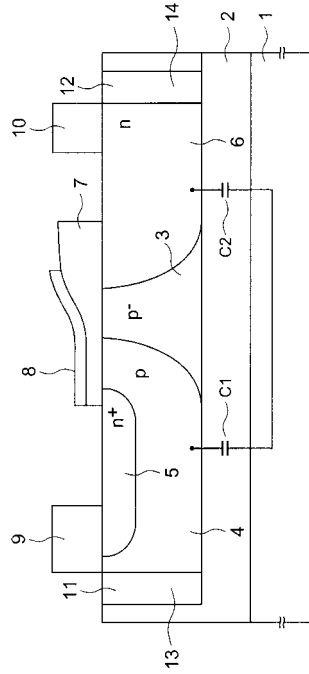
【 図 3 】



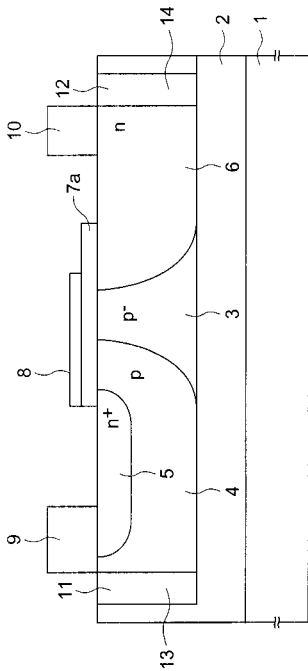
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

- (72)発明者 内 原 士  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 碓 氷 康 典  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 原 琢 磨  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 浦 秀 幸  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 松田 成正

- (56)参考文献 特開平07-193242(JP,A)  
特開2002-043579(JP,A)  
特開平06-310717(JP,A)  
特開2002-353462(JP,A)  
特開2001-345376(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786