



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201643445 A

(43) 公開日：中華民國 105 (2016) 年 12 月 16 日

(21) 申請案號：104118853

(22) 申請日：中華民國 104 (2015) 年 06 月 11 日

(51) Int. Cl. :

G01R29/26 (2006.01)

G01R31/317 (2006.01)

(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)

新竹市新竹科學工業園區力行三路五號

(72) 發明人：周培源 CHOU, PEI-YUAN (TW)；王進賢 WANG, JINN-SHYAN (TW)；張永嘉

CHANG, YEONG-JAR (TW)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：24 項 圖式數：5 共 35 頁

(54) 名稱

內建於晶片內之測量抖動的裝置與方法

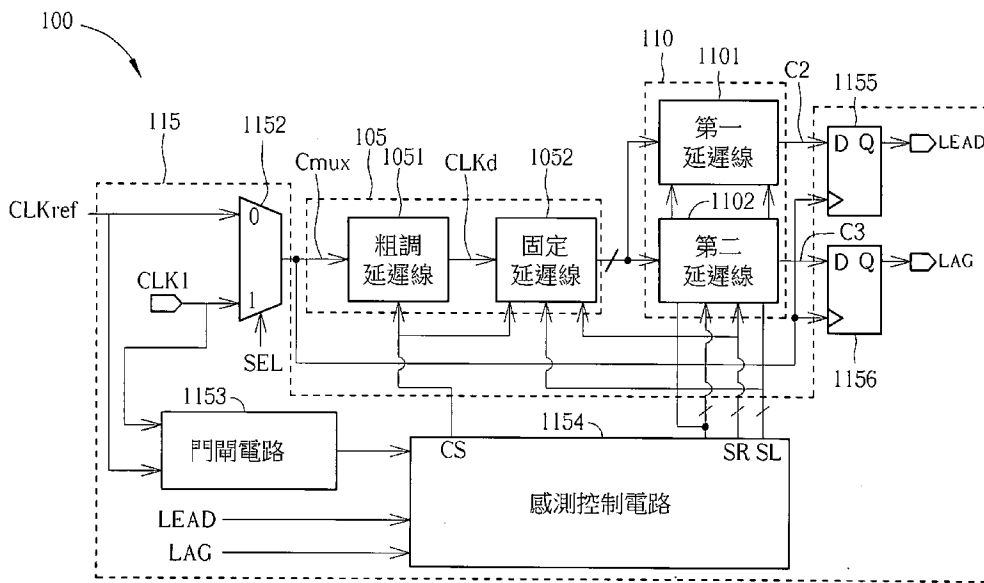
ON-CHIP APPARATUS AND METHOD FOR JITTER MEASUREMENT

(57) 摘要

本發明提供一種測量抖動的裝置，該裝置包含第一延遲電路、第二延遲電路與控制電路。第一延遲電路用以對輸入訊號進行初步相位延遲，以產生延遲後的輸入訊號。第二延遲電路搭配與第一延遲電路使用以微調延遲後的輸入訊號的相位延遲。控制電路用以控制並調整第一、第二延遲電路的延遲量、根據第一延遲電路之延遲單元的單位延遲量與第二延遲電路之延遲單元的單位延遲量來微調延遲後之輸入訊號的延遲量、以及根據第一延遲電路的調整結果與第二延遲電路的調整結果，估計或計算出輸入訊號的抖動量。

An apparatus for jitter measurement includes a first delay circuit, a second delay circuit, and a control circuit. The first delay circuit imposes a preliminary phase delay for an input signal to generate a delayed input signal. The second delay circuit operates with the first delay circuit to impose a fine phase delay for the delayed input signal. The control circuit controls the amounts of delays imposed by the first and second delay circuits, finely tuning the phase delay of the delayed input signal according to amounts of delays respectively imposed by elements of the first and second delay circuits, and estimating or calculating a jitter window for the input signal according to adjustment results of the first and second delay circuits.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 裝置
- 105 . . . 第一延遲電路
- 110 . . . 第二延遲電路
- 115 . . . 控制電路
- 1051 . . . 粗調延遲線
- 1052 . . . 固定延遲線
- 1101 . . . 第一延遲線
- 1102 . . . 第二延遲線
- 1152 . . . 多工器
- 1153 . . . 門閘電路
- 1154 . . . 感測控制電路
- 1155、1156 . . . 門鎖器



申請日: 104. 6. 11

201643445

【發明摘要】

IPC分類: G01R 29/26 (2006.01)

G01R 31/31 (2006.01)

【中文發明名稱】 內建於晶片內之測量抖動的裝置與方法

【英文發明名稱】 ON-CHIP APPARATUS AND METHOD FOR JITTER

MEASUREMENT

【中文】

本發明提供一種測量抖動的裝置，該裝置包含第一延遲電路、第二延遲電路與控制電路。第一延遲電路用以對輸入訊號進行初步相位延遲，以產生延遲後的輸入訊號。第二延遲電路搭配與第一延遲電路使用以微調延遲後的輸入訊號的相位延遲。控制電路用以控制並調整第一、第二延遲電路的延遲量、根據第一延遲電路之延遲單元的單位延遲量與第二延遲電路之延遲單元的單位延遲量來微調延遲後之輸入訊號的延遲量、以及根據第一延遲電路的調整結果與第二延遲電路的調整結果，估計或計算出輸入訊號的抖動量。

【英文】

An apparatus for jitter measurement includes a first delay circuit, a second delay circuit, and a control circuit. The first delay circuit imposes a preliminary phase delay for an input signal to generate a delayed input signal. The second delay circuit operates with the first delay circuit to impose a fine phase delay for the delayed input signal. The control circuit controls the amounts of delays imposed by the first and second delay circuits, finely tuning the phase delay of the delayed input signal according to amounts of delays respectively imposed by elements of the first and second delay circuits, and estimating or calculating a jitter window for the input signal according to adjustment results of the first and second delay circuits.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

100	裝置
105	第一延遲電路
110	第二延遲電路
115	控制電路
1051	粗調延遲線
1052	固定延遲線
1101	第一延遲線
1102	第二延遲線
1152	多工器
1153	門閘電路
1154	感測控制電路
1155、1156	門鎖器

【特徵化學式】

無

【發明說明書】

【中文發明名稱】內建於晶片內之測量抖動的裝置與方法

【英文發明名稱】ON-CHIP APPARATUS AND METHOD FOR JITTER

MEASUREMENT

【技術領域】

【0001】 本發明係關於一種測量抖動的機制，尤指一種測量抖動區間（jitter window）的裝置與相關的方法。

【先前技術】

【0002】 一般而言，目前測量時脈訊號之抖動量的機制分別有晶片外量測機制（off-chip）與晶片內量測機制（on-chip），習知的晶片外量測機制利用外接設備通過一連串的導線測量電路封裝內部晶片之時脈訊號的抖動，其缺點在於由於導線受到電阻電感電容效應的影響，所測量出之抖動區間與實際上的抖動區間有所出入，因此，部分裝置中發展出晶片內量測機制，在電路封裝內部額外設置一抖動測量電路，利用該抖動測量電路來測量出內部晶片之時脈訊號的抖動，之後通過數位編碼方式將結果透過導線輸出至外部設備，其好處在於不會受到電阻電感電容效應的影響。

【0003】 然而，目前現有的晶片內量測機制僅利用了延遲單元對原時脈訊號直接進行相位延遲來偵測出該時脈訊號的抖動，這樣的機制下，測量結果的解析度係受制於該延遲單元本身的單位延遲量，而無法有效提高，因此，目前現有的晶片內量測機制仍無法更精確地偵測出該時脈訊號的抖動區間。

【發明內容】

【0004】 因此，本發明之目的之一在於提供一種測量訊號抖動之裝置與方

第 1 頁，共 17 頁(發明說明書)

法，以達到更精確地偵測出該時脈訊號的抖動區間之目的。

【0005】 根據本發明一實施例，其揭露了一種測量抖動的裝置。測量抖動的裝置包含有一第一延遲電路、一第二延遲電路、一控制電路。第一延遲電路初步調整一輸入訊號的相位延遲，以產生一延遲後的輸入訊號；第二延遲電路耦接至第一延遲電路，並用以與搭配第一延遲電路使用以微調延遲後的輸入訊號的相位延遲；控制電路耦接至第一延遲電路與第二延遲電路，並用以控制並調整第一、第二延遲電路的延遲量、用以根據第一延遲電路之一延遲單元的單位延遲量與第二延遲電路之一延遲單元的單位延遲量來細部調整延遲後之輸入訊號的延遲量、以及根據第一延遲電路的調整結果與第二延遲電路的調整結果，估計或計算出輸入訊號的抖動量。

【0006】 根據本發明一實施例，其揭露了一種測量抖動的方法。該方法包含有：使用一第一延遲電路來初步調整一輸入訊號的相位延遲，以產生一延遲後的輸入訊號；使用一第二延遲電路與該第一延遲電路搭配以微調該延遲後之輸入訊號的相位延遲；控制並調整該第一、第二延遲電路的延遲量、根據該第一延遲電路之一延遲單元的單位延遲量與該第二延遲電路之一延遲單元的單位延遲量來細部調整該延遲後之輸入訊號的延遲量；以及根據該第一延遲電路的調整結果與該第二延遲電路的調整結果，估計或計算出該輸入訊號的抖動量。

【0007】 根據本發明的實施例，測量抖動量之裝置可通過先粗略調整輸入時脈訊號的相位，對輸入時脈訊號造成粗略的相位延遲，之後利用具有不同單位延遲量之兩不同類型的延遲單元、逐步同時關閉一個先前已開啟的延遲單元與開啟另一個先前關閉的延遲單元，使得能夠利用兩不同類型延遲單元之單位延

遲量的差量來微調先前已粗略調整後之輸入時脈訊號的相位，以更精準地逼近原輸入時脈訊號的抖動量區間。

【圖式簡單說明】

【0008】

第1圖為本發明第一實施例之測量輸入時脈訊號CLK1之抖動量之裝置的示意圖。

第2A圖與第2B圖為第1圖所示之裝置對輸入訊號CLK1進行相位延遲調整以估計出抖動量區間的操作示意圖。

第3圖為本發明第二實施例之測量輸入時脈訊號CLK1之抖動量之裝置的示意圖。

第4圖為本發明之實施例的操作流程示意圖。

第5A圖與第5B圖為本發明之實施例的裝置操作於校準模式中利用參考時脈訊號來偵測出各延遲單元之單元延遲量的操作示意圖。

【實施方式】

【0009】 請參照第1圖，第1圖是本發明第一實施例之測量輸入時脈訊號CLK1（訊號CLK1為一待測訊號）之抖動量之裝置100的示意圖。裝置100包含第一延遲電路105、第二延遲電路110與控制電路115，第一延遲電路105對輸入訊號CLK1進行初步的相位延遲，以產生一延遲後的輸入訊號CLKd，第二延遲電路110耦接至第一延遲電路105並與第一延遲電路105搭配使用以對延遲後的輸入訊號CLKd進行細部的相位延遲調整（微調相位延遲量），控制電路115耦接至第一延遲電路105與第二延遲電路110，以控制並調整第一延遲電路105的延遲量與第二延遲電路110的延遲量，根據第一延遲電路105之一延遲單元的單位延遲量與第二延遲電路110之一延遲單元的單位延遲量來逐步細部調整該延遲後之輸

第3頁，共17頁(發明說明書)

入訊號CLKd的延遲量，以及根據第一延遲電路105的調整結果與第二延遲電路110的調整結果，估計或計算出輸入訊號CLK1之抖動量的實際區間（jitter window）。需注意的是，裝置100通過多層級式（hierarchical）的調整機制來對輸入訊號CLK1進行相位延遲調整以估計出抖動量，首先，裝置100通過粗調的方式先初步調整輸入訊號CLK1的相位，之後在後續的調整階段中，再通過兩不同延遲單元之延遲差量來逐步細部調整輸入訊號CLK1的相位，換言之，先後利用不同步長（step-size）來調整輸入訊號CLK1的相位，使得能夠得到更精確的估計結果。

【0010】 實作上，第一延遲電路105包含一粗調延遲線1051與一固定延遲線1052，粗調延遲線1051具有複數個串接的粗調延遲單元（coarse delay element），固定延遲線1052具有複數個串接的固定延遲單元（constant delay element），每一個粗調延遲單元具有一粗調單位延遲量，以逐級對輸入訊號CLK1進行粗略單位量的相位延遲，以及每一個固定延遲單元具有一固定單位延遲量，以逐級對輸入訊號CLK1進行固定單位量的相位延遲。其中該粗調單位延遲量不同於該固定單位延遲量，在本實施例中，設計為該粗調單位延遲量較大於該固定單位延遲量。此外，第二延遲電路110包含第一延遲線1101與第二延遲線1102，第一延遲線1101具有複數個串接的第一延遲單元，每一個第一延遲單元具有一第一單位延遲量，以及第二延遲線1102具有複數個串接的第二延遲單元，每一個第二延遲單元具有一第二單位延遲量。此外，控制電路115包含有一多工器1152、一門閘電路（gating circuit）1153、一感測控制電路1154以及D型門鎖器1155、1156。多工器1152接收一模式選擇訊號SEL以選擇輸入時脈訊號CLK1或一參考時脈訊號CLKref作為輸出訊號Cmux，模式選擇訊號SEL可以是由裝置100的外部所產生或是由感測控制電路1154所控制，本實施例中，裝置100可操作在一校準模式與

一測量模式，當操作在校準模式，模式選擇訊號SEL表示為‘0’，多工器1152選取參考時脈訊號CLKref作為後續第一延遲電路105的輸入，假設多工器1152造成的抖動可忽略且參考時脈訊號CLKref為理想時脈不具有訊號抖動，因此訊號Cmux亦不具有訊號抖動，裝置100此時用以估計/計算後續電路中不同延遲單元的單位延遲量，而當操作在測量模式，模式選擇訊號SEL表示為‘1’，多工器1152選取輸入時脈訊號CLK1作為後續第一延遲電路105的輸入，假設多工器1152造成的抖動可忽略，則待測時脈訊號CLK1的訊號抖動量等同於訊號Cmux的訊號抖動量，裝置100此時用以偵測訊號Cmux的訊號抖動量以量測出實際晶片內部所產生之待測訊號的抖動量；校準模式與測量模式的說明描述於後續段落中。

【0011】 另外，門閘電路1153用於在裝置100測量完抖動量之後將輸入至感測控制電路1154的參考時脈訊號CLKref或輸入的待測訊號CLK1關掉，使得感測控制電路1154不運作，降低電路整體的運作功率，待下一次需要測量抖動量時，門閘電路1153會將所接收到的參考時脈訊號CLKref或輸入的待測訊號CLK1傳輸至感測控制電路1154，使感測控制電路1154得以運作。D型門鎖器1155用以接收多工器1152的輸出與第一延遲線1101的輸出，假設多工器1152之延遲以及抖動可以忽略，當操作在校準模式中，其用以比對參考時脈訊號CLKref與第一延遲線1101之訊號結果C2的相位，產生一第一比對結果LEAD，第一比對結果LEAD可指示出訊號結果C2是領先或落後於參考時脈訊號CLKref，反之，當操作在測量模式中，D型門鎖器1155用以比對一測試訊號（亦即訊號CLK1）與第一延遲線1101之訊號結果C2的相位，產生第一比對結果LEAD，可指示出訊號結果C2是領先或落後於該測試訊號CLK1。D型門鎖器1156用以接收多工器1152的輸出與第二延遲線1102的輸出，當操作在校準模式中，其用以比對參考時脈訊號CLKref與第二延遲線1102之訊號結果C3的相位，產生一第二比對結果LAG，可指示出

訊號結果C3是領先或落後於參考時脈訊號CLKref，反之，當操作在測量模式中，D型門鎖器1156用以比對測試訊號CLK1與第二延遲線1102之訊號結果C3的相位，產生第二比對結果LAG，可指示出訊號結果C3是領先或落後於該測試訊號CLK1。

【0012】 此外，需注意的是，上述之固定單位延遲量與第一單位延遲量的延遲差量較小於粗調單位延遲量，且固定單位延遲量與第二單位延遲量的延遲差量亦較小於粗調單位延遲量，舉例來說，粗調單位延遲量可以是10皮秒（picosecond）、25皮秒或50皮秒等設計選擇，而固定單位延遲量與第一單位延遲量的延遲差量以及固定單位延遲量與第二單位延遲量的延遲差量可以分別設計為2.3皮秒與2.4皮秒或是該兩延遲差量可以分別設計為2.9皮秒與7.7皮秒；需注意的是，固定單位延遲量與第一單位延遲量的延遲差量和固定單位延遲量與第二單位延遲量的延遲差量皆較小於粗調單位延遲量，由電路目標達到的解析度所決定並且只需要小於粗調單位延遲量就好，不是由粗調延遲量的大小來決定延遲差量，並且以上的資料數據僅用以說明本案在進行粗調與細調時的不同的相位調整步長差異，而並非是本發明的限制。在本實施例之測量模式中，控制電路115先控制粗調延遲線1051內該些串接的粗調延遲單元與固定延遲線1052內該些串接的固定延遲單元對輸入訊號CLK1進行初步的相位延遲（粗略的相位調整），之後再根據該固定單位延遲量與該第一單位延遲量的一延遲差量以及該固定單位延遲量與該第二單位延遲量的一延遲差量，再對該輸入訊號CLK1進行細部的相位延遲調整。測量抖動量的解析度則由兩延遲差量所決定，取兩延遲差量的較大數值作為本案上述測量抖動量機制的解析度。

【0013】 以下先描述測量模式。請參照第2A圖與第2B圖，第2A圖與第2B圖是
第6頁，共17頁(發明說明書)

第1圖所示之裝置100對輸入訊號CLK1進行相位延遲調整以估計出抖動量區間(jitter window)的操作示意圖。首先，控制電路115先控制並調整該第一延遲電路105之粗調延遲線1051與固定延遲線1052，分別控制粗調延遲線1051與固定延遲線1052所開啟的延遲單元個數，對輸入訊號CLK1進行初步相位調整(亦即粗略相位調整)，使延遲後的輸入訊號CLKd如第2圖中所示之C1一樣，以較大的相位步長，向右逼近輸入之待測訊號CLK1的訊號轉態點，接著，控制電路115控制並調整該第二延遲電路110之第一延遲線1101與第二延遲線1102，分別控制固定延遲線1052、第一延遲線1101與第二延遲線1102所開啟的延遲單元個數，對輸入之待測訊號CLK1進行後續第二階段的相位調整(亦即細部相位調整)，其中每一個第一延遲單元所造成之相位延遲均較早於每一個固定延遲單元所造成之相位延遲，而每一個第二延遲單元所造成之相位延遲均較晚於每一個固定延遲單元所造成之相位延遲，固定單位延遲量與第一單位延遲量之延遲差量為 t_1 ，而固定單位延遲量與第二單位延遲量之延遲差量為 t_2 ，亦即，如果一個固定延遲單元所造成之相位延遲為 t ，則一個第一延遲單元所造成之相位延遲為 $t-t_1$ ， $t-t_1$ 的相位延遲量小於相位延遲 t ，而一個第二延遲單元所造成之相位延遲為 $t+t_2$ ， $t+t_2$ 的相位延遲量大於相位延遲 t 。

【0014】 在初步相位延遲調整時，感測控制電路1154先決定粗調延遲線1051中所開啟之粗調延遲單元的個數以及固定延遲線1052中所開啟的固定延遲單元的個數，使得輸入訊號CLKd如第2A圖中所示之C1一樣，由左向右逼近輸入之待測訊號Cmux的訊號轉態點(亦即訊號CLK1發生抖動之時點)，直到如C2由原本領先於CLK1變為落後於CLK1，之後在第二階段的相位延遲調整時，感測控制電路1154不改變所開啟之粗調延遲單元的個數，而逐步關閉一個固定延遲單元、並同時開啟一個第一延遲單元，由於每一個第一延遲單元所造成的相位延

第 7 頁，共 17 頁(發明說明書)

遲均早於每一個固定延遲單元所造成之相位延遲，並具有 t_1 的差量，使得輸入訊號CLKd如第2A圖中所示之C2一樣，以虛線所示的每一單元相位延遲 t_1 ，使C2由落後於CLK1變為領先於CLK1，就電路操作而言，當C2一開始由領先於CLK1變成落後於CLK1時，D型門鎖器1155的輸出由‘1’變‘0’，感測控制電路1154會鎖住並得到用以控制粗調延遲線1051的一CS值，之後感測控制電路1154再逐步調整固定延遲單元與第一延遲單元，使C2由落後於CLK1變成領先於CLK1，此時D型門鎖器1155的輸出由‘0’變‘1’，感測控制電路1154會鎖住並得到用以控制固定延遲線1052與第一延遲線1101的一SL值（可視為第一微調值），此時第一次微調固定延遲單元與第一延遲單元，使C2由落後於CLK1變成領先於CLK1的SL值可訂為SL基準，因此，在逼近輸入訊號CLK1的訊號轉態點時，控制電路115可通過記錄CS值與SL值來記錄所需要開啟之粗調延遲單元、所開啟之固定延遲單元以及所開啟之第一延遲單元的個數，此外，紀錄完個數後，在待測訊號CLK1之N個週期內，如果C2由領先CLK1變為落後CLK1，則改變感測控制電路1154所產生之SL的值，關閉一個固定延遲單元、並同時開啟一個第一延遲單元，使C2再度領先於CLK1，以加大左邊抖動區間的大小，反之則SL保持不變，經過N個週期後，紀錄SL的值，根據控制電路所輸出SL值的改變量 ΔSL （利用SL和SL基準相比的改變量），並將SL值的改變量 ΔSL 中的最大值與固定單位延遲量與第一單位延遲量之延遲差量 t_1 相乘，即可以得出訊號往右的抖動量（即左邊的抖動區間）。

【0015】 另外，決定完左邊的抖動區間後，控制電路115重新開始決定粗調延遲線1051中所開啟之粗調延遲單元的個數以及固定延遲線1052中所開啟的固定延遲單元的個數，使得訊號CLKd如第2B圖中所示之C1一樣，由右向左逼近待測之輸入訊號Cmux的同一訊號轉態點（亦即訊號CLK1的轉態點），直到如C3由原

第 8 頁，共 17 頁(發明說明書)

本落後於CLK1變為領先於CLK1，之後在第二階段的相位延遲調整時，控制電路115不改變所開啟之粗調延遲單元的個數，而逐步關閉一個固定延遲單元、並同時開啟一個第二延遲單元，由於每一個第二延遲單元所造成的相位延遲均晚於每一個固定延遲單元所造成之相位延遲，並具有 t_2 的差量，使得延遲後之輸入訊號CLKd如第2B圖中所示之C3一樣，使C3由領先於CLK1再變為落後於CLK1，就電路操作而言，當C3一開始由落後於CLK1變成領先於CLK1時，D型門鎖器1156的輸出由‘0’變‘1’，感測控制電路1154會鎖住並得到用以控制粗調延遲線1051的一CS值，之後感測控制電路1154再逐步調整固定延遲單元與第二延遲單元，使C3由領先於CLK1變成落後於CLK1，此時D型門鎖器1156的輸出由‘1’變‘0’，感測控制電路1154會鎖住並得到用以控制固定延遲線1052與第二延遲線1102的一SR值（可視為第二微調值），此時第一次微調固定延遲單元與第二延遲單元，使C3由領先於CLK1變成落後於CLK1的該SR值可訂為SR基準，因此，在最逼近輸入訊號CLK1的訊號轉態點時，控制電路115可通過記錄CS值與SR值來記錄所開啟之粗調延遲單元、所開啟之固定延遲單元以及所開啟之第二延遲單元的個數，此外，紀錄完個數後，在待測訊號CLK1之N個週期內，如果C3由落後於CLK1變為領先於CLK1，則改變感測控制電路1154所產生之SR的值，關閉一個固定延遲單元、並同時開啟一個第二延遲單元，使C3再度領先於CLK1，以加大右邊抖動區間的大小，反之則SR保持不變，經過N個週期後，紀錄SR的值，根據控制電路所輸出SR值的改變量 ΔSR （利用SR和SR基準相比的改變量），並將SR值的改變量 ΔSR 中的最大值與固定單位延遲量與第二單位延遲量之延遲差量 t_2 相乘，即可以得出訊號往左的抖動量（即右邊的抖動區間）。最後，控制電路115可精確估算出輸入訊號CLK1的時脈抖動量為訊號往右的抖動量（即左邊的抖動區間）加上訊號往左的抖動量（即右邊的抖動區間）。因此，根據SL在N個測量週期改變的量（第一延遲單元開啟個數在測量其間的改變量）、SR在N

個測量週期改變的量（第二延遲單元開啟個數在測量其間的改變量）以及固定單位延遲量與第一單位延遲量之延遲差量 t_1 、固定單位延遲量與第二單位延遲量之延遲差量 t_2 ，控制電路115可精確估算出輸入訊號CLK1的時脈抖動量，在本實施例的設計中，固定延遲單元、第一延遲單元、第二延遲單元所分別造成的相位延遲量實質上數倍於相位延遲差量 t_1 、 t_2 的值，因此，相較於只是利用延遲單元的單位相位延遲量來估算時脈抖動，通過不同延遲單元的相位延遲差量 t_1 由右向左逼近以及通過不同延遲單元的相位延遲差量 t_2 由左向右逼近，可更精確地估算出時脈抖動量的實際發生區間。

【0016】 再者，在另一實施例中，亦可利用相同類型的延遲單元來實現該些粗調延遲單元與該些固定延遲單元。請參照第3圖，第3圖是本發明一第二實施例之測量輸入時脈訊號CLK1之抖動量之裝置300的示意圖。裝置300包含第一延遲電路305、第二延遲電路310與控制電路315，第一延遲電路305用以對待測的輸入時脈訊號CLK1進行初步的相位延遲，以產生一延遲後的輸入訊號CLKd，第二延遲電路310耦接至該第一延遲電路305並用以對延遲後的輸入訊號CLKd進行細部的相位延遲，控制電路315耦接至第一延遲電路305與第二延遲電路310，並用以控制並調整第一延遲電路305的延遲量、用以根據第一延遲電路305之一延遲單元的單位延遲量與第二延遲電路310之一延遲單元的單位延遲量來細部調整該延遲後之輸入訊號CLKd的延遲量、以及根據第一延遲電路305的調整結果與第二延遲電路310的調整結果，估計或計算出該待測的輸入時脈訊號CLK1的抖動量。

【0017】 實作上，第一延遲電路305包含一粗調延遲線3051與一固定延遲線3052，粗調延遲線3051與固定延遲線3052均利用複數個串接同一類型的固定延

遲單元DE1所組成，每一固定延遲單元具有一固定單位延遲量，並用以逐級對該輸入訊號進行初步的相位延遲。在初步相位延遲調整時，感測控制電路3154先決定粗調延遲線3051與固定延遲線3052中所開啟之固定延遲單元的個數，使得延遲後之輸入訊號CLKd如第2A圖中所示之C1一樣，向右逼近待測之輸入訊號CLK1的訊號轉態點（亦即發生抖動之時點），直到C2由原本領先於CLK1變為落後於CLK1，之後在第二階段的相位延遲調整時，感測控制電路3154逐步關閉一個固定延遲單元（DE1）、並同時開啟一個第一延遲單元（DE2），由於每一個第一延遲單元所造成的相位延遲均早於每一個固定延遲單元所造成之相位延遲，並具有 t_1 的差量，使得輸入訊號CLKd如第2圖中所示之C2一樣，以虛線所示的每一單元相位延遲 t_1 ，使C2由落後於CLK1變為領先於CLK1，就電路操作而言，當C2一開始由領先於CLK1變成落後於CLK1時，D型門鎖器3155的輸出由‘1’變‘0’，感測控制電路3154會鎖住並得到用以控制該些固定延遲單元的一CS值，之後感測控制電路3154再逐步調整固定延遲單元與第一延遲單元，使C2由落後於CLK1變成領先於CLK1，此時D型門鎖器3155的輸出由‘0’變‘1’，感測控制電路3154會鎖住並得到用以控制該些固定延遲單元與第一延遲線3101的一SL值（可視為第一微調值），此時第一次微調固定延遲單元與第一延遲單元，使C2由落後於CLK1變成領先於CLK1的SL值可訂為SL基準，因此，在逼近待測之輸入訊號CLK1的訊號轉態點時，控制電路315可通過記錄CS值與SL值來記錄所需要開啟之固定延遲單元之個數以及所開啟之第一延遲單元的個數，此外，紀錄完CS值與SL值後，在待測之輸入時脈訊號CLK1的N個週期內，如果C2由領先CLK1變為落後CLK1，則改變感測控制電路3154所產生之SL的值，關閉一個固定延遲單元、並同時開啟一個第一延遲單元，使C2再度領先於CLK1，以加大左邊的抖動區間，反之則SL保持不變，經過N個週期後，紀錄SL的值，根據控制電路所輸出SL值的改變量 ΔSL （利用SL和SL基準相比的改變量），並將SL值的改變量 Δ

SL中的最大值與固定單位延遲量與第一單位延遲量之延遲差量 t_1 相乘，即可以得出訊號往右的抖動量（即左邊的抖動區間）。

【0018】 另外，決定完左邊的抖動區間後，感測控制電路3154重新決定所要開啟之固定延遲單元的個數，使得延遲後之訊號CLKd如第2B圖中所示之C1一樣，由右向左逼近待測之輸入訊號CLK1的同一訊號轉態點，直到C3由原本落後於CLK1變為領先於CLK1，之後在第二階段的相位延遲調整時，感測控制電路3154逐步關閉一個固定延遲單元（DE1）、並同時開啟一個第二延遲單元（DE3），由於每一個第二延遲單元所造成的相位延遲均晚於每一個固定延遲單元所造成之相位延遲，並具有 t_2 的差量，使得待測之輸入訊號CLKd如第2B圖中所示之C3一樣，使C3由領先於CLK1再變為落後於CLK1，就電路操作而言，當C3一開始由落後於CLK1變成領先於CLK1時，D型門鎖器3156的輸出由‘0’變‘1’，感測控制電路3154會鎖住並得到用以控制該些固定延遲單元的一CS值，之後感測控制電路3154再逐步調整固定延遲單元與第二延遲單元，使C3由領先於CLK1變成落後於CLK1，此時D型門鎖器3156的輸出由‘1’變‘0’，感測控制電路3154會鎖住並得到用以控制該些固定延遲單元與第二延遲線3102的一SR值（可視為第二微調值），此時第一次微調固定延遲單元與第二延遲單元，使C3由領先於CLK1變成落後於CLK1的該SR值可訂為SR基準，因此，在最逼近待測之輸入訊號CLK1的訊號轉態點時，控制電路315可通過記錄CS值與SR值來記錄所需要開啟之固定延遲單元之個數以及所要開啟之第二延遲單元的個數，此外，紀錄完CS值與SR值後，在待測之輸入時脈訊號CLK1的N個週期內，若C3由落後CLK1變為領先CLK1，則改變感測控制電路1154所產生之SR的值，關閉一個固定延遲單元、並同時開啟一個第二延遲單元，使C3再度落後於CLK1，以加大右邊的抖動區間，反之則SR保持不變，經過N個週期後，紀錄SR的值，根據控制電路所輸出SR值的改變量 ΔSR （利用SR和SR基準相比的改變量），並將SR值的改變量 ΔSR 中的

第 12 頁，共 17 頁(發明說明書)

最大值與固定單位延遲量與第二單位延遲量之延遲差量 t_2 相乘，即可以得出訊號往左的抖動量（即右邊的抖動區間）。最後，控制電路315可精確估算出輸入訊號CLK1的時脈抖動量為訊號往右的抖動量（即左邊的抖動區間）加上訊號往左的抖動量（即右邊的抖動區間）。因此，根據由右向左逼近的調整結果以及由左向右逼近的調整結果，控制電路315可精確估算出輸入訊號CLK1的時脈抖動量，在本實施例的設計中，固定延遲單元、第一延遲單元、第二延遲單元所分別造成的相位延遲量實質上數倍於相位延遲差量 t_1 、 t_2 的值，因此，相較於只是利用延遲單元的單位相位延遲量來估算時脈抖動，通過不同延遲單元的相位延遲差量 t_1 由左向右逼近以及通過不同延遲單元的相位延遲差量 t_2 由右向左逼近，可更精確地估算出時脈抖動量的實際發生區間。

【0019】 再者，上述的裝置100或300均具有校準模式與測量模式，於測量模式時，裝置100或300會如上述一樣對待測之輸入訊號CLK1進行時脈抖動量的估算，而當操作在校準模式時，為了增加估計準確度，裝置100或300均會接收參考時脈訊號CLKref，參考時脈訊號CLKref為一理想的時脈訊號，假定其實質上不帶有任何訊號抖動，控制電路115與315在校準模式中多次執行第5A圖與第5B圖所示之由左向右逼近與由右向左逼近來分別逼近於參考時脈訊號CLKref的訊號轉態點，和測量模式相比差別在於並未由執行N個週期以測量抖動量的動作，多次執行後可得到多個CS值、多個SL值與多個SR值，之後計算平均CS值、平均SL值與平均SR值，作為最後控制上述延遲線的結果，並據此計算電路中延遲單元的單位延遲量。在實際計算時，由於在第一實施例中需要校準四個不同延遲單元的單位相位延遲量，因此會輸入四個不同的參考時脈訊號CLKref（具有不同的頻率與週期）至裝置100，以得到一組四個聯立方程式，解出四個不同延遲單元（粗調延遲單元、固定延遲單元、第一延遲單元、第二延遲單元）的單位

第 13 頁，共 17 頁(發明說明書)

相位延遲。實務上，假設四個不同的參考時脈訊號CLKref分別具有T1、T2、T3、T4的四個不同週期，以第1圖所示的實施例來說，假設W為粗調延遲單元的單位延遲量，X為固定延遲單元的單位延遲量，Y為第一延遲單元的單位延遲量，Z為第二延遲單元的單位延遲量，t3為其他的延遲量，則四個不同週期T1、T2、T3、T4可以被表示為如下的四個等式：

$$\text{【0020】 } T1 = a1 \times X + b1 \times Y + c1 \times W + t3 = d1 \times X + e1 \times Z + f1 \times W + t3 ;$$

$$\text{【0021】 } T2 = a2 \times X + b2 \times Y + c2 \times W + t3 = d2 \times X + e2 \times Z + f2 \times W + t3 ;$$

$$\text{【0022】 } T3 = a3 \times X + b3 \times Y + c3 \times W + t3 = d3 \times X + e3 \times Z + f3 \times W + t3 ;$$

$$\text{【0023】 } T4 = a4 \times X + b4 \times Y + c4 \times W + t3 = d4 \times X + e4 \times Z + f4 \times W + t3 ;$$

【0024】 其中a1~a4、b1~b4、c1~c4、d1~d4、e1~e4、f1~f4均為控制電路115在初步相位延遲調整與後續相位調整後可得到的不同情況下之延遲單元所開啟之個數，均為已知，因此，從上述一組四個聯立方程式可知變數僅有四個，因此可解出或計算出W、X、Y、Z的值為何，因此估算出粗調延遲單元的單位延遲量、固定延遲單元的單位延遲量、第一延遲單元的單位延遲量以及第二延遲單元的單位延遲量。

【0025】 另外，在第二實施例中需要校準三個不同延遲單元的單位相位延遲量，因此會輸入三個不同的參考時脈訊號CLKref（具有不同的頻率與週期）至裝置300，以得到一組三個聯立方程式，解出三個不同延遲單元（固定延遲單元、第一延遲單元、第二延遲單元）的單位相位延遲。實務上，假設三個不同的參考時脈訊號CLKref分別具有T1、T2、T3的三個不同週期，以第3圖所示的實施例來說，假設X為固定延遲單元的單位延遲量，Y為第一延遲單元的單位延遲量，Z為第二延遲單元的單位延遲量，t3為其他的延遲量，則三個不同週期T1、T2、T3可以被表示為如下的三個等式：

【0026】 $T1=a1 \times X+b1 \times Y+t3=c1 \times X+d1 \times Z+t3$ ；

【0027】 $T2=a2 \times X+b2 \times Y+t3=c2 \times X+d2 \times Z+t3$ ；

【0028】 $T3=a3 \times X+b3 \times Y+t3=c3 \times X+d3 \times Z+t3$ ；

【0029】 其中 $a1 \sim a3$ 、 $b1 \sim b3$ 、 $c1 \sim c3$ 、 $d1 \sim d3$ 均為控制電路315在初步相位延遲調整與後續相位調整後可得到的不同情況下之延遲單元所開啟之個數，均為已知，因此，從上述一組三個聯立方程式可知變數僅有三個，因此可解出或計算出 X 、 Y 、 Z 的值為何，因此估算出固定延遲單元的單位延遲量、第一延遲單元的單位延遲量以及第二延遲單元的單位延遲量。

【0030】 再者，為使本案之讀者更易明瞭本發明之技術精神，請參照第4圖，第4圖是本發明之實施例的操作流程示意圖。倘若大體上可達到相同的結果，並不需要一定照第4圖所示之流程中的步驟順序來進行，且第4圖所示之步驟不一定要連續進行，亦即其他步驟亦可插入其中；流程步驟說明於下：

【0031】 步驟405：開始；

【0032】 步驟410：進入校準模式；

【0033】 步驟415：使用第一延遲電路對參考時脈訊號進行初步相位延遲；

【0034】 步驟420：搭配使用第二延遲電路，根據第一延遲電路的一單位延遲量與第二延遲電路之一單位延遲量的差量來細部調整該延遲後之參考時脈訊號的相位；

【0035】 步驟425：記錄第一延遲電路中所開啟的延遲單元數量以及微調後之第一延遲單元和第二延遲單元所開啟的數目；

【0036】 步驟430：是否已利用足夠的的參考時脈訊號進行校準？若是，進步驟440，反之，進行步驟435；

【0037】 步驟435：改變參考時脈訊號的週期；

第 15 頁，共 17 頁(發明說明書)

【0038】 步驟440：根據所記錄之第一延遲單元和第二延遲單元所開啟的數目，計算各延遲單元的單位延遲量；

【0039】 步驟445：進入測量模式；

【0040】 步驟450：使用第一延遲電路對待測之輸入時脈訊號進行初步相位延遲；

【0041】 步驟455：搭配使用第二延遲電路，根據第一延遲電路的一單位延遲量與第二延遲電路之一單位延遲量的差量來細部調整該延遲後之待測的輸入時脈訊號的相位；

【0042】 步驟460：根據該第一、第二延遲電路的調整結果，估算出待測之輸入訊號的抖動量；

【0043】 步驟465：結束。

【0044】 另外，第一延遲電路105/305可具有製程偵測的功能，亦即可被視為製程偵測電路（process detector），舉例來說，在不同製程變異狀況（corner case）下，大致有幾種製程邊界變異狀況（process corner），例如是FF、TT、SS等，在不同製程邊界變異狀況，一個電晶體也會有不同切換速度，因而同一類型的延遲單元的延遲時間也隨著不同製程邊界變異而有所不同，然而輸入時脈訊號CLK1的週期與頻率並不隨著延遲單元的製程不同而改變，也就是說，週期是相同的，如此，如果同一個延遲單元的延遲時間隨著不同製程而變長，則代表電路上只需要較少數目的延遲單元即可使延遲後的訊號CLKd如第2A圖所示之C2一樣由右向左逼近訊號Cmux的轉態點，使C2由領先於訊號Cmux變成落後於Cmux，或如第2B圖所示之C3由右向左逼近訊號Cmux的轉態點，使C3由落後於Cmux變成領先於Cmux，舉例來說，當第2A圖所示之CLKd與Cmux的正緣相差500皮秒，而一個粗調延遲單元或固定延遲單元的延遲時間在FF、TT、SS等不

第 16 頁，共 17 頁(發明說明書)

同製程邊界變異狀況下分別為10皮秒、25皮秒與50皮秒，如此一來，當電路分別處於FF、TT、SS等不同製程邊界變異狀況下時相對應地需要51、21與11個延遲單元才可以使訊號C2由領先於Cmux變成落後於Cmux，因此，就第1圖與第3圖所示之實施例來說，控制電路115與315可通過檢查第一延遲電路105與305中所開啟之延遲單元的個數而得知或判斷電路晶片的製程是偏向哪一種製程變異狀況（亦即，根據調整粗調延遲電路的延遲單元數目之開啟數目可判斷落於哪個製程邊界），因此第一延遲電路105與305等效上可被視為製程偵測電路。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0045】

100、300	裝置
105、305	第一延遲電路
110、310	第二延遲電路
115、315	控制電路
1051、3051	粗調延遲線
1052、3052	固定延遲線
1101、3101	第一延遲線
1102、3102	第二延遲線
1152、3152	多工器
1153、3153	門閘電路
1154、3154	感測控制電路
1155、1156、3155、3156	門鎖器

【發明申請專利範圍】

【第1項】 一種測量抖動的裝置，其包含有：

- 一第一延遲電路，用以初步調整一輸入訊號的相位延遲，以產生一延遲後的輸入訊號；
- 一第二延遲電路，耦接至該第一延遲電路，以搭配該第一延遲電路使用以微調該延遲後的輸入訊號的相位延遲；以及
- 一控制電路，耦接至該第一延遲電路與該第二延遲電路，以控制並調整該第一、第二延遲電路的延遲量、以根據該第一延遲電路之一延遲單元的單位延遲量與該第二延遲電路之一延遲單元的單位延遲量來細部調整該延遲後之輸入訊號的延遲量、以及根據該第一延遲電路的調整結果與該第二延遲電路的調整結果，估計或計算出該輸入訊號的抖動量。

【第2項】 如申請專利範圍第1項所述之裝置，其中該第一延遲電路包含有：複數個串接的固定延遲單元，每一固定延遲單元具有一固定單位延遲量，用以逐級調整該輸入訊號的相位延遲。

【第3項】 如申請專利範圍第2項所述之裝置，其中該第二延遲電路包含有：複數個串接的第一延遲單元，每一第一延遲單元具有一第一單位延遲量；以及
複數個串接的第二延遲單元，每一第二延遲單元具有一第二單位延遲量；其中該控制電路根據該固定單位延遲量與該第一單位延遲量的一延遲差量以及該固定單位延遲量與該第二單位延遲量的一延遲差量，微調該延遲後的輸入訊號之相位延遲。

【第4項】 如申請專利範圍第3項所述之裝置，其中該控制電路控制該些固定延遲單元所開啟的個數與該些第一延遲單元所開啟的個數，微調該延遲後的輸入訊號之相位延遲，向右逼近該輸入訊號的轉態點；該控制電路控制該些固定延遲單元所開啟的個數與該些第二延遲單元所開啟的個數，微調該延遲後的輸入訊號之相位延遲，向左逼近該輸入訊號的轉態點；以及，該控制電路根據該些固定延遲單元所開啟的個數、該些第一延遲單元所開啟的個數與該些第二延遲單元所開啟的個數在複數個週期的改變量，估計出該輸入訊號的抖動量。

【第5項】 如申請專利範圍第4項所述之裝置，其中，該第一單位延遲量小於該固定單位延遲量，當該延遲後之輸入訊號的相位落後於該輸入訊號時，該控制電路係逐步同時關閉一固定延遲單元與開啟一第一延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位領先於該輸入訊號，向右逼近該輸入訊號的轉態點；以及，該第二單位延遲量係大於該固定單位延遲量，當該延遲後之輸入訊號的相位領先於該輸入訊號時，該控制電路逐步同時關閉一固定延遲單元與開啟一第二延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位落後於該輸入訊號，向左逼近該輸入訊號的轉態點。

【第6項】 如申請專利範圍第5項所述之裝置，其中當第一次使該延遲後之輸入訊號的相位由落後變成領先於該輸入訊號時，該控制電路得到控制該些固定延遲單元與該些第一延遲單元的一第一微調值，並且在該輸入訊號的N個週期內，如果該延遲後之輸入訊號的相位落後於該輸入訊號時，該控制電路調整該第一微調值，使該延遲後之輸入訊號的相位由落後變成領先於該輸入訊號；當第一次使該延遲後之輸入訊號的相位由領先變成落後於該輸入訊號時，該控制電路得到控制該些固定延遲單元與該些第二延遲單元的一第二微調值，並且在該輸

第 2 頁，共 9 頁(發明申請專利範圍)

入訊號的N個週期內，如果該延遲後之輸入訊號的相位領先於該輸入訊號時，該控制電路調整該第二微調值，使該延遲後之輸入訊號的相位由領先變成落後於該輸入訊號；以及，該控制電路根據該第一微調值之改變量的最大值及該固定單位延遲量與該第一單位延遲量之該延遲差量，計算得到一第一抖動量，根據該第二微調值之改變量的最大值及該固定單位延遲量與該第二單位延遲量之該延遲差量，計算得到一第二抖動量，以及根據該第一、第二抖動量來算出該輸入訊號的抖動區間。

【第7項】 如申請專利範圍第3項所述之裝置，其中當在一校準模式時，該裝置分別接收不同週期的三個參考時脈訊號，通過解相位延遲量的三個聯立方程式來估計出該固定單位延遲量、該第一單位延遲量以及該第二單位延遲量。

【第8項】 如申請專利範圍第1項所述之裝置，其中該第一延遲電路包含有：

複數個串接的粗調延遲單元 (coarse delay element)，每一粗調延遲單元具有一粗調單位延遲量，用以逐級粗略延遲該輸入訊號的相位；以及
複數個串接的固定延遲單元 (constant delay element)，每一固定延遲單元具有一固定單位延遲量，用以逐級對該輸入訊號進行固定單位量的相位延遲。

【第9項】 如申請專利範圍第8項所述之裝置，其中該第二延遲電路包含有：

複數個串接的第一延遲單元，每一第一延遲單元具有一第一單位延遲量；以及
複數個串接的第二延遲單元，每一第二延遲單元具有一第二單位延遲量；
其中該控制電路先控制該些串接的粗調延遲單元與該些固定延遲單元對該

輸入訊號進行粗略的相位延遲與固定單位量的相位延遲，之後再根據該固定單位延遲量與該第一單位延遲量的一延遲差量以及該固定單位延遲量與該第二單位延遲量的一延遲差量，再對該輸入訊號進行相位延遲的微調整。

【第10項】 如申請專利範圍第9項所述之裝置，其中，該第一單位延遲量小於該固定單位延遲量，當該延遲後之輸入訊號的相位落後於該輸入訊號時，該控制電路逐步同時關閉一固定延遲單元與開啟一第一延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位領先於該輸入訊號，向右逼近該輸入訊號的轉態點；以及，該第二單位延遲量大於該固定單位延遲量，當該延遲後之輸入訊號的相位領先於該輸入訊號時，該控制電路逐步同時關閉一固定延遲單元與開啟一第二延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位落後於該輸入訊號，向左逼近該輸入訊號的轉態點。

【第11項】 如申請專利範圍第9項所述之裝置，其中當在一校準模式時，該裝置分別接收不同週期的四個參考時脈訊號，通過解相位延遲量的四個聯立方程式來估計出該粗調單位延遲量、該固定單位延遲量、該第一單位延遲量以及該第二單位延遲量。

【第12項】 如申請專利範圍第1項所述之裝置，其中該控制電路通過檢查該第一延遲電路中所開啟之延遲單元的個數，判斷電路晶片的製程變異狀況。

【第13項】 一種測量抖動的方法，其包含有：

使用一第一延遲電路來初步調整一輸入訊號的相位延遲，以產生一延遲後的

第 4 頁，共 9 頁(發明申請專利範圍)

輸入訊號；

使用一第二延遲電路與該第一延遲電路搭配以微調該延遲後之輸入訊號的
相位延遲；

控制並調整該第一、第二延遲電路的延遲量、根據該第一延遲電路之一延遲
單元的單位延遲量與該第二延遲電路之一延遲單元的單位延遲量來細
部調整該延遲後之輸入訊號的延遲量；以及

根據該第二延遲電路內一第一延遲線和第二延遲線在複數個週期的調整結
果，估計或計算出該輸入訊號的抖動量。

【第14項】 如申請專利範圍第13項所述之方法，其中對該輸入訊號進行初步的
相位延遲之步驟包含有：

使用複數個串接的固定延遲單元，每一固定延遲單元具有一固定單位延遲
量，逐級調整該輸入訊號的相位延遲。

【第15項】 如申請專利範圍第14項所述之方法，其中微調該延遲後的輸入訊號
之相位延遲之步驟包含有：

使用複數個串接的第一延遲單元，每一第一延遲單元具有一第一單位延遲
量，複數個串接的第二延遲單元，每一第二延遲單元具有一第二單位延
遲量；以及

根據該固定單位延遲量與該第一單位延遲量的一延遲差量以及該固定單位
延遲量與該第二單位延遲量的一延遲差量，微調該延遲後的輸入訊號之
相位延遲。

【第16項】 如申請專利範圍第15項所述之方法，另包含有：

第 5 頁，共 9 頁(發明申請專利範圍)

控制該些固定延遲單元所開啟的個數與該些第一延遲單元所開啟的個數，微調該延遲後的輸入訊號之相位延遲，向右逼近該輸入訊號的轉態點；

控制該些固定延遲單元所開啟的個數與該些第二延遲單元所開啟的個數，微調該延遲後的輸入訊號之相位延遲，向左逼近該輸入訊號的轉態點；以及

根據該些固定延遲單元所開啟的個數與該些第一延遲單元所開啟的個數在複數個週期的改變量；該些固定延遲單元所開啟的個數與該些第二延遲單元所開啟的個數在複數個週期的改變量，估計出該輸入訊號的抖動量。

【第17項】 如申請專利範圍第16項所述之方法，其中該第一單位延遲量小於該固定單位延遲量，該第二單位延遲量大於該固定單位延遲量，以及該方法另包含有：

當該延遲後之輸入訊號的相位落後於該輸入訊號時，該控制電路逐步同時關閉一固定延遲單元與開啟一第一延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位領先於該輸入訊號，向右逼近該輸入訊號的轉態點；以及

當該延遲後之輸入訊號的相位領先於該輸入訊號時，該控制電路逐步同時關閉一固定延遲單元與開啟一第二延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位落後於該輸入訊號，向左逼近該輸入訊號的轉態點。

【第18項】 如申請專利範圍第17項所述之方法，其中該方法另包含：

當第一次使該延遲後之輸入訊號的相位由落後變成領先於該輸入訊號時，得

第 6 頁，共 9 頁(發明申請專利範圍)

到控制該些固定延遲單元與該些第一延遲單元的一第一微調值；

在該輸入訊號的N個週期內，如果該延遲後之輸入訊號的相位落後於該輸入訊號時，調整該第一微調值，使該延遲後之輸入訊號的相位由落後變成領先於該輸入訊號；

當第一次使該延遲後之輸入訊號的相位由領先變成落後於該輸入訊號時，得到控制該些固定延遲單元與該些第二延遲單元的一第二微調值；

在該輸入訊號的N個週期內，如果該延遲後之輸入訊號的相位領先於該輸入訊號時，調整該第二微調值，使該延遲後之輸入訊號的相位由領先變成落後於該輸入訊號；

根據該第一微調值之改變量的最大值及該固定單位延遲量與該第一單位延遲量之該延遲差量，計算得到一第一抖動量；

根據該第二微調值之改變量的最大值及該固定單位延遲量與該第二單位延遲量之該延遲差量，計算得到一第二抖動量；以及

根據該第一、第二抖動量來算出該輸入訊號的抖動區間。

【第19項】 如申請專利範圍第15項所述之方法，另包含有：

當在一校準模式時，分別接收不同週期的三個參考時脈訊號，通過解相位延遲量的三個聯立方程式來估計出該固定單位延遲量、該第一單位延遲量以及該第二單位延遲量。

【第20項】 如申請專利範圍第13項所述之方法，其中對該延遲後的輸入訊號進行粗調的步驟包含有：

使用複數個串接的粗調延遲單元，每一粗調延遲單元具有一粗調單位延遲量，用以逐級粗略延遲該輸入訊號的相位；以及

第 7 頁，共 9 頁(發明申請專利範圍)

使用複數個串接的固定延遲單元，每一固定延遲單元具有一固定單位延遲量，用以逐級對該輸入訊號進行固定單位量的相位延遲。

【第21項】 如申請專利範圍第20項所述之方法，其中微調該延遲後的輸入訊號之相位延遲之步驟包含有：

使用複數個串接的第一延遲單元，每一第一延遲單元具有一第一單位延遲量；

使用複數個串接的第二延遲單元，每一第二延遲單元具有一第二單位延遲量；

控制該些串接的粗調延遲單元與該些固定延遲單元對該輸入訊號進行粗略的相位延遲與固定單位量的相位延遲；以及

根據該固定單位延遲量與該第一單位延遲量的一延遲差量以及該固定單位延遲量與該第二單位延遲量的一延遲差量，再對該輸入訊號進行相位延遲的微調整。

【第22項】 如申請專利範圍第21項所述之方法，其中，該第一單位延遲量小於該固定單位延遲量，該第二單位延遲量大於該固定單位延遲量，以及該方法另包含有：

當該延遲後之輸入訊號的相位落後於該輸入訊號時，逐步同時關閉一固定延遲單元與開啟一第一延遲單元，微調該延遲後之輸入訊號的相位，使延遲後之輸入訊號的相位領先於該輸入訊號，向右逼近該輸入訊號的轉態點；

當該延遲後之輸入訊號的相位領先於該輸入訊號時，逐步同時關閉一固定延遲單元與開啟一第二延遲單元，微調該延遲後之輸入訊號的相位，使延

遲後之輸入訊號的相位落後於該輸入訊號，向左逼近該輸入訊號的轉態點；以及

根據該第一延遲電路的調整結果與該第二延遲電路的調整結果，估計或計算出該輸入訊號的抖動量。

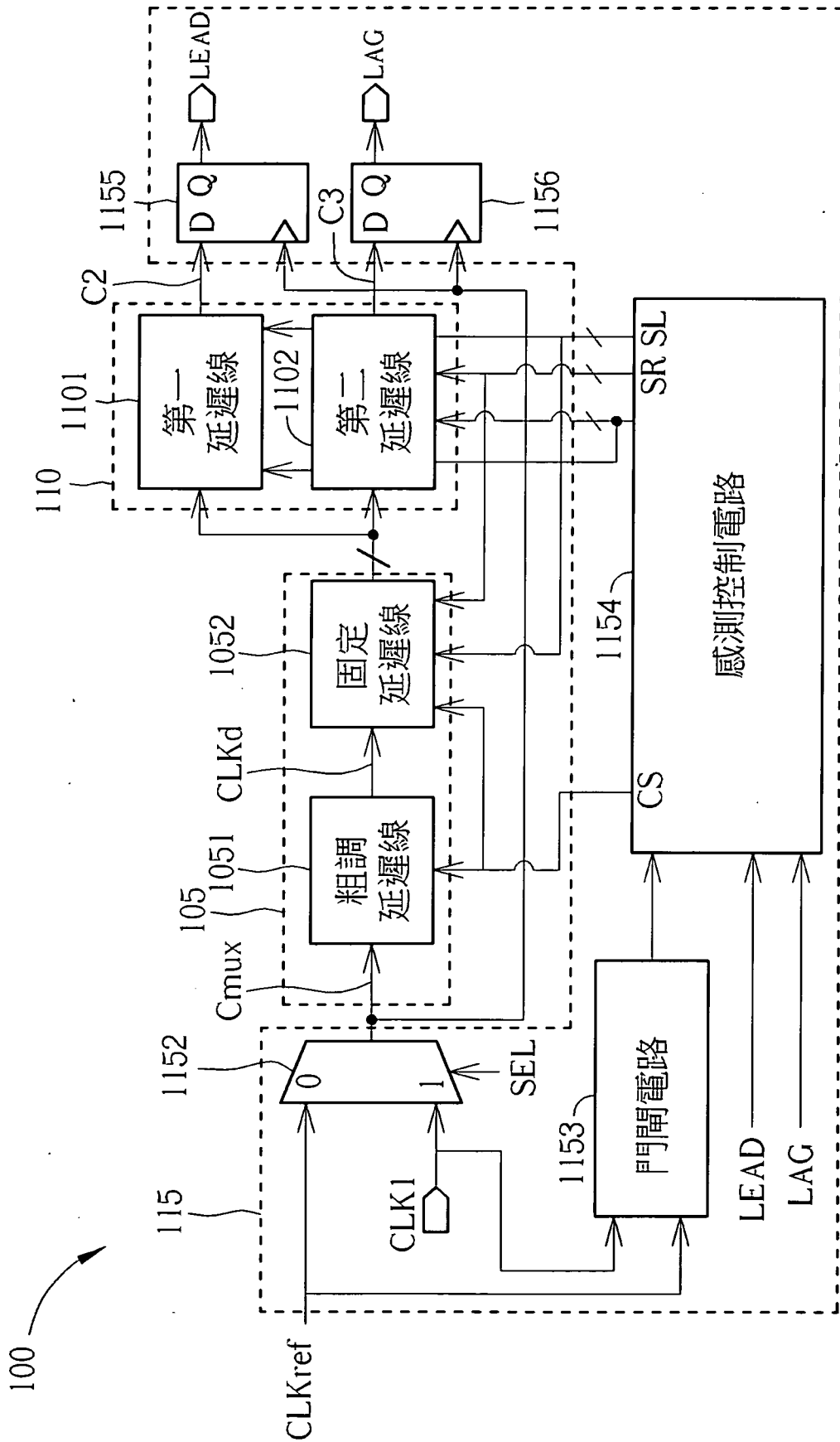
【第23項】 如申請專利範圍第21項所述之方法，另包含有：

當在一校準模式時，分別接收不同週期的四個參考時脈訊號，通過解相位延遲量的四個聯立方程式來估計出該粗調單位延遲量、該固定單位延遲量、該第一單位延遲量以及該第二單位延遲量。

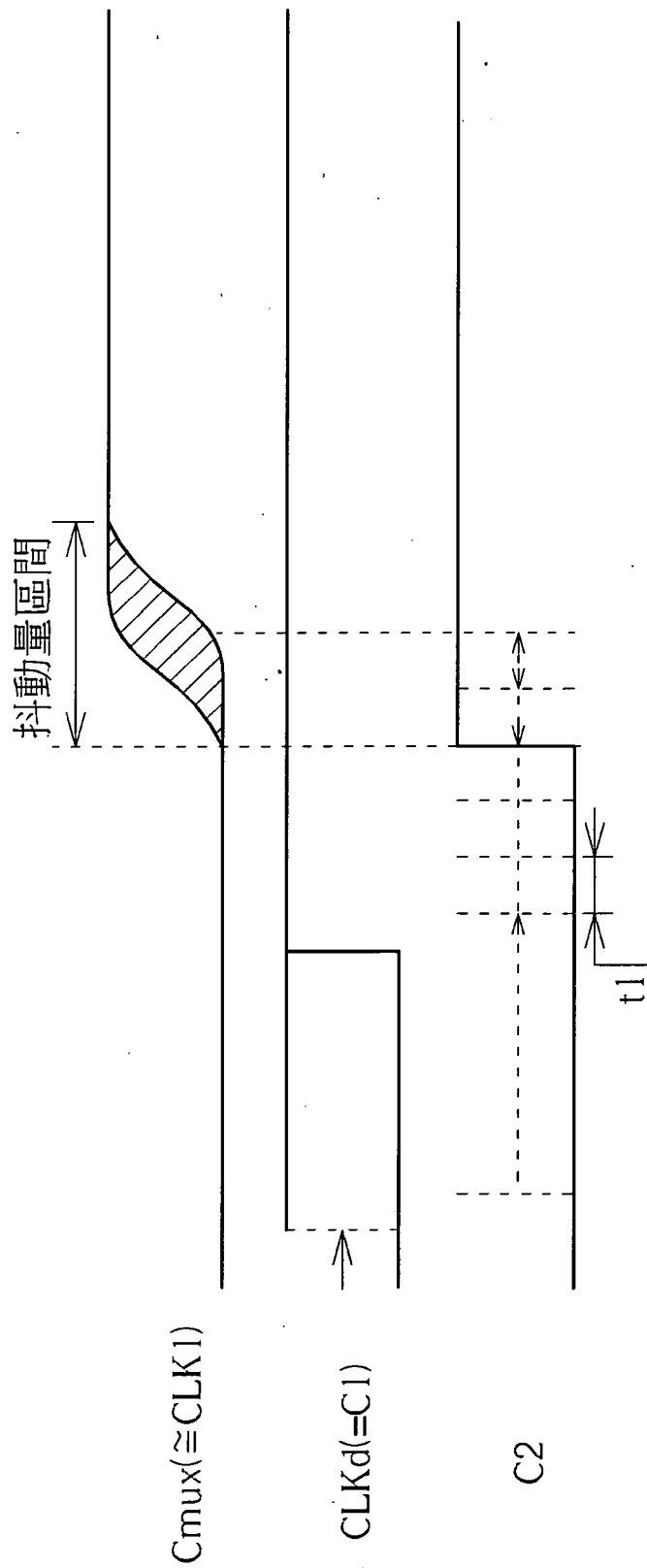
【第24項】 如申請專利範圍第13所述之方法，其中該方法另包含有：

通過檢查該第一延遲電路中所開啟之延遲單元的個數，判斷電路晶片的製程變異狀況。

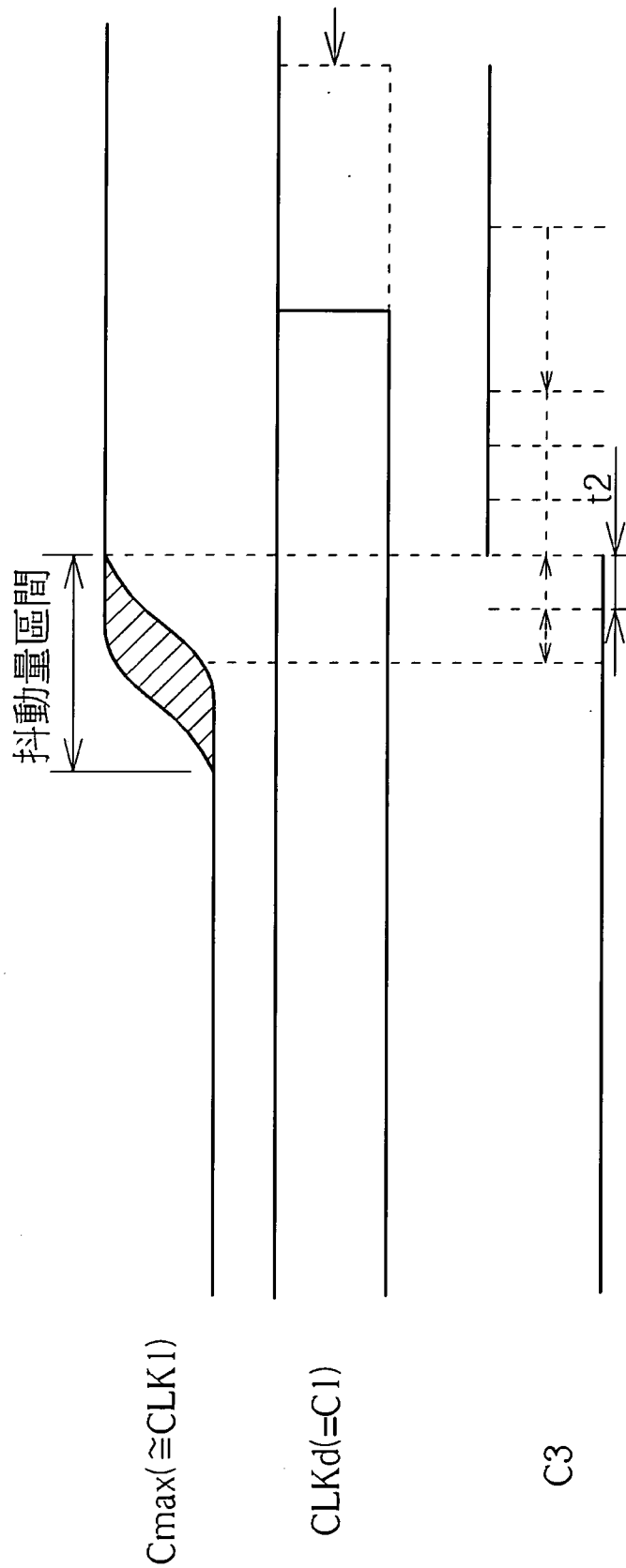
【發明圖式】



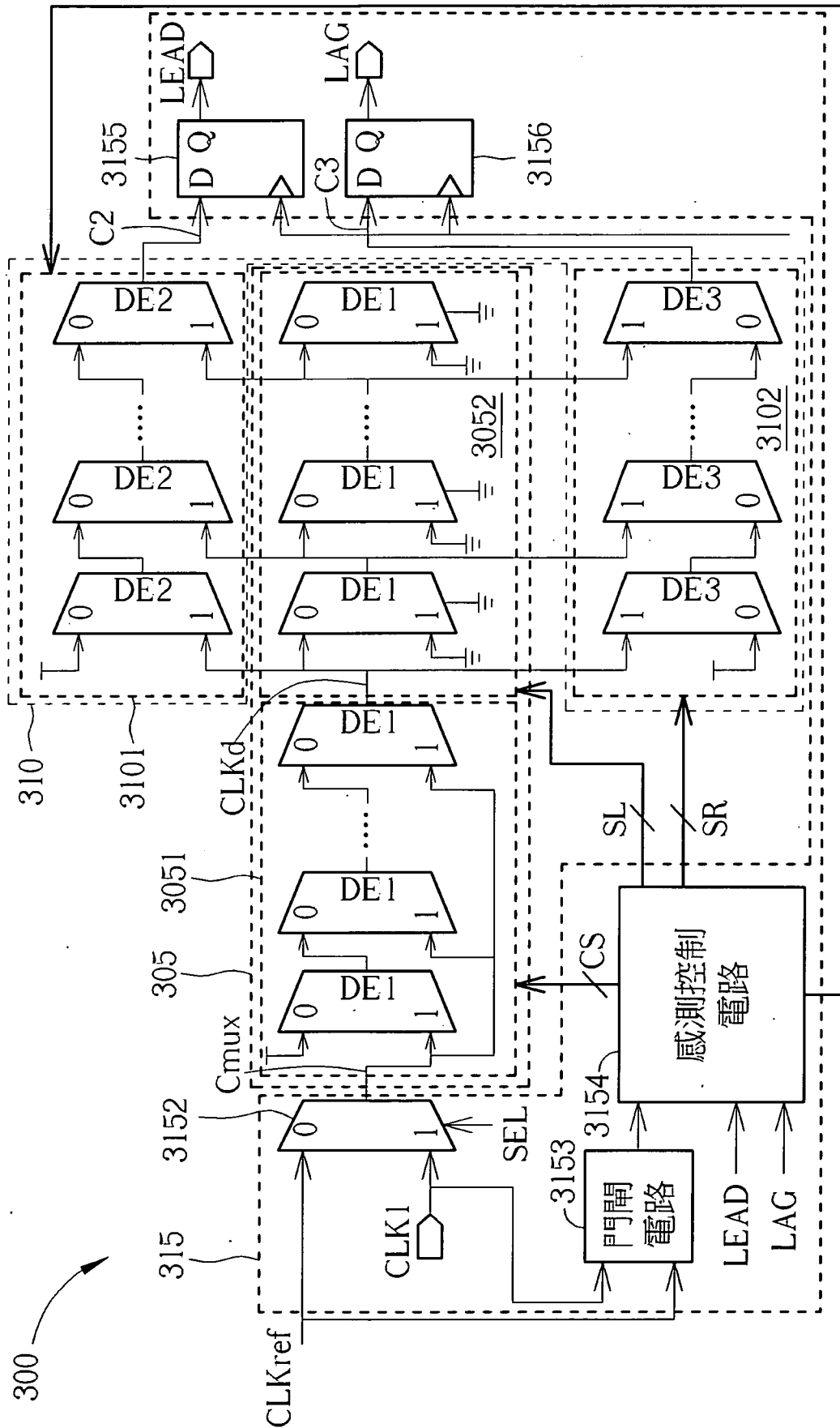
第1圖



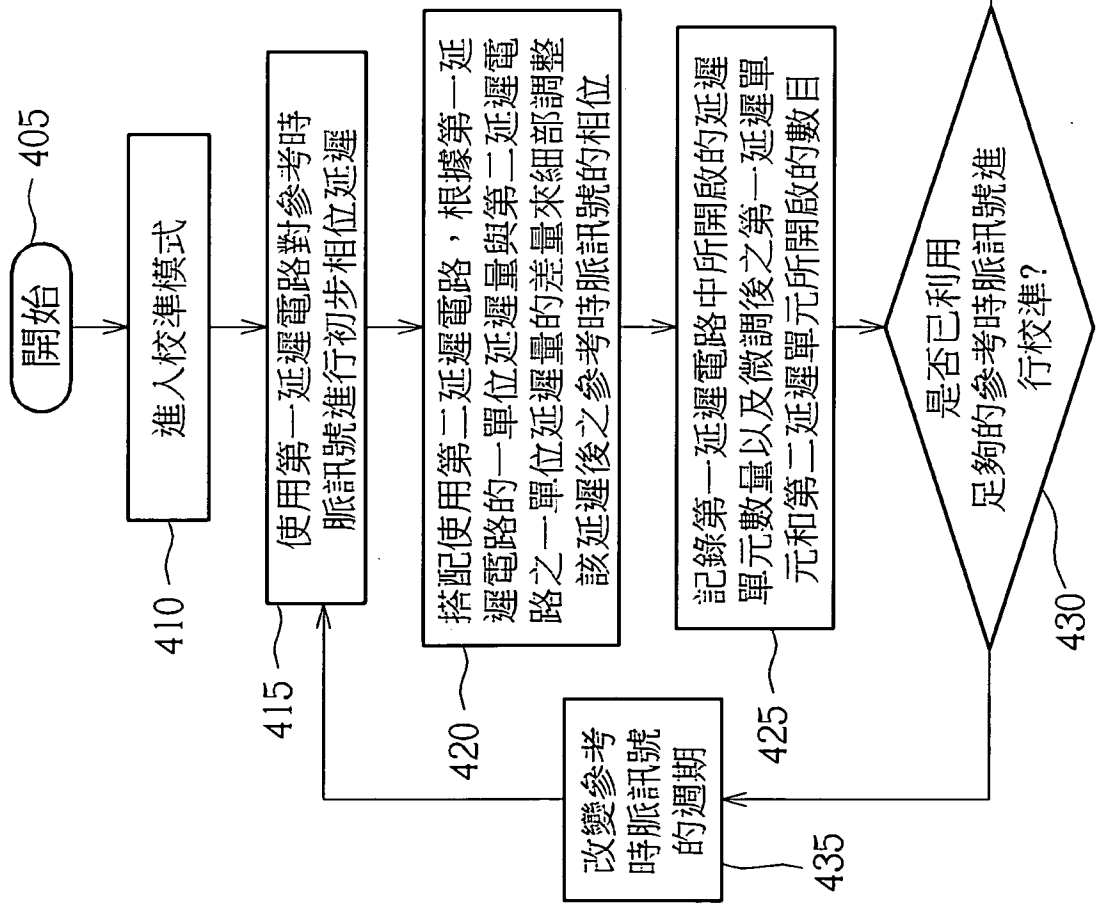
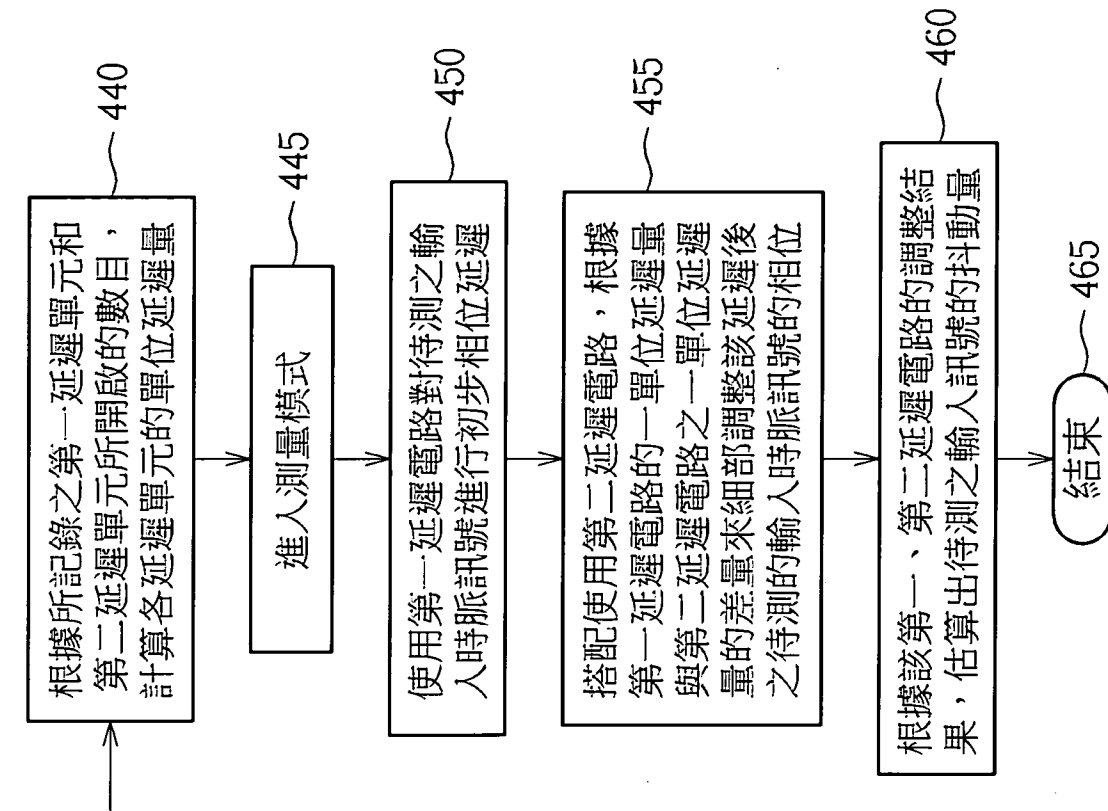
第2A圖



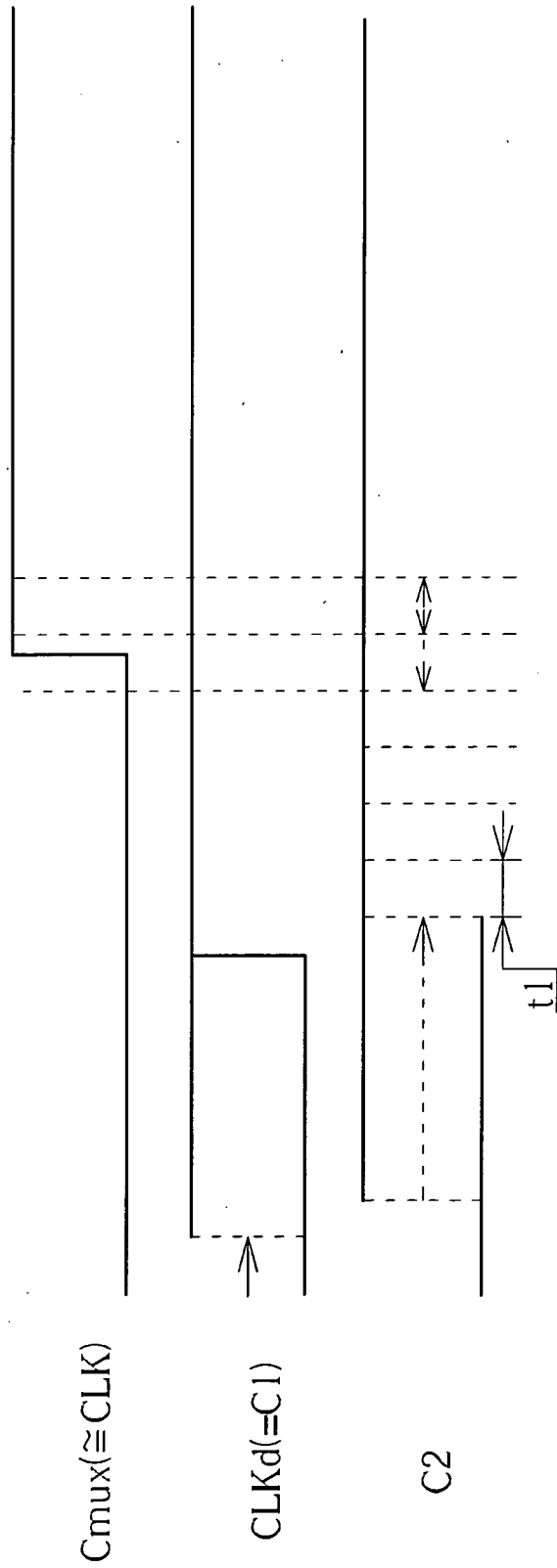
第2B圖



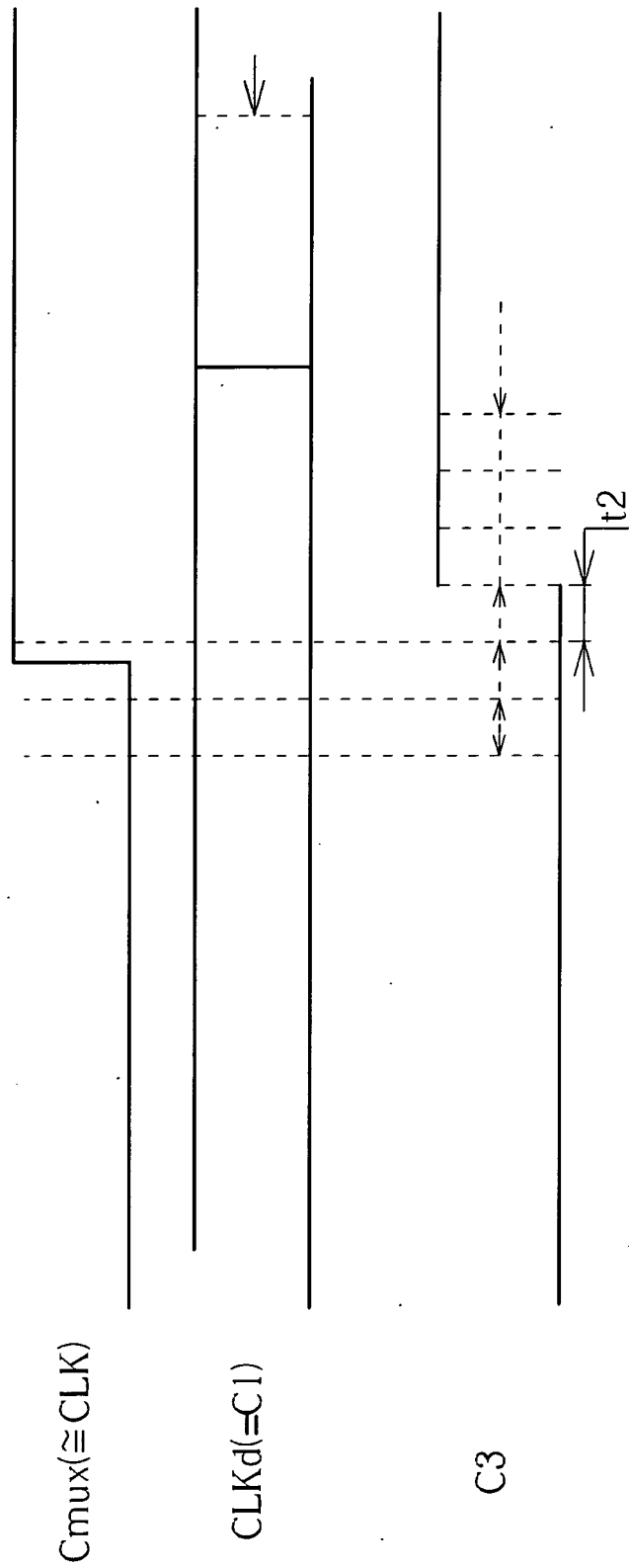
第3圖



第4圖



第5A圖



第5B圖