

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 23/12 (2006.01)
H01L 23/48 (2006.01)
H01L 21/60 (2006.01)
H01L 23/50 (2006.01)

(11) 공개번호 10-2006-0088518
(43) 공개일자 2006년08월04일

(21) 출원번호 10-2006-0059179(분할)
(22) 출원일자 2006년06월29일
(62) 원출원 특허10-2004-0027385
원출원일자 : 2004년04월21일 심사청구일자 2004년04월21일

(30) 우선권주장 JP-P-2003-00120228 2003년04월24일 일본(JP)

(71) 출원인 산요덴키가부시키키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 노마 다카시
일본 군마켄 오파시 히가시베쇼쵸 227-2 선라이즈 혼고우 103
스즈끼 아끼라
일본 군마켄 오파시 이와세가와마찌 21-11
시노기 히로유키
일본 군마켄 오라궁 오이즈미마찌 요시다 961-40

(74) 대리인 장수길
구영창
이중희

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

적층형 MCM을 고가의 장치를 이용하지 않고 낮은 제조 비용으로 제조한다. 제1 반도체 장치(100a)의 반도체 칩(1)의 표면에 절연막(2)을 개재하여 제1 배선(3A) 및 제2 배선(3B)이 형성되어 있다. 이들 제1 배선(3A) 및 제2 배선(3B)이 형성된 반도체 칩(1)의 표면에는 제2 배선(3B)을 노출하는 개구부(12)를 포함한 유리 기관(4)이 접촉되어 있다. 또한, 제3 배선(9)은 반도체 칩(10)의 이면으로부터 절연막(7)을 개재하여 반도체 칩(1)의 측면에 연장하고, 제1 배선(3A)에 접속되어 있다. 그리고, 제2 배선(3B)에 개구부(12)를 통하여 다른 반도체 장치(100b)의 도전 단자(11B)가 접속된다.

대표도

도 13

색인어

멀티칩 모듈, 비어홀, 도금

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 2는 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 3은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 4는 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 5는 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 6은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 7은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 8은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 9는 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 10은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 11은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 12는 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 13은 본 발명의 실시예에 따른 반도체 장치의 제조 방법의 단면도.
- 도 14는 종래의 MCM형 반도체 장치의 단면의 모식도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1 : 반도체 칩
- 2, 7 : 절연막
- 3A : 제1 배선
- 3B : 제2 배선
- 4 : 유리 기판
- 5 : 수지층
- 8 : 완충 부재
- 9 : 제3 배선
- 10 : 보호막

11, 11B : 도전 단자

12 : 개구부

100a : 제1 반도체 장치

100b : 제2 반도체 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 반도체 칩의 패키징 기술에 관한 것이다.

최근, 새로운 패키지 기술로서, MCM(Multi Chip Module: 멀티칩 모듈)이 주목받고 있다. MCM은, 하나의 패키지 내에 복수의 반도체 칩을 내장함으로써, 고기능의 모듈을 실현하는 것이다. MCM에는 반도체 칩의 배치 방법에 따라, 많은 종류가 있다. 그 중에서, 복수의 반도체 칩을 적층하여 이루어지는 「적층형 MCM」이 최근 특히 주목받고 있다.

이 적층형 MCM의 구조의 일례를 도 14에 도시한다. 이 적층형 MCM(200)은 반도체 칩(204)을 복수개 적층한 것이다. 반도체 칩(204)을 관통하는 비어홀(205)을 레이저 가공에 의해 형성하고, 그 비어홀(205)의 측면에 배리어 메탈(202)을 스퍼터법이나 CVD법으로 형성한다. 그 후, 구리 도금에 의해, 상기 비어홀(205) 내에 도전 재료를 매립함으로써, 상하에 인접하여 배치된 반도체 칩(204, 204)을 접속하는 배선을 형성한다.

반도체 칩(204) 사이의 절연은, 열가소성 필름(203)을 삽입함으로써 유지된다. 이러한 제조 공정을 반복하여 행함으로써, 복수의 반도체 칩(204)을 적층할 수 있다. 가장 아래가 되는 반도체 칩(204)에는 도전 단자(206)를 부착함으로써 외부 회로와의 접속을 행한다.

이상의 제조 공정에서 적층형 MCM(200)을 제조할 수 있다. 상술한 적층형 MCM은 특허 문헌 1에 개시되어 있다.

[특허 문헌 1]

일본 특개평9-232503호 공보

발명이 이루고자 하는 기술적 과제

상술한 적층형 MCM(200)을 제조하기 위해서는, 수십 μm 정도의 직경, 깊이를 갖는 비어홀의 형성, 및 비어홀 내의 도전 재료의 매립을 행할 필요가 있다. 그 결과, 비어홀 가공용의 레이저 가공기, 배리어 메탈 성막용의 배리어 CVD 장치, 비어홀의 매립을 행하기 위한 구리 도금 장치 등, 종래의 반도체의 패키징에서는 사용되고 있지 않은, 고가의 장치가 필요해져, 제조 비용이 비싸진다고 하는 문제가 있었다.

발명의 구성 및 작용

본 발명의 반도체 장치는, 반도체 칩의 표면에 제1 절연막을 개재하여 제1 배선 및 제2 배선이 형성되어 있다. 이들 제1 및 제2 배선이 형성된 반도체 칩의 표면에는 제2 배선을 노출하는 개구부를 포함하는 지지체가 접촉된다. 또한, 제3 배선은 반도체 칩의 이면으로부터 제2 절연막을 개재하여 반도체 칩의 측면으로 연장하여, 제1 배선에 접속되어 있다.

<실시예>

다음으로, 본 발명의 실시예에 따른 반도체 장치 및 그 제조 방법에 대하여, 도 1 내지 도 13을 참조하여 설명한다.

우선, 도 1에 도시한 바와 같이 반도체 웨이퍼(1a)를 준비한다. 이 반도체 웨이퍼(1a)는 후술하는 공정에서, 절단되어 복수의 반도체 칩(1)으로 분리된다. 이들 반도체 칩(1)은, 예를 들면 CCD의 이미지 센서나 반도체 메모리의 칩으로, 반도체의 웨이퍼 프로세스에 의해 형성된다. 그 반도체 웨이퍼(1a)의 표면에 절연막(2)을 사이에 두고 복수의 제1 배선(3A), 복수의 제2 배선(3B)을 동시에 형성한다. 제1 배선(3A)은 반도체 웨이퍼(1a)를 복수의 반도체 칩(1)으로 절단 분리하기 위한 경계 S를 두고, 그 양측에 소정의 간극을 두고 형성된다. 경계 S는 다이싱 라인 또는 스크라이브 라인이라고 하는 것이다.

여기서, 제1 배선(3A)은 반도체 칩(1)의 통상의 본딩 패드 위치로부터, 경계 S 부근까지 확장된 패드이다. 또한, 복수의 제2 배선(3B)은 후의 공정에서, 반도체 칩(1) 상에 적층되는 다른 반도체 장치의 도전 단자와 전기적으로 접속되는 도전 패드이다.

계속해서, 제1 배선(3A) 및 제2 배선(3B)이 형성된 반도체 웨이퍼(1a)의 표면에, 지지체인 유리 기판(4)을 에폭시 수지층(5)을 접착제로서 이용하여 접착한다. 또, 여기서는 지지체로서 유리 기판, 접착제로서 에폭시 수지층을 사용하고 있지만, 실리콘 기판이나 플라스틱의 판 외에 테이프 또는 시트 형상의 것을 지지체로서 이용해도 되고, 접착제는 이들 지지체에 대하여 적절한 접착재를 선택하면 된다.

다음으로, 도 2에 도시한 바와 같이 상기 반도체 웨이퍼(1a)의 유리 기판(4)이 접착되어 있지 않은 면, 즉 그 이면을 백그라인드하여, 반도체 웨이퍼(1a)의 두께를 얇게 가공한다. 백그라인드된 반도체 웨이퍼(1a)의 이면은 스크래치가 발생하여, 폭, 깊이가 수 μ m 정도가 되는 요철이 생긴다. 이를 작게 하기 위해서, 절연막(2)의 재료인 실리콘 산화막(이하 SiO₂)보다 반도체 웨이퍼(1a)의 재료인 실리콘(이하 Si)에 대하여 높은 선택비를 갖는 실리콘 에칭액을 이용하여 웨트 에칭을 행한다. 그와 같은 실리콘 에칭액으로서는, 예를 들면 불화수소산 2.5%, 질산 50%, 초산 10% 및 물 37.5%의 혼합 용액이 적합하다.

다음으로, 도 3에 도시한 바와 같이 상기 반도체 웨이퍼(1a)의 이면에 대하여, 경계 S를 따라 개구부를 형성한 도시되지 않은 레지스트 패턴을 마스크로 하여, 등방성 에칭을 행한다. 이에 의해, 경계 S의 부분에서 홈이 형성되어, 절연막(2)이 부분적으로 노출된 상태가 된다. 또, 이 에칭은 드라이 에칭, 웨트 에칭 중 어느 에칭으로 행해도 된다. 이 에칭에 의해, 반도체 웨이퍼(1a)는 복수의 반도체 칩(1)으로 절단되지만, 유리 기판(4)에 의해 지지되어, 반도체 웨이퍼(1a)의 형태를 유지하고 있다.

에칭된 반도체 웨이퍼(1a)의 이면에는, 요철, 잔사, 이물이 존재하고, 또한 도 3의 파선 원 a, b로 나타낸 바와 같은 각부가 형성된다. 따라서, 도 4에 도시한 바와 같이 잔사나 이물을 제거하고, 또한 각부를 라운딩 처리하기 위해서 웨트 에칭을 행한다. 이에 의해, 도 3의 파선 원 a, b로 나타낸 바와 같은 각부는 도 4에서 파선 원 a, b로 나타낸 바와 같이 매끄러운 형상으로 된다.

다음으로, 도 5에 도시한 바와 같이 복수의 반도체 칩(1)의 이면, 및 이들의 에칭된 측면에 절연막(7)을 피착한다. 절연막(7)은, 예를 들면 실란 베이스의 산화막이다.

다음으로, 도 6에 도시한 바와 같이 반도체 칩의 이면에 도시하지 않은 레지스트를 도포하여, 패턴닝을 행한다. 그 레지스트막을 마스크로 하여, 절연막(7), 절연막(2)을 에칭하여, 제1 배선(3A)의 단부를 노출시킨다.

다음으로, 후에 도전 단자(11)를 형성하는 위치와 증착되는 위치에 유연성을 갖는 완충 부재(8)를 형성한다. 또, 완충 부재(8)는 도전 단자(11)에 가해지는 힘을 흡수하여, 도전 단자(11)의 접합 시의 스트레스를 완화하는 기능을 갖는 것이지만, 반드시 필요한 것은 아니다. 다음으로, 절연막(7), 완충 부재(8), 제1 배선(3A)의 노출 부분을 덮는 제3 배선(9)을 형성한다. 이에 의해, 제1 배선(3A)과 제3 배선(9)은 전기적으로 접속된다.

다음으로, 도 7에 도시한 바와 같이 반도체 칩(1)의 이면측에, 도시하지 않은 레지스트를 도포하여, 이 레지스트의 경계 S를 따르는 부분을 개구시키도록 패턴 형성을 행한다. 그리고, 그 레지스트를 마스크로 하여 에칭을 행하여, 경계 S 부근의 제3 배선(9)을 제거한다. 또, 도시하지 않았지만, 제3 배선(9)의 형성 후, 무전해 도금 처리를 행하여, 제3 배선(9)의 표면에 Ni-Au의 도금을 실시해도 된다.

상기 반도체 칩의 이면으로부터 제2 절연막을 개재하여 상기 반도체 칩의 측면으로 연장하며, 상기 제1 배선의 이면에 접속된 제3 배선을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제1 반도체 장치와, 상기 제1 반도체 장치 상에 배치된 제2 반도체 장치를 구비하고, 상기 제1 반도체 장치는, 제1 반도체 칩의 표면에 형성된 제1 배선 및 제2 배선과, 상기 제1 및 제2 배선이 형성된 상기 제1 반도체 칩의 표면에 접촉되고 상기 제2 배선을 노출하는 개구부를 갖는 지지체와, 상기 제1 반도체 칩의 이면으로부터 상기 제1 반도체 칩의 측면으로 연장하며, 상기 제1 배선의 이면에 접속된 제3 배선을 구비하며, 상기 제2 반도체 장치는, 제2 반도체 칩과, 상기 제2 반도체 칩의 이면에 형성된 도전 단자를 구비하고, 상기 제2 반도체 장치의 상기 도전 단자가 상기 제1 반도체 장치의 개구부를 통하여 상기 제2 배선에 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제3 배선 상에 형성된 도전 단자를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제3항에 있어서,

상기 도전 단자가 돌기 전극 단자인 것을 특징으로 하는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 돌기 전극 단자가 뿔뿔 범프 또는 금 범프인 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 지지체는 유리 기판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 7.

제1 절연막을 개재하여 제1 배선 및 제2 배선이 형성된 복수의 반도체 칩을 갖는 반도체 웨이퍼를 준비하고,

상기 제1 및 제2 배선이 형성된 상기 반도체 칩의 표면에 지지체를 접착하는 공정과,

상기 반도체 칩의 이면으로부터 제2 절연막을 개재하여 상기 반도체 칩의 측면으로 연장하며, 상기 제1 배선의 이면에 접속된 제3 배선을 형성하는 공정과,

상기 지지체에 상기 제2 배선을 노출하는 개구부를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.

제7항에 있어서,

상기 지지체의 표면을 깎는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9.

제8항에 있어서,

상기 지지체의 표면을 깎는 공정은 상기 지지체의 표면에 에칭액을 적하하고, 상기 지지체를 회전시키는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10.

제7항에 있어서,

상기 반도체 웨이퍼를 복수의 반도체 칩으로 절단 분리하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11.

제7항에 있어서,

상기 제3 배선 상에 도전 단자를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12.

제7항에 있어서,

상기 지지체에 제2 배선을 노출하는 개구부를 형성하는 공정 후에, 상기 제2 배선 상에 도금층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13.

제10항에 있어서,

상기 제2 배선에 상기 개구부를 통하여 다른 반도체 장치의 도전 단자를 접속하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

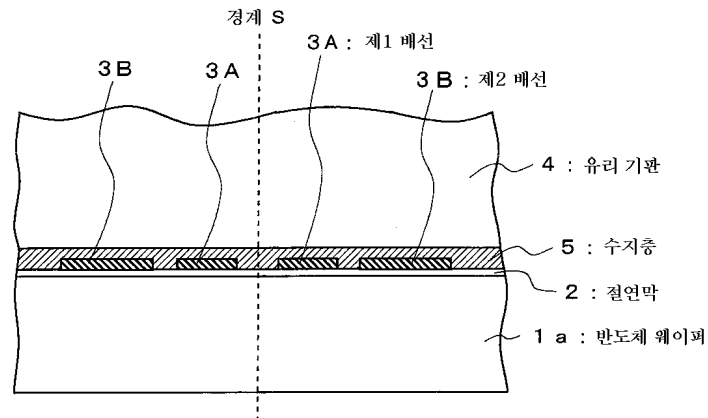
청구항 14.

제7항에 있어서,

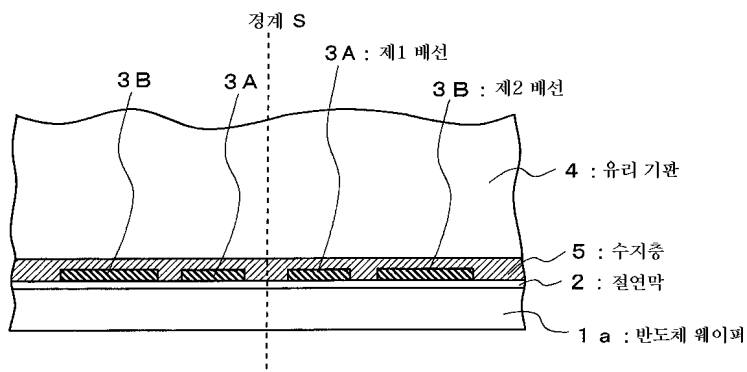
상기 지지체는 유리 기판을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

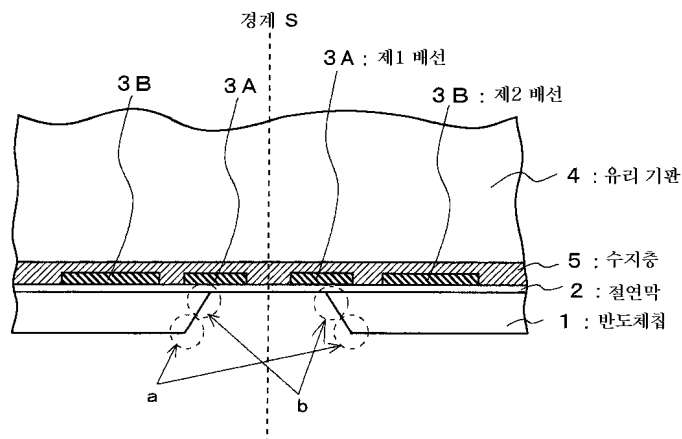
도면1



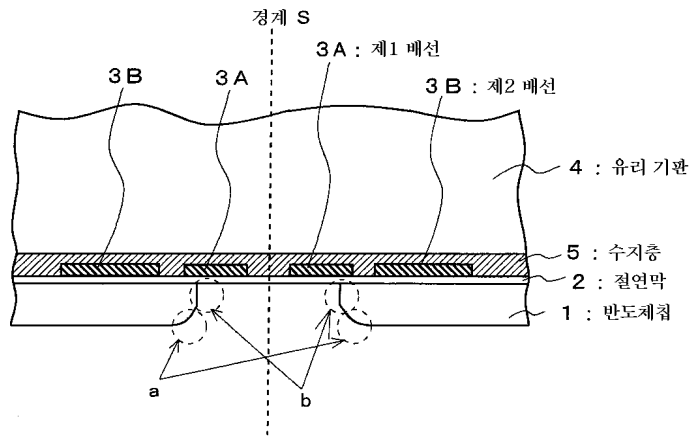
도면2



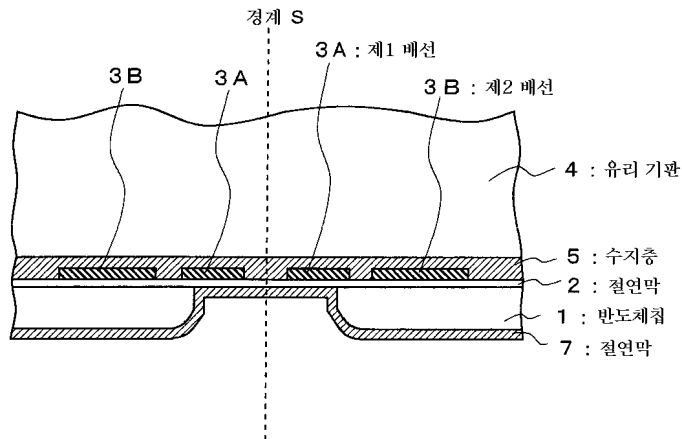
도면3



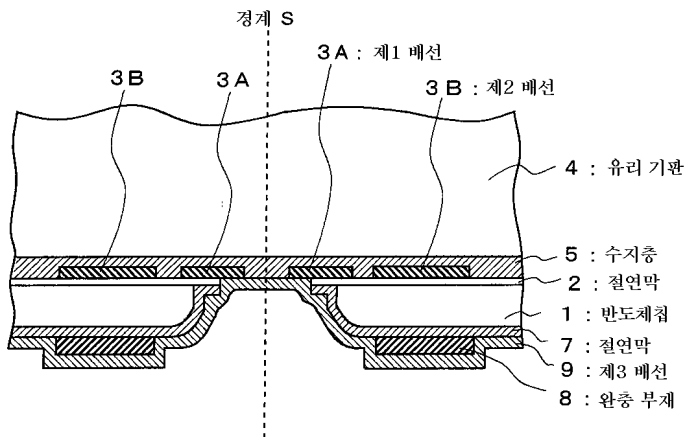
도면4



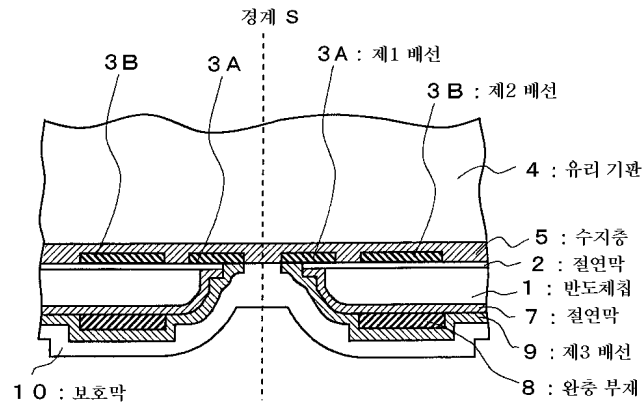
도면5



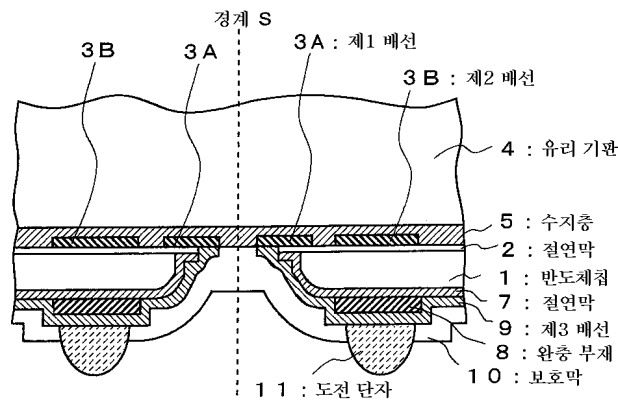
도면6



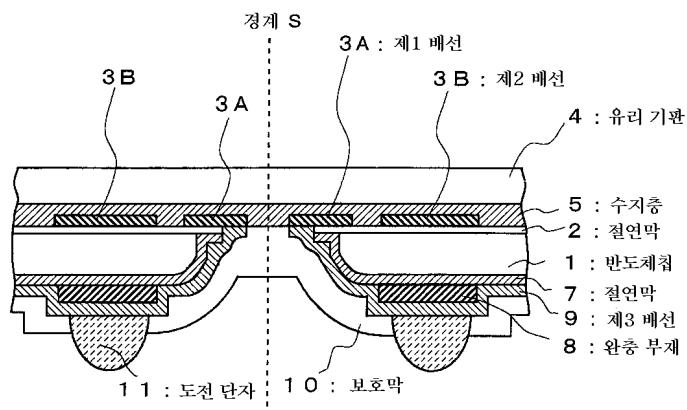
도면7



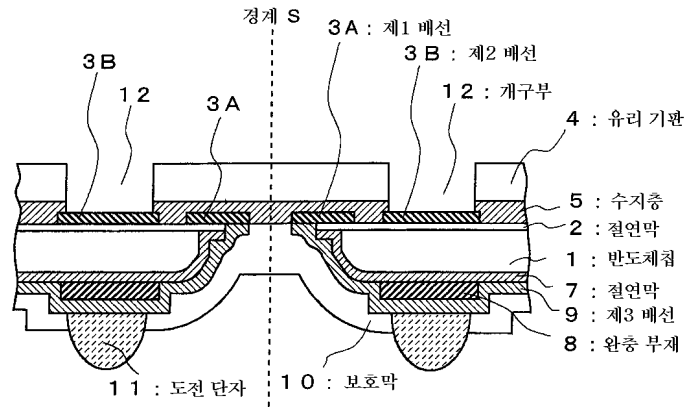
도면8



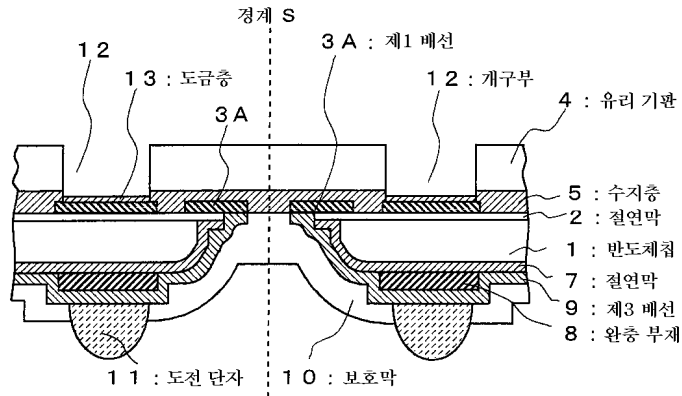
도면9



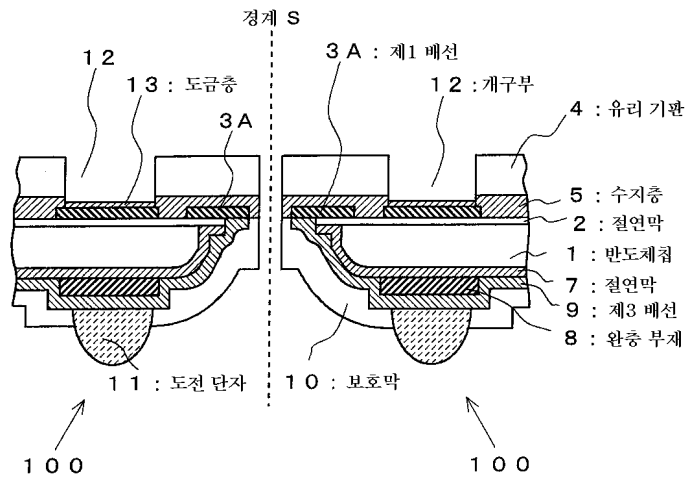
도면10



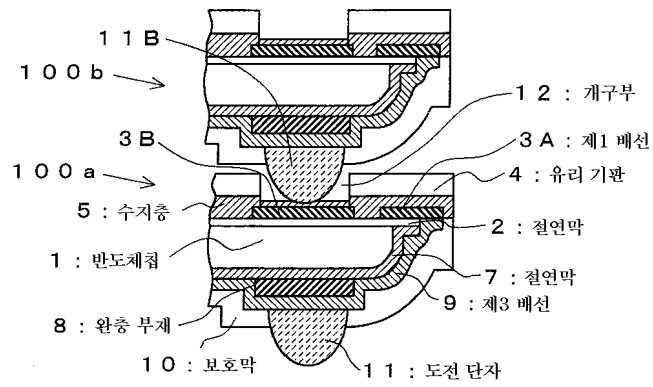
도면11



도면12



도면13



도면14

