



(12) 发明专利申请

(10) 申请公布号 CN 117975897 A

(43) 申请公布日 2024. 05. 03

(21) 申请号 202410080807.4

(22) 申请日 2024.01.19

(71) 申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园
厂房1栋一层至三层、五至七层,6栋七层

(72) 发明人 许中燮 袁海江

(74) 专利代理机构 深圳市百瑞专利商标事务所
(普通合伙) 44240

专利代理师 万瑞杰

(51) Int. Cl.

G09G 3/36 (2006.01)

G02F 1/1362 (2006.01)

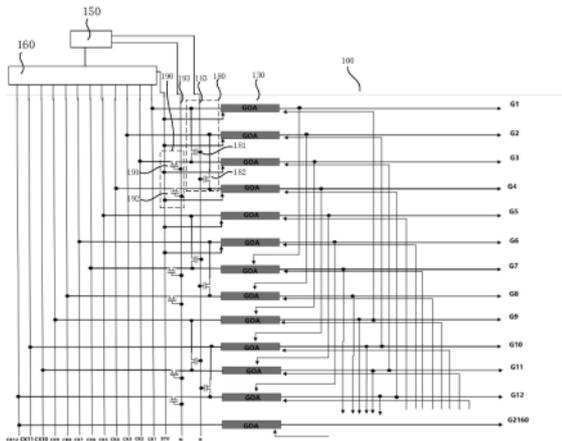
权利要求书3页 说明书10页 附图6页

(54) 发明名称

显示面板及其驱动方法

(57) 摘要

本申请公开了一种显示面板及其驱动方法,沿数据线方向上,所述显示面板划分为多行子像素,每一行子像素对应设有连接奇数列子像素的第一扫描线和连接偶数列子像素的第二扫描线,相邻的两行子像素对应设置四个栅极驱动单元,以及四条时钟信号线;当前行子像素对应的第一扫描线通过第一栅极驱动单元连接第一时钟信号线,当前行子像素对应的第二扫描线通过第一栅极驱动单元连接第三时钟信号线;下一行子像素对应的第一扫描线通过第三栅极驱动单元连接第二时钟信号线,下一行子像素对应的第二扫描线通过第四栅极驱动单元连接第四时钟信号线。本申请通过将相邻两行子像素对应的扫描线连接的时钟信号线进行调换,实现RGB单色画面显示。



1. 一种显示面板,其特征在於,沿数据线方向上,所述显示面板划分为多行子像素,每一行子像素对应设有两条扫描线,两条扫描线分别为第一扫描线和第二扫描线,所述第一扫描线连接奇数列子像素,所述第二扫描线连接偶数列子像素,每一行子像素中的相同列子像素的颜色相同,每条数据线连接相邻两列的两个不同颜色的子像素;

相邻的两行子像素对应设置四个栅极驱动单元和四条时钟信号线,四个栅极驱动单元分别为第一栅极驱动单元,第二栅极驱动单元,第三栅极驱动单元和第四栅极驱动单元,四条时钟信号线分别为第一时钟信号线,第二时钟信号线,第三时钟信号线和第四时钟信号线;

其中,当前行子像素对应的第一扫描线通过第一栅极驱动单元连接第一时钟信号线,当前行子像素对应的第二扫描线通过第一栅极驱动单元连接第三时钟信号线;下一行子像素对应的第一扫描线通过第三栅极驱动单元连接第二时钟信号线,下一行子像素对应的第二扫描线通过第四栅极驱动单元连接第四时钟信号线。

2. 如权利要求1所述的显示面板,其特征在於,所述显示面板包括刷新率调整模块、时钟信号控制模块以及时序控制模块,所述时钟信号控制模块分别与所述刷新率调整模块和所述时序控制模块连接,所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号,所述刷新率调整模块的第一输出端连接所述时钟信号线,并输出对应的时钟信号至所述时钟信号线,所述时钟信号控制模块设置在所述栅极驱动单元与所述时钟信号线之间,所述刷新率调整模块第二输出端连接所述时钟信号控制模块,并输出刷新率控制信号以控制所述时钟信号线与栅极驱动单元之间的连通,实现不同刷新率的画面显示。

3. 如权利要求2所述的显示面板,其特征在於,所述时钟信号控制模块包括第一控制电路和第二控制电路,所述第一控制电路包括第一控制开关和第二控制开关,所述第二控制电路包括第三控制开关和第四控制开关,所述第一控制开关和第二控制开关的控制端连接第一控制信号线,所述第一开关的输入端连接第一时钟信号线,输出端分别连接第三控制开关的输出端和第三栅极驱动单元,所述第二控制开关的输入端连接第三时钟信号线,输出端分别连接第四控制开关的输出端和所述第四栅极驱动单元;所述第三控制开关和第四控制开关的控制端连接第二控制信号线,所述第三开关的输入端连接所述第二时钟信号线,输出端连接第三栅极驱动单元,所述第四开关的输入端连接所述第四时钟信号线,输出端连接第四栅极驱动单元。

4. 如权利要求3所述的显示面板,其特征在於,所述显示面板包括保护电路,所述保护电路包括第五控制开关和第六控制开关,所述第五控制开关的输入端和控制端连接第一控制信号线,输出端连接第一控制开关的控制端;所述第六控制开关的输入端和控制端连接第一控制信号线,输出端连接第二控制开关的控制端。

5. 如权利要求4所述的显示面板,其特征在於,所述显示面板还包括第一存储电路和第二存储电路,所述第一存储电路的一端连接所述第一控制开关的控制端,一端连接所述第三控制开关的输出端与所述第三栅极驱动单元之间,所述第二存储电路的一端连接所述第二控制开关的控制端,一端连接所述第四控制开关的输出端与所述第四栅极驱动单元之间。

6. 一种显示面板的驱动方法,用于驱动如权利要求1-5任意一项所述的显示面板,其特

征在于,所述驱动方法包括步骤:

输出帧起始信号至相邻两行子像素对应的第一栅极驱动单元至第四栅极驱动单元;以及

依次输出第一时钟信号至第一栅极单元,第二时钟信号至第三栅极单元,第三时钟信号至第二栅极单元,第四时钟信号至第四栅极单元以生成对应的栅极驱动信号至相邻两行子像素进行驱动显示。

7.如权利要求6所述的显示面板的驱动方法,其特征在于,所述显示面板包括刷新率调整模块、时钟信号控制模块以及时序控制模块,所述时钟信号控制模块分别与所述刷新率调整模块和所述时序控制模块连接,所述刷新率调整模块的第一输出端连接所述时钟信号线,所述时钟信号控制模块设置在所述栅极驱动单元与所述时钟信号线之间,所述刷新率调整模块第二输出端连接所述时钟信号控制模块,所述依次输出第一时钟信号至第一栅极单元,第二时钟信号至第三栅极单元,第三时钟信号至第二栅极单元,第四时钟信号至第四栅极单元以生成对应的栅极驱动信号至相邻两行子像素进行驱动显示的步骤包括:

所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号;

刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示;

其中,所述第一时钟信号的上升沿时刻早于第三时钟信号的上升沿。

8.如权利要求7所述的显示面板的驱动方法,其特征在于,所述时钟信号控制模块包括第一控制电路和第二控制电路,所述第一控制电路包括第一控制开关和第二控制开关,所述第二控制电路包括第三控制开关和第四控制开关,所述第一控制开关和第二控制开关的控制端连接第一控制信号线,所述第一开关的输入端连接第一时钟信号线,输出端分别连接第三控制开关的输出端和第三栅极驱动单元,所述第二控制开关的输入端连接第三时钟信号线,输出端分别连接第四控制开关的输出端和所述第四栅极驱动单元;所述第三控制开关和第四控制开关的控制端连接第二控制信号线,所述第三开关的输入端连接所述第二时钟信号线,输出端连接第三栅极驱动单元,所述第四开关的输入端连接所述第四时钟信号线,输出端连接第四栅极驱动单元;

所述刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示的步骤包括:

根据刷新率信息生成一组相反电平信号的刷新率控制信号分别输入至第一控制信号线和第二控制信号线;

当第一控制信号线接收高电平,第二控制信号线接收低电平时,所述第一控制电路导通时,所述第二控制电路关断,所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

当第一控制信号线接收低电平,第二控制信号线接收高电平时,所述第二控制电路导通时,所述第一控制电路关断,所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示;

其中,所述第一刷新率的值为所述第二刷新率的值的两倍。

9.如权利要求8所述的显示面板的驱动方法,其特征在于,所述当第一控制信号线接收高电平,第二控制信号线接收低电平时,所述第一控制电路导通时,所述第二控制电路关断,所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示的步骤包括:

所述时序控制模块接收到刷新率控制信号后只生成第一时钟信号和第三时钟信号。

10.如权利要求7所述的显示面板的驱动方法,其特征在于,所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号的步骤包括:

所述刷新率信息根据下一帧的显示画面生成;

所述刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示的步骤包括:

当下一帧为游戏界面或者视频画面时,生成第一刷新率信息,并根据第一刷新率信息生成第一刷新率控制信号,控制所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

当下一帧为文字画面时,生成第二刷新率信息,并根据第二刷新率信息生成第二刷新率控制信号,控制所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示。

显示面板及其驱动方法

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种显示面板及其驱动方法。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用;在大尺寸和高刷新率的显示面板开发过程中,双线栅极技术(Dual Line Gate,DLG)受到关注,DLG技术又称为倍频刷新技术,其原理为面板GDL电路同时打开两行扫描线,两行输入同一扫描信号,此模式下,相当于竖向显示的像素数减少一半,在不改变原有硬件和芯片算力的前提下,可达到刷新率翻倍的效果。

[0003] LCD显示行业中,DRD(Double Row Driving)设计目前受到越来越多的应用,因为其可以节省覆晶薄膜(Chip On Film,COF)数量,降低成本,DRD显示面板由于相邻行同一数据线连接的是不同颜色像素,而DLG模式两不同颜色像素显示同一灰阶,无法显示RGB单色画面,显示面板无法正常进行颜色显示,如何DRD像素架构下使用DLG技术成为亟待解决的问题。

发明内容

[0004] 本申请的目的是提供一种显示面板及其驱动方法,实现DRD显示面板在DLG模式的单色显示。

[0005] 本申请公开了一种显示面板,沿数据线方向上,所述显示面板划分为多行子像素,每一行子像素对应设有两条扫描线,两条扫描线分别为第一扫描线和第二扫描线,所述第一扫描线连接奇数列子像素,所述第二扫描线连接偶数列子像素,每一行子像素中的相同列子像素的颜色相同,每条数据线连接相邻两列的两个不同颜色的子像素;

[0006] 相邻的两行子像素对应设置四个栅极驱动单元和四条时钟信号线,四个栅极驱动单元分别为第一栅极驱动单元,第二栅极驱动单元,第三栅极驱动单元和第四栅极驱动单元,四条时钟信号线分别为第一时钟信号线,第二时钟信号线,第三时钟信号线和第四时钟信号线;

[0007] 其中,当前行子像素对应的第一扫描线通过第一栅极驱动单元连接第一时钟信号线,当前行子像素对应的第二扫描线通过第一栅极驱动单元连接第三时钟信号线;下一行子像素对应的第一扫描线通过第三栅极驱动单元连接第二时钟信号线,下一行子像素对应的第二扫描线通过第四栅极驱动单元连接第四时钟信号线。

[0008] 可选的,所述显示面板包括刷新率调整模块、时钟信号控制模块以及时序控制模块,所述时钟信号控制模块分别与所述刷新率调整模块和所述时序控制模块连接,所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号,所述刷新率调整模块的第一输出端连接所述时钟信号线,并输出对应的时钟信号至所述时钟信号线,所述时钟信号控制模块设置在所述栅极驱动单元与所述时钟信号线之间,所述刷新率调整模块第二输出端连接所述时钟信号控制模块,并输出刷新率控制信号

以控制所述时钟信号线与栅极驱动单元之间的连通,实现不同刷新率的画面显示。

[0009] 可选的,所述时钟信号控制模块包括第一控制电路和第二控制电路,所述第一控制电路包括第一控制开关和第二控制开关,所述第二控制电路包括第三控制开关和第四控制开关,所述第一控制开关和第二控制开关的控制端连接第一控制信号线,所述第一开关的输入端连接第一时钟信号线,输出端分别连接第三控制开关的输出端和第三栅极驱动单元,所述第二控制开关的输入端连接第三时钟信号线,输出端分别连接第四控制开关的输出端和所述第四栅极驱动单元;所述第三控制开关和第四控制开关的控制端连接第二控制信号线,所述第三开关的输入端连接所述第二时钟信号线,输出端连接第三栅极驱动单元,所述第四开关的输入端连接所述第四时钟信号线,输出端连接第四栅极驱动单元。

[0010] 可选的,所述显示面板包括保护电路,所述保护电路包括第五控制开关和第六控制开关,所述第五控制开关的输入端和控制端连接第一控制信号线,输出端连接第一控制开关的控制端;所述第六控制开关的输入端和控制端连接第一控制信号线,输出端连接第二控制开关的控制端。

[0011] 可选的,所述显示面板还包括第一存储电路和第二存储电路,所述第一存储电路的一端连接所述第一控制开关的控制端,一端连接所述第三控制开关的输出端与所述第三栅极驱动单元之间,所述第二存储电路的一端连接所述第二控制开关的控制端,一端连接所述第四控制开关的输出端与所述第四栅极驱动单元之间。

[0012] 本申请还公开了一种显示面板的驱动方法,用于驱动如上任一所述的显示面板,所述驱动方法包括步骤:

[0013] 输出帧起始信号至相邻两行子像素对应的第一栅极驱动单元至第四栅极驱动单元;以及

[0014] 依次输出第一时钟信号至第一栅极单元,第二时钟信号至第三栅极单元,第三时钟信号至第二栅极单元,第四时钟信号至第四栅极单元以生成对应的栅极驱动信号至相邻两行子像素进行驱动显示。

[0015] 可选的,所述显示面板包括刷新率调整模块、时钟信号控制模块以及时序控制模块,所述时钟信号控制模块分别与所述刷新率调整模块和所述时序控制模块连接,所述刷新率调整模块的第一输出端连接所述时钟信号线,所述时钟信号控制模块设置在所述栅极驱动单元与所述时钟信号线之间,所述刷新率调整模块第二输出端连接所述时钟信号控制模块,所述依次输出第一时钟信号至第一栅极单元,第二时钟信号至第三栅极单元,第三时钟信号至第二栅极单元,第四时钟信号至第四栅极单元以生成对应的栅极驱动信号至相邻两行子像素进行驱动显示的步骤包括:

[0016] 所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号;

[0017] 刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示;

[0018] 其中,所述第一时钟信号的上升沿时刻早于第三时钟信号的上升沿。

[0019] 可选的,所述时钟信号控制模块包括第一控制电路和第二控制电路,所述第一控

制电路包括第一控制开关和第二控制开关,所述第二控制电路包括第三控制开关和第四控制开关,所述第一控制开关和第二控制开关的控制端连接第一控制信号线,所述第一开关的输入端连接第一时钟信号线,输出端分别连接第三控制开关的输出端和第三栅极驱动单元,所述第二控制开关的输入端连接第三时钟信号线,输出端分别连接第四控制开关的输出端和所述第四栅极驱动单元;所述第三控制开关和第四控制开关的控制端连接第二控制信号线,所述第三开关的输入端连接所述第二时钟信号线,输出端连接第三栅极驱动单元,所述第四开关的输入端连接所述第四时钟信号线,输出端连接第四栅极驱动单元,所述刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示的步骤包括:

[0020] 根据刷新率信息生成一组相反电平信号的刷新率控制信号分别输入至第一控制信号线和第二控制信号线;

[0021] 当第一控制信号线接收高电平,第二控制信号线接收低电平时,所述第一控制电路导通时,所述第二控制电路关断,所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

[0022] 当第一控制信号线接收低电平,第二控制信号线接收高电平时,所述第二控制电路导通时,所述第一控制电路关断,所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示;

[0023] 其中,所述第一刷新率的值为所述第二刷新率的值的两倍。

[0024] 可选的,所述显示面板包括时序控制模块,所述时序控制生成时钟信号至所述时钟信号线,所述当第一控制信号线接收高电平,第二控制信号线接收低电平时,所述第一控制电路导通时,所述第二控制电路关断,所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示的步骤包括:

[0025] 所述时序控制模块接收到刷新率控制信号后只生成第一时钟信号和第三时钟信号。

[0026] 可选的,所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号的步骤包括:

[0027] 所述刷新率信息根据下一帧的显示画面生成;

[0028] 所述刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示的步骤包括:

[0029] 当下一帧为游戏界面或者视频画面时,生成第一刷新率信息,并根据第一刷新率

信息生成第一刷新率控制信号,控制所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

[0030] 当下一帧为文字画面时,生成第二刷新率信息,并根据第二刷新率信息生成第二刷新率控制信号,控制所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示。

[0031] 相对于在DLG模式无法实现单色显示的DRD显示面板方案来说,本申请提供了一种新型的驱动电路,将相邻两行子像素对应的扫描线连接的时钟信号线进行调换,当前行子像素对应的第一扫描线通过第一栅极驱动单元连接第一时钟信号线,当前行子像素对应的第二扫描线通过第一栅极驱动单元连接第三时钟信号线;下一行子像素对应的第一扫描线通过第三栅极驱动单元连接第二时钟信号线,下一行子像素对应的第二扫描线通过第四栅极驱动单元连接第四时钟信号线,因为第一行子像素的奇数列像素与第二子像素的奇数列像素的颜色相同,故在输入第一时钟信号至第一行子像素的奇数列像素后,再输出第二时钟信号至第二行像素的奇数列像素,此时即使输入的灰阶相同,也可以实现单色显示,不需要对任何信号进行改变,十分简单方便。

附图说明

[0032] 所包括的附图用来提供对本申请实施例的进一步的理解,其构成了说明书的一部分,用于例示本申请的实施方式,并与文字描述一起来阐释本申请的原理。显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图,在附图中:

[0033] 图1是本申请的第一实施例的显示面板的栅极驱动电路级联结构示意图;

[0034] 图2是本申请的第二实施例的显示面板的栅极驱动电路级联结构示意图;

[0035] 图3是本申请的第三实施例的显示面板的栅极驱动电路级联结构示意图;

[0036] 图4是本申请的第三实施例的显示面板的刷新率切换时序图;

[0037] 图5是本申请的第四实施例的的显示面板的栅极驱动电路级联结构示意图;

[0038] 图6是本申请的第五实施例的显示面板的驱动方法流程示意图;

[0039] 图7是本申请的第六实施例的显示面板的驱动方法流程示意图;

[0040] 图8是本申请的第七实施例的显示面板的驱动方法流程示意图;

[0041] 图9是本申请的第八实施例的显示面板的驱动方法流程示意图。

[0042] 其中,100、显示面板;110、子像素;120、扫描线;121、第一扫描线;122、第二扫描线;130、栅极驱动单元;131、第一栅极驱动单元;132、第二栅极驱动单元;133、第三栅极驱动单元;134、第四栅极驱动单元;140、时钟信号线;141、第一时钟信号线;142、第二时钟信号线;143、第三时钟信号线;144、第四时钟信号线;150、刷新率调整模块;160、时序控制模块;170、时钟信号控制模块;180、第一控制电路;181、第一控制开关;182、第二控制开关;183、第一控制信号线;190、第二控制电路;191、第三控制开关;192、第四控制开关;193、第二控制信号线;200、保护电路;210、第五控制开关;220、第六控制开关。

具体实施方式

[0043] 需要理解的是,这里所使用的术语、公开的具体结构和功能细节,仅仅是为了描述具体实施例,是代表性的,但是本申请可以通过许多替换形式来具体实现,不应被解释成仅受限于这里所阐述的实施例。

[0044] 下面参考附图和可选的实施例对本申请作详细说明。

[0045] 如图1所示,作为本申请的第一实施例,公开了一种显示面板100,沿数据线方向上,所述显示面板100划分为多行子像素110,每一行子像素110对应设有两条扫描线120,两条扫描线120分别为第一扫描线121和第二扫描线122,所述第一扫描线121连接奇数列子像素110,所述第二扫描线122连接偶数列子像素110,每一行子像素110中的相同列子像素110的颜色相同,每条数据线连接相邻两列的两个不同颜色的子像素110;相邻的两行子像素110对应设置四个栅极驱动单元130和四条时钟信号线140,四个栅极驱动单元130分别为第一栅极驱动单元131,第二栅极驱动单元132,第三栅极驱动单元133和第四栅极驱动单元134,四条时钟信号线140分别为第一时钟信号线141,第二时钟信号线142,第三时钟信号线143和第四时钟信号线144,所述第一时钟信号线141,第二时钟信号线142,第三时钟信号线143和第四时钟信号线144对应的时钟信号的上升沿时刻,依次从早到晚排列;当前时钟信号线140对应的时钟信号的上升沿时刻早于下一时钟信号线140对应的时钟信号的上升沿,当前时钟信号线140对应的时钟信号的下降沿时刻早于下一时钟信号线140对应的时钟信号的下降沿,不同时钟信号线140对应的时钟信号的脉宽一致。

[0046] 其中,当前行子像素110对应的第一扫描线121通过第一栅极驱动单元131连接第一时钟信号线141,当前行子像素110对应的第二扫描线122通过第一栅极驱动单元131连接第三时钟信号线143;下一行子像素110对应的第一扫描线121通过第三栅极驱动单元133连接第二时钟信号线142,下一行子像素110对应的第二扫描线122通过第四栅极驱动单元134连接第四时钟信号线144。

[0047] 本申请没有增加额外的数据线或扫描线120,面板设计上,对公共线处时钟信号CK进行重新排列设计;以相邻的两行子像素110为一个组,组与组之间不存在共用的像素行,也就是第一行子像素110和第二行子像素110为一组,第三行子像素110和第四行子像素110为一组,第五行子像素110和第六行子像素110为一组,依次类推;每组中第一行子像素110的偶数行扫描线120与第二子像素110中的奇数行扫描线120进行调换,当前行子像素110对应的第二扫描线122通过第一栅极驱动单元131连接第三时钟信号线143,下一行子像素110对应的第一扫描线121通过第三栅极驱动单元133连接第二时钟信号线142,如此同一行子像素110中的相邻两个不同颜色的子像素110便接收不同的时钟信号,即使接收相同的灰阶也能实现单色画面的显示,解决了DRD显示面板100由于相邻行同一数据线连接的是不同颜色像素,而DLG模式两不同颜色像素显示同一灰阶,无法显示RGB单色画面,显示面板100无法正常进行颜色显示的问题。

[0048] 参考图2所示,作为本申请的第二实施例是对上述第一实施例的进一步的细化,本实施例在DLG模式下可以实现单色显示的DRD显示面板100中,还可以对刷新率进行改变,DRD在开DLG时能实现单色显示,能自动进行Normal与DLG时序的切换,并且可以在不同视频自动切换DLG时序达到高刷。

[0049] 具体的,所述显示面板100包括刷新率调整模块150、时钟信号控制模块170以及时

序控制模块160,所述时钟信号控制模块170分别与所述刷新率调整模块150和所述时序控制模块160连接,所述刷新率调整模块150根据刷新率信息生成刷新率控制信号,时序控制模块160根据刷新率信息生成时钟信号,所述刷新率调整模块150的第一输出端连接所述时钟信号线140,并输出对应的时钟信号至所述时钟信号线140,所述时钟信号控制模块170设置在所述栅极驱动单元130与所述时钟信号线140之间,所述刷新率调整模块150第二输出端连接所述时钟信号控制模块170,并输出刷新率控制信号以控制所述时钟信号线140与栅极驱动单元130之间的连通,实现不同刷新率的画面显示。

[0050] 时钟信号控制模块170可以控制对应的时钟信号输入至不同的栅极驱动单元130中,例如刷新率调整模块150生成的刷新率控制信号控制所述时钟信号线140与栅极驱动单元130之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的第一栅极驱动单元131,第二栅极驱动单元132,第三栅极驱动单元133和第四栅极驱动单元134,实现低刷显示;或先同时输出第一时钟信号至第一栅极驱动单元131和第三栅极驱动单元133,而后输出第三时钟信号至第二栅极驱动单元132和第四栅极驱动单元,实现高刷显示。

[0051] 如图3和图4所示,作为本申请的第三实施例,是对上述实施例的进一步的限定和改善,所述时钟信号控制模块170包括第一控制电路180和第二控制电路190,所述第一控制电路180包括第一控制开关181和第二控制开关182,所述第二控制电路190包括第三控制开关191和第四控制开关192,所述第一控制开关181和第二控制开关182的控制端连接第一控制信号线183,所述第一开关的输入端连接第一时钟信号线141,输出端分别连接第三控制开关191的输出端和第三栅极驱动单元133,所述第二控制开关182的输入端连接第三时钟信号线143,输出端分别连接第四控制开关192的输出端和所述第四栅极驱动单元134;所述第三控制开关191和第四控制开关192的控制端连接第二控制信号线193,所述第三开关的输入端连接所述第二时钟信号线142,输出端连接第三栅极驱动单元133,所述第四开关的输入端连接所述第四时钟信号线144,输出端连接第四栅极驱动单元134。

[0052] 以六行子像素110为例,每行子像素110对应两条扫描线120,每条扫描线120连接一个栅极驱动单元130,六行子像素110总对应十二个栅极驱动单元130,每行栅极驱动单元130分别连接不同的时钟信号线140,所述显示面板100包括多个栅极驱动单元130,所述第一栅极驱动单元131至第四栅极驱动单元134同时接受帧起始信号,所述第一栅极驱动单元131至第四栅极驱动的输出端分别连接第七栅极驱动单元130至第十一栅极单元的的起始端,第九栅极驱动单元130至第十二栅极驱动的单元的输出端分别连接所述第一栅极驱动单元131至第四栅极驱动单元134的复位端;在高刷时间,扫描线120电容负载大,可将扫描线120的CK数量增加到12CK来驱动降低扫描线120的负载,当然本方案也适用为扫描线120的CK数量6CK的数量。

[0053] 如图5所示,作为本申请的第四实施例,是对上述第三实施例的进一步的改善,所述显示面板100包括保护电路200,所述保护电路200包括第五控制开关210和第六控制开关220,所述第五控制开关210的输入端和控制端连接第一控制信号线183,输出端连接第一控制开关181的控制端;所述第六控制开关220的输入端和控制端连接第一控制信号线183,输出端连接第二控制开关182的控制端,在第一控制开关181和第二控制开关182之前还对应设有第五控制开关210和第六控制开关220,在进行高刷和低刷切换的时候,可以减低时钟

信号通过第一控制开关181和第二控制开关182的损耗,延长第一控制开关181和第二控制开关182的使用寿命。

[0054] 进一步的,所述显示面板100还包括第一存储电路和第二存储电路,所述第一存储电路包括第一存储电容,所述第二存储电路包括第二存储电容,所述第一存储电容的一端连接所述第一控制开关181的控制端,一端连接所述第三控制开关191的输出端与所述第三栅极驱动单元133之间,所述第二存储电容的一端连接所述第二控制开关182的控制端,一端连接所述第四控制开关192的输出端与所述第四栅极驱动单元134之间,设置存储电容存储电荷,有利于减少第一控制开关和第二控制开关的阈值偏移,从而减少控制开关的损耗,另外,本申请的第一控制开关至第六控制开关主要采用高电平导通,低电平关断的MOS管,当然当控制信号N,B和波形反相,也可以采用低电平导通,高电平关断的MOS管。

[0055] 如图6所示,作为本申请的第五实施例,公开了一种显示面板的驱动方法,所述驱动方法用于驱动如上任一实施例所述的显示面板,所述驱动方法包括步骤:

[0056] S1:输出帧起始信号至相邻两行子像素对应的第一栅极驱动单元至第四栅极驱动单元;以及

[0057] S2:依次输出第一时钟信号至第一栅极单元,第二时钟信号至第三栅极单元,第三时钟信号至第二栅极单元,第四时钟信号至第四栅极单元以生成对应的栅极驱动信号至相邻两行子像素进行驱动显示。

[0058] 因为目前DRD显示面板相邻行同一数据线连接的是不同颜色像素,而DLG模式两不同颜色像素显示同一灰阶,无法显示RGB单色画面,参考图1所示,将当前行像素对应的扫描线120与相邻的下一行子像素110对应的扫描线120连接的时钟信号线140进行调换,当前行子像素110对应的第二扫描线122通过第一栅极驱动单元131连接第三时钟信号线143,下一行子像素110对应的第一扫描线121通过第三栅极驱动单元133连接第二时钟信号线142,如此同一行子像素110中的相邻两个不同颜色的子像素110便接收不同的时钟信号,即使接收相同的灰阶也能实现单色画面的显示。

[0059] 进一步的,参考图7所示,作为本申请的第六实施例,是对上述第五实施例的进一步的细化,参考图1至图4所示,所述显示面板100包括刷新率调整模块150、时钟信号控制模块170以及时序控制模块160,所述时钟信号控制模块170分别与所述刷新率调整模块150和所述时序控制模块160连接,所述刷新率调整模块150的第一输出端连接所述时钟信号线140,所述时钟信号控制模块170设置在所述栅极驱动单元130与所述时钟信号线140之间,所述刷新率调整模块150第二输出端连接所述时钟信号控制模块170,所述步骤S2包括:

[0060] S21:所述刷新率调整模块根据刷新率信息生成刷新率控制信号,时序控制模块根据刷新率信息生成时钟信号;

[0061] S22:刷新率控制信号控制所述时钟信号线与栅极驱动单元之间的连通或关断,分时输入第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号至对应的栅极驱动单元,或同时输出第一时钟信号至第一栅极驱动单元和第三栅极驱动单元,输出第三时钟信号至第二栅极驱动单元和第四栅极单元,实现不同刷新率的画面显示;

[0062] 其中,所述第一时钟信号的上升沿时刻早于第三时钟信号的上升沿。

[0063] 本实施例中,刷新率调整模块150可以控制时序控制模块160输出的时序控制信号的生成,且还能通过控制时钟信号控制模块170的导通或者关断以控制时钟信号线140与栅

极驱动单元130之间的连接,可以对刷新率进行改变,DRD在开DLG时能实现单色显示,能自动进行Normal与DLG时序的切换,并且可以在不同视频自动切换DLG时序达到高刷。

[0064] 如图8所示,作为本申请的第七实施例,是对上述第五实施例的进一步的细化和完善,所述步骤S21包括:

[0065] S211:所述刷新率信息根据下一帧的显示画面生成;

[0066] 所述步骤S22包括:

[0067] S221:当下一帧为游戏界面或者视频画面时,生成第一刷新率信息,并根据第一刷新率信息生成第一刷新率控制信号,控制所述第一时钟信号线同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

[0068] S222:当下一帧为文字画面时,生成第二刷新率信息,并根据第二刷新率信息生成第二刷新率控制信号,控制所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示。

[0069] 参考图3,图4和图7所示,当下一帧进行高刷显示时,所述第一时钟信号的脉宽比原来减少一半,且第一时钟信号同时输入至第一栅极驱动单元131和第三栅极驱动单元133,在第一时钟信号的高电平结束后,也就是第一时钟信号的下降沿时,所述第三时钟信号线143同时输入第三时钟信号至所述第二栅极驱动单元132和第四栅极驱动单元134,第三时钟信号的脉宽与第一时钟信号的脉宽一致;此时,时序控制芯片不生成第二时钟信号和第四时钟信号。

[0070] 如图9所示,作为本申请的第八实施例,是对上述第五实施例的进一步的细化和完善,参考图3,图4以及图8所示,所述时钟信号控制模块170包括第一控制电路180和第二控制电路190,所述第一控制电路180包括第一控制开关181和第二控制开关182,所述第二控制电路190包括第三控制开关191和第四控制开关192,所述第一控制开关181和第二控制开关182的控制端连接第一控制信号线183,所述第一开关的输入端连接第一时钟信号线141,输出端分别连接第三控制开关191的输出端和第三栅极驱动单元133,所述第二控制开关182的输入端连接第三时钟信号线143,输出端分别连接第四控制开关192的输出端和所述第四栅极驱动单元134;所述第三控制开关191和第四控制开关192的控制端连接第二控制信号线193,所述第三开关的输入端连接所述第二时钟信号线142,输出端连接第三栅极驱动单元133,所述第四开关的输入端连接所述第四时钟信号线144,输出端连接第四栅极驱动单元134,所述步骤S22包括:

[0071] S221':根据刷新率信息生成一组相反电平信号的刷新率控制信号分别输入至第一控制信号线183和第二控制信号线193;

[0072] S222':当第一控制信号线183接收高电平,第二控制信号线193接收低电平时,所述第一控制电路180导通时,所述第二控制电路190关断,所述第一时钟信号线141同时输入第一时钟信号至所述第一栅极驱动单元和第三栅极驱动单元,所述第三时钟信号线143同时输入第三时钟信号至所述第二栅极驱动单元和第四栅极驱动单元,所述显示面板实现第一刷新率的画面显示;

[0073] S223':当第一控制信号线接收低电平,第二控制信号线接收高电平时,所述第二控制电路导通时,所述第一控制电路关断,所述第一时钟信号线输入第一时钟信号至所述第一栅极驱动单元,所述第二时钟信号线输入第二时钟信号至第三栅极驱动单元,所述第三时钟信号线输入第三时钟信号至所述第二栅极驱动单元,所述第四时钟信号线输入第四时钟信号至所述第四栅极驱动单元,所述显示面板实现第二刷新率的画面显示;

[0074] 其中,所述第一刷新率的值为所述第二刷新率的值的两倍。

[0075] 另外,所述时序控制生成时钟信号至所述时钟信号线140,所述当第一控制信号线183接收高电平,第二控制信号线193接收低电平时,所述第一控制电路180导通时,所述第二控制电路190关断,所述第一时钟信号线141同时输入第一时钟信号至所述第一栅极驱动单元131和第三栅极驱动单元133,所述第三时钟信号线143同时输入第三时钟信号至所述第二栅极驱动单元132和第四栅极驱动单元134,所述显示面板100实现第一刷新率的画面显示的步骤包括:

[0076] 所述时序控制模块160接收到刷新率控制信号后只生成第一时钟信号和第三时钟信号。

[0077] 当低刷显示时,时序控制模块160根据刷新率信息生成第一时钟信号,第二时钟信号,第三时钟信号和第四时钟信号并导通对应的第二控制电路190输出至对应的栅极驱动单元130,当高刷显示时,时序控制模块160根据刷新率信息生成第一时钟信号和第三时钟信号并导通对应的第一控制电路180,关断第二控制电路190,输出第一时钟信号至第一栅极驱动单元131和第三栅极驱动单元133,输出第三时钟信号至对应的第二栅极驱动单元132和第四栅极驱动单元134,由于第二控制电路190关断状态,且第二栅极驱动单元132和第三栅极驱动单元133已经接收时钟信号,故对应的第二时钟信号线142和第四时钟信号线144也不需要接收对应的时钟信号,故时序控制模块160可以不生成对应的第二时钟信号和第四时钟信号至第二时钟信号线142和第四时钟信号线144。

[0078] 需要说明的是,本方案中涉及到的各步骤的限定,在不影响具体方案实施的前提下,并不认定为对步骤先后顺序做出限定,写在前面的步骤可以是在先执行的,也可以是在后执行的,甚至也可以是同时执行的,只要能实施本方案,都应当视为属于本申请的保护范围。

[0079] 需要说明的是,本申请的发明构思可以形成非常多的实施例,但是申请文件的篇幅有限,无法一一列出,因而,在不相冲突的前提下,以上描述的各实施例之间或各技术特征之间可以任意组合形成新的实施例,各实施例或技术特征组合之后,将会增强原有的技术效果。

[0080] 本申请的技术方案可以广泛用于各种显示面板的驱动电路,如TN(Twisted Nematic,扭曲向列型)显示面板的驱动电路、IPS(In-Plane Switching,平面转换型)显示面板的驱动电路、VA(Vertical Alignment,垂直配向型)显示面板的驱动电路、MVA(Multi-Domain Vertical Alignment,多象限垂直配向型)显示面板的驱动电路,当然,也可以是其他类型的显示面板的驱动电路,如OLED(Organic Light-Emitting Diode,有机发光二极管)显示面板的驱动电路,均可适用上述方案。

[0081] 以上内容是结合具体的可选实施方式对本申请所作的进一步详细说明,不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说,在

不脱离本申请构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本申请的保护范围。

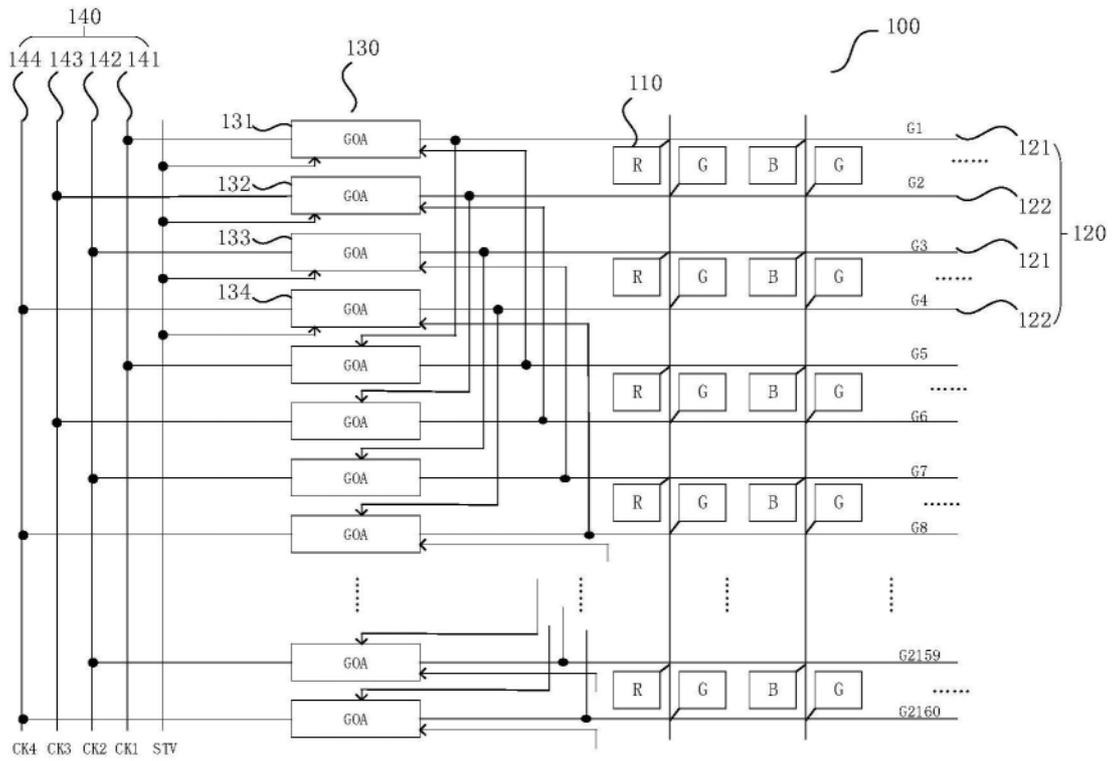


图1

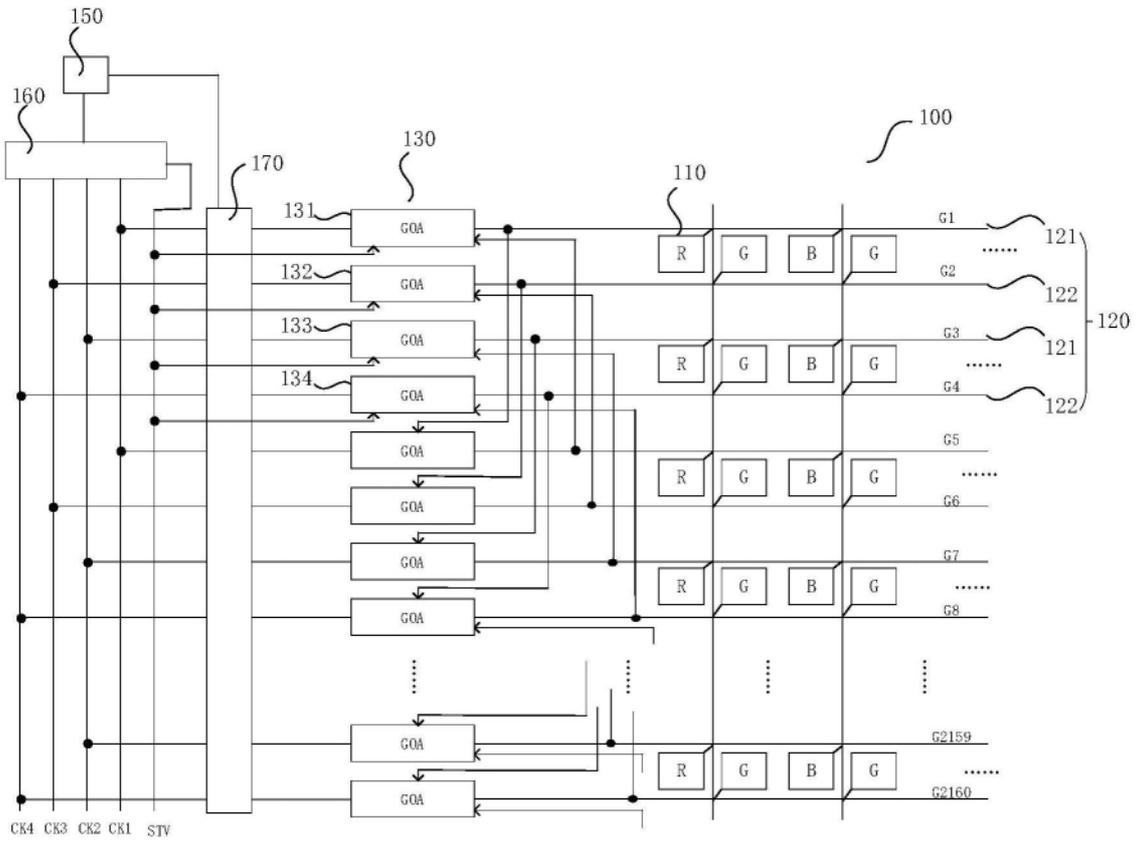


图2

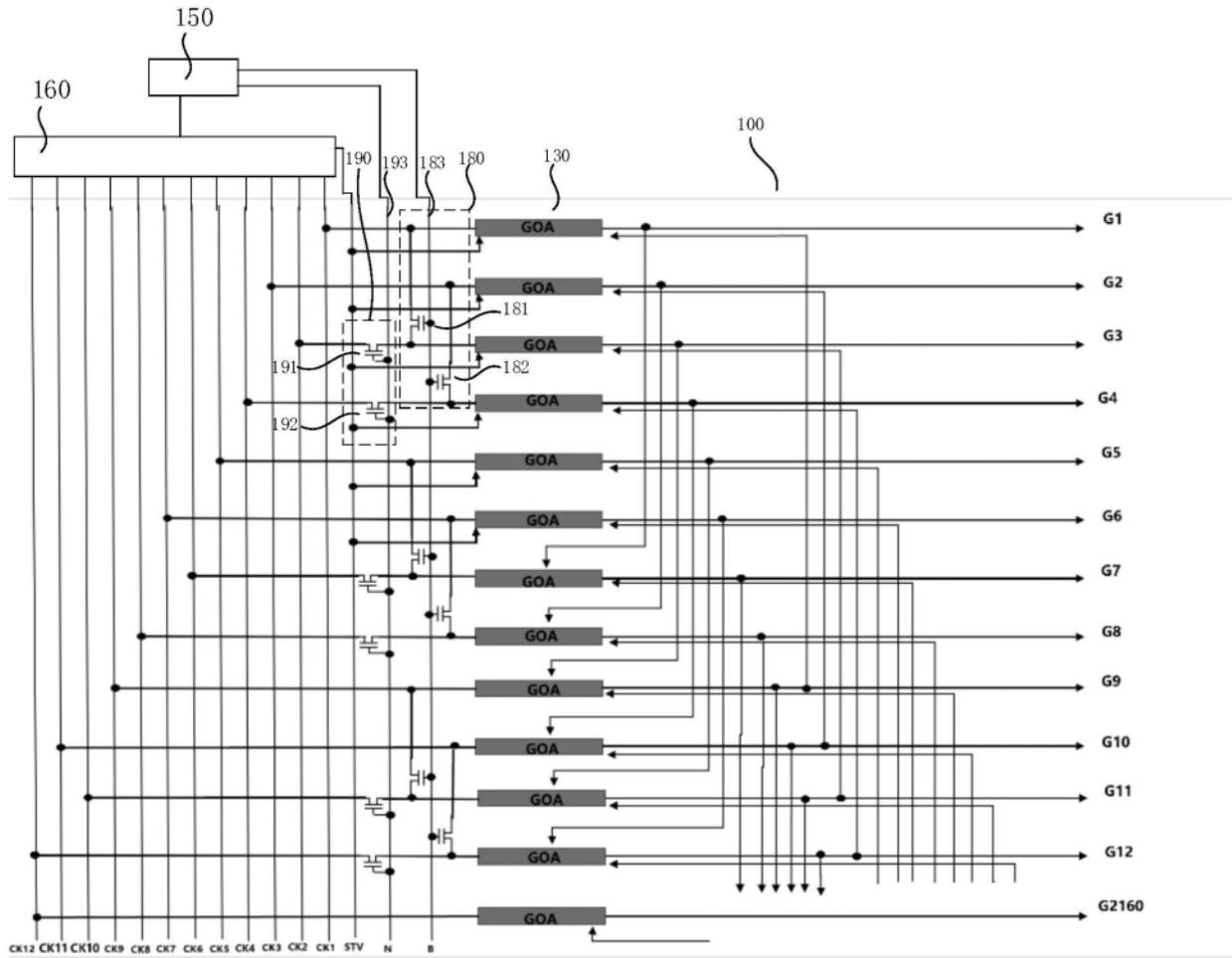


图3

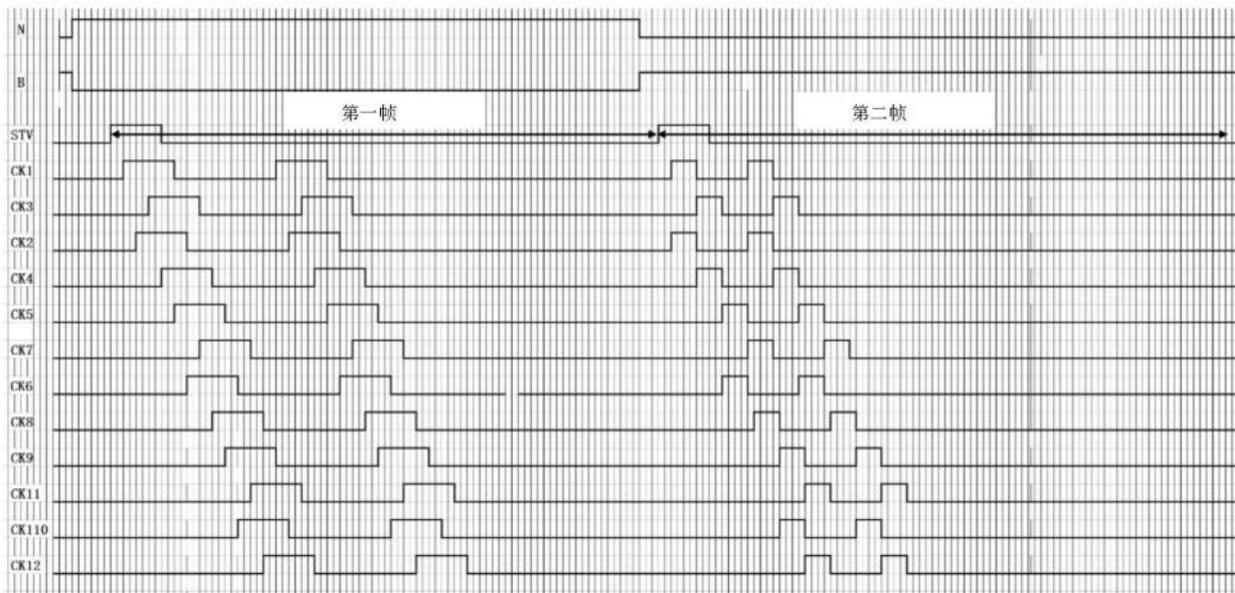


图4

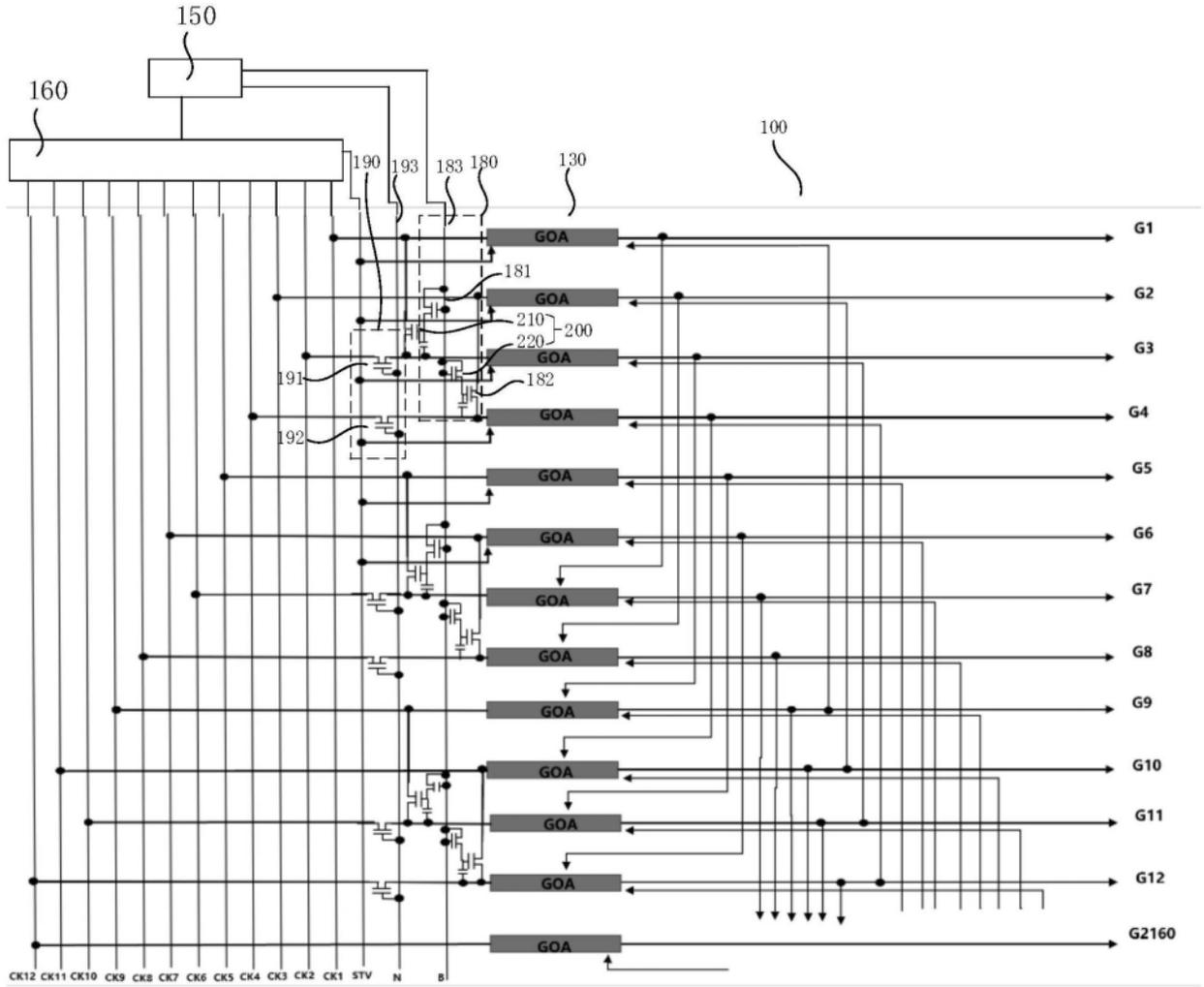


图5

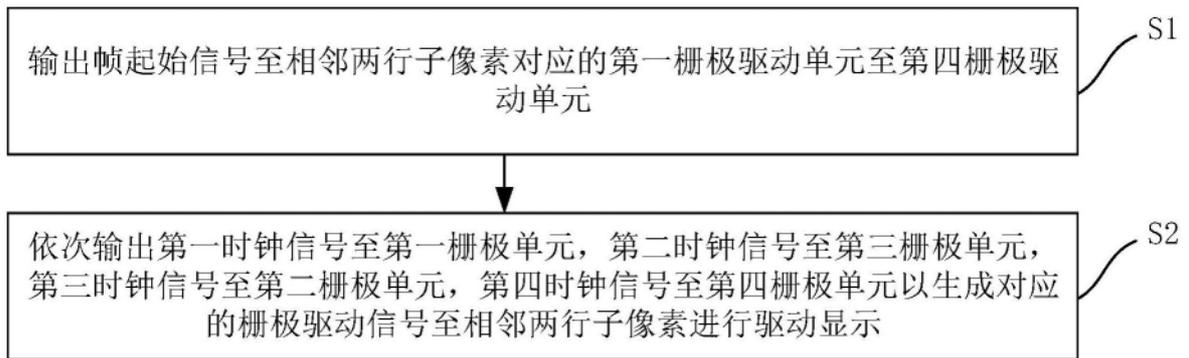


图6

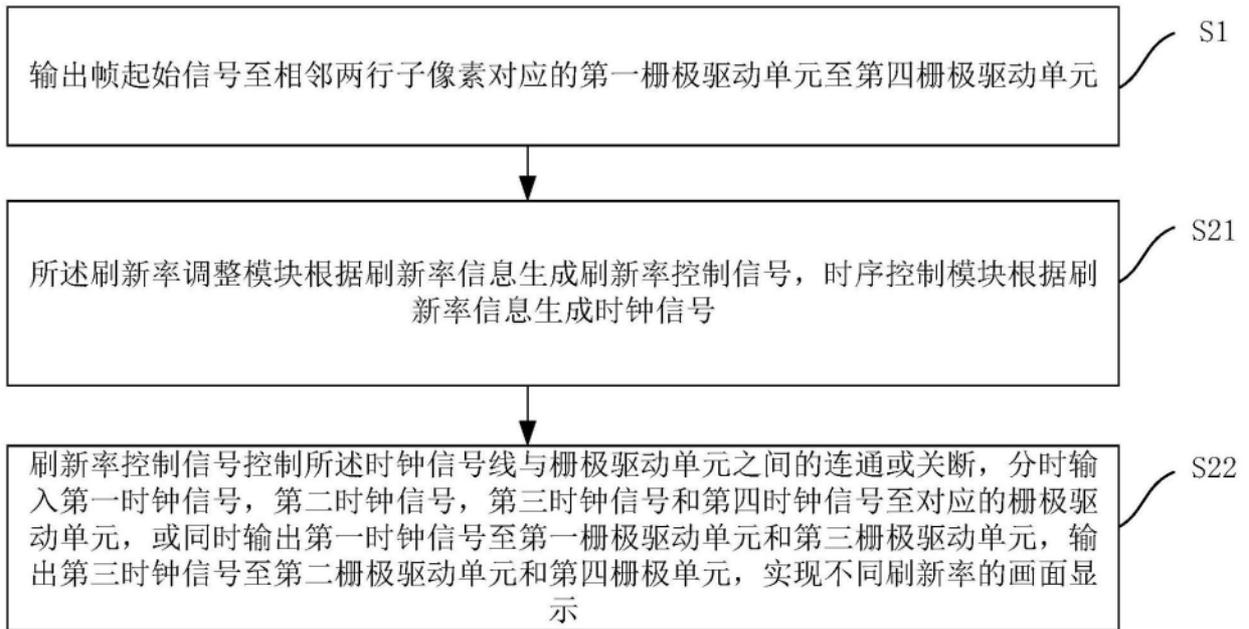


图7

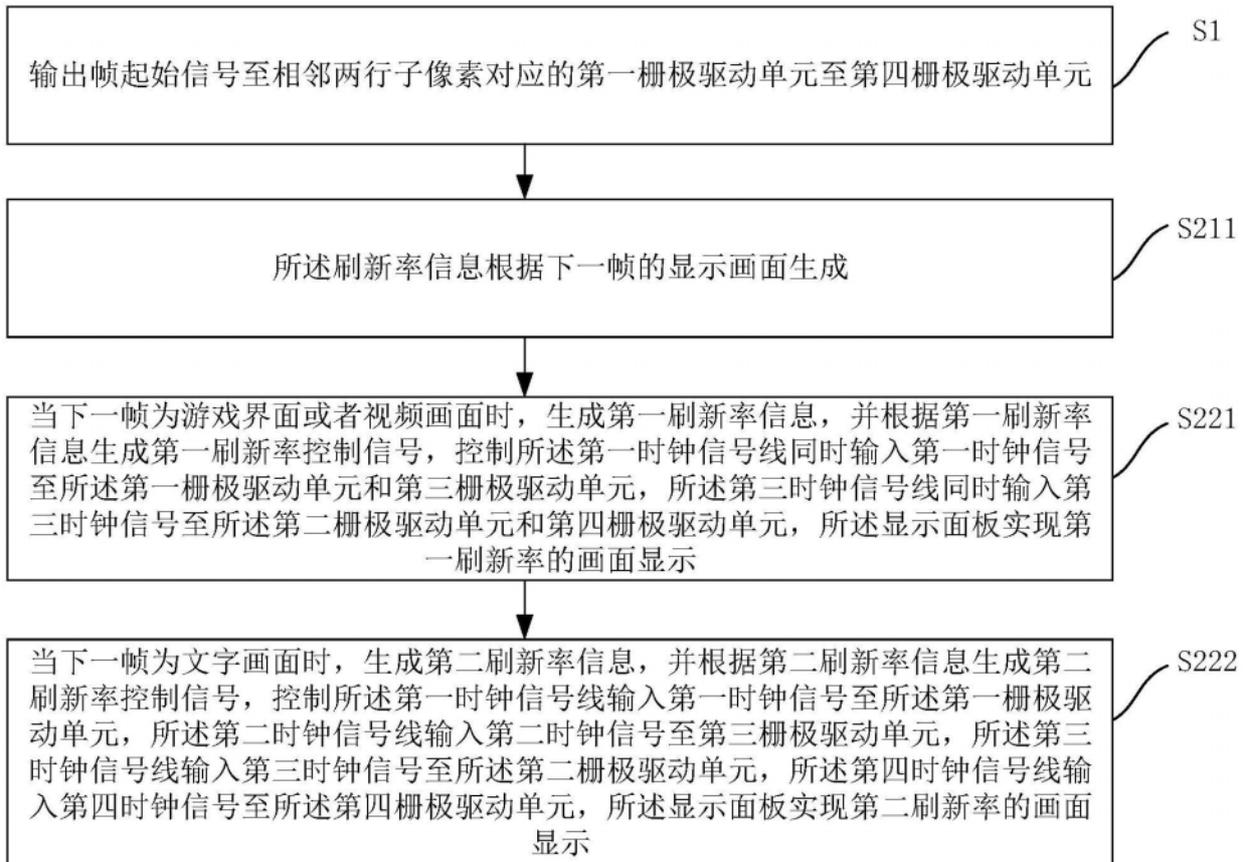


图8

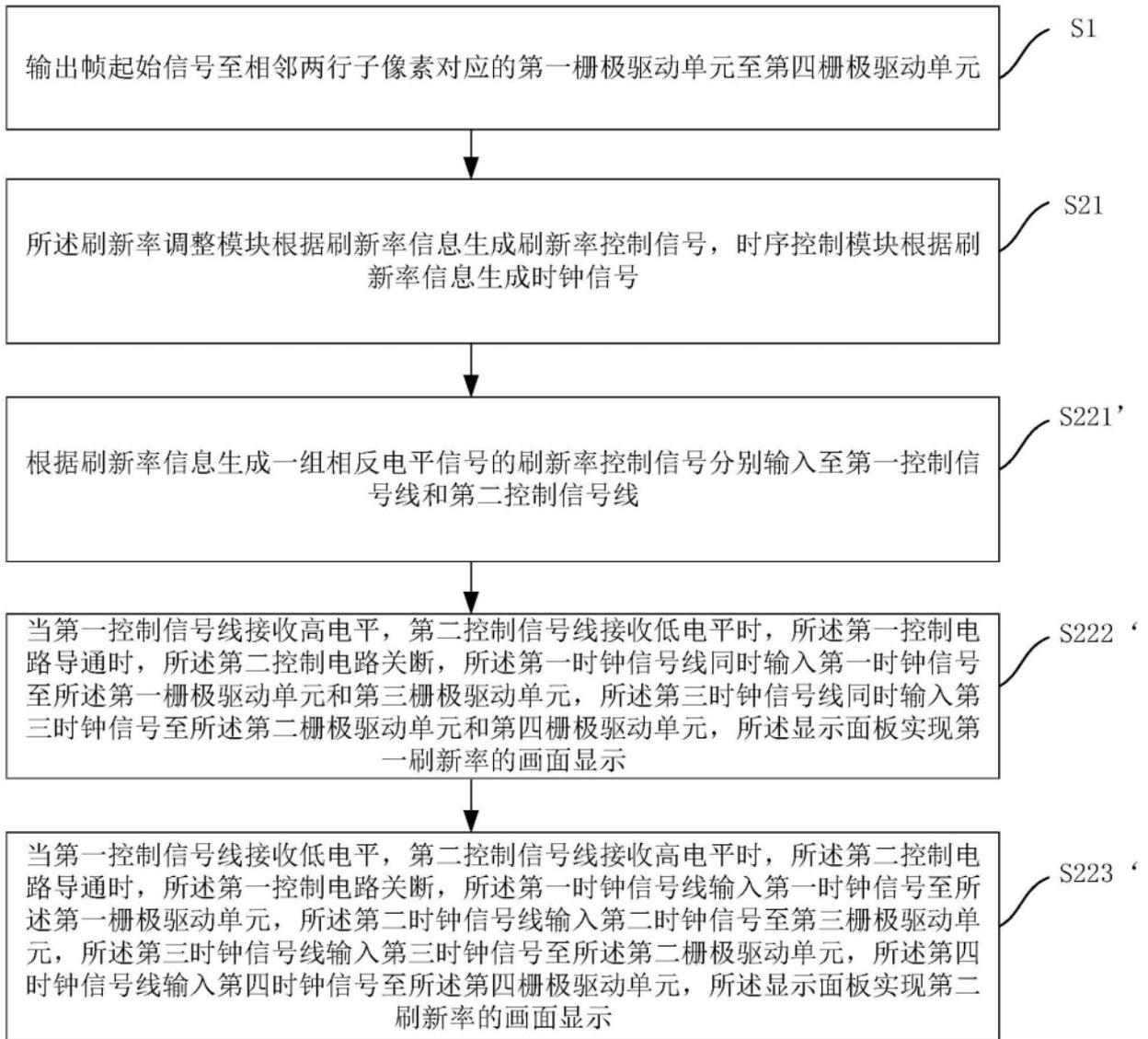


图9