



(12) 发明专利申请

(10) 申请公布号 CN 115547388 A

(43) 申请公布日 2022. 12. 30

(21) 申请号 202211273740.3

(22) 申请日 2022.10.18

(71) 申请人 群联电子股份有限公司
地址 中国台湾苗栗县竹南镇群义路1号

(72) 发明人 曾士家 张议方 曹峻玮 许丞鞍
林纬

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205
专利代理师 贺财俊 刘芳

(51) Int. Cl.

G11C 16/08 (2006.01)

G11C 16/34 (2006.01)

G11C 29/42 (2006.01)

G11C 29/44 (2006.01)

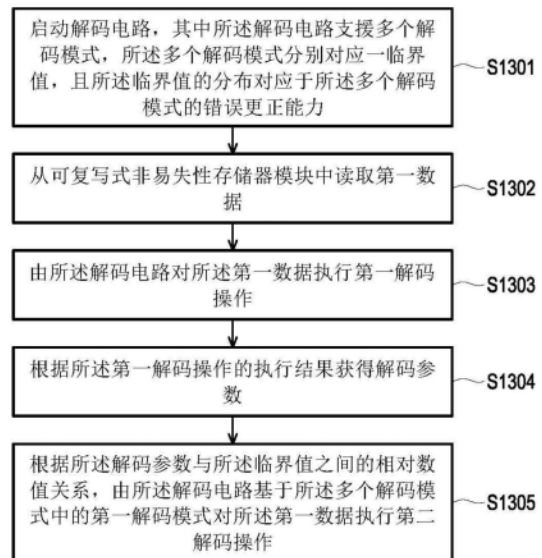
权利要求书4页 说明书17页 附图9页

(54) 发明名称

解码方法、存储器存储装置及存储器控制电
路单元

(57) 摘要

本发明提供一种解码方法、存储器存储装置及存储器控制电路单元。所述方法包括：启动解码电路，其支援多个解码模式，所述多个解码模式分别对应一临界值，且所述临界值的分布对应于所述多个解码模式的错误更正能力；从可复写式非易失性存储器模块中读取第一数据；由所述解码电路对所述第一数据执行第一解码操作；根据所述第一解码操作的执行结果获得解码参数；以及根据所述解码参数与所述临界值之间的相对数值关系，由所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。由此，可提升解码效率。



1. 一种解码方法,其特征在于,用于可复写式非易失性存储器模块,所述解码方法包括:

启动解码电路,其中所述解码电路支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力;

从所述可复写式非易失性存储器模块中读取第一数据;

由所述解码电路对所述第一数据执行第一解码操作;

根据所述第一解码操作的执行结果获得解码参数;以及

根据所述解码参数与所述临界值之间的相对数值关系,由所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

2. 根据权利要求1所述的解码方法,其中所述解码参数与所述第一数据的比特错误率有关。

3. 根据权利要求2所述的解码方法,其中根据所述第一解码操作的所述执行结果获得所述解码参数的步骤包括:

根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及

根据所述多个校验子的总和获得所述解码参数。

4. 根据权利要求1所述的解码方法,其中根据所述解码参数与所述临界值之间的所述相对数值关系,由所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:

比较所述解码参数与所述临界值;以及

根据比较结果,从所述多个解码模式中决定所述第一解码模式。

5. 根据权利要求1所述的解码方法,其中所述第一解码模式对应第一临界值,且根据所述解码参数与所述临界值之间的所述相对数值关系,由所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:

响应于所述解码参数小于所述第一临界值,由所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作。

6. 根据权利要求5所述的解码方法,其中由所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:

响应于所述解码参数不小于所述多个解码模式中的第二解码模式所对应的第二临界值,由所述解码电路跳过所述第二解码模式而基于所述第一解码模式对所述第一数据执行所述第二解码操作,

其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

7. 根据权利要求1所述的解码方法,还包括:

在基于所述第一解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

8. 根据权利要求7所述的解码方法,其中根据所述第二解码操作的所述执行结果调整所述第一解码模式所对应的所述第一临界值的步骤包括:

根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率;以及

根据所述解码成功率调整所述第一临界值。

9. 一种存储器存储装置,其特征在于,包括:

连接接口单元,用以连接至主机系统;

可复写式非易失性存储器模块;以及

存储器控制电路单元,连接至所述连接接口单元与所述可复写式非易失性存储器模块,

其中所述存储器控制电路单元支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力,

所述存储器控制电路单元用以:

发送读取指令序列,其指示从所述可复写式非易失性存储器模块中读取第一数据;

对所述第一数据执行第一解码操作;

根据所述第一解码操作的执行结果获得解码参数;以及

根据所述解码参数与所述临界值之间的相对数值关系,基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

10. 根据权利要求9所述的存储器存储装置,其中所述解码参数与所述第一数据的比特错误率有关。

11. 根据权利要求10所述的存储器存储装置,其中所述存储器控制电路单元根据所述第一解码操作的所述执行结果获得所述解码参数的操作包括:

根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及

根据所述多个校验子的总和获得所述解码参数。

12. 根据权利要求9所述的存储器存储装置,其中所述存储器控制电路单元根据所述解码参数与所述临界值之间的所述相对数值关系,基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

比较所述解码参数与所述临界值;以及

根据比较结果,从所述多个解码模式中决定所述第一解码模式。

13. 根据权利要求9所述的存储器存储装置,其中所述第一解码模式对应第一临界值,且所述存储器控制电路单元根据所述解码参数与所述临界值之间的所述相对数值关系,基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

响应于所述解码参数小于所述第一临界值,基于所述第一解码模式对所述第一数据执行所述第二解码操作。

14. 根据权利要求13所述的存储器存储装置,其中所述存储器控制电路单元基于所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

响应于所述解码参数不小于所述多个解码模式中的第二解码模式所对应的第二临界值,跳过所述第二解码模式而基于所述第一解码模式对所述第一数据执行所述第二解码操作,

其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

15. 根据权利要求9所述的存储器存储装置,其中所述存储器控制电路单元更用以:

在基于所述第一解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

16. 根据权利要求15所述的存储器存储装置,其中所述存储器控制电路单元根据所述第二解码操作的所述执行结果调整所述第一解码模式所对应的所述第一临界值的操作包括:

根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率;以及根据所述解码成功率调整所述第一临界值。

17. 一种存储器控制电路单元,其特征在于,用以控制可复写式非易失性存储器模块,所述存储器控制电路单元包括:

主机接口,用以连接至主机系统;

存储器接口,用以连接至所述可复写式非易失性存储器模块;

解码电路;以及

存储器管理电路,连接至所述主机接口、所述存储器接口及所述解码电路,

其中所述解码电路支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力,

所述存储器管理电路用以:

发送读取指令序列,其指示从所述可复写式非易失性存储器模块中读取第一数据;

通过所述解码电路对所述第一数据执行第一解码操作;

根据所述第一解码操作的执行结果获得解码参数;以及

根据所述解码参数与所述临界值之间的相对数值关系,指示所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

18. 根据权利要求17所述的存储器控制电路单元,其中所述解码参数与所述第一数据的比特错误率有关。

19. 根据权利要求18所述的存储器控制电路单元,其中所述存储器管理电路根据所述第一解码操作的所述执行结果获得所述解码参数的操作包括:

根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及

根据所述多个校验子的总和获得所述解码参数。

20. 根据权利要求17所述的存储器控制电路单元,其中所述存储器管理电路根据所述解码参数与所述临界值之间的所述相对数值关系,指示所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

比较所述解码参数与所述临界值;以及

根据比较结果,从所述多个解码模式中决定所述第一解码模式。

21. 根据权利要求17所述的存储器控制电路单元,其中所述第一解码模式对应第一临界值,且所述存储器管理电路根据所述解码参数与所述临界值之间的所述相对数值关系,指示所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

响应于所述解码参数小于所述第一临界值,指示所述解码电路基于所述第一解码模式

对所述第一数据执行所述第二解码操作。

22. 根据权利要求21所述的存储器控制电路单元,其中所述存储器管理电路指示所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:

响应于所述解码参数不小于所述多个解码模式中的第二解码模式所对应的第二临界值,跳过所述第二解码模式而指示所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作,

其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

23. 根据权利要求17所述的存储器控制电路单元,其中所述存储器管理电路更用以:

在所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

24. 根据权利要求23所述的存储器控制电路单元,其中所述存储器管理电路根据所述第二解码操作的所述执行结果调整所述第一解码模式所对应的所述第一临界值的操作包括:

根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率;以及根据所述解码成功率调整所述第一临界值。

解码方法、存储器存储装置及存储器控制电路单元

技术领域

[0001] 本发明涉及一种解码方法、存储器存储装置及存储器控制电路单元。

背景技术

[0002] 移动电话、平板计算机及笔记本电脑在这几年来的成长十分迅速,使得消费者对存储媒体的需求也急速增加。由于可复写式非易失性存储器模块(rewritable non-volatile memory module)(例如,快闪存储器)具有数据非易失性、省电、体积小,以及无机械结构等特性,所以非常适合内建于上述所举例的各种可携式多媒体装置中。

[0003] 为了确保数据的正确性,存储在可复写式非易失性存储器模块中的数据可能经过编码。当从可复写式非易失性存储器模块读取数据时,所读取的数据可被解码以更正错误。然而,如何在解码电路的错误更正能力与解码速度之间取得平衡,实为相关领域的技术人员所致力研究的课题之一。

发明内容

[0004] 本发明提供一种解码方法、存储器存储装置及存储器控制电路单元,可提升解码效率。

[0005] 本发明的范例实施例提供一种解码方法,其用于可复写式非易失性存储器模块,所述解码方法包括:启动解码电路,其中所述解码电路支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力;从所述可复写式非易失性存储器模块中读取第一数据;由所述解码电路对所述第一数据执行第一解码操作;根据所述第一解码操作的执行结果获得解码参数;以及根据所述解码参数与所述临界值之间的相对数值关系,由所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

[0006] 在本发明的一范例实施例中,所述解码参数与所述第一数据的比特错误率有关。

[0007] 在本发明的一范例实施例中,根据所述第一解码操作的所述执行结果获得所述解码参数的步骤包括:根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及根据所述多个校验子的总和获得所述解码参数。

[0008] 在本发明的一范例实施例中,根据所述解码参数与所述临界值之间的所述相对数值关系,由所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:比较所述解码参数与所述临界值;以及根据比较结果,从所述多个解码模式中决定所述第一解码模式。

[0009] 在本发明的一范例实施例中,所述第一解码模式对应第一临界值,且根据所述解码参数与所述临界值之间的所述相对数值关系,由所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:响应于所述解码参数小于所述第一临界值,由所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作。

[0010] 在本发明的一范例实施例中,由所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作的步骤包括:响应于所述解码参数大于所述多个解码模式中的第二解码模式所对应的第二临界值,由所述解码电路跳过所述第二解码模式而基于所述第一解码模式对所述第一数据执行所述第二解码操作,其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

[0011] 在本发明的一范例实施例中,所述的解码方法还包括:在基于所述第一解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

[0012] 在本发明的一范例实施例中,根据所述第二解码操作的所述执行结果调整所述第一解码模式所对应的所述第一临界值的步骤包括:根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率;以及根据所述解码成功率调整所述第一临界值。

[0013] 本发明的范例实施例另提供一种存储器存储装置,其包括连接接口单元、可复写式非易失性存储器模块及存储器控制电路单元。所述连接接口单元用以连接至主机系统。所述存储器控制电路单元连接至所述连接接口单元与所述可复写式非易失性存储器模块。所述存储器控制电路单元支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力。所述存储器控制电路单元用以:发送读取指令序列,其指示从所述可复写式非易失性存储器模块中读取第一数据;对所述第一数据执行第一解码操作;根据所述第一解码操作的执行结果获得解码参数;以及根据所述解码参数与所述临界值之间的相对数值关系,基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

[0014] 在本发明的一范例实施例中,所述存储器控制电路单元根据所述第一解码操作的所述执行结果获得所述解码参数的操作包括:根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及根据所述多个校验子的总和获得所述解码参数。

[0015] 在本发明的一范例实施例中,所述存储器控制电路单元根据所述解码参数与所述临界值之间的所述相对数值关系,基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:比较所述解码参数与所述临界值;以及根据比较结果,从所述多个解码模式中决定所述第一解码模式。

[0016] 在本发明的一范例实施例中,所述第一解码模式对应第一临界值,且所述存储器控制电路单元根据所述解码参数与所述临界值之间的所述相对数值关系,基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:响应于所述解码参数小于所述第一临界值,基于所述第一解码模式对所述第一数据执行所述第二解码操作。

[0017] 在本发明的一范例实施例中,所述存储器控制电路单元基于所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:响应于所述解码参数大于所述多个解码模式中的第二解码模式所对应的第二临界值,跳过所述第二解码模式而基于所述第一解码模式对所述第一数据执行所述第二解码操作,其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

[0018] 在本发明的一范例实施例中,所述存储器控制电路单元更用以:在基于所述第一

解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

[0019] 在本发明的一范例实施例中,所述存储器控制电路单元根据所述第二解码操作的所述执行结果调整所述第一解码模式所对应的所述第一临界值的操作包括:根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率;以及根据所述解码成功率调整所述第一临界值。

[0020] 本发明的范例实施例另提供一种存储器控制电路单元,其用以控制可复写式非易失性存储器模块。所述存储器控制电路单元包括主机接口、存储器接口、解码电路及存储器管理电路。所述主机接口用以连接至主机系统。所述存储器接口用以连接至所述可复写式非易失性存储器模块。所述存储器管理电路连接至所述主机接口、所述存储器接口及所述解码电路。所述解码电路支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力。所述存储器管理电路用以:发送读取指令序列,其指示从所述可复写式非易失性存储器模块中读取第一数据;通过所述解码电路对所述第一数据执行第一解码操作;根据所述第一解码操作的执行结果获得解码参数;以及根据所述解码参数与所述临界值之间的相对数值关系,指示所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

[0021] 在本发明的一范例实施例中,所述存储器管理电路根据所述第一解码操作的所述执行结果获得所述解码参数的操作包括:根据所述第一解码操作的所述执行结果获得校验向量,其中所述校验向量包括多个校验子;以及根据所述多个校验子的总和获得所述解码参数。

[0022] 在本发明的一范例实施例中,所述存储器管理电路根据所述解码参数与所述临界值之间的所述相对数值关系,指示所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:比较所述解码参数与所述临界值;以及根据比较结果,从所述多个解码模式中决定所述第一解码模式。

[0023] 在本发明的一范例实施例中,所述第一解码模式对应第一临界值,且所述存储器管理电路根据所述解码参数与所述临界值之间的所述相对数值关系,指示所述解码电路基于所述多个解码模式中的所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:响应于所述解码参数小于所述第一临界值,指示所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作。

[0024] 在本发明的一范例实施例中,所述存储器管理电路指示所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作的操作包括:响应于所述解码参数大于所述多个解码模式中的第二解码模式所对应的第二临界值,跳过所述第二解码模式而指示所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作,其中所述第二临界值小于所述第一临界值,且所述第二解码模式的错误更正能力低于所述第一解码操作的错误更正能力。

[0025] 在本发明的一范例实施例中,所述存储器管理电路更用以:在所述解码电路基于所述第一解码模式对所述第一数据执行所述第二解码操作后,根据所述第二解码操作的执行结果调整所述第一解码模式所对应的第一临界值。

[0026] 在本发明的一范例实施例中,所述存储器管理电路根据所述第二解码操作的所述

执行结果调整所述第一解码模式所对应的所述第一临界值的操作包括：根据所述第二解码操作的执行结果更新对应于所述第一解码模式的解码成功率；以及根据所述解码成功率调整所述第一临界值。

[0027] 基于上述，本发明的范例实施例所提出的解码电路、存储器控制电路单元和/或存储器存储装置可支援多个解码模式。所述多个解码模式分别对应一个临界值，且所述临界值的分布对应于所述多个解码模式的错误更正能力。在从可复写式非易失性存储器模块中读取第一数据后，第一数据可被执行第一解码操作。根据第一解码操作的执行结果，一个解码参数可被获得。接着，根据解码参数与所述临界值之间的相对数值关系，第一数据可基于所述多个解码模式中的第一解码模式而被执行第二解码操作。通过动态决定的第二解码操作，可在解码电路、存储器控制电路单元和/或存储器存储装置的错误更正能力与解码速度之间取得平衡，进而提高解码效率。

附图说明

[0028] 图1是根据本发明的范例实施例所示出的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图；

[0029] 图2是根据本发明的范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图；

[0030] 图3是根据本发明的范例实施例所示出的主机系统与存储器存储装置的示意图；

[0031] 图4是根据本发明的范例实施例所示出的存储器存储装置的示意图；

[0032] 图5是根据本发明的范例实施例所示出的存储器控制电路单元的示意图；

[0033] 图6是根据本发明的一范例实施例所示出的奇偶检查矩阵的示意图；

[0034] 图7是根据本发明的一范例实施例所示出的存储单元的临界电压分布的示意图；

[0035] 图8是根据本发明的一范例实施例所示出的二分图(bipartite graph)的示意图；

[0036] 图9是根据本发明的一范例实施例所示出的奇偶检查操作的示意图；

[0037] 图10是根据本发明的范例实施例所示出的读取软比特信息的示意图；

[0038] 图11是根据本发明的范例实施例所示出的读取软比特信息的示意图；

[0039] 图12是根据本发明的范例实施例所示出的不同的解码模式对应于不同的临界值的示意图；

[0040] 图13是根据本发明的范例实施例所示出的解码方法的流程图；

[0041] 图14是根据本发明的范例实施例所示出的解码方法的流程图。

具体实施方式

[0042] 现将详细地参考本发明的示范性实施例，示范性实施例的实例说明于附图中。只要有可能，相同元件符号在附图和描述中用来表示相同或相似部分。

[0043] 一般而言，存储器存储装置(亦称，存储器存储系统)包括可复写式非易失性存储器模块(rewritable non-volatile memory module)与控制器(亦称，控制电路)。存储器存储装置可与主机系统一起使用，以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0044] 图1是根据本发明的范例实施例所示出的主机系统、存储器存储装置及输入/输出

(I/O)装置的示意图。图2是根据本发明的范例实施例所示出的主机系统、存储器存储装置及I/O装置的示意图。

[0045] 请参照图1与图2,主机系统11可包括处理器111、随机存取存储器(random access memory, RAM) 112、只读存储器(read only memory, ROM) 113及数据传输接口114。处理器111、随机存取存储器112、只读存储器113及数据传输接口114可连接至系统总线(system bus) 110。

[0046] 在一范例实施例中,主机系统11可通过数据传输接口114与存储器存储装置10连接。例如,主机系统11可通过数据传输接口114将数据存储至存储器存储装置10或从存储器存储装置10中读取数据。此外,主机系统11可通过系统总线110与I/O装置12连接。例如,主机系统11可通过系统总线110将输出信号传送至I/O装置12或从I/O装置12接收输入信号。

[0047] 在一范例实施例中,处理器111、随机存取存储器112、只读存储器113及数据传输接口114可设置在主机系统11的主机板20上。数据传输接口114的数目可以是一或多个。通过数据传输接口114,主机板20可以通过有线或无线方式连接至存储器存储装置10。

[0048] 在一范例实施例中,存储器存储装置10可例如是U盘201、存储卡202、固态硬盘(Solid State Drive, SSD) 203或无线存储器存储装置204。无线存储器存储装置204可例如是近场通信(Near Field Communication, NFC) 存储器存储装置、无线传真(WiFi) 存储器存储装置、蓝牙(Bluetooth) 存储器存储装置或低功耗蓝牙存储器存储装置(例如, iBeacon) 等以各式无线通信技术为基础的存储器存储装置。此外,主机板20也可以通过系统总线110连接至全球定位系统(Global Positioning System, GPS) 模块205、网路接口卡206、无线传输装置207、键盘208、屏幕209、喇叭210等各式I/O装置。例如,在一范例实施例中,主机板20可通过无线传输装置207存取无线存储器存储装置204。

[0049] 在一范例实施例中,主机系统11为计算机系统。在一范例实施例中,主机系统11可为可实质地与存储器存储装置配合以存储数据的任意系统。在一范例实施例中,存储器存储装置10与主机系统11可分别包括图3的存储器存储装置30与主机系统31。

[0050] 图3是根据本发明的范例实施例所示出的主机系统与存储器存储装置的示意图。

[0051] 请参照图3,存储器存储装置30可与主机系统31搭配使用以存储数据。例如,主机系统31可以是数码相机、摄像机、通信装置、音频播放器、视频播放器或平板计算机等系统。例如,存储器存储装置30可为主机系统31所使用的安全数字(Secure Digital, SD) 卡32、小型快闪(Compact Flash, CF) 卡33或嵌入式存储装置34等各式非易失性存储器存储装置。嵌入式存储装置34包括嵌入式多媒体卡(embedded Multi Media Card, eMMC) 341和/或嵌入式多晶片封装(embedded Multi Chip Package, eMCP) 存储装置342等各类型将存储器模块直接连接于主机系统的基板上的嵌入式存储装置。

[0052] 图4是根据本发明的范例实施例所示出的存储器存储装置的示意图。

[0053] 请参照图4,存储器存储装置10包括连接接口单元41、存储器控制电路单元42与可复写式非易失性存储器模块43。

[0054] 连接接口单元41用以将存储器存储装置10连接主机系统11。存储器存储装置10可通过连接接口单元41与主机系统11通信。在一范例实施例中,连接接口单元41是相容于外设部件互连局部总线(Peripheral Component Interconnect Express, PCI Express) 标准。在一范例实施例中,连接接口单元41亦可以是符合串行高级技术附件(Serial

Advanced Technology Attachment, SATA) 标准、并行高级技术附件 (Parallel Advanced Technology Attachment, PATA) 标准、电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, IEEE) 1394标准、通用串行总线 (Universal Serial Bus, USB) 标准、SD接口标准、超高速一代 (Ultra High Speed-I, UHS-I) 接口标准、超高速二代 (Ultra High Speed-II, UHS-II) 接口标准、存储棒 (Memory Stick, MS) 接口标准、MCP接口标准、MMC接口标准、eMMC接口标准、通用快闪存储器 (Universal Flash Storage, UFS) 接口标准、eMCP接口标准、CF接口标准、整合式驱动电子接口 (Integrated Device Electronics, IDE) 标准或其他适合的标准。连接接口单元41可与存储器控制电路单元42封装在一个芯片中, 或者连接接口单元41是布设于一包含存储器控制电路单元42的芯片外。

[0055] 存储器控制电路单元42连接至连接接口单元41与可复写式非易失性存储器模块43。存储器控制电路单元42用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令并且根据主机系统11的指令在可复写式非易失性存储器模块43中进行数据的写入、读取与抹除等运作。

[0056] 可复写式非易失性存储器模块43用以存储主机系统11所写入的数据。可复写式非易失性存储器模块43可包括单阶存储单元 (Single Level Cell, SLC) NAND型快闪存储器模块 (即, 一个存储单元中可存储1个比特的快闪存储器模块)、二阶存储单元 (Multi Level Cell, MLC) NAND型快闪存储器模块 (即, 一个存储单元中可存储2个比特的快闪存储器模块)、三阶存储单元 (Triple Level Cell, TLC) NAND型快闪存储器模块 (即, 一个存储单元中可存储3个比特的快闪存储器模块)、四阶存储单元 (Quad Level Cell, QLC) NAND型快闪存储器模块 (即, 一个存储单元中可存储4个比特的快闪存储器模块)、其他快闪存储器模块或其他具有相同特性的存储器模块。

[0057] 可复写式非易失性存储器模块43中的每一个存储单元是以电压 (以下亦称为临界电压) 的改变来存储一或多个比特。具体来说, 每一个存储单元的控制门 (control gate) 与通道之间有一个电荷捕捉层。通过施予一写入电压至控制门, 可以改变电荷捕捉层的电子量, 进而改变存储单元的临界电压。此改变存储单元的临界电压的操作亦称为“把数据写入至存储单元”或“程序化 (programming) 存储单元”。随着临界电压的改变, 可复写式非易失性存储器模块43中的每一个存储单元具有多个存储状态。通过施予读取电压可以判断一个存储单元是属于哪一个存储状态, 由此取得此存储单元所存储的一或多个比特。

[0058] 在一范例实施例中, 可复写式非易失性存储器模块43的存储单元可构成多个实体程序化单元, 并且此些实体程序化单元可构成多个实体抹除单元。具体来说, 同一条字线上的存储单元可组成一或多个实体程序化单元。若一个存储单元可存储2个以上的比特, 则同一条字线上的实体程序化单元可至少可被分类为下实体程序化单元与上实体程序化单元。例如, 一存储单元的最低有效比特 (Least Significant Bit, LSB) 是属于下实体程序化单元, 并且一存储单元的最高有效比特 (Most Significant Bit, MSB) 是属于上实体程序化单元。一般来说, 在MLC NAND型快闪存储器中, 下实体程序化单元的写入速度会大于上实体程序化单元的写入速度, 和/或下实体程序化单元的可靠度是高于上实体程序化单元的可靠度。

[0059] 在一范例实施例中, 实体程序化单元为程序化的最小单元。即, 实体程序化单元为写入数据的最小单元。例如, 实体程序化单元可为实体页 (page) 或是实体扇 (sector)。若实

体程序化单元为实体页,则这些实体程序化单元可包括数据比特区与冗余(redundancy)比特区。数据比特区包含多个实体扇,用以存储用户数据,而冗余比特区用以存储系统数据(例如,错误更正码等管理数据)。在一范例实施例中,数据比特区包含32个实体扇,且一个实体扇的大小为512字节(byte,B)。然而,在其他范例实施例中,数据比特区中也可包含8个、16个或数目更多或更少的实体扇,并且每一个实体扇的大小也可以是更大或更小。另一方面,实体抹除单元为抹除的最小单位。亦即,每一实体抹除单元含有最小数目的一并被抹除的存储单元。例如,实体抹除单元为实体区块(block)。

[0060] 图5是根据本发明的范例实施例所示出的存储器控制电路单元的示意图。

[0061] 请参照图5,存储器控制电路单元42包括存储器管理电路51、主机接口52及存储器接口53。存储器管理电路51用以控制存储器控制电路单元42的整体运作。具体来说,存储器管理电路51具有多个控制指令,并且在存储器存储装置10运作时,这些控制指令会被执行以进行数据的写入、读取与抹除等运作。以下说明存储器管理电路51的操作时,等同于说明存储器控制电路单元42的操作。

[0062] 在一范例实施例中,存储器管理电路51的控制指令是以固件型式来实作。例如,存储器管理电路51具有微处理器单元(未示出)与只读存储器(未示出),并且这些控制指令是被烧录至此只读存储器中。当存储器存储装置10运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与抹除等运作。

[0063] 在一范例实施例中,存储器管理电路51的控制指令亦可以程序码型式存储于可复写式非易失性存储器模块43的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路51具有微处理器单元(未示出)、只读存储器(未示出)及随机存取存储器(未示出)。特别是,此只读存储器具有开机码(boot code),并且当存储器控制电路单元42被致能时,微处理器单元会先执行此开机码来将存储于可复写式非易失性存储器模块43中的控制指令载入至存储器管理电路51的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与抹除等运作。

[0064] 在一范例实施例中,存储器管理电路51的控制指令亦可以一硬件型式来实作。例如,存储器管理电路51包括微控制器、存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路。存储单元管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路是连接至微控制器。存储单元管理电路用以管理可复写式非易失性存储器模块43的存储单元或存储单元群组。存储器写入电路用以对可复写式非易失性存储器模块43下达写入指令序列以将数据写入至可复写式非易失性存储器模块43中。存储器读取电路用以对可复写式非易失性存储器模块43下达读取指令序列以从可复写式非易失性存储器模块43中读取数据。存储器抹除电路用以对可复写式非易失性存储器模块43下达抹除指令序列以将数据从可复写式非易失性存储器模块43中抹除。数据处理电路用以处理欲写入至可复写式非易失性存储器模块43的数据以及从可复写式非易失性存储器模块43中读取的数据。写入指令序列、读取指令序列及抹除指令序列可各别包括一或多个程序码或指令码并且用以指示可复写式非易失性存储器模块43执行相对应的写入、读取及抹除等操作。在一范例实施例中,存储器管理电路51还可以下达其他类型的指令序列给可复写式非易失性存储器模块43以指示执行相对应的操作。

[0065] 主机接口52是连接至存储器管理电路51。存储器管理电路51可通过主机接口52与

主机系统11通信。主机接口52可用以接收与识别主机系统11所传送的指令与数据。例如,主机系统11所传送的指令与数据可通过主机接口52来传送至存储器管理电路51。此外,存储器管理电路51可通过主机接口52将数据传送至主机系统11。在本范例实施例中,主机接口52是相容于PCI Express标准。然而,必须了解的是本发明不限于此,主机接口52亦可以是相容于SATA标准、PATA标准、IEEE 1394标准、USB标准、SD标准、UHS-I标准、UHS-II标准、MS标准、MMC标准、eMMC标准、UFS标准、CF标准、IDE标准或其他适合的数据传输标准。

[0066] 存储器接口53是连接至存储器管理电路51并且用以存取可复写式非易失性存储器模块43。例如,存储器管理电路51可通过存储器接口53存取可复写式非易失性存储器模块43。也就是说,欲写入至可复写式非易失性存储器模块43的数据会通过存储器接口53转换为可复写式非易失性存储器模块43所能接受的格式。具体来说,若存储器管理电路51要存取可复写式非易失性存储器模块43,存储器接口53会传送对应的指令序列。例如,这些指令序列可包括指示写入数据的写入指令序列、指示读取数据的读取指令序列、指示抹除数据的抹除指令序列、以及用以指示各种存储器操作(例如,改变读取电压准位或执行垃圾回收操作等等)的相对应的指令序列。这些指令序列例如是由存储器管理电路51产生并且通过存储器接口53传送至可复写式非易失性存储器模块43。这些指令序列可包括一或多个信号,或是在总线上的数据。这些信号或数据可包括指令码或程序码。例如,在读取指令序列中,会包括读取的识别码、存储器地址等信息。

[0067] 在一范例实施例中,存储器控制电路单元42还包括错误检查与校正电路54、缓冲存储器55及电源管理电路56。

[0068] 错误检查与校正电路54是连接至存储器管理电路51并且用以执行错误检查与校正操作以确保数据的正确性。具体来说,当存储器管理电路51从主机系统11中接收到写入指令时,错误检查与校正电路54会为对应此写入指令的数据产生对应的错误更正码(error correcting code,ECC)和/或错误检查码(error detecting code,EDC),并且存储器管理电路51会将对应此写入指令的数据与对应的错误更正码和/或错误检查码写入至可复写式非易失性存储器模块43中。之后,当存储器管理电路51从可复写式非易失性存储器模块43中读取数据时会同时读取此数据对应的错误更正码和/或错误检查码,并且错误检查与校正电路54会依据此错误更正码和/或错误检查码对所读取的数据执行错误检查与校正操作。

[0069] 缓冲存储器55是连接至存储器管理电路51并且用以暂存数据。电源管理电路56是连接至存储器管理电路51并且用以控制存储器存储装置10的电源。

[0070] 在一范例实施例中,图4的可复写式非易失性存储器模块43可包括快闪存储器模块。在一范例实施例中,图4的存储器控制电路单元42可包括快闪存储器控制器。在一范例实施例中,图5的存储器管理电路51可包括快闪存储器管理电路。

[0071] 在一范例实施例中,错误检查与校正电路54支援低密度奇偶检查(low-density parity-check,LDPC)码。例如,错误检查与校正电路54可利用低密度奇偶检查码来编码与解码。然而,在另一范例实施例中,错误检查与校正电路54亦可以支援BCH码、回旋码(convolutional code)、涡轮码(turbo code)等等,本发明不加以限制。

[0072] 在低密度奇偶检查码中,是用一个奇偶检查矩阵来定义有效的码字。以下将奇偶检查矩阵标记为矩阵H,并且将码字标记为CW。依照以下方程式(1),若矩阵H与码字CW的相

乘是零向量,表示码字CW为有效的码字。在方程式(1)中,运算符 \otimes 表示模2(mod 2)的矩阵相乘。换言之,矩阵H的零空间(null space)便包含了所有的有效码字。然而,本发明并不限制码字CW的内容。例如,码字CW也可以包括用任意演算法所产生的错误更正码或是错误检查码。

$$[0073] \quad H \otimes CW^T = 0 \dots(1)$$

[0074] 在方程式(1)中,矩阵H的维度是k-乘-n(k-by-n),码字CW的维度是1-乘-n。k与n为正整数。码字CW中包括了讯息比特与奇偶比特。例如,码字CW可以表示成[M P],其中向量M是由讯息比特所组成,向量P是由奇偶比特所组成。向量M的维度是1-乘-(n-k),而向量P的维度是1-乘-k。以下将讯息比特与奇偶比特统称为数据比特。换言之,码字CW中具有n个数据比特。在码字CW中,讯息比特的长度为(n-k)比特,奇偶比特的长度是k比特,并且码字CW的码率(code rate)为(n-k)/n。

[0075] 一般来说,在编码时会使用一个产生矩阵(以下标记为G),使得对于任意的向量M都可满足以下方程式(2)。例如,产生矩阵G的维度是(n-k)-乘-n。

$$[0076] \quad M \otimes G = [M P] = CW \dots(2)$$

[0077] 由方程式(2)所产生的码字CW为有效的码字。因此可将方程式(2)代入方程式(1),由此得到以下方程式(3)。

$$[0078] \quad H \otimes G^T \otimes M^T = 0 \dots(3)$$

[0079] 由于向量M可以是任意的向量,因此以下方程式(4)必定会满足。也就是说,在决定矩阵H(即奇偶检查矩阵)以后,对应的产生矩阵G也可被决定。

$$[0080] \quad H \otimes G^T = 0 \dots(4)$$

[0081] 在解码一个码字CW时,会先对码字CW中的数据比特执行一个奇偶检查操作,例如将矩阵H与码字CW相乘以产生一个向量(以下标记为S,如以下方程式(5)所示)。向量S亦称为校验子向量。若向量S是零向量,则可直接输出码字CW。若向量S不是零向量,则表示码字CW不是有效的码字。

$$[0082] \quad H \otimes CW^T = S \dots(5)$$

[0083] 向量S的维度是k-乘-1。向量S中的每一个元素亦称为校验子(syndrome)。若码字CW不是有效的码字,则错误检查与校正电路54可通过解码操作来尝试更正码字CW中的错误(即错误比特)。

[0084] 图6是根据本发明的一范例实施例所示出的奇偶检查矩阵的示意图。

[0085] 请参照图6,奇偶检查矩阵600的维度是k-乘-n。例如,k为8,并且n为9。然而,本发明并不限制正整数k与n的数值。奇偶检查矩阵600的每一列(row)可代表一个限制(constraint)。以奇偶检查矩阵600的第一列为例,若某一个码字是有效码字,则将此码字中第3、5、8与第9个比特做模2(mod 2)的加法之后,会得到比特“0”。在此领域有通常知识者应能理解如何用奇偶检查矩阵600来编码与解码,在此便不再赘述。此外,奇偶检查矩阵600仅为一个范例矩阵,而非用以限制本发明。

[0086] 当存储器管理电路51要将数据(包含多个比特)存储至可复写式非易失性存储器模块43时,错误检查与校正电路54可对此数据中的每(n-k)个比特(即讯息比特)产生对应

的k个奇偶比特。接下来,存储器管理电路51可将这n个比特(即数据比特)作为一个码字写入至可复写式非易失性存储器模块43中。

[0087] 图7是根据本发明的一范例实施例所示出的存储单元的临界电压分布的示意图。

[0088] 请参照图7,横轴代表存储单元的临界电压,而纵轴代表存储单元个数。例如,图7可表示一个实体单元(亦称为第一实体单元)中各个存储单元的临界电压。例如,第一实体单元可包括一或多个实体程序化单元。

[0089] 假设状态710对应于比特“1”并且状态720对应于比特“0”,则当某一个存储单元的临界电压属于状态710时,此存储单元所存储的是比特“1”;相反地,若某一个存储单元的临界电压属于状态720时,此存储单元所存储的是比特“0”。须注意的是,在本范例实施例中,临界电压分布中的一个状态对应至一个比特值,并且存储单元的临界电压分布有两种可能的状态。然而,在其他范例实施例中,临界电压分布中的每一个状态也可以对应至多个比特值并且存储单元的临界电压的分布也可能有四种、八种或其他任意个状态。此外,本发明也不限制每一个状态所代表的比特。例如,在图7的另一范例实施例中,状态710也可以对应于比特“0”,而状态720则对应于比特“1”。

[0090] 当要从可复写式非易失性存储器模块43读取数据时,存储器管理电路202可发送读取指令序列至可复写式非易失性存储器模块43。此读取指令序列用以指示可复写式非易失性存储器模块43使用至少一个读取电压准位读取第一实体单元中的至少一个存储单元(亦称为第一存储单元)以获得第一存储单元所存储的数据。例如,根据此读取指令序列,可复写式非易失性存储器模块43可使用图7中的读取电压准位701来读取第一存储单元。若第一存储单元中的某一者的临界电压小于读取电压准位701,则此存储单元可被导通,并且存储器管理电路51可读到比特“1”。或者,若第一存储单元中的某一者的临界电压大于读取电压准位701,则此存储单元可不被导通,并且存储器管理电路51可读到比特“0”。所读取的比特数据可组成一或多个码字。

[0091] 在一范例实施例中,状态710与状态720之间包含一个重叠区域730(在图7中以斜线标记)。重叠区域730表示在第一存储单元中有一些存储单元所存储的应该是比特“1”(属于状态710),但其临界电压大于所施加的读取电压准位701;并且,在第一存储单元中有一些存储单元所存储的应该是比特“0”(属于状态720),但其临界电压小于所施加的读取电压准位701。换言之,通过施加读取电压准位701所读取的数据中,有部分的比特会有错误。

[0092] 一般来说,若第一存储单元的使用时间很短(例如,数据在第一存储单元中存放时间不长)和/或第一存储单元的使用频率很低(例如,第一存储单元的读取计数、写入计数和/或抹除计数不高),重叠区域730的面积通常很小,甚至可能不存在重叠区域730(即状态710与720不重叠)。或者,若存储器存储装置10才刚出厂,则重叠区域730通常不存在。若重叠区域730的面积很小,通过施加读取电压准位701而从第一存储单元读取到的数据中的错误比特往往较少。

[0093] 然而,随着可复写式非易失性存储器模块43的使用时间和/或使用频率增加,重叠区域730的面积可逐渐加大。例如,若第一存储单元的使用时间很长(例如,数据在第一存储单元中存放时间很长)和/或第一存储单元的使用频率很高(例如,第一存储单元的读取计数、写入计数和/或抹除计数很高),则重叠区域730的面积可能会变大(例如,状态710与720会变更平坦和/或状态710与720彼此更靠近)。若重叠区域730的面积很大,则通过施加读取

电压准位701而从第一存储单元读取到的数据中的错误比特可能较多。因此,在从可复写式非易失性存储器模块43接收所读取的数据后,错误检查与校正电路54可执行解码操作中的奇偶检查操作以验证数据中是否存在错误。若判定数据中存在错误,则错误检查与校正电路54可通过所述解码操作来更正该数据中的错误。

[0094] 在一范例实施例中,错误检查与校正电路54可执行叠代(iteration)解码操作。一个叠代解码操作可用以解码来自于可复写式非易失性存储器模块43的一笔数据。例如,数据中的一个解码单位可为一个码字。在一个叠代解码操作中,用于检查数据的正确性的奇偶检查操作与用于更正数据中的错误的解码操作可重复且交替执行,直到成功的解码或叠代次数到达一预定次数为止。若叠代次数到达此预定次数,错误检查与校正电路54可判定解码失败。此外,若通过奇偶检查操作判定某一数据中不存在错误,则错误检查与校正电路54可判定解码成功并输出解码成功的数据。

[0095] 图8是根据本发明的一范例实施例所示出的二分图(bipartite graph)的示意图。

[0096] 请参照图8,一般来说,奇偶检查矩阵H可以表示为二分图830,其包括奇偶节点832(1)~832(k)与讯息节点834(1)~834(n)。每一个奇偶节点832(1)~832(k)是对应到一个校验子,而每一个讯息节点834(1)~834(n)是对应一个数据比特。数据比特与校验子之间的对应关系(即,讯息节点834(1)~834(n)与奇偶节点832(1)~832(k)之间的连结)是根据矩阵H所产生。具体来说,若矩阵H中第i列(row)第j行(column)的元素为1,则第i个奇偶节点832(i)会连接到第j个讯息节点834(j),其中i与j为正整数。

[0097] 当存储器管理电路51从可复写式非易失性存储器模块43中读取n个数据比特(形成一个码字)时,存储器管理电路51也会取得每一个数据比特的可靠度信息(亦称为通道可靠度信息)。此可靠度信息是用以表示对应的数据比特被解码为比特“1”或是“0”的机率(或称信心度)。在二分图830中,讯息节点834(1)~834(n)也会接收到对应的可靠度信息。例如,讯息节点834(1)会接收第1个数据比特的可靠度信息 L_1 ,而讯息节点834(j)会接收第j个数据比特的可靠度信息 L_j 。

[0098] 错误检查与校正电路54可根据二分图830的结构与可靠度信息 $L_1 \sim L_n$ 来执行解码操作。例如,此解码操作可包括叠代解码。在叠代解码中,讯息节点834(1)~834(n)会计算出可靠度信息给奇偶节点832(1)~832(k),并且奇偶节点832(1)~832(k)也会计算出可靠度信息给讯息节点834(1)~834(n)。这些可靠度信息会沿着这些二分图830中的边(edge)来传送。例如,奇偶节点832(i)传送给讯息节点834(j)的是可靠度信息 $L_{i \rightarrow j}$,而讯息节点834(j)传送给奇偶节点832(i)是可靠度信息 $L_{j \rightarrow i}$ 。这些可靠度信息是用来表示一个节点认为某一个数据比特被解码为“1”或是“0”的机率(即信心度)。例如,可靠度信息 $L_{j \rightarrow i}$ 表示讯息节点834(j)认为第j个数据比特被解码为“1”或是“0”的信心度(可为正或是负),而可靠度信息 $L_{i \rightarrow j}$ 表示奇偶节点832(i)认为第i个数据比特被解码为“1”或是“0”的信心度。此外,讯息节点834(1)~834(n)与奇偶节点832(1)~832(k)可根据输入的可靠度信息来计算输出的可靠度信息,其近似于计算一个数据比特被解码为“1”或是“0”的条件机率。因此,上述传送可靠度信息的过程又被称为置信传播(belief propagation)。

[0099] 在对计算出的数据比特执行奇偶检查操作(例如,将数据比特所形成的码字与奇偶检查矩阵相乘)后,可判断此码字是否为有效的码字。若所产生的码字为有效的码字,表示解码成功。然而,若所产生的码字不是有效的码字,则可进行下一轮的叠代。若叠代解码

的叠代次数达到一个预设值,则表示解码失败。

[0100] 在一范例实施例中,可靠度信息包括对数可能性比值(Log Likelihood Ratio, LLR)。例如,图8中的可靠度信息 $L_1 \sim L_n$ 、 $L_{i \rightarrow j}$ 及 $L_{j \rightarrow i}$ 可分别是一个对数可能性比值。一般来说,某一个数据比特所对应的对数可能性比值(可能是正或负的)的绝对值越大,表示此数据比特的可靠度越高,因此,此数据比特当前的比特值就有越高的机率被视为是正确的。反之,某一个数据比特所对应的对数可能性比值的绝对值越小,则表示此数据比特的可靠度越低,因此,此数据比特当前的比特值就有越高的机率被视为是错误的并且可在当前的叠代解码中被更正。在一范例实施例中,叠代解码中使用的可靠度信息(例如,对数可能性比值)是通过查表而获得。然而,在另一范例实施例中,叠代解码中使用的可靠度信息亦可以是在叠代解码中根据特定的演算法而动态地计算产生。此外,基于不同的演算法,讯息节点834(1)~834(n)和/或奇偶节点832(1)~832(k)亦可计算出不同型态的可靠度信息,而不仅限于对数可能性比值。

[0101] 图9是根据本发明的一范例实施例所示出的奇偶检查操作的示意图。

[0102] 请参照图9,假设从第一存储单元中读取的数据包含码字901,则在奇偶检查操作中,根据方程式(5),矩阵900(即奇偶检查矩阵)可与码字901相乘以产生向量902(即向量S)。向量902亦称为校验向量。

[0103] 码字901中的每一个比特是对应到向量902中的至少一个元素(即校验子)。举例来说,码字901中的比特 V_0 (对应至奇偶检查矩阵900中的第一行)是对应到校验子 S_1 、 S_4 及 S_7 ;比特 V_1 (对应至奇偶检查矩阵900中的第二行)是对应到校验子 S_2 、 S_3 及 S_6 ;以此类推,比特 V_8 (对应至奇偶检查矩阵900中的第九行)是对应到校验子 S_0 、 S_4 及 S_5 。若比特 V_0 是错误比特,则校验子 S_1 、 S_4 及 S_7 的至少其中之一可能会是“1”。若比特 V_1 是错误比特,则校验子 S_2 、 S_3 及 S_6 的至少其中之一可能会是“1”。以此类推,若比特 V_8 是错误比特,则校验子 S_0 、 S_4 及 S_5 的至少其中之一可能会是“1”。

[0104] 换言之,若校验子 $S_0 \sim S_7$ 皆是“0”,表示码字901中可能没有错误比特,因此错误检查与校正电路54可直接输出码字901。然而,若码字901中具有至少一个错误比特,则校验子 $S_0 \sim S_7$ 的至少其中之一可能会是“1”,并且错误检查与校正电路54可通过对码字901执行解码操作以更正该错误。

[0105] 在一范例实施例中,存储器管理电路51可启动错误检查与校正电路54中负责执行解码操作的电路(亦称为解码电路)。特别是,所述解码电路可支援多种解码模式,且所述多种解码模式的错误更正能力各不相同。

[0106] 在一范例实施例中,存储器管理电路51可发送读取指令序列(亦称为第一读取指令序列)至可复写式非易失性存储器模块43。第一读取指令序列可指示可复写式非易失性存储器模块43使用某一读取电压准位(亦称为第一读取电压准位)从第一实体单元读取目标数据(亦称为第一数据)。例如,第一读取电压准位可包括图7中的读取电压准位701。根据第一读取指令序列,可复写式非易失性存储器模块43可使用第一读取电压准位来从第一实体单元中读取第一数据并将所读取的第一数据回传给存储器管理电路51。

[0107] 在接收到可复写式非易失性存储器模块43回传的第一数据后,存储器管理电路51可指示解码电路对第一数据执行一个解码操作(亦称为第一解码操作)。例如,存储器管理电路51可指示解码电路基于某一解码模式(亦称为预设解码模式)来执行第一解码操作,以

尝试更正第一数据中的错误。

[0108] 在一范例实施例中,基于预设解码模式执行的第一解码操作可包括硬比特模式解码。例如,在硬比特模式解码中,解码电路可采用比特翻转(bit flipping)演算法、最小总合(min-sum)演算法和/或总和乘积(sum-product)演算法来解码第一数据,以尝试更正第一数据中的错误。所属技术领域中具有通常知识者应当知晓如何使用比特翻转演算法、最小总合演算法和/或总和乘积演算法等LDPC解码演算法来解码数据,在此便不赘述。

[0109] 若第一数据中的错误全被更正,则存储器管理电路51可判定解码成功并输出成功解码的数据。然而,若第一数据中的部分错误无法被更正,则存储器管理电路51可调整用来读取第一实体单元的读取电压准位(即第一读取电压准位)并根据调整后的读取电压准位发送读取指令序列至可复写式非易失性存储器模块43,以指示可复写式非易失性存储器模块43使用调整后的读取电压准位来再次读取第一实体单元以重新获得第一数据。然后,存储器管理电路51可再次指示解码电路基于预设解码模式来执行第一解码操作,以尝试更正第一数据中的错误。

[0110] 在一范例实施例中,存储器管理电路51可判断第一解码操作的执行次数是否达到预设值。若第一解码操作的执行次数未达预设值,存储器管理电路51可允许解码电路持续基于预设解码模式来解码第一数据。然而,若第一解码操作的执行次数已达到预设值,存储器管理电路51可指示解码电路基于另一解码模式(亦称为第一解码模式)来尝试解码从第一实体单元读取的数据(即第一数据)。须注意的是,第一解码模式不同于预设解码模式。例如,第一解码模式的错误更正能力高于预设解码模式的错误更正能力。

[0111] 在一范例实施例中,在进入第一解码模式之前,存储器管理电路51还可执行最佳读取电压准位搜寻操作,以尝试对用于读取第一实体单元的读取电压准位(例如图7的读取电压准位701)进行最佳化调整。所属技术领域中具有通常知识者应当知晓如何执行最佳读取电压准位搜寻操作以调整读取电压准位,在此便不赘述。

[0112] 在一范例实施例中,在进入第一解码模式后,存储器管理电路51可发送读取指令序列(亦称为第二读取指令序列)至可复写式非易失性存储器模块43。第二读取指令序列可指示可复写式非易失性存储器模块43使用多个读取电压准位(亦称为第二读取电压准位)从第一实体单元读取目标数据(即第一数据)及辅助数据(亦称为软比特信息)。软比特信息可用以辅助对第一数据进行解码,以提高针对第一数据的解码成功率。

[0113] 图10是根据本发明的范例实施例所示出的读取软比特信息的示意图。

[0114] 请参照图10,在一范例实施例中,第二读取电压准位包括读取电压准位V(1)~V(3)。根据第二读取指令序列,可复写式非易失性存储器模块43可依序使用读取电压准位V(1)~V(3)来读取第一实体单元,以获得第一数据与对应于第一数据的软比特信息1030。例如,读取电压准位V(1)~V(3)的其中之一(例如读取电压准位V(1))可用以读取第一数据,而读取电压准位V(1)~V(3)可共同用以获得软比特信息1030。

[0115] 在一范例实施例中,读取电压准位V(1)~V(3)可划分出电压区间1001~1004,如图10所示。假设第一实体单元中的存储单元的临界电压分布包括状态1010与1020,则软比特信息1030可反映第一实体单元中的各个存储单元的临界电压所在的电压区间是电压区间1001~1004的其中之一。例如,假设使用读取电压准位V(1)~V(3)从某一存储单元读取到的软比特信息1030为“011”,表示此存储单元的临界电压位于电压区间1002中,依此类

推。

[0116] 图11是根据本发明的范例实施例所示出的读取软比特信息的示意图。

[0117] 请参照图11,在一范例实施例中,第二读取电压准位包括读取电压准位V(1)~V(5)。须注意的是,图11中读取电压准位V(1)~V(5)的总数(即5个)多于图10中读取电压准位V(1)~V(3)的总数(即3个)。根据第二读取指令序列,可复写式非易失性存储器模块43可依序使用读取电压准位V(1)~V(5)来读取第一实体单元,以获得第一数据与对应于第一数据的软比特信息1130。例如,读取电压准位V(1)~V(5)的其中之一(例如读取电压准位V(1))可用以读取第一数据,而读取电压准位V(1)~V(5)可共同用以获得软比特信息1130。

[0118] 在一范例实施例中,读取电压准位V(1)~V(5)可划分出电压区间1101~1106,如图11所示。假设第一实体单元中的存储单元的临界电压分布包括状态1110与1120,则软比特信息1130可反映第一实体单元中的各个存储单元的临界电压所在的电压区间是电压区间1101~1106的其中之一。例如,假设使用读取电压准位V(1)~V(5)从某一存储单元读取到的软比特信息1130为“00111”,表示此存储单元的临界电压位于电压区间1103中,依此类推。

[0119] 须注意的是,在一般情况下,以图10与图11而言,使用图11的软比特信息1130来对第一数据进行解码的解码成功率可高于使用图10的软比特信息1030来对第一数据进行解码的解码成功率。此外,更多的读取电压准位亦可用以读取第一实体单元以增加所划分的电压区间的解析度(例如增加电压区间1101~1106的总数),从而更进一步提高后续的解码成功率。

[0120] 在接收到可复写式非易失性存储器模块43回传的第一数据与软比特信息后,存储器管理电路51可指示解码电路对第一数据执行一个解码操作(亦称为第二解码操作)。例如,存储器管理电路51可指示解码电路基于第一解码模式来执行第二解码操作。

[0121] 在一范例实施例中,基于第一解码模式执行的第二解码操作可包括软比特模式解码。例如,在软比特模式解码中,解码电路同样可采用比特翻转演算法、最小总合演算法和/或总和乘积演算法来解码第一数据,以尝试更正第一数据中的错误。须注意的是,在软比特模式解码中,存储器管理电路51可根据软比特信息(例如图10中的软比特信息1030或图11中的软比特信息1130)来更新可靠度信息(例如对数可能性比值)。然后,解码电路可根据更新后的可靠度信息来解码第一数据。所属技术领域中具有通常知识者应当知晓如何根据软比特信息来更新可靠度信息(例如对数可能性比值),在此便不赘述。特别是,相较于在硬比特解码模式中使用固定或预设的可靠度信息来解码第一数据,在软比特模式解码中使用动态更新的可靠度信息来解码第一数据,可有效提高第一数据的解码成功率。但是,相较于硬比特解码模式,基于软比特解码模式执行解码操作所花费的时间较长。

[0122] 图12是根据本发明的范例实施例所示出的不同的解码模式对应于不同的临界值的示意图。

[0123] 请参照图12,假设解码电路可支援的解码模式包括解码模式(1)~解码模式(N)。存储器管理电路51可为解码模式(1)~解码模式(N)分别配置临界值TH(1)~TH(N)。解码模式(i)对应于临界值TH(i)。存储器管理电路51可将解码模式(1)~解码模式(N)与临界值TH(1)~TH(N)之间的对应关系或映射关系记载于表格信息1201中。

[0124] 须注意的是,临界值TH(1)~TH(N)的分布(即临界值TH(1)~TH(N)的数值大小之

分布) 可对应或反映解码模式(1)~解码模式(N)的错误更正能力(即解码能力)。以图12为例,临界值 $TH(1) \sim TH(N)$ 逐渐增加,表示解码模式(1)~解码模式(N)的解码能力逐渐增加。亦即,在解码模式(1)~解码模式(N)中,解码模式(p)的解码能力高于解码模式(j)的解码能力, $p > j$,且临界值 $TH(p)$ 大于临界值 $TH(j)$ 。

[0125] 以图10与图11为例,基于解码模式(j)执行的第二解码操作可包括使用图10中的软比特信息1030来对第一数据进行解码,而基于解码模式(p)执行的第二解码操作可包括使用图11中的软比特信息1130来对第一数据进行解码,以提高解码成功率。此外,更多不同的技术手段可用以提高第二解码操作的解码能力,例如进一步增加图11中的读取电压准位 $V(1) \sim V(5)$ 的总数或通过客制化指令来指示可复写式非易失性存储器模块43基于不同的可靠度来读取数据等,本发明不加以限制。

[0126] 在一范例实施例中,在执行第二解码操作之前,存储器管理电路51可根据第一解码操作的执行结果获得一个解码参数。此解码参数与第一数据的比特错误率有关。例如,此解码参数的数值大小可正相关于第一数据的比特错误率。亦即,当解码参数的数值越大时,表示第一数据的比特错误率越高。

[0127] 在一范例实施例中,存储器管理电路51可根据第一解码操作的执行结果获得校验向量(即向量S)。此校验向量可包括多个校验子。存储器管理电路51可根据所述多个校验子的总和获得所述解码参数。例如,所述多个校验子的总和可对应、反映或正相关于第一数据的比特错误率。

[0128] 以图9为例,在一范例实施例中,在第一解码操作失败和/或执行最佳读取电压准位搜寻操作后,存储器管理电路51可发送读取指令序列至可复写式非易失性存储器模块43。此读取指令序列可指示可复写式非易失性存储器模块43使用至少一个读取电压准位读取第一实体单元中的至少一个存储单元以获得码字901。解码电路可对码字901执行奇偶检查操作以获得向量902。存储器管理电路51可计算向量902中的校验子 $S_0 \sim S_7$ 的总合并根据此总合获得所述解码参数。例如,所述解码参数的数值可相同或正相关于校验子 $S_0 \sim S_7$ 的总合。

[0129] 在获得解码参数后,存储器管理电路51可根据所述解码参数与临界值 $TH(1) \sim TH(N)$ 之间的相对数值关系,指示解码电路基于解码模式(1)~解码模式(N)中的特定解码模式(即第一解码模式)对第一数据执行第二解码操作。例如,存储器管理电路51可将所述解码参数与临界值 $TH(1) \sim TH(N)$ 的至少其中之一进行比较。然后,存储器管理电路51可根据比较结果从解码模式(1)~解码模式(N)中决定第一解码模式。

[0130] 在一范例实施例中,响应于所述解码参数小于临界值 $TH(k)$ (亦称为第一临界值),存储器管理电路51可指示解码电路基于临界值 $TH(k)$ 所对应的解码模式(k)(即第一解码模式)对第一数据执行第二解码操作。在一范例实施例中,所述解码参数小于临界值 $TH(k)$,表示基于解码模式(k)执行的第二解码操作有很高的机率可更正第一数据中的所有错误。因此,在解码参数小于临界值 $TH(k)$ 的情况下,基于解码模式(k)来解码第一数据,有助于提高第一数据的解码成功率。

[0131] 在一范例实施例中,响应于所述解码参数不小于临界值 $TH(s)$ (亦称为第二临界值),存储器管理电路51可指示解码电路跳过(即略过)临界值 $TH(s)$ 所对应的解码模式(s)(亦称为第二解码模式)。其中,跳过解码模式(s)是指不基于解码模式(s)来执行第二解码

操作。例如,假设所述解码参数的数值介于临界值 $TH(s)$ 与 $TH(k)$ 之间, k 大于 s (例如 k 等于 $s+1$),且临界值 $TH(k)$ 大于临界值 $TH(s)$ 。在此情况下,存储器管理电路51可跳过错误更正能力相对较低的解码模式(s)而直接指示解码电路基于错误更正能力相对较高的解码模式(k)来执行第二解码操作。

[0132] 须注意的是,在一范例实施例中,所述解码参数不小于临界值 $TH(s)$,表示基于解码模式(s)执行的第二解码操作有很高的机率无法更正第一数据中的所有错误。因此,在解码参数不小于临界值 $TH(s)$ 的情况下,直接跳过解码能力较低的解码模式(s)而采用解码能力较高的解码模式(k)来解码数据,亦有助于提高第一数据的解码效率。

[0133] 在一范例实施例中,在基于解码模式(k)对第一数据执行第二解码操作后,若此第二解码操作是失败的(即基于解码模式(k)执行的第二解码操作无法更正第一数据中的所有错误),则存储器管理电路51可指示解码电路基于解码模式($k+1$)来再次执行第二解码操作,直到解码模式被用尽为止。此外,若基于解码模式(k)对第一数据执行的第二解码操作是成功的(即基于解码模式(k)执行的第二解码操作可更正第一数据中的所有错误),则存储器管理电路51可输出成功解码的数据。

[0134] 在一范例实施例中,在基于第一解码模式对第一数据执行第二解码操作后,存储器管理电路51可根据第二解码操作的执行结果调整该第一解码模式所对应的第一临界值。例如,假设第一解码模式是解码模式(k)。在基于解码模式(k)对第一数据执行第二解码操作后,响应于此第二解码操作的执行结果是失败的,则存储器管理电路51可减少解码模式(k)所对应的临界值(k),例如将临界值(k)从第一数值减少为第二数值。另一方面,响应于此第二解码操作的执行结果是成功的,则存储器管理电路51可增加临界值(k),例如将临界值(k)从第一数值增加为第三数值。

[0135] 在一范例实施例中,在基于第一解码模式对第一数据执行第二解码操作后,存储器管理电路51可根据第二解码操作的执行结果更新对应于第一解码模式的解码成功率。然后,存储器管理电路51可根据更新后的解码成功率来调整第一解码模式所对应的第一临界值。例如,假设第一解码模式是解码模式(k)。存储器管理电路51可判断解码模式(k)的解码成功率是否低于成功率下限或高于成功率上限。响应于解码模式(k)的解码成功率低于成功率下限,存储器管理电路51可减少临界值(k),例如将临界值(k)从第一数值减少为第二数值。或者,响应于解码模式(k)的解码成功率高于成功率上限,存储器管理电路51可增加临界值(k),例如将临界值(k)从第一数值增加为第三数值。在一范例实施例中,通过动态调整至少一个解码模式所对应的临界值,可使得各个解码模式所对应的临界值更加符合当前的装置状态。

[0136] 图13是根据本发明的范例实施例所示出的解码方法的流程图。

[0137] 请参照图13,在步骤S1301中,启动解码电路,其中所述解码电路支援多个解码模式,所述多个解码模式分别对应一临界值,且所述临界值的分布对应于所述多个解码模式的错误更正能力。在步骤S1302中,从可复写式非易失性存储器模块中读取第一数据。在步骤S1303中,由所述解码电路对所述第一数据执行第一解码操作。在步骤S1304中,根据所述第一解码操作的执行结果获得解码参数。在步骤S1305中,根据所述解码参数与所述临界值之间的相对数值关系,由所述解码电路基于所述多个解码模式中的第一解码模式对所述第一数据执行第二解码操作。

[0138] 图14是根据本发明的范例实施例所示出的解码方法的流程图。

[0139] 请参照图14,在步骤S1401中,从可复写式非易失性存储器模块中读取数据(即第一数据)。在步骤S1402中,由解码电路基于预设解码模式对所述数据执行第一解码操作。在步骤S1403中,根据所述第一解码操作的执行结果获得解码参数。在步骤S1404中,判断所述解码参数是否小于临界值TH(1)。若所述解码参数小于临界值TH(1),在步骤S1405中,由所述解码电路基于解码模式(1)对所述数据执行第二解码操作。若所述解码参数不小于临界值TH(1),在步骤S1406中,判断所述解码参数是否小于临界值TH(2)。若所述解码参数小于临界值TH(2),在步骤S1407中,由所述解码电路基于解码模式(2)对所述数据执行第二解码操作。依此类推,在步骤S1408中,判断所述解码参数是否小于临界值TH(N)。若所述解码参数小于临界值TH(N),在步骤S1409中,由所述解码电路基于解码模式(N)对所述数据执行第二解码操作。此外,若所述解码参数不小于临界值TH(N),则在步骤S1410中,执行错误处理,例如启动另一解码模式来解码数据或者发送错误讯息给主机系统等,本发明不加以限制。

[0140] 然而,图13与图14中各步骤已详细说明如上,在此便不再赘述。值得注意的是,图13与图14中各步骤可以实作为多个程序码或是电路,本案不加以限制。此外,图13与图14的方法可以搭配以上范例实施例使用,也可以单独使用,本案不加以限制。

[0141] 综上所述,本发明的范例实施例提出根据解码参数与至少一临界值之间的相对数值关系来从多个解码模式中动态决定接下来要采用的解码模式,可有效提高解码效率。此外,各个解码模式所对应的临界值亦可根据各个解码模式各自的解码成功率而动态调整,使得各个解码模式所对应的临界值更加符合当前的装置状态。

[0142] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

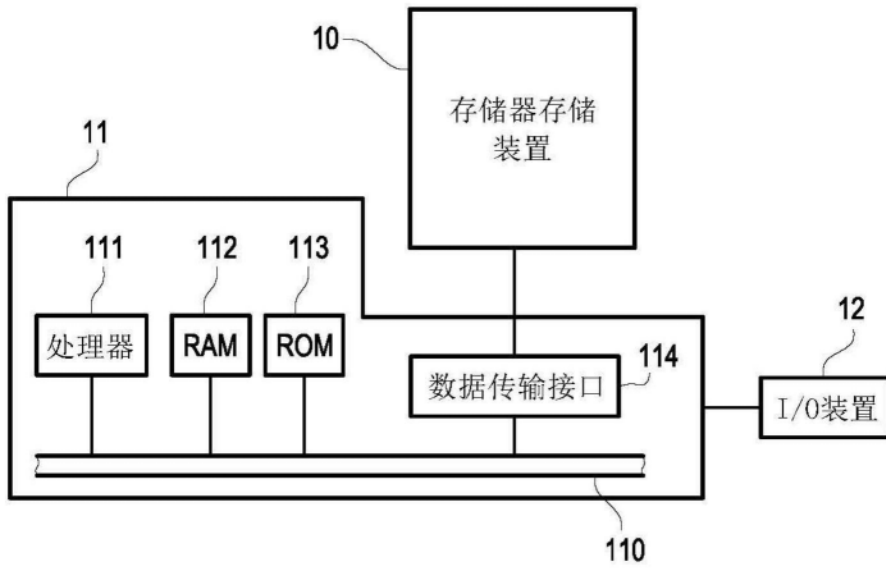


图1

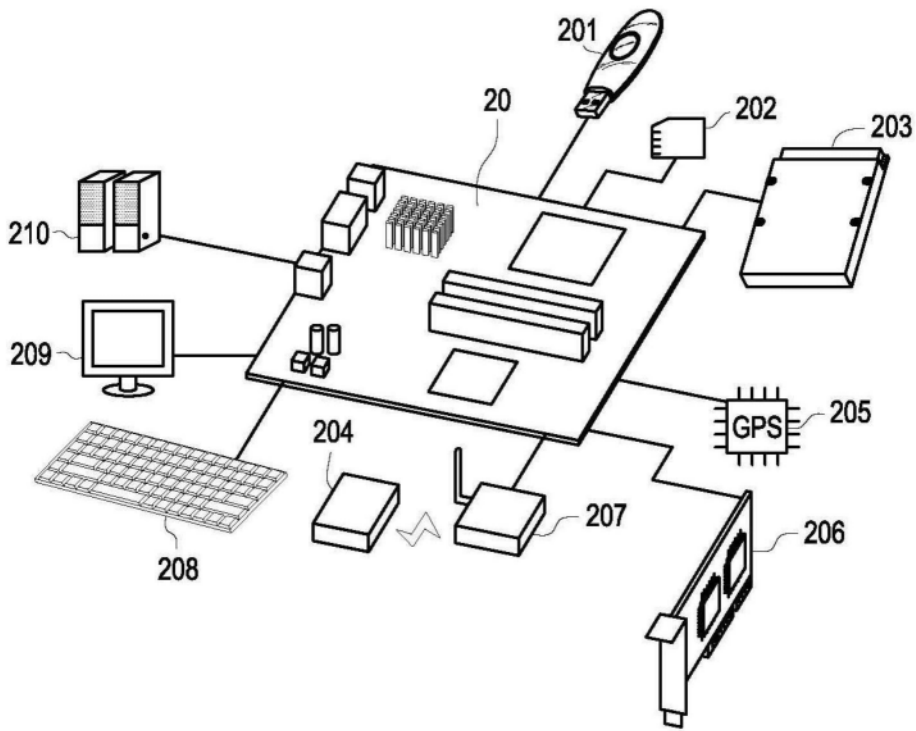


图2

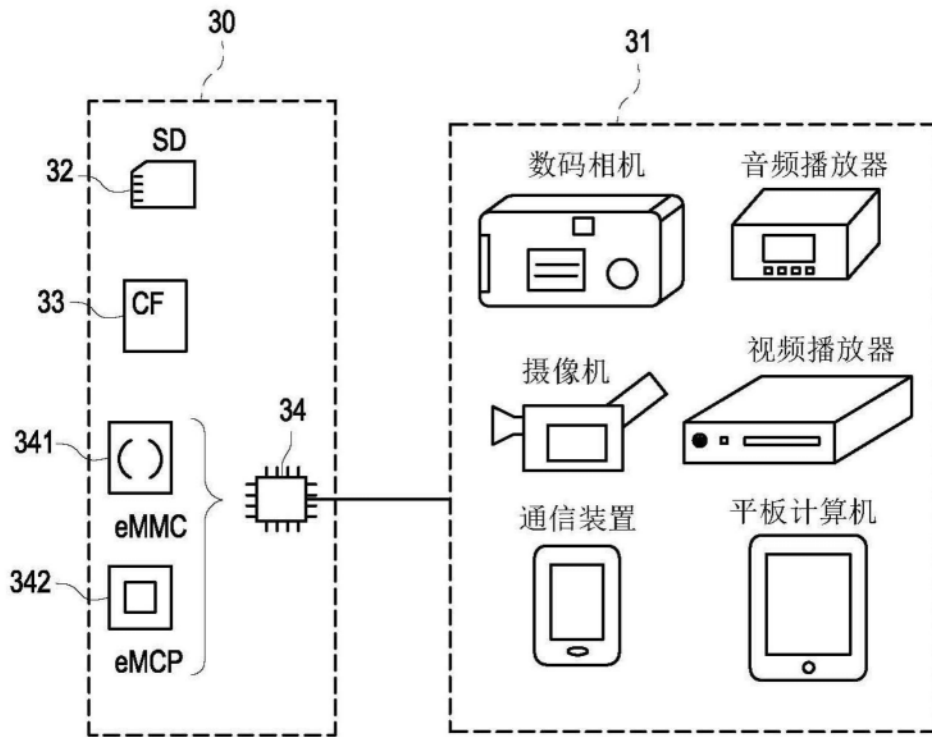


图3

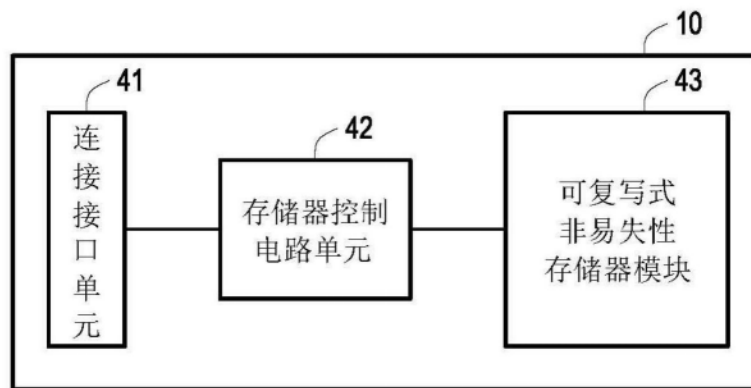
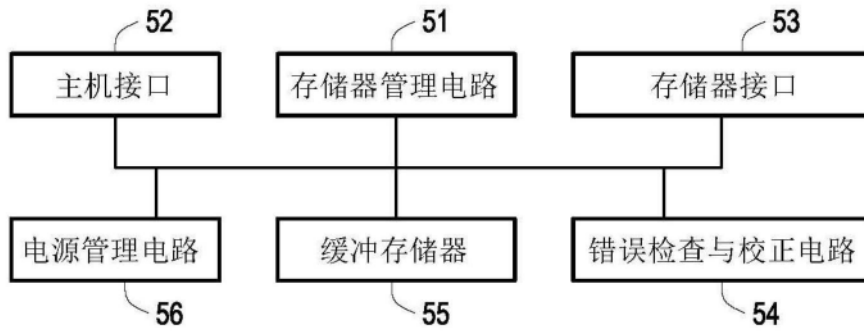


图4



42

图5

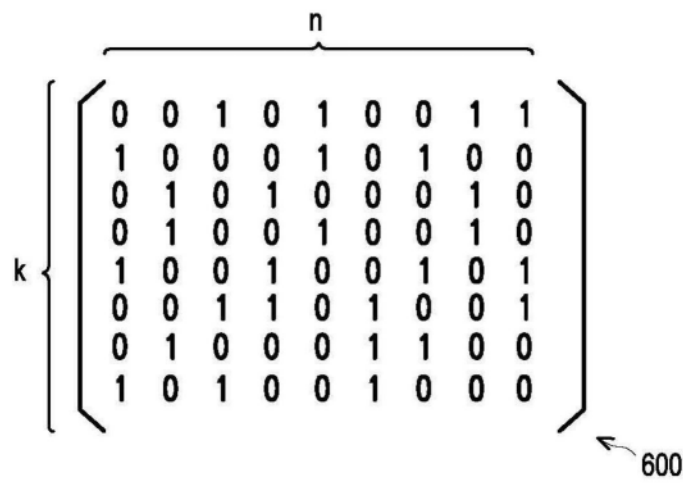


图6

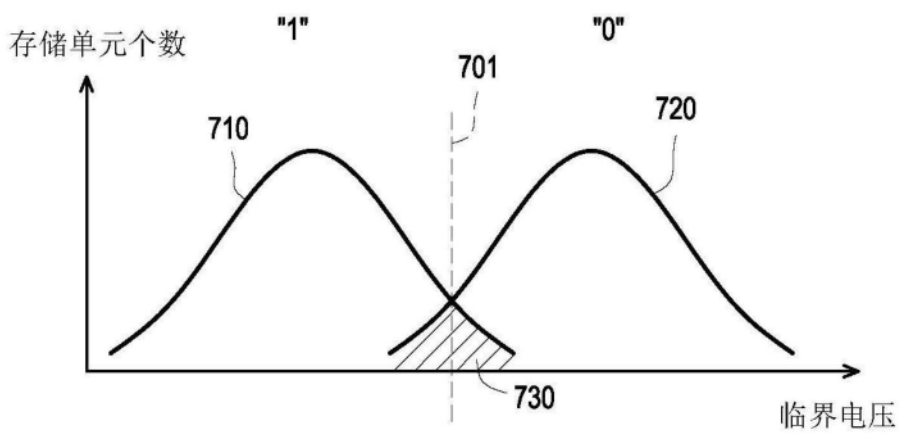
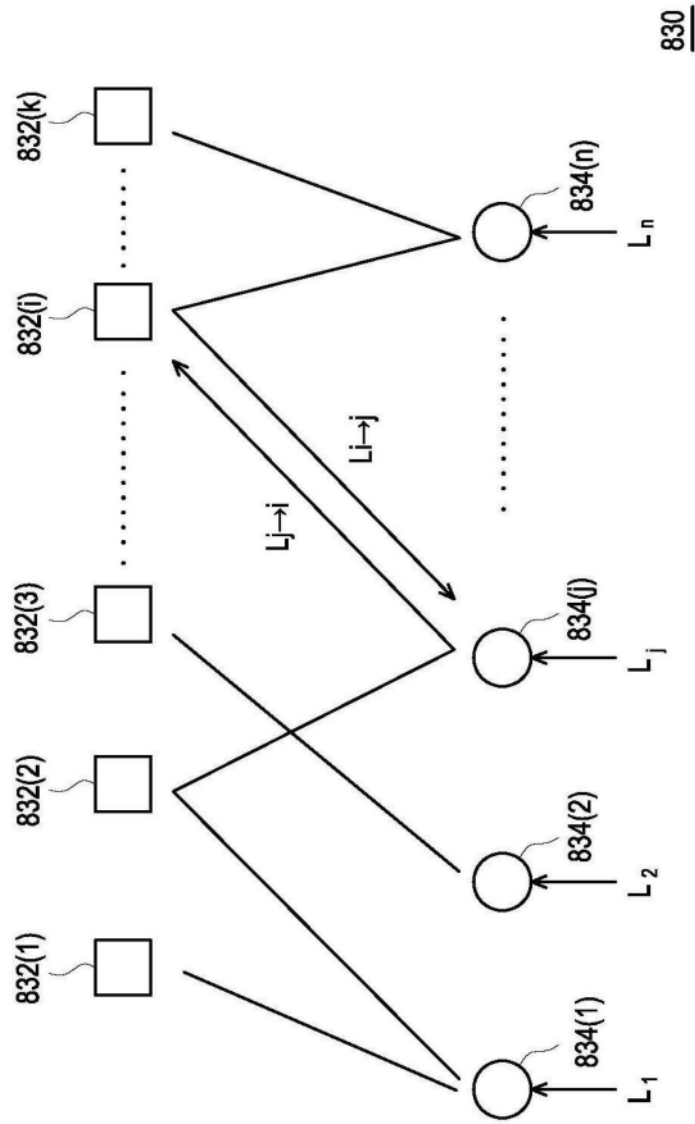


图7



830

图8

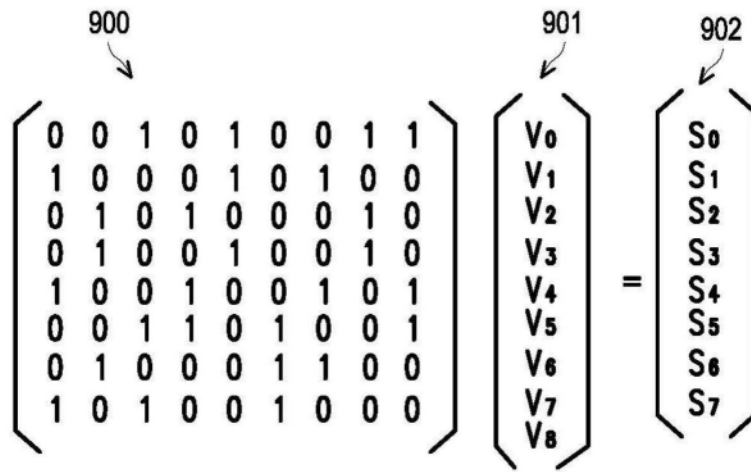


图9

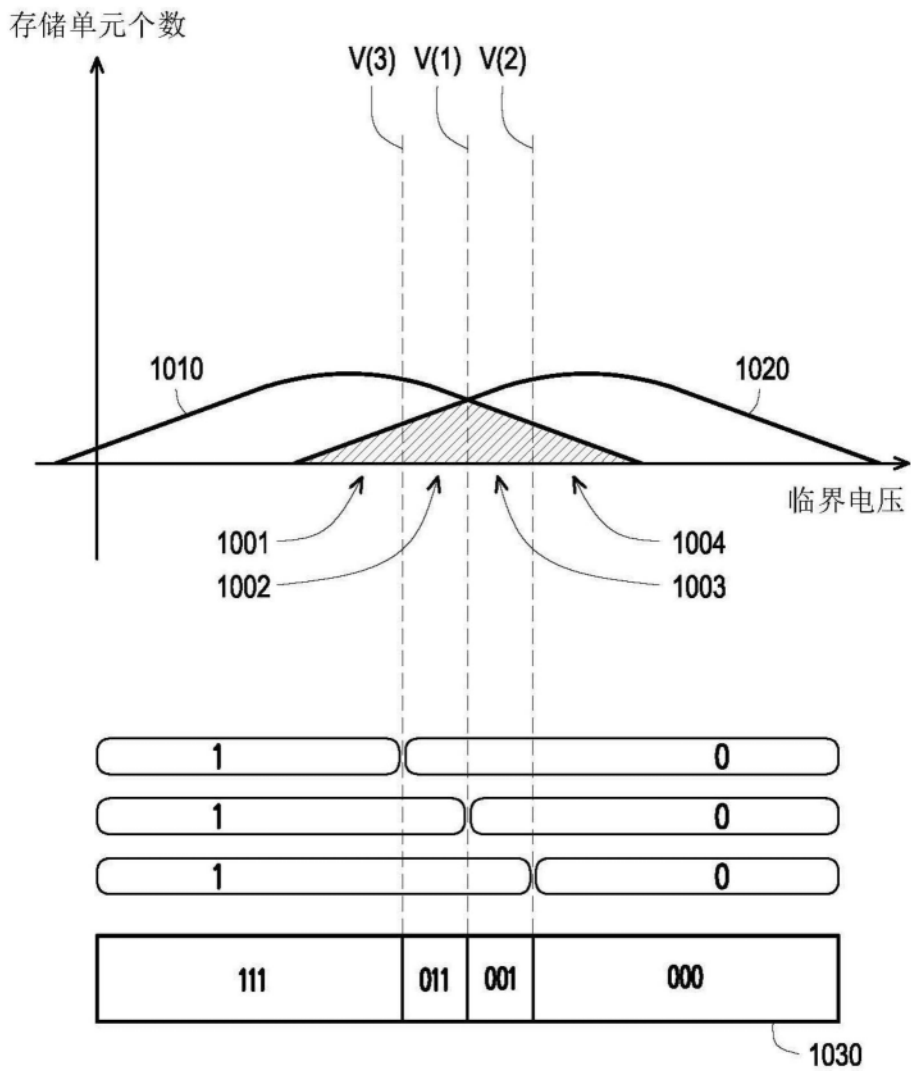


图10

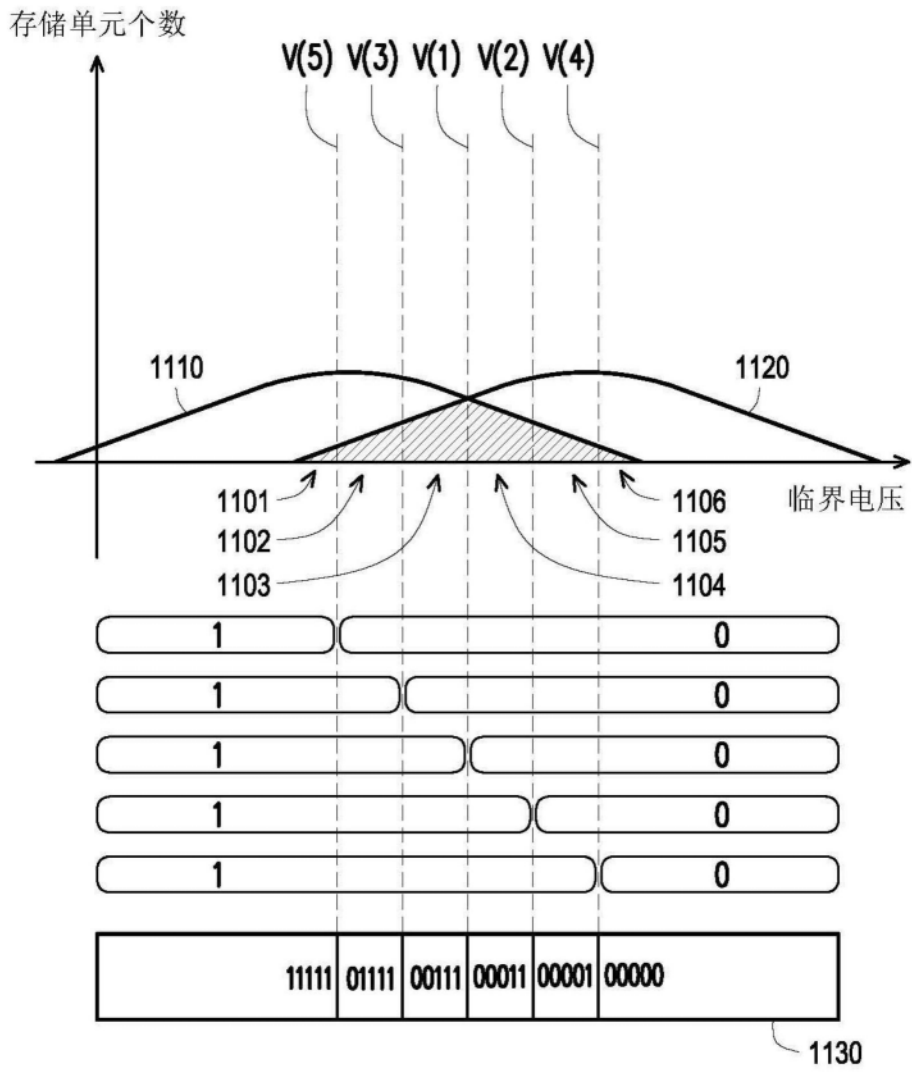


图11

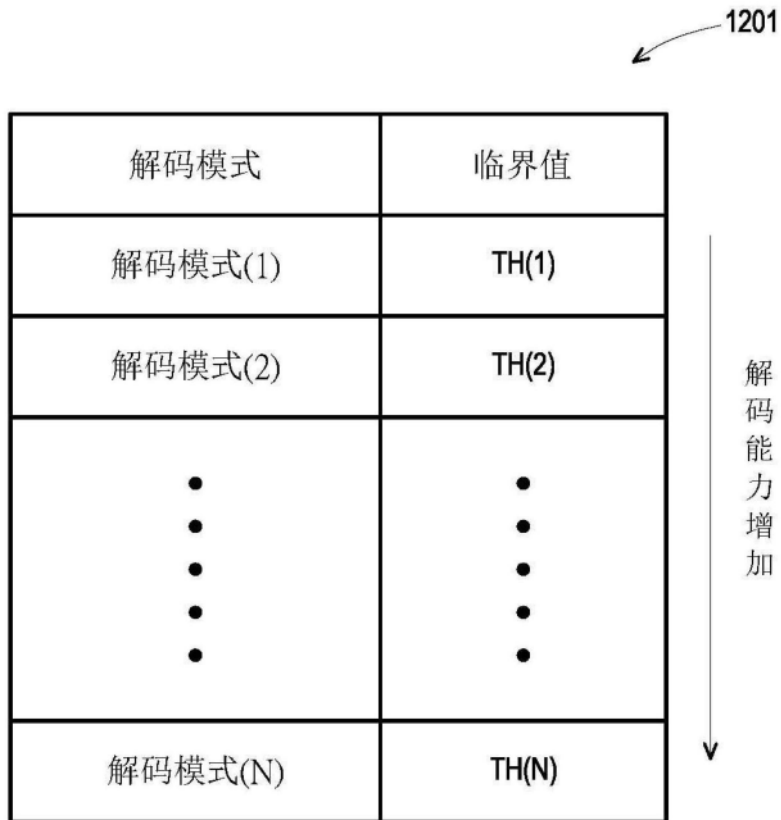


图12

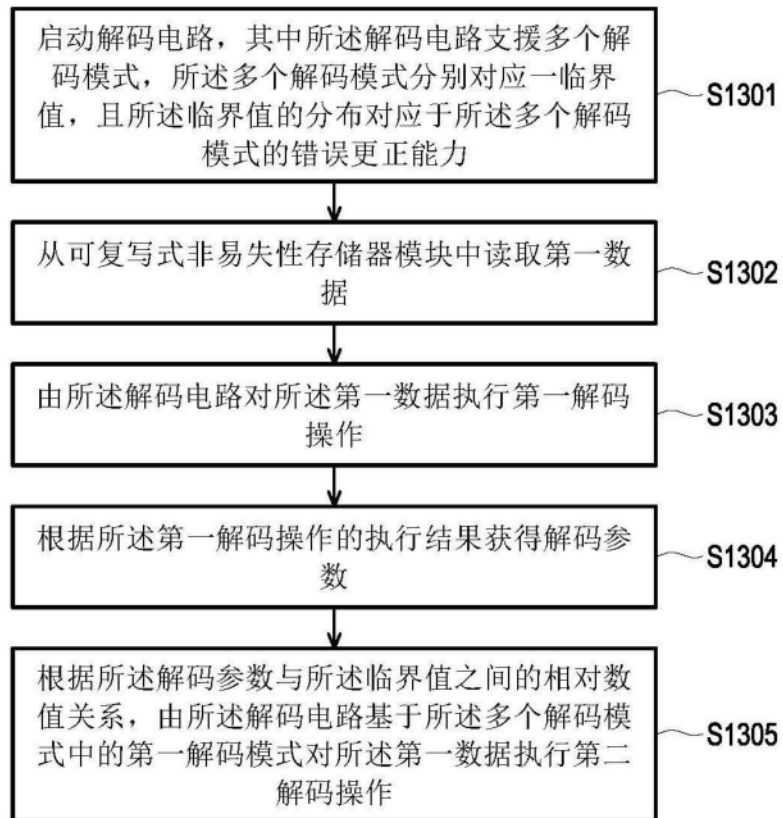


图13

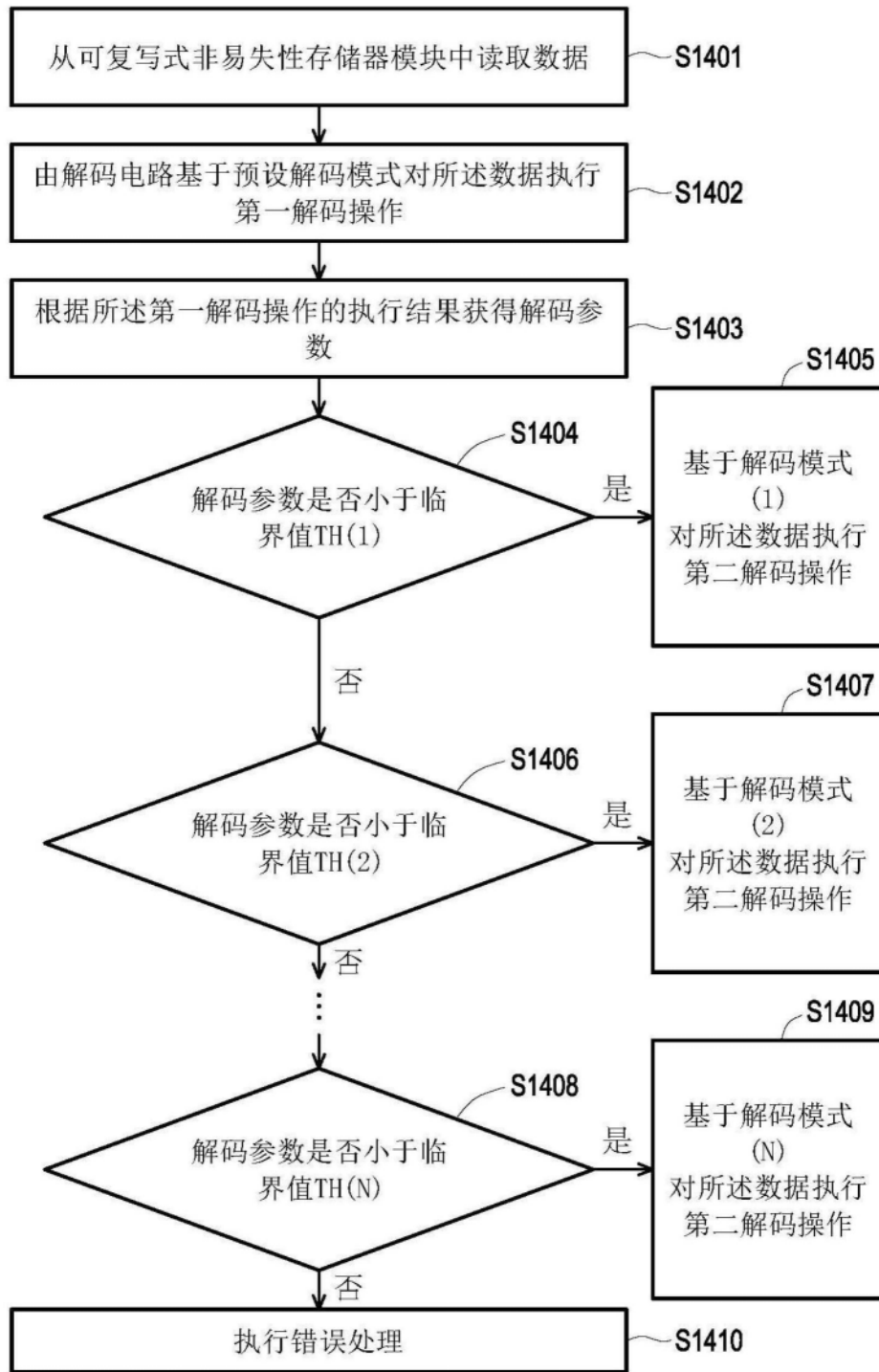


图14