

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5564566号
(P5564566)

(45) 発行日 平成26年7月30日(2014.7.30)

(24) 登録日 平成26年6月20日(2014.6.20)

(51) Int.Cl. F I
HO3M 13/27 (2006.01) HO3M 13/27
HO4L 1/00 (2006.01) HO4L 1/00 F

請求項の数 6 (全 13 頁)

(21) 出願番号 特願2012-524400 (P2012-524400)
 (86) (22) 出願日 平成23年1月12日 (2011.1.12)
 (86) 国際出願番号 PCT/JP2011/000091
 (87) 国際公開番号 W02012/008066
 (87) 国際公開日 平成24年1月19日 (2012.1.19)
 審査請求日 平成25年11月18日 (2013.11.18)
 (31) 優先権主張番号 特願2010-158054 (P2010-158054)
 (32) 優先日 平成22年7月12日 (2010.7.12)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (72) 発明者 石井 電次
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 審査官 岡 裕之

最終頁に続く

(54) 【発明の名称】 デインタリーブ装置および方法ならびにデータ伝送システムおよび方法

(57) 【特許請求の範囲】

【請求項1】

R行×C列のマトリクスにR×C'個(ただし、C'はR×Cの任意の約数ある)のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされた入力データブロックをデインタリーブして前記原データブロックを復元するデインタリーブ装置であって、

R×C'個のデータを格納可能なメモリと、

入力データブロックごとに初期値から前記メモリのライトアドレスの生成を始めて、前記初期値と前記メモリに格納された一つ前の入力データブロックに係る第c+1番目(ただし、cは一つ前の入力データブロックのデータを前記マトリクスに列優先で並べたときの列数である)のライトアドレスとの差分として与えられる第1の増分値に基づいてライトアドレスを生成するライトアドレス生成部と、

入力データブロックごとに前記初期値から前記メモリのリードアドレスの生成を始めて、前記第1の増分値に基づいて第(n×R)+1番目以外(ただし、nは0以上の整数である)のリードアドレスを生成する一方、前記メモリに格納された一つ前の入力データブロックに係る第2番目のライトアドレスと前記初期値との差分として与えられる第2の増分値に基づいて第(n×R)+1番目のリードアドレスを生成するリードアドレス生成部と、

前記リードアドレス生成部によって生成されるリードアドレスからデータを順次読み出すとともに、前記ライトアドレス生成部によって生成されるライトアドレスに入力データ

ブロックのデータを順次書き込むメモリアインタフェース部とを備えていることを特徴とするデインタリーブ装置。

【請求項 2】

請求項 1 のデインタリーブ装置において、

前記リードアドレス生成部は、

一つ前のリードアドレスに前記第 1 の増分値を加算した値に基づいてリードアドレスを生成する第 1 のアドレス生成部と、

R 個前のリードアドレスに前記第 2 の増分値を加算した値に基づいてリードアドレスを生成する第 2 のアドレス生成部と、

前記第 1 および第 2 のアドレス生成部によって生成されたリードアドレスのいずれか一方を選択的に前記メモリアインタフェース部に供給するマルチプレクサと、

前記マルチプレクサの選択動作を制御する選択制御部とを有することを特徴とするデインタリーブ装置。

10

【請求項 3】

請求項 1 のデインタリーブ装置において、

一つ前のライトアドレスを保持する第 1 のレジスタと、

一つ前のリードアドレスを保持する第 2 のレジスタと、

前記ライトアドレス生成部およびリードアドレス生成部によって時分割で共有され、与えられたアドレスに前記第 1 の増分値を加算した値に基づいてアドレスを生成するアドレス生成部と、

20

前記第 1 および第 2 のレジスタに保持されたアドレスのいずれか一方を選択的に前記アドレス生成部に供給するマルチプレクサと、

前記アドレス生成部によって生成されたアドレスをリードアドレスおよびライトアドレスのいずれか一方として選択的に前記メモリアインタフェース部に供給するデマルチプレクサと、

前記マルチプレクサおよびデマルチプレクサの選択動作を制御する選択制御部とを備えている

ことを特徴とするデインタリーブ装置。

【請求項 4】

R 行 × C 列のマトリクスに $R \times C'$ 個 (ただし、 C' は $R \times C$ の任意の約数である) のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでデインタリーブされた入力データブロックをメモリに格納し、当該入力データブロックをデインタリーブして前記原データブロックを復元するデインタリーブ方法であって、

30

前記メモリに格納された一つ前の入力データブロックに係る第 1 番目および第 $c + 1$ 番目 (ただし、 c は一つ前の入力データブロックのデータを前記マトリクスに列優先で並べたときの列数である) のライトアドレスの差分として与えられる第 1 の増分値を生成するステップと、

前記メモリに格納された一つ前の入力データブロックに係る第 1 番目および第 2 番目のライトアドレスの差分として与えられる第 2 の増分値を生成するステップと、

入力データブロックごとに初期値から前記メモリのライトアドレスの生成を始めて、前記第 1 の増分値に基づいてライトアドレスを生成するステップと、

40

入力データブロックごとに前記初期値から前記メモリのリードアドレスの生成を始めて、前記第 1 の増分値に基づいて第 $(n \times R) + 1$ 番目以外 (ただし、 n は 0 以上の整数である) のリードアドレスを生成する一方、前記第 2 の増分値に基づいて第 $(n \times R) + 1$ 番目のリードアドレスを生成するステップと、

前記生成されるリードアドレスからデータを順次読み出すとともに、前記生成されるライトアドレスに入力データブロックのデータを順次書き込むステップとを備えていることを特徴とするデインタリーブ方法。

【請求項 5】

R 行 × C 列のマトリクスに $R \times C'$ 個 (ただし、 C' は $R \times C$ の任意の約数である) の

50

データからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされたデータブロックを生成して送信するインタリーブ装置と、

前記インタリーブされたデータブロックを受信し、当該受信したデータブロックをデインタリーブして前記原データブロックを復元する請求項1のデインタリーブ装置とを備えている

ことを特徴とするデータ伝送システム。

【請求項6】

R行×C列のマトリクスにR×C'個(ただし、C'はR×Cの任意の約数である)のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされたデータブロックを生成して送信するステップと、

10

前記インタリーブされたデータブロックを受信し、当該受信したデータブロックを請求項4のデインタリーブ方法に従ってデインタリーブして前記原データブロックを復元するステップとを備えている

ことを特徴とするデータ伝送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置に関し、特に、インタリーブされたデータブロックをデインタリーブする装置および方法、ならびにデータをインタリーブして送信し、それを受信してデインタリーブするデータ伝送システムおよび方法に関する。

20

【背景技術】

【0002】

地上デジタル放送や無線通信などによるデータ伝送ではパルス妨害やフェージングなどの影響でバースト誤りが発生することがある。バースト誤りが発生すると、受信側において受信データの誤り訂正ができなくなり、放送コンテンツの画質劣化などの原因となる。

【0003】

そのようなバースト誤りに強いデータ伝送方法としてインタリーブ方式がある。インタリーブ方式では、送信側であるインタリーブ装置は、マトリクスに原データブロックのデータを列優先で格納して行優先で読み出すことで原データブロックのデータを並べ替えてインタリーブされたデータブロックを生成する。受信側であるデインタリーブ装置は、インタリーブされたデータブロックを受信し、マトリクスに受信データブロックのデータを行優先で格納して列優先で読み出すことで入力データブロックのデータを再度並べ替えて原データブロックを復元する(例えば、特許文献1参照)。このように原データブロックをインタリーブして伝送することで、伝送中にバースト誤りが発生してもデインタリーブによってバースト誤りがランダム誤りに置き換わるため、受信側において受信データの誤り訂正が可能となる。

30

【0004】

インタリーブ方式はデータブロック長が可変であっても適用可能である。データブロック長が可変の場合、インタリーブ処理においてマトリクスに列優先で格納される際の列数がさまざまに変化する。デインタリーブ装置は、入力データブロックのブロック長に応じて適宜マトリクスの一部の列を使用しない、すなわち、不使用の列に係るライトアドレスの生成をスキップすることで、固定長の場合と基本的に同じ原理で可変長の入力データブロックをデインタリーブする。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-147240号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

固定長の入力データブロックをデインタリーブする場合、メモリからデータを一つ読み出すたびに同じアドレスに受信データを一つ書き込めばよい。一方、入力データブロックのデータ書き込みとその一つ前にメモリに格納された入力データブロックのデータ読み出しとを1個のメモリを用いて行うことができる。一方、可変長の入力データブロックをデインタリーブする場合、データ読み出しに係るデータブロックとデータ書き込みに係るデータブロックとでブロック長が異なる場合があり、特に、後者の方が長い場合、データがまだ読み出されていないアドレスにデータが上書きされるおそれがある。そこでデータのオーバーライトを回避するために、2個のメモリを交互に使用して一方のメモリからデータを読み出しているときは他方のメモリにデータを書き込むようにするか、あるいは、固定長と同様に1個のメモリを用いてデータ読み出しとデータ書き込みを行うのであれば、不使用の列に係るライトアドレスの生成をスキップしている間に受信するデータを一時的に格納するバッファを設ける必要がある。しかし、いずれの場合もメモリあるいはバッファといった記憶手段が追加的に必要となり、回路面積が増大してしまう。

10

【0007】

上記問題に鑑み、本発明は、追加の記憶手段なしで1個のメモリを用いて可変長の入力データブロックのデインタリーブ処理が可能なデインタリーブ装置および方法を提供することを課題とする。さらに、そのようなデインタリーブ装置を備えたデータ伝送システムおよび方法を提供することを課題とする。

【課題を解決するための手段】

【0008】

20

上記課題を解決するために本発明によって次のような手段を講じた。すなわち、 R 行 \times C 列のマトリクスに $R \times C'$ 個(ただし、 C' は $R \times C$ の任意の約数である)のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされた入力データブロックをデインタリーブして原データブロックを復元するデインタリーブ装置は、 $R \times C$ 個のデータを格納可能なメモリと、入力データブロックごとに初期値からメモリのライトアドレスの生成を始めて、初期値とメモリに格納された一つ前の入力データブロックに係る第 $c + 1$ 番目(ただし、 c は一つ前の入力データブロックのデータをマトリクスに列優先で並べたときの列数である)のライトアドレスとの差分として与えられる第1の増分値に基づいてライトアドレスを生成するライトアドレス生成部と、入力データブロックごとに初期値からメモリのリードアドレスの生成を始めて、第1の増分値に基づいて第 $(n \times R) + 1$ 番目以外(ただし、 n は0以上の整数である)のリードアドレスを生成する一方、メモリに格納された一つ前の入力データブロックに係る第2番目のライトアドレスと初期値との差分として与えられる第2の増分値に基づいて第 $(n \times R) + 1$ 番目のリードアドレスを生成するリードアドレス生成部と、リードアドレス生成部によって生成されるリードアドレスからデータを順次読み出すとともに、ライトアドレス生成部によって生成されるライトアドレスに入力データブロックのデータを順次書き込むメモリインタフェース部とを備えている。

30

【0009】

また、 R 行 \times C 列のマトリクスに $R \times C'$ 個(ただし、 C' は $R \times C$ の任意の約数である)のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされた入力データブロックをメモリに格納し、当該入力データブロックをデインタリーブして原データブロックを復元するデインタリーブ方法は、メモリに格納された一つ前の入力データブロックに係る第1番目および第 $c + 1$ 番目(ただし、 c は一つ前の入力データブロックのデータをマトリクスに列優先で並べたときの列数である)のライトアドレスの差分として与えられる第1の増分値を生成するステップと、メモリに格納された一つ前の入力データブロックに係る第1番目および第2番目のライトアドレスの差分として与えられる第2の増分値を生成するステップと、入力データブロックごとに初期値からメモリのライトアドレスの生成を始めて、第1の増分値に基づいてライトアドレスを生成するステップと、入力データブロックごとに初期値からメモリのリードアドレスの生成を始めて、第1の増分値に基づいて第 $(n \times R) + 1$ 番目以外(ただし、 n は0以

40

50

上の整数である)のリードアドレスを生成する一方、第2の増分値に基づいて第 $(n \times R) + 1$ 番目のリードアドレスを生成するステップと、生成されるリードアドレスからデータを順次読み出すとともに、生成されるライトアドレスに入力データブロックのデータを順次書き込むステップとを備えている。

【0010】

当該デインタリーブ装置またはデインタリーブ方法によると、ライトアドレスは入力データブロックのブロック長にかかわらず第1の増分値に基づいて生成されるのに対して、リードアドレスは第 $(n \times R) + 1$ 番目以外のときは第1の増分値に基づいて、第 $(n \times R) + 1$ 番目のときは第2の増分値に基づいて生成される。ここで、入力データブロックのデータを R 行 \times C 列のマトリクスに列優先で格納した場合の列数 C' が $R \times C$ の約数となっていれば、データ読み出しに係るデータブロックとデータ書き込みに係るデータブロックとでブロック長が異なっているとしても、常にリードアドレスがライトアドレスを先行する、すなわち、メモリの任意のアドレスについてリードアドレスが生成されてデータが読み出された後に同じ値のライトアドレスが生成されることが保証される。したがって、ライトアドレスの生成をスキップすることがなく、受信データを一時的に格納するバッファは不要である。

10

【0011】

また、データ伝送システムまたは方法は、 R 行 \times C 列のマトリクスに $R \times C'$ 個(ただし、 C' は $R \times C$ の任意の約数である)のデータからなる原データブロックのデータを列優先で格納して行優先で読み出すことでインタリーブされたデータブロックを生成して送信するインタリーブ装置またはステップと、インタリーブされたデータブロックを受信し、当該受信したデータブロックをデインタリーブして原データブロックを復元する上記のデインタリーブ装置または当該受信したデータブロックを上記のデインタリーブ方法に従ってデインタリーブして原データブロックを復元するステップとを備えている。

20

【発明の効果】

【0012】

本発明によると、追加の記憶手段なしで1個のメモリを用いて可変長の入力データブロックのデインタリーブ処理が可能である。これにより、デインタリーブ装置の回路面積を縮小することができる。

【図面の簡単な説明】

30

【0013】

【図1】図1は、本発明の一実施形態に係るデインタリーブ装置の構成図である。

【図2】図2は、変形例に係るデインタリーブ装置の構成図である。

【図3】図3は、原データブロックとインタリーブブロックとの関係を表す模式図である。

【図4】図4は、第1番目の入力データブロックの格納に係るライトアドレスの生成の様子を示す模式図である。

【図5】図5は、第1番目の入力データブロックのデインタリーブ処理に係るリードアドレスおよび第2番目の入力データブロックの格納に係るライトアドレスの生成の様子を示す模式図である。

40

【図6】図6は、第2番目の入力データブロックのデインタリーブ処理に係るリードアドレスおよび第3番目の入力データブロックの格納に係るライトアドレスの生成の様子を示す模式図である。

【図7】図7は、第3番目の入力データブロックのデインタリーブ処理に係るリードアドレスの生成の様子を示す模式図である。

【図8】図8は、本発明の一実施形態に係るデータ伝送システムの構成図である。

【発明を実施するための形態】

【0014】

(デインタリーブ装置の実施形態)

図1は、本発明の一実施形態に係るデインタリーブ装置の構成を示す。本実施形態に係

50

るデインタリーブ装置は、インタリーブされた入力データブロック（インタリーブブロック）をデインタリーブして出力データブロック（デインタリーブブロック）を生成する。なお、説明の便宜のため、入力データブロックは、図示しないインタリーブ装置における R 行 \times C 列のマトリクスに列優先で格納したデータを行優先で読み出すことでインタリーブされたデータブロックであるとする。また、入力データブロックは、ブロック長 = $R \times C'$ （ただし、 C' は $R \times C$ の任意の約数）という制約条件を満たす可変長のデータブロックであるとする。

【 0 0 1 5 】

本実施形態に係るデインタリーブ装置において、メモリ 1 1 は M 個（ただし、 $M = R \times C$ である）のデータを格納可能なメモリである。便宜上、メモリアドレスは “ 0 ” から “ $M - 1$ ” までの各整数で特定されるものとする。メモリインタフェース部 1 4 は、リードアドレス生成部 1 3 によって生成されるメモリ 1 1 のリードアドレスからデータを順次読み出す。それと並行して、メモリインタフェース部 1 4 は、ライトアドレス生成部 1 2 によって生成されるメモリ 1 1 のライトアドレスに入力データブロックのデータを順次書き込む。

10

【 0 0 1 6 】

ライトアドレス生成部 1 2 は、入力データブロックごとに初期値（例えば、“ 0 ”）からメモリ 1 1 のライトアドレスの生成を始めて、初期値とメモリ 1 1 に格納された一つ前の入力データブロックに係る第 $c + 1$ 番目（ただし、 c は一つ前の入力データブロックのデータを R 行 \times C 列のマトリクスに列優先で並べたときの列数である）のライトアドレスとの差分として与えられる増分値 X_j に基づいてライトアドレスを生成する。具体的には、ライトアドレス生成部 1 2 は、アドレス $A_{i,j}$ を生成するアドレス生成部 1 2 1 を備えており、アドレス生成部 1 2 1 が生成するアドレス $A_{i,j}$ をライトアドレスとしてメモリインタフェース部 1 4 に供給する。

20

【 0 0 1 7 】

アドレス生成部 1 2 1 は、次の計算式に従ってアドレス $A_{i,j}$ を生成する。ここで、 i は各入力データブロックにおけるデータの識別番号である。 j は入力データブロック自体の識別番号である。 c_{j-1} は一つ前の入力データブロックのデータを R 行 \times C 列のマトリクスに列優先で並べたときの列数であり、上記制約条件の下で $R \times C$ の任意の約数を取り得る。なお、 i および j は図示しないカウンタによって生成される。便宜上、 i および j のいずれも “ 0 ” から始まってデインタリーブ装置への入力順に “ 1 ” ずつ増加する整数とする。

30

【 0 0 1 8 】

【 数 1 】

$$\left. \begin{array}{l} A_{0j}=0 \\ A_{ij}=(A_{i-1j}+X_j) \quad \text{when } A_{i-1j} < M-X_j \\ A_{ij}=(A_{i-1j}-(M-X_j-1)) \quad \text{when } A_{i-1j} \geq M-X_j \end{array} \right\} \text{for } i > 0$$

$$\left. \begin{array}{l} \text{where:} \\ X_0=1 \\ X_j=(X_{j-1} \cdot c_{j-1}) \bmod M + (X_{j-1} \cdot c_{j-1}) \text{div } M \end{array} \right\} \text{for } j > 0$$

40

【 0 0 1 9 】

リードアドレス生成部 1 3 は、入力データブロックごとに初期値（例えば、“ 0 ”）からメモリ 1 1 のリードアドレスの生成を始めて、増分値 X_j に基づいて第 $(n \times R) + 1$

50

番目以外（ただし、 n は 0 以上の整数である）のリードアドレスを生成し、メモリ 1 1 に格納された一つ前の入力データブロックに係る第 2 番目のライトアドレスと初期値との差分として与えられる増分値 Y_j に基づいて第 $(n \times R) + 1$ 番目のリードアドレスを生成する。具体的には、リードアドレス生成部 1 3 は、増分値 X_j に基づいてアドレス $A_{i,j}$ を生成するアドレス生成部 1 3 1、増分値 Y_j に基づいてアドレス $AR_{i,j}$ を生成するアドレス生成部 1 3 2、これらアドレス生成部によって生成されたリードアドレスのいずれか一方を選択的にメモリインタフェース部 1 4 に供給するマルチプレクサ 1 3 3、およびマルチプレクサ 1 3 3 の選択動作を制御する選択制御部 1 3 4 で構成することができる。

【 0 0 2 0 】

10

アドレス生成部 1 3 1 は、次の計算式に従ってアドレス $A_{i,j}$ を生成する。基本的にはアドレス生成部 1 2 1 のアドレス計算式と同じであるが、 X_0 は “ 1 ” ではなくアドレス生成部 1 2 1 で生成される X_1 を使用する点、 $(i \bmod R) = 0$ のときに $A_{i,j}$ を $AR_{i,j}$ に更新する点が異なる。

【 0 0 2 1 】

【数 2】

$$\left. \begin{array}{l} A_{0j}=0 \\ A_{ij}=AR_{ij} \quad \text{when } (i \bmod R)=0 \\ A_{ij}=(A_{i-1j}+X_j) \quad \text{when } A_{i-1j} < M-X_j \\ A_{ij}=(A_{i-1j}-(M-X_j-1)) \quad \text{when } A_{i-1j} \geq M-X_j \end{array} \right\} \text{for } i > 0$$

20

where:

$$\left. \begin{array}{l} X_0 = \text{ライトの } X_1 \\ X_j = (X_{j-1} \cdot c_j) \bmod M + (X_{j-1} \cdot c_j) \text{div } M \end{array} \right\} \text{for } j > 0$$

30

【 0 0 2 2 】

アドレス生成部 1 3 2 は、次の計算式に従ってアドレス $AR_{i,j}$ を生成する。

【 0 0 2 3 】

【数 3】

$$\left. \begin{array}{l} AR_{0j}=0 \\ AR_{ij}=(AR_{i-Rj}+Y_j) \quad \text{when } AR_{i-Rj} < M-Y_j \\ AR_{ij}=(AR_{i-Rj}-(M-Y_j-1)) \quad \text{when } AR_{i-Rj} \geq M-Y_j \end{array} \right\} \text{for } i > R$$

40

where:

$$\left. \begin{array}{l} Y_0 = 1 \\ Y_j = (Y_{j-1} \cdot c_j) \bmod M + (Y_{j-1} \cdot c_j) \text{div } M \end{array} \right\} \text{for } j > 0$$

【 0 0 2 4 】

選択制御部 1 3 4 は、マルチプレクサ 1 3 3 の選択動作を制御する。具体的には、選択制御部 1 3 4 は、マルチプレクサ 1 3 3 に対して、 $(i \bmod R) = 0$ のときはアド

50

レス生成部 131 を、 $(i \bmod R) = 0$ のときはアドレス生成部 132 を、それぞれ選択するように指示する。

【0025】

<変形例>

アドレス生成部 121 およびアドレス生成部 131 のアドレス生成規則はほぼ同じであるため、ライトアドレス生成部 12 およびリードアドレス生成部 13 で 1 個のアドレス生成部を時分割で共有するようにしてもよい。例えば、アドレス生成部 131 を省略し、アドレス生成部 121 でリードアドレス生成も行うようにしてもよい。図 2 は、そのような変形例に係るデインタリーブ装置の構成を示す。アドレス生成部 121 でリードアドレスおよびライトアドレスのいずれも生成可能にするために、本変形例に係るデインタリーブ装置は、一つ前のライトアドレスを保持するレジスタ 15 と、一つ前のリードアドレスを保持するレジスタ 16 と、これらレジスタに保持されたアドレスのいずれか一方を選択的にアドレス生成部 121 に供給するマルチプレクサ 17 と、アドレス生成部 121 によって生成されたアドレスをリードアドレスおよびライトアドレスのいずれか一方として選択的にメモリインタフェース部 14 に供給するデマルチプレクサ 18 と、マルチプレクサ 17 およびデマルチプレクサ 18 の選択動作を制御する選択制御部 19 とを備えている。

10

【0026】

選択制御部 19 の動作は次の通りである。ライトアドレス生成の場合、選択制御部 19 は、マルチプレクサ 17 に対してレジスタ 15 を選択するように指示するとともに、デマルチプレクサ 18 に対してアドレス生成部 121 によって生成されたアドレスをライトアドレスとして出力するように指示する。一方、リードアドレス生成の場合、選択制御部 19 は、マルチプレクサ 17 に対してレジスタ 16 を選択するように指示するとともに、デマルチプレクサ 18 に対してアドレス生成部 121 によって生成されたアドレスをリードアドレスとして出力するように指示する。

20

【0027】

次に、本実施形態に係るデインタリーブ装置によるデインタリーブ処理について具体例を示しながら説明する。図 3 に示したように、原データブロックのデータを 3 行 × 8 列のマトリクスに列優先で格納して行優先で読み出すことでインタリーブブロックが生成される。デインタリーブ装置はこれらインタリーブブロックをデインタリーブして原データブロックを復元する。第 1 番目の原データブロック $DATA_1$ およびインタリーブブロック IL_1 は 12 個 (= 3 行 × 4 列) のデータ $D_0 \sim D_{11}$ で構成される。第 2 番目の原データブロック $DATA_2$ およびインタリーブブロック IL_2 は 18 個 (= 3 行 × 6 列) のデータ $D_0 \sim D_{17}$ で構成される。第 3 番目の原データブロック $DATA_3$ およびインタリーブブロック IL_3 は 24 個 (= 3 行 × 8 列) のデータ $D_0 \sim D_{23}$ で構成される。

30

【0028】

デインタリーブ装置は、図 4 に示した実線矢印の順にライトアドレスを生成し、メモリ 11 に IL_1 を格納する。すなわち、 IL_1 の格納においてライトアドレスは初期値 “0” から始まって $X_0 = 1$ ずつ増加する。なお、この時点では読み出すべきデータが存在しないためリードアドレスは該当なし (N/A) である。

【0029】

IL_1 の格納が完了すると、デインタリーブ装置は、図 5 に示した実線矢印の順にリードアドレスおよびライトアドレスを生成し、メモリ 11 から IL_1 をデインタリーブして読み出しつつメモリ 11 に IL_2 を格納する。リードアドレス生成のための増分値 X_0 およびライトアドレス生成のための増分値 X_1 は、 IL_1 に係る第 5 番目のライトアドレスと初期値との差分として与えられ、また、リードアドレス生成のための増分値 Y_0 は、 IL_1 に係る第 2 番目のライトアドレスと初期値との差分として与えられる。ここで、初期値が “0” であるため、 IL_1 の第 5 番目のライトアドレス “4” がそのまま X_0 および X_1 となり、 IL_1 の第 2 番目のライトアドレス “1” がそのまま Y_0 となる (図 4 参照)。

40

【0030】

50

注目すべきは、ライトアドレスは初期値“0”から $X_0 = 4$ ずつ増加する（ただし、“4”を加算した結果が“24”以上になる場合には“23”を減ずる）のに対して、リードアドレスは3つ生成されるごとに $AR_{i,j}$ に更新される。これにより、データ読み出しに係るデータブロックとデータ書き込みに係るデータブロックとでブロック長が異なっているにもかかわらず、常にリードアドレスがライトアドレスを先行するためデータがまだ読み出されていないアドレスにデータが上書きされることがなく、データのオーバーライトの問題は生じない。例えば、ライトアドレス“1”、“5”、“9”が生成されたときにはすでにこれらアドレスからデータが読み出されている。

【0031】

以後同様に、 IL_1 のデインタリーブが完了すると、デインタリーブ装置は、図6に示した実線矢印の順にリードアドレスおよびライトアドレスを生成し、メモリ11から IL_2 をデインタリーブして読み出しつつメモリ11に IL_3 を格納する。ここでは、 IL_2 の第7番目のライトアドレス“1”がそのままリードアドレス生成のための増分値 X_1 およびライトアドレス生成のための増分値 X_2 となり、 IL_2 の第2番目のライトアドレス“4”がそのままリードアドレス生成のための増分値 Y_1 となる（図5参照）。 IL_2 のデインタリーブが完了すると、デインタリーブ装置は、図7に示した実線矢印の順にリードアドレスを生成し、メモリ11から IL_3 をデインタリーブして読み出す。ここでは、 IL_3 の第9番目のライトアドレス“8”がリードアドレス生成のための増分値 X_2 となり、 IL_3 の第2番目のライトアドレス“1”がリードアドレス生成のための増分値 Y_2 となる（図6参照）。

【0032】

以上、本実施形態によると、バッファなどの追加の記憶手段を設けることなく1個のメモリを用いて可変長の入力データブロックのデインタリーブを行うことができる。これにより、デインタリーブ装置の回路面積を縮小することができる。

【0033】

なお、ライトアドレス生成部12およびリードアドレス生成部13は、図示しないCPU（Central Processing Unit）で実行されるソフトウェアとして実現することもできる。また、ライトアドレス生成部12およびリードアドレス生成部13は、ライトアドレスおよびリードアドレスは逐一算出するのではなく、あらかじめ算出しておいたアドレスを入力データブロックのブロック長およびデータの識別番号に応じて読み出すルックアップテーブルなどとして実現することもできる。

【0034】

（データ伝送システムの実施形態）

図8は、本発明の一実施形態に係るデータ伝送システムの構成を示す。データ伝送システムは、例えば、地上デジタル放送システムである。送信者である放送局などに配置されたインタリーブ装置100は、図示しない R 行 \times C 列のマトリクスに放送コンテンツのデータブロックのデータを列優先で格納して行優先で読み出すことで原データブロックをインタリーブする。なお、原データブロックは $R \times C'$ 個（ただし、 C' は $R \times C$ の任意の約数である）のデータからなるものとする。インタリーブされたデータブロックは地上デジタル波200となって空間に放出される。

【0035】

受信者である各家庭などには上述したデインタリーブ装置300が配置されている。デインタリーブ装置300は、例えば、地上デジタル波チューナなどに搭載されている。デインタリーブ装置100は、受信した地上デジタル波100からインタリーブブロックを取得して、これをデインタリーブして原データブロックを復元する。そして、復元された原データブロックについて誤り訂正などが実施されて放送コンテンツが再生される。

【産業上の利用可能性】

【0036】

本発明に係るデインタリーブ装置は、追加の記憶手段なしで1個のメモリを用いて可変長の入力データブロックのデインタリーブ処理が可能であるため、小型化が求められる地

10

20

30

40

50

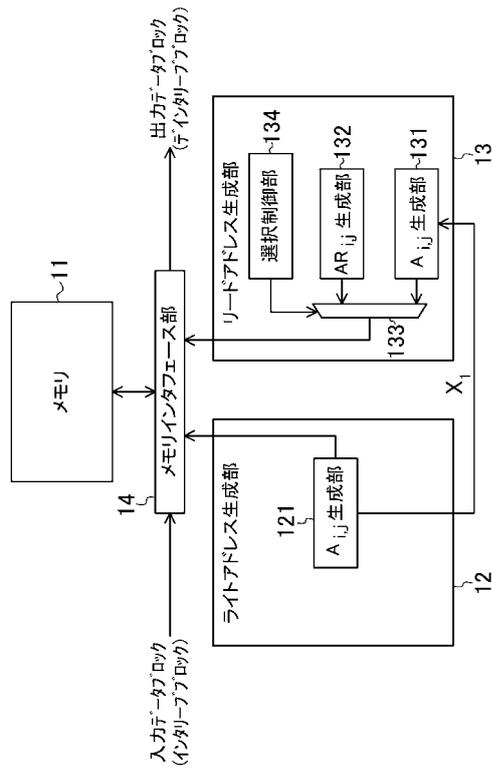
上デジタル放送の受信機能付き携帯端末などに有用である。

【符号の説明】

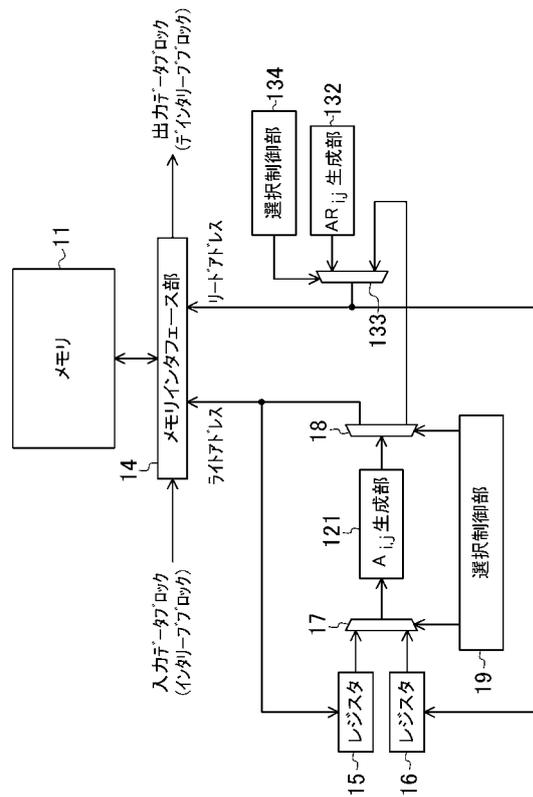
【0037】

- 11 メモリ
- 12 ライトアドレス生成部
- 13 リードアドレス生成部
- 131 アドレス生成部（第1のアドレス生成部）
- 132 アドレス生成部（第2のアドレス生成部）
- 133 マルチプレクサ
- 134 選択制御部
- 14 メモリインタフェース部
- 15 レジスタ（第1のレジスタ）
- 16 レジスタ（第2のレジスタ）
- 17 マルチプレクサ
- 18 デマルチプレクサ
- 19 選択制御部
- 100 インタリーブ装置
- 300 デインタリーブ装置

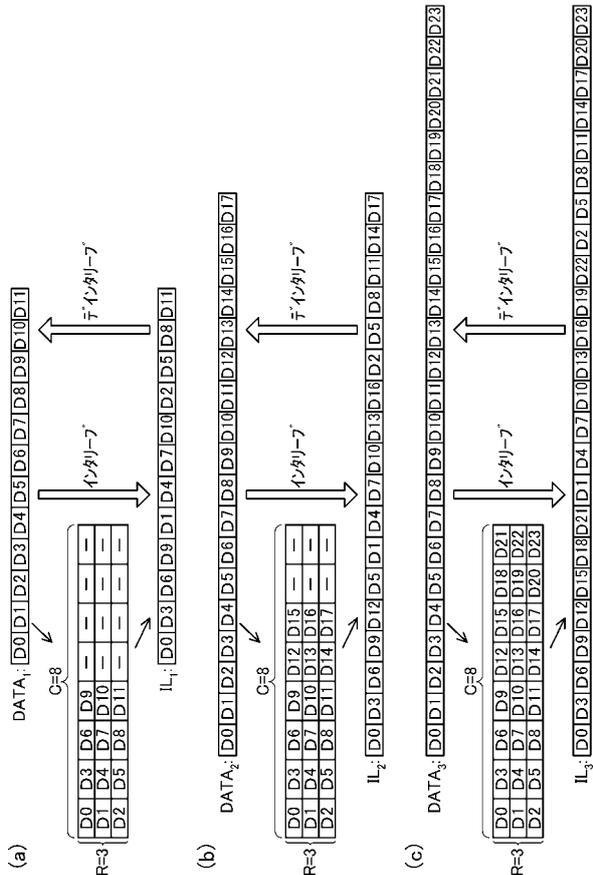
【図1】



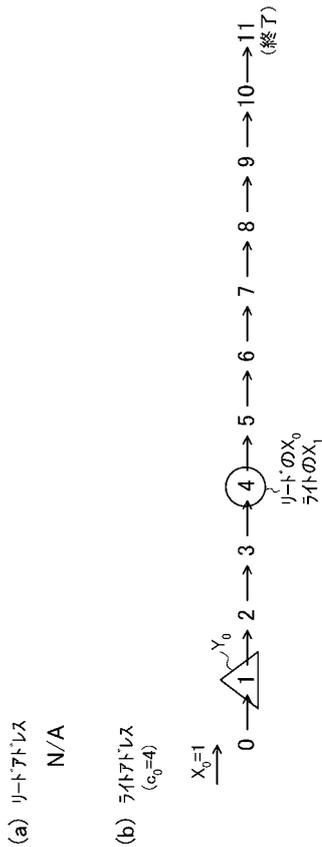
【図2】



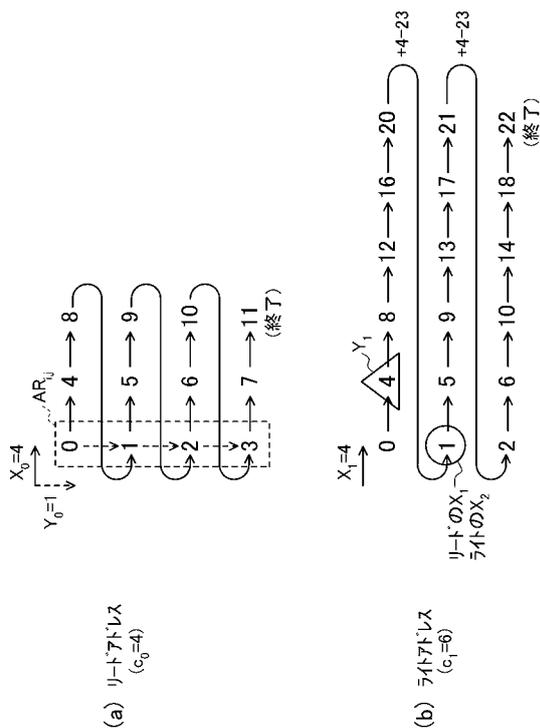
【 図 3 】



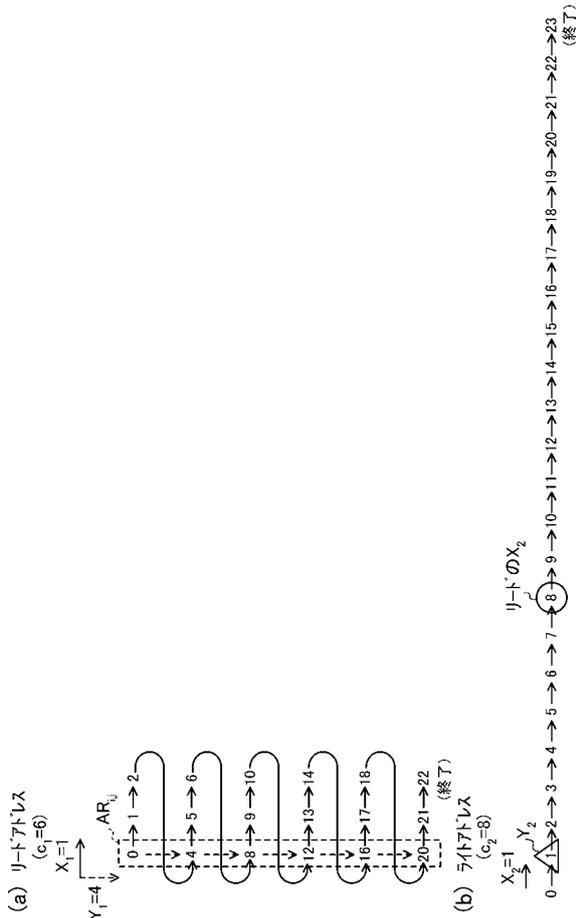
【 図 4 】



【 図 5 】

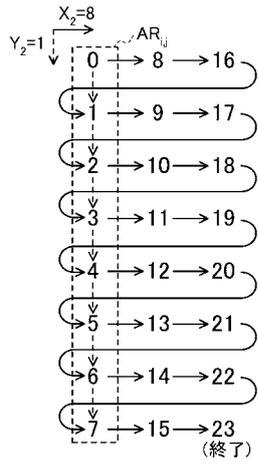


【 図 6 】



【図7】

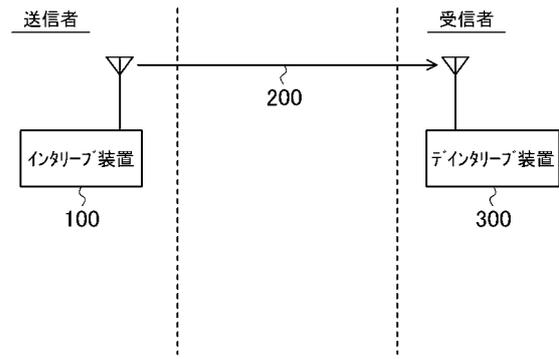
(a) リードアドレス
($c_2=8$)



(b) ライトアドレス

N/A

【図8】



フロントページの続き

- (56)参考文献 特開2006-94048(JP,A)
特開平7-254862(JP,A)
特開2006-101024(JP,A)
国際公開第2009/120546(WO,A1)
特開2008-135813(JP,A)
Yun-Nan Chang et al., A Low-Cost Dual-Mode Deinterleaver Design, IEEE Transactions on Consumer Electronics, 2008年 5月, Vol.54, No.2, pp.326-332

- (58)調査した分野(Int.Cl., DB名)
H03M 13/27
H04L 1/00
IEEE Xplore
Cinii