

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-192031
(P2010-192031A)

(43) 公開日 平成22年9月2日(2010.9.2)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 Z	5M024
G 1 1 C 11/409 (2006.01)	G 1 1 C 11/34 3 7 1 A	
	G 1 1 C 11/34 3 5 4 A	
	G 1 1 C 11/34 3 7 1 K	

審査請求 未請求 請求項の数 12 O L (全 17 頁)

(21) 出願番号 特願2009-34572 (P2009-34572)
(22) 出願日 平成21年2月17日 (2009.2.17)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(72) 発明者 藤澤 宏樹
東京都中央区八重洲二丁目2番1号エルピー
ダメモリ株式会社内
F ターム (参考) 5M024 AA27 AA78 BB30 BB40 GG20
JJ03 JJ04 JJ38 JJ58 LL20
PP01 PP02 PP07 PP10

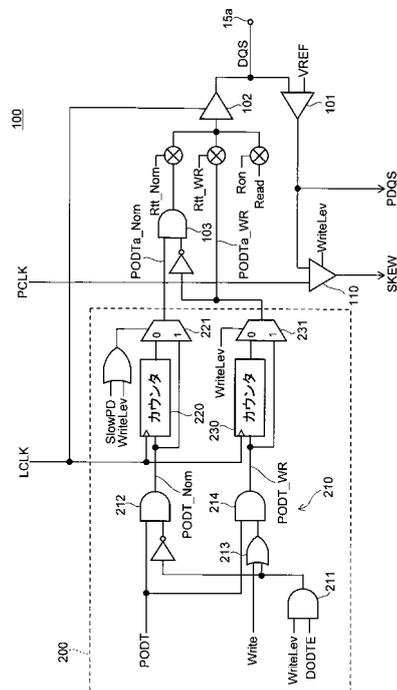
(54) 【発明の名称】 半導体記憶装置及びこれを備えるメモリモジュール、並びに、データ処理システム

(57) 【要約】

【課題】 ダイナミックODT機能を有する半導体記憶装置において正確なライトレベリング動作を行う。

【解決手段】 ライトレベリングモード時に活性化されるスキュー検出回路110と、ODT信号を用いてデータストロープ端子15aに接続された終端抵抗回路を活性化させるODT制御回路200とを備える。ODT制御回路200は、ライトレベリングモード時においてダイナミックODTが不使用状態である場合には第1の抵抗モードを選択し、ライトレベリングモード時においてダイナミックODTが使用状態である場合には第2の抵抗モードを選択する。これにより、実際のライト動作時においてダイナミックODTが使用状態である場合の抵抗値と、ダイナミックODTが不使用状態である場合の抵抗値を再現することができるため、より正確なライトレベリング動作を行うことが可能となる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

クロック信号が入力されるクロック端子と、

ライトデータの入力タイミングを示すデータストロブ信号が入力されるデータストロブ端子と、

前記データストロブ信号に同期して前記ライトデータを受け付ける通常動作モードと、前記クロック信号と前記データストロブ信号とのスキューを測定するライトレベリングモードに設定可能なモードレジスタと、

前記データストロブ端子に接続された終端抵抗回路と、

前記終端抵抗回路を活性化させる否かを指定するODT信号が入力されるコマンド端子と、

前記ライトレベリングモード時に活性化され、前記クロック信号と前記データストロブ信号とのスキューを測定してその結果を出力するスキュー検出回路と、

前記ODT信号を用いて前記終端抵抗回路を活性化させるODT制御回路と、を備え、

前記モードレジスタは、前記終端抵抗回路の抵抗値を動的に変化させるダイナミックODTの使用有無を指定するレジスタを有しており、

前記終端抵抗回路は、第1の抵抗値に設定される第1の抵抗モードと、前記第1の抵抗値とは異なる第2の抵抗値に設定される第2の抵抗モードとを有しており、

前記ODT制御回路は、前記ライトレベリングモード時において前記ダイナミックODTが不使用状態である場合には前記第1の抵抗モードを選択し、前記ライトレベリングモード時において前記ダイナミックODTが使用状態である場合には前記第2の抵抗モードを選択することを特徴とする半導体記憶装置。

【請求項 2】

前記ODT制御回路は、前記通常動作モード時において前記ダイナミックODTが使用状態である場合、同じバスに接続された他の半導体記憶装置がリード動作を行う際には前記第1の抵抗モードを選択し、当該半導体記憶装置がライト動作を行う際には前記第2の抵抗モードを選択することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第1及び第2の抵抗値は、前記モードレジスタへの設定値によって定められることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記ライトデータが入力されるデータ端子をさらに備え、

前記スキュー検出回路は、前記スキューの測定結果を前記データ端子から出力することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体記憶装置。

【請求項 5】

前記ODT制御回路は、前記クロック信号又はこれに同期した内部クロックを所定数カウントすることによって前記ODT信号を遅延させるカウンタを含み、前記通常動作モード時においては、前記カウンタを通過した前記ODT信号を用いて前記終端抵抗回路を活性化させることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体記憶装置。

【請求項 6】

前記カウンタによるカウント数は、前記モードレジスタへの設定値によって定められることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】

前記クロック信号に同期した前記内部クロックを生成するDLL回路をさらに備え、前記ODT制御回路に含まれる前記カウンタは、前記内部クロックを所定数カウントすることによって前記ODT信号を遅延させることを特徴とする請求項 5 又は 6 に記載の半導体記憶装置。

【請求項 8】

前記DLL回路の使用の有無は前記モードレジスタへの設定値によって定められ、

前記ODT制御回路は、前記DLL回路を使用しない場合、前記カウンタをバイパスし

10

20

30

40

50

た前記ODT信号を用いて前記終端抵抗回路を活性化させることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】

前記終端抵抗回路は、リードデータの出力タイミングを示すデータストロブ信号を出力する出力バッファを兼ねていることを特徴とする請求項1乃至8のいずれか一項に記載の半導体記憶装置。

【請求項10】

所定の周期で発行される外部コマンドに応答して、前記ライトレベリングモードにエントリされることを特徴とする請求項1乃至9のいずれか一項に記載の半導体記憶装置。

【請求項11】

請求項1乃至10のいずれか一項に記載の半導体記憶装置が基板上に複数搭載されたメモリモジュールであって、

前記複数の半導体記憶装置に設けられた前記クロック端子は、前記基板上に設けられた同じバスにフライバイ接続されていることを特徴とするメモリモジュール。

【請求項12】

請求項11に記載のメモリモジュールと、前記メモリモジュールに接続されたメモリコントローラとを備えるデータ処理システムであって、

前記メモリコントローラは、前記複数の半導体記憶装置に対して所定の周期で前記外部コマンドを発行することによって前記ライトレベリングモードにエントリさせ、これにより、前記クロック信号と前記データストロブ信号とのスキューを前記複数の半導体記憶装置それぞれについて測定し、測定の結果に基づいて前記データストロブ信号の供給タイミングを調整することを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に関し、特に、クロック信号とデータストロブ信号とのスキューを測定するライトレベリングモードを有する半導体記憶装置に関する。また、本発明は、このような半導体記憶装置を備えるメモリモジュール及びデータ処理システムに関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) に代表される半導体記憶装置とメモリコントローラとの間におけるリードデータ及びライトデータの送受信は、データストロブ信号に同期して行われることがある。例えば、ライト動作においては、メモリコントローラから半導体記憶装置に対してデータストロブ信号とライトデータが供給され、半導体記憶装置は、データストロブ信号に同期してライトデータの取り込みを行う。

【0003】

しかしながら、半導体記憶装置に取り込まれたライトデータをメモリセルアレイに転送する動作は、データストロブ信号とは異なるクロック信号に同期して行われる。このため、データストロブ信号とクロック信号との間にスキューが存在すると、ライト動作を正しく行うことができなくなる。このような問題を解決すべく、半導体記憶装置には、クロック信号とデータストロブ信号とのスキューを測定するライトレベリングモードが備えられることがある(特許文献1参照)。

【0004】

ライトレベリングモードにエントリすると、半導体記憶装置はメモリコントローラから供給されるデータストロブ信号の立ち上がりエッジにてクロック信号をサンプリングし、これをデータ端子から出力する。これにより、メモリコントローラは、データストロブ信号とクロック信号のスキュー量を知ることができるため、これを考慮してデータストロブ信号の出力タイミングを調整することができる。

【0005】

10

20

30

40

50

上述したライトレベリング動作は、ライト動作時におけるデータストロブ信号とクロック信号のスキューを測定するための動作であることから、できる限り実際のライト動作と同じ条件で実行することが好ましい。

【0006】

しかしながら、半導体記憶装置の中にはいわゆるダイナミックODT機能を備えているものがある。ダイナミックODTとは、半導体記憶装置に内蔵された終端抵抗回路の抵抗値を動的に変化させる機能であり、同じバスに接続された他の半導体記憶装置がリード動作を行う場合と、当該半導体記憶装置がライト動作を行う場合とで、終端抵抗回路の抵抗値を異なる値に変化させる機能である。したがって、ダイナミックODT機能が有効である場合には、ライトコマンドの発行に応答して終端抵抗回路の抵抗値が変化する。

10

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】JEDEC STANDARD, DDR3 SDRAM Specification, JESD79-3B (Revision of JESD79-3A, September 2007), April 2008, JEDEC SOLID STATE TECHNOLOGY ASSOCIATION <URL: <http://www.jedec.org/download/search/JESD79-3B.pdf> >

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところが、ライトレベリング動作時にはライトコマンドが発行されないことから、終端抵抗回路の抵抗値は、当該半導体記憶装置がライト動作を行う場合の抵抗値ではなく、同じバスに接続された他の半導体記憶装置がリード動作を行う場合の抵抗値に設定されてしまう。このため、従来の半導体記憶装置では、ダイナミックODT機能が有効である場合、ライトレベリング時とライト動作とで終端抵抗回路の抵抗値が異なってしまい、正確なライトレベリング動作がなされないという問題があった。

20

【課題を解決するための手段】

【0009】

本発明による半導体記憶装置は、クロック信号が入力されるクロック端子と、ライトデータの入力タイミングを示すデータストロブ信号が入力されるデータストロブ端子と、前記データストロブ信号に同期して前記ライトデータを受け付ける通常動作モードと、前記クロック信号と前記データストロブ信号とのスキューを測定するライトレベリングモードに設定可能なモードレジスタと、前記データストロブ端子に接続された終端抵抗回路と、前記終端抵抗回路を活性化させる否かを指定するODT信号が入力されるコマンド端子と、前記ライトレベリングモード時に活性化され、前記クロック信号と前記データストロブ信号とのスキューを測定してその結果を出力するスキュー検出回路と、前記ODT信号を用いて前記終端抵抗回路を活性化させるODT制御回路と、を備え、前記モードレジスタは、前記終端抵抗回路の抵抗値を動的に変化させるダイナミックODTの使用有無を指定するレジスタを有しており、前記終端抵抗回路は、第1の抵抗値に設定される第1の抵抗モードと、前記第1の抵抗値とは異なる第2の抵抗値に設定される第2の抵抗モードとを有しており、前記ODT制御回路は、前記ライトレベリングモード時において前記ダイナミックODTが不使用状態である場合には前記第1の抵抗モードを選択し、前記ライトレベリングモード時において前記ダイナミックODTが使用状態である場合には前記第2の抵抗モードを選択することを特徴とする。

30

40

【0010】

また、本発明によるメモリモジュールは、上記の半導体記憶装置が基板上に複数搭載されたメモリモジュールであって、前記複数の半導体記憶装置に設けられた前記クロック端子が前記基板上に設けられた同じバスにフライバイ接続されていることを特徴とする。

【0011】

さらに、本発明によるデータ処理システムは、上記のメモリモジュールと、前記メモリモジュールに接続されたメモリコントローラとを備えるデータ処理システムであって、前

50

記メモリコントローラは、前記複数の半導体記憶装置に対して所定の周期で前記外部コマンドを発行することによって前記ライトレベリングモードにエントリさせ、これにより、前記クロック信号と前記データストロープ信号とのスキューを前記複数の半導体記憶装置それぞれについて測定し、測定の結果に基づいて前記データストロープ信号の供給タイミングを調整することを特徴とする。

【発明の効果】

【0012】

本発明の半導体記憶装置によれば、ダイナミックODTの使用有無によってライトレベリングモード時における終端抵抗回路の抵抗値を変化させていることから、ライトコマンドが発行されなくても、実際のライト動作時においてダイナミックODTが使用状態である場合の抵抗値と、ダイナミックODTが不使用状態である場合の抵抗値を再現することが可能となる。これにより、ダイナミックODT機能を有する半導体記憶装置であっても、ライトレベリング時とライト動作とで終端抵抗回路の抵抗値が一致することから、より正確なライトレベリング動作を行うことが可能となる。

10

【0013】

また、本発明のメモリモジュールによれば、各半導体記憶装置に設けられたクロック端子がフライバイ接続されている場合であっても、これにより生じるスキューの調整を正確に行うことが可能となる。

【0014】

さらに、本発明のデータ処理システムによれば、システム起動後の動作中に定期的又は周期的にライトレベリングモードにエントリする場合であっても、正確なスキューの調整をその都度行うことが可能となる。

20

【図面の簡単な説明】

【0015】

【図1】本発明の好ましい実施形態によるデータ処理システムの構成を示す図である。

【図2】半導体記憶装置10の構成を示すブロック図である。

【図3】モードレジスタ54のうち、ライトレベリング動作に関わる部分を示す図である。

。

【図4】データストロープ信号入出力回路100の主要部を示す回路図である。

【図5】半導体記憶装置10のライトレベリングモード時における動作を示すタイミング図であり、ダイナミックODT機能が有効である場合の動作を示している。

30

【図6】半導体記憶装置10のライトレベリングモード時における動作を示すタイミング図であり、ダイナミックODT機能が無効である場合の動作を示している。

【図7】各動作モードにおけるレイテンシ及びODTインピーダンスを示す表である。

【発明を実施するための形態】

【0016】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0017】

図1は、本発明の好ましい実施形態によるデータ処理システムの構成を示す図である。

40

【0018】

図1に示すデータ処理システムは、メモリモジュール2とこれに接続されたメモリコントローラ4によって構成されている。メモリモジュール2は、モジュール基板6に複数の半導体記憶装置10(DRAM0~DRAM7)が搭載された構成を有している。図1に示すメモリモジュール2は、モジュール基板6に8個のDRAM0~DRAM7が搭載された構成を有しているが、モジュール基板6に搭載する半導体記憶装置10の数についてはこれに限定されるものではない。また、半導体記憶装置10の搭載位置についても、モジュール基板6の片面のみであっても構わないし、両面であっても構わない。

【0019】

半導体記憶装置10の種類についても特に限定されるものではないが、本実施形態では

50

、DDR3 (Double Data Rate 3) 型のDRAMが用いられている。DDR3型のDRAMは、DDR2型のDRAMに対して電源電圧を約17%低電圧化(1.8Vから1.5Vに低下)しつつ、2倍の周波数で動作させるべく、メモリモジュール2とメモリコントローラ4との間の接続方式が変更されている。

【0020】

具体的には、図1に示すように、データDQ(リードデータ及びライトデータ)及びデータストロープ信号DQS、/DQSについては、メモリモジュール2とメモリコントローラ4との間をほぼ等長且つ最短距離で接続し、これによって2.1Gbpsまでの高速データ転送を実現している。一方、クロック信号CK、/CK、アドレス信号ADD及びコマンド信号CMDについては、モジュール基板6上に設けられた同じバス8にフライバイ(Fly By)接続されている。フライバイ接続とはいわゆる一筆書き方式の接続である。フライバイ方式を採用することによって、DDR2型の等長配線方式と比べて、モジュール基板6内の総配線長や配線数が削減される。これにより、バス8のレイアウト制約が緩和され、高品質な配線レイアウトが実現されるため、1.067Gbps(DQ, DQSの1/2)までの高速アドレス・コマンド転送を実現している。

10

【0021】

但し、フライバイ方式を用いると、モジュール基板6上における半導体記憶装置10の搭載位置によって、データストロープ信号DQSとクロック信号CKのスキューが大きく異なってしまう。図1に示す例では、メモリコントローラ4に最も近いDRAM0においてスキューが最も小さく、メモリコントローラ4から最も遠いDRAM7においてスキューが最大となる。このため、DRAM0のスキューに合わせてデータストロープ信号DQSを出力すると、DRAM1~DRAM7では、クロック信号CKがデータストロープ信号DQSに対して遅れてしまい、その遅れはDRAM7において最大となる。逆もまた然りであり、DRAM7のスキューに合わせてデータストロープ信号DQSを出力すると、DRAM0~DRAM6では、クロック信号CKがデータストロープ信号DQSに対して早すぎ、その進みはDRAM0において最大となる。

20

【0022】

したがって、これらDRAM0~DRAM7に対しては、データストロープ信号DQSの出力タイミングをそれぞれ調整する必要がある。かかる調整に必要なスキュー量を測定する動作がライトレベリング動作である。メモリコントローラ4は、システム起動時はもちろんのこと、システム起動後の動作中においても周期的にこれらDRAM0~DRAM7をライトレベリングモードにエントリさせることにより、温度・電源電圧などの動作環境に応じて変化するスキューを定期的にモニタし、データストロープ信号DQSの出力タイミングを調整する。

30

【0023】

ライトレベリングモードにエントリすると、DRAM0~DRAM7は、メモリコントローラから供給されるデータストロープ信号DQSの立ち上がりエッジにてクロック信号CKをサンプリングし、これをデータ端子からデータDQとして出力する。これにより、メモリコントローラ4は、データストロープ信号DQSとクロック信号CKのスキュー量を知ることができるため、これを考慮してデータストロープ信号DQSの出力タイミングを調整することができる。

40

【0024】

図2は、半導体記憶装置10の構成を示すブロック図である。

【0025】

本実施形態による半導体記憶装置10は、上述の通りDDR3型のDRAMであり、外部端子として、クロック端子11a, 11b、コマンド端子12a~12e、アドレス端子13、データ入出力端子14及びデータストロープ端子15a, 15bを備えている。その他、電源端子なども備えられているが、これらについては図示を省略してある。

【0026】

クロック端子11a, 11bは、それぞれクロック信号CK, /CKが供給される端子

50

であり、供給されたクロック信号 CK 、 \overline{CK} は、クロック入力回路 2 1 に供給される。本明細書において信号名の先頭に「 $\overline{\quad}$ 」が付されている信号は、対応する信号の反転信号であることを意味する。したがって、クロック信号 CK 、 \overline{CK} は互いに相補の信号である。

【0027】

クロック入力回路 2 1 の出力であるクロック信号 CLK は、タイミング発生回路 2 2、 DLL 回路 2 3 及びデータストロブ信号入出力回路 1 0 0 に供給される。タイミング発生回路 2 2 は各種の内部クロック ICK を生成し、これを各種内部回路に供給する役割を果たす。また、 DLL 回路 2 3 は出力用クロック $LCLK$ を生成し、これを後述するデータ入出力回路 8 0 及びデータストロブ信号入出力回路 1 0 0 に供給する役割を果たす。

10

【0028】

クロック信号 CLK は、外部から供給されるクロック信号 CK 、 \overline{CK} の位相とほぼ一致している。これに対し、 DLL 回路 2 3 が生成する出力用クロック $LCLK$ は、クロック信号 CK 、 \overline{CK} に対して位相制御された信号であり、リードデータ DQ 及びデータストロブ信号 DQS 、 \overline{QDS} の位相がクロック信号 CK 、 \overline{CK} の位相と一致するように、クロック信号 CK 、 \overline{CK} に対してやや位相が進められている。

【0029】

DLL 回路 2 3 は、モードレジスタ 5 4 へのセット内容に応じて、使用の可否が選択される。つまり、モードレジスタ 5 4 に「 DLL オンモード」がセットされている場合には、 DLL 回路 2 3 は使用状態とされ、出力用クロック $LCLK$ はクロック信号 CK 、 \overline{CK} に対して位相制御される。一方、モードレジスタ 5 4 に「 DLL オフモード」がセットされている場合には、 DLL 回路 2 3 は不使用状態とされ、出力用クロック $LCLK$ はクロック信号 CK 、 \overline{CK} に対して位相制御されなくなる。したがって、 DLL オフモードである場合には、出力用クロック $LCLK$ はクロック信号 CK よりも位相の遅れた信号となる。

20

【0030】

コマンド端子 1 2 a ~ 1 2 e は、それぞれロウアドレスストロブ信号 \overline{RAS} 、カラムアドレスストロブ信号 \overline{CAS} 、ライトイネーブル信号 \overline{WE} 、チップセレクト信号 \overline{CS} 、及びオンダイターミネーション信号 ODT (ODT 信号) が供給される端子である。これらのコマンド信号 CMD は、コマンド入力回路 3 1 に供給される。コマンド入力回路 3 1 に供給されたこれらコマンド信号 CMD は、コマンドデコーダ 3 2 に供給される。コマンドデコーダ 3 2 は、内部クロック ICK に同期して、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンド $ICMD$ を生成する回路である。生成された内部コマンドは、ロウ系制御回路 5 1、カラム系制御回路 5 2、リードライト制御回路 5 3 及びモードレジスタ 5 4 に供給される。特に、 ODT 信号は、後述する終端抵抗回路を活性化させる否かを指定する信号である。

30

【0031】

アドレス端子 1 3 は、アドレス信号 ADD が供給される端子であり、供給されたアドレス信号 ADD は、アドレス入力回路 4 1 に供給される。アドレス入力回路 4 1 の出力は、アドレスラッチ回路 4 2 に供給される。アドレスラッチ回路 4 2 は、内部クロック ICK に同期してアドレス信号 ADD をラッチする回路である。アドレスラッチ回路 4 2 にラッチされたアドレス信号 ADD のうち、ロウアドレスについてはロウ系制御回路 5 1 に供給され、カラムアドレスについてはカラム系制御回路 5 2 に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号 ADD はモードレジスタ 5 4 に供給され、これによってモードレジスタ 5 4 の内容が更新される。

40

【0032】

ロウ系制御回路 5 1 の出力は、ロウデコーダ 6 1 に供給される。ロウデコーダ 6 1 は、メモリセルアレイ 7 0 に含まれるいずれかのワード線 WL を選択する回路である。メモリセルアレイ 7 0 内においては、複数のワード線 WL と複数のビット線 BL が交差しており

50

、その交点にはメモリセルMCが配置されている(図2では、1本のワード線WL、1本のビット線BL及び1個のメモリセルMCのみを示している)。ビット線BLは、それぞれ対応するセンスアンプ63に接続されている。

【0033】

また、カラム系制御回路52の出力は、カラムデコーダ62に供給される。カラムデコーダ62は、いずれかのセンスアンプ63を選択する回路である。カラムデコーダ62によって選択されたセンスアンプ63は、データアンプ64に接続される。データアンプ64は、リード動作時にはセンスアンプ63によって増幅されたリードデータをさらに増幅し、これをデータ入出力回路80に供給する。一方、ライト動作時には、データ入出力回路80から供給されるライトデータを増幅し、これをセンスアンプ63に供給する。データアンプ64及びデータ入出力回路80の動作は、リードライト制御回路53によって制御される。

10

【0034】

データ入出力端子(データ端子)14は、リードデータDQの出力及びライトデータDQの入力を行うための端子であり、データ入出力回路80に接続されている。データ入出力回路80には、出力用クロックLCLK及び内部データストロブ信号PDQSが供給されており、リード動作時には出力用クロックLCLKに同期してリードデータを出力し、ライト動作時には内部データストロブ信号PDQSに同期してライトデータを取り込む。また、ライトレベリングモード時には、データストロブ信号入出力回路100より供給されるスキュー検出信号SKEWを受け、これを出力用クロックLCLKとは非同期に出力する。

20

【0035】

データストロブ端子15a, 15bは、それぞれデータストロブ信号DQS, /QDSの入出力を行うための端子であり、データストロブ信号入出力回路100に接続されている。図2に示すように、データストロブ信号入出力回路100にはODT制御回路200が含まれている。ODT制御回路200は、内部コマンドICMDに含まれる内部ODT信号PODT及びライト信号Writeに基づいて、データストロブ信号入出力回路100に含まれる終端抵抗回路(出力バッファを兼ねる)を活性化させる回路である。内部ODT信号PODTとは、オンダイターミネーション信号ODT(ODT信号)に連動する信号である。また、ライト信号Writeとは、コマンド信号CMDがライトコマンドを示している場合に活性化される信号である。ODT制御回路200の詳細については後述する。

30

【0036】

また、データストロブ信号入出力回路100にはスキュー検出回路110が含まれている。スキュー検出回路110は、ライトレベリングモード時に、データストロブ信号DQSとクロック信号PCLKのスキューを検出する回路であり、その出力であるスキュー検出信号SKEWは、データ入出力回路80に供給される。

【0037】

以上が本実施形態による半導体記憶装置10の全体構成である。次に、ライトレベリング動作に関わる回路について、より詳細に説明する。

【0038】

図3は、モードレジスタ54のうち、ライトレベリング動作に関わる部分を示す図である。

40

【0039】

図3に示すように、モードレジスタ54は、少なくともレジスタ54a~54fを含んでいる。

【0040】

レジスタ54aは、プリチャージパワーダウン時のDLL回路23の使用有無を指定するためのレジスタである。具体的には、レジスタ54aに「1」がセットされた場合には「プリチャージパワーダウン時にDLLオンモード」となり、プリチャージパワーダウン時にDLL回路23が使用される。一方、レジスタ54aに「0」がセットされた場合に

50

は「プリチャージパワーダウン時にDLLオフモード」となり、プリチャージパワーダウン時にDLL回路23が使用されなくなる。レジスタ54aの設定値は、インバータINVによって反転され、非同期ODTモード信号SlowPDとして出力される。

【0041】

レジスタ54bは、CASライトレイテンシ(CWL)を設定するためのレジスタである。CASライトレイテンシとは、ライト信号Writeが活性化してからライトデータを入力するまでのクロック数を指す。

【0042】

レジスタ54cは、アディティブレイテンシ(AL)を設定するためのレジスタである。アディティブレイテンシとは、ライトコマンドが発行されてから、半導体記憶装置10の内部でライト信号Writeが活性化するまでのクロック数を指す。したがって、ライトコマンドが発行されてからライトデータDQを入力するまでのクロック数は、AL + CWLで定義される。

10

【0043】

レジスタ54dは、ライトレベリングモードにエントリするためのレジスタである。具体的には、レジスタ54dに「0」がセットされた場合には「通常動作モード」となり、レジスタ54dに「1」がセットされた場合には「ライトレベリングモード」となる。レジスタ54dの設定値は、ライトレベリング信号WriteLevとして出力される。

【0044】

レジスタ54eは、インピーダンスコードRtt_Nomを設定するためのレジスタである。インピーダンスコードRtt_Nomとは、終端抵抗回路を第1の抵抗モードで動作させる場合の抵抗値を示すコードであり、同じバスに接続された他の半導体記憶装置10がリード動作を行う際の終端抵抗値を示している。また、後述するダイナミックODT機能を使用しない場合には、当該半導体記憶装置10がライト動作を行う際にも、終端抵抗回路は第1の抵抗モードで動作し、インピーダンスコードRtt_Nomが示す第1の抵抗値に設定される。

20

【0045】

レジスタ54fは、ダイナミックODT機能の使用有無、並びに、インピーダンスコードRtt_WRを設定するためのレジスタである。インピーダンスコードRtt_WRとは、終端抵抗回路を第2の抵抗モードで動作させる場合の抵抗値を示すコードであり、ダイナミックODT使用時において、当該半導体記憶装置10がライト動作を行う際の終端抵抗値を示している。レジスタ54fの設定値によってダイナミックODT機能が使用状態とされると、ダイナミックODTイネーブル信号DODTEがハイレベルに活性化する。

30

【0046】

ここで、ダイナミックODTとは、終端抵抗回路の抵抗値を動的に変化させる機能である。ダイナミックODT機能が有効である場合、同じバス8(図1参照)に接続された他の半導体記憶装置がリード動作を行う際には終端抵抗回路は第1の抵抗モードとなり、インピーダンスコードRtt_Nomが示す第1の抵抗値に設定される。一方、当該半導体記憶装置10がライト動作を行う際には終端抵抗回路は第2の抵抗モードとなり、インピーダンスコードRtt_RWが示す第2の抵抗値に設定される。

40

【0047】

このようなモードレジスタ54の設定値変更は、「モードレジスタセット(MRS)」を示すコマンド信号CMDを発行した状態で、アドレス端子13を介して所望の設定値を入力することにより行うことができる。

【0048】

図4は、データストロープ信号入出力回路100の主要部を示す回路図である。

【0049】

図4に示すように、データストロープ信号入出力回路100は、データストロープ端子15aより供給されるデータストロープ信号DQSを受ける入力レシーバ101と、データストロープ端子15aを介してデータストロープ信号DQSを出力する出力レシーバ1

50

02とを備えている。

【0050】

入力レシーバ101は、データストロブ信号DQSのレベルと基準電位VREFとを比較することにより、内部データストロブ信号PDQSを生成する。したがって、内部データストロブ信号PDQSの位相は、入力されるデータストロブ信号DQSの位相とほぼ一致している。図2に示したように、内部データストロブ信号PDQSはデータ入出力回路80に供給され、ライトデータの入力タイミングを規定する。また、内部データストロブ信号PDQSはスキュー検出回路110にも供給される。

【0051】

スキュー検出回路110は、ライトレベリング信号WriteLevによって活性化され、クロック信号PCLKとデータストロブ信号DQSとのスキューを測定する。上述の通り、クロック信号PCLKは入力されるクロック信号CKの位相とほぼ一致していることから、スキュー検出回路110の出力であるスキュー検出信号SEWは、データストロブ信号DQSとクロック信号CKのスキューを正確に示すことになる。図2に示したように、スキュー検出信号SEWはデータ入出力回路80に供給され、出力用クロックLCLKとは非同期にデータ入出力端子14から出力される。

【0052】

出力バッファ102は、リード信号Read、内部ODT信号PODTa_Nom、PODTa_WRに基づいて活性化させる回路であり、その動作は出力用クロックLCLKに同期して行われる。リード信号Readはリードライト制御回路53より供給される信号であり、内部ODT信号PODTa_Nom、PODTa_WRはコマンドデコーダ32より供給される信号である。

【0053】

リード信号Readとは、データストロブ端子15aから出力すべきデータストロブ信号DQSの論理レベルを示す内部信号である。リード信号Readが有効である期間においては、出力バッファ102のインピーダンスはインピーダンスコードRonが示すインピーダンスに設定される。

【0054】

内部ODT信号PODTa_Nomとは、出力バッファ102を終端抵抗回路として使用するための第1の制御信号である。内部ODT信号PODTa_Nomが活性化すると、出力バッファ102は第1の抵抗モードとなり、そのインピーダンスはインピーダンスコードRtt_Nomが示す第1の抵抗値に設定される。但し、内部ODT信号PODTa_Nomが活性化しても、内部ODT信号PODTa_WRが活性化している場合にはAND回路103により内部ODT信号PODTa_Nomが遮断され、非活性状態となる。内部ODT信号PODTa_Nomが活性化するのは、第1に、ダイナミックODT機能の使用時においてコマンド端子12eからODT信号が入力され、且つ、ライト信号Writeが活性化していないケースであり、第2に、ダイナミックODT機能の不使用时においてコマンド端子12eからODT信号が入力されたケースである。

【0055】

内部ODT信号PODTa_WRとは、出力バッファ102を終端抵抗回路として使用するための第2の制御信号である。内部ODT信号PODTa_WRが活性化すると、出力バッファ102は第2の抵抗モードとなり、そのインピーダンスはインピーダンスコードRtt_WRが示す第2の抵抗値に設定される。内部ODT信号PODTa_WRが活性化するのは、ダイナミックODT機能の使用時においてコマンド端子12eからODT信号が入力され、且つ、ライト信号Writeが活性化しているケースである。

【0056】

このように、出力バッファ102は、リード信号Readをデータストロブ端子15aから出力する機能を有するとともに、終端抵抗回路としての機能を併せ持つ。

【0057】

また、図4に示すようにODT制御回路200は、内部ODT信号PODT、ライト信号Write、ライトレベリング信号WriteLev及びダイナミックODTイネーブル信号DODTEを受け

10

20

30

40

50

て、内部 O D T 信号PODT_Nom、PODT_WRを生成するゲート回路 2 1 0 を有する。ライトレベリング信号WriteLevとは、ライトレベリングモードにエントリした場合に活性化する信号であり、モードレジスタ 5 4 より供給される。また、ダイナミック O D T イネーブル信号DODTEとは、ダイナミック O D T 機能が有効である場合に活性化する信号であり、モードレジスタ 5 4 より供給される。

【 0 0 5 8 】

具体的に説明すると、ゲート回路 2 1 0 は、ライトレベリング信号WriteLev及びダイナミック O D T イネーブル信号DODTEを受ける A N D 回路 2 1 1 と、内部 O D T 信号PODT及び A N D 回路 2 1 1 の反転出力を受ける A N D 回路 2 1 2 と、ライト信号Write及び A N D 回路 2 1 1 の出力を受ける O R 回路 2 1 3 と、内部 O D T 信号PODT及び O R 回路 2 1 3 の出力を受ける A N D 回路 2 1 4 とを備えている。

10

【 0 0 5 9 】

かかる回路構成により、内部 O D T 信号PODT_Nomは、内部 O D T 信号PODTがハイレベル（活性状態）であり、且つ、ライトレベリング信号WriteLev及びダイナミック O D T イネーブル信号DODTEの少なくとも一方がローレベル（非活性状態）である場合に、ハイレベルに活性化する。一方、内部 O D T 信号PODT_WRは、内部 O D T 信号PODTがハイレベル（活性状態）であり、且つ、ライト信号Writeがハイレベル（活性状態）であるか、或いは、ライトレベリング信号WriteLev及びダイナミック O D T イネーブル信号DODTEの両方がハイレベル（活性状態）である場合に、ハイレベルに活性化する。

【 0 0 6 0 】

ゲート回路 2 1 0 により生成された内部 O D T 信号PODT_Nom、PODT_WRは、それぞれカウンタ 2 2 0 , 2 3 0 に供給される。カウンタ 2 2 0 , 2 3 0 は、出力用クロック L C L K を所定数カウントすることによって、それぞれ内部 O D T 信号PODT_Nom、PODT_WRを遅延させる回路である。カウンタ 2 2 0 , 2 3 0 のカウント数は、モードレジスタ 5 4 に設定された C A S ライトレイテンシ（ C W L ）及びアディティブレイテンシ（ A L ）によって定められる。

20

【 0 0 6 1 】

カウンタ 2 2 0 , 2 3 0 の出力はそれぞれマルチプレクサ 2 2 1 , 2 3 1 に供給される。マルチプレクサ 2 2 1 , 2 3 1 には、それぞれカウンタ 2 2 0 , 2 3 0 をバイパスした内部 O D T 信号PODT_Nom、PODT_WRも直接供給されており、これらのいずれかが選択される。選択された信号が内部 O D T 信号PODTa_Nom、PODTa_WRとなり、インピーダンスコード Rtt_Nom又は Rtt_WR を有効とする。

30

【 0 0 6 2 】

マルチプレクサ 2 2 1 の選択は、非同期 O D T モード信号SlowPDとライトレベリング信号WriteLevの論理和出力によって決まる。具体的には、これらがいずれもローレベル（非活性状態）であれば、マルチプレクサ 2 2 1 の 0 側入力を選択され、これにより、カウンタ 2 2 0 を通過した内部 O D T 信号PODT_Nomが内部 O D T 信号PODTa_Nomとして出力される。これに対し、非同期 O D T モード信号SlowPD及びライトレベリング信号WriteLevの少なくとも一方がハイレベル（活性状態）であれば、マルチプレクサ 2 2 1 の 1 側入力を選択され、これにより、カウンタ 2 2 0 をバイパスした内部 O D T 信号PODT_Nomがそのまま内部 O D T 信号PODTa_Nomとして出力される。

40

【 0 0 6 3 】

また、マルチプレクサ 2 3 1 の選択は、ライトレベリング信号WriteLevによって決まる。具体的には、ライトレベリング信号WriteLevがローレベル（非活性状態）であれば、マルチプレクサ 2 3 1 の 0 側入力を選択され、これにより、カウンタ 2 3 0 を通過した内部 O D T 信号PODT_WRが内部 O D T 信号PODTa_WRとして出力される。これに対し、ライトレベリング信号WriteLevがハイレベル（活性状態）であれば、マルチプレクサ 2 3 1 の 1 側入力を選択され、これにより、カウンタ 2 3 0 をバイパスした内部 O D T 信号PODT_WRがそのまま内部 O D T 信号PODTa_WRとして出力される。

【 0 0 6 4 】

50

かかる構成により、通常動作モードにおいては、カウンタ220, 230によって遅延された内部ODT信号PODT_Nom、PODT_WRが選択される。一方、ライトレベリングモードにおいては、カウンタ220, 230をバイパスした内部ODT信号PODT_Nom、PODT_WRが選択される。

【0065】

以上が本実施形態による半導体記憶装置10の構成である。次に、本実施形態による半導体記憶装置10の動作について説明する。

【0066】

図5は、本実施形態による半導体記憶装置10のライトレベリングモード時における動作を示すタイミング図である。図5に示す例は、ダイナミックODT機能が有効である場合(DODTE=H)の動作を示している。

10

【0067】

図5に示す例では、クロック信号CKのアクティブエッジ0に同期してモードレジスタセット(MRS)コマンドが発行され、これによってライトレベリングモードにエントリしている。本例では、ダイナミックODT機能が有効であることから、図4に示したライトレベリング信号WriteLev及びダイナミックODTイネーブル信号DODTEがいずれもハイレベルとなる。これにより、図4に示したOR回路213の出力は強制的にハイレベルとなる。

【0068】

次に、クロック信号CKのアクティブエッジ2に同期してODT信号が活性化すると、内部ODT信号PODTが活性化する。この時すでに、OR回路213の出力はハイレベルとなっていることから、ライトレベリングモードのためライト信号Writeが活性化しないにも関わらず、内部ODT信号PODT_WRが活性化する。そして、内部ODT信号PODT_WRはカウンタ230をバイパスして直ちに出力バッファ102に供給されることから、出力バッファ102の終端抵抗値は、最小時間tAONPDにて、インピーダンスコードRtt_WRが示す第2の抵抗値に設定される。つまり、直ちに第2の抵抗モードとなる。

20

【0069】

出力バッファ102が第2の抵抗モードとなる状態は、ダイナミックODT機能が有効である場合のライト動作時と同じ条件である。このため、ダイナミックODT機能が有効である場合のスキューを正しく再現することができる。そして、図5に示す例では、メモリコントローラ4からデータストロブ信号DQSが立ち上げられ、これに対応するクロック信号CKのアクティブエッジ5との位相比較が行われる。位相比較は、図4に示すスキュー検出回路110によって行われる。これによりスキュー検出信号SKEWが生成され、データ入出力回路80によって、出力用クロックCLKとは非同期にリードデータDQとして出力される。

30

【0070】

その後、クロック信号CKのアクティブエッジ6に同期してODT信号が非活性化すると、出力バッファ102の終端抵抗値は最小時間tAOFPDにてハイインピーダンス状態に復帰する。出力バッファ102がハイインピーダンス状態になると、出力バッファ102の消費電力はほぼゼロとなる。

40

【0071】

図6は、本実施形態による半導体記憶装置10のライトレベリングモード時における動作を示す別のタイミング図である。図6に示す例は、ダイナミックODT機能が無効である場合(DODTE=L)の動作を示している。

【0072】

図6に示す動作タイミングは、基本的に図5に示した動作タイミングと同一である。しかしながら、本例では、ダイナミックODT機能が無効であることから、内部ODT信号PODTが活性化しても内部ODT信号PODT_WRは活性化されず、代わりに、内部ODT信号PODT_Nomが活性化される。そして、内部ODT信号PODT_Nomはカウンタ220をバイパスして直ちに出力バッファ102に供給されることから、出力バッファ102の終端抵抗値

50

は、最小時間 t_{AONPD} にて、インピーダンスコード R_{tt_Nom} が示す第1の抵抗値に設定される。つまり、直ちに第1の抵抗モードとなる。

【0073】

出力バッファ102が第1の抵抗モードとなる状態は、ダイナミックODT機能が無効である場合のライト動作時と同じ条件であることから、ダイナミックODT機能が無効である場合のスキューを正しく再現することができる。

【0074】

その後、クロック信号 CK のアクティブエッジ6に同期してODT信号が非活性化すると、出力バッファ102の終端抵抗値は最小時間 t_{AOFPD} にてハイインピーダンス状態となる。

【0075】

図7は、各動作モードにおけるレイテンシ及びODTインピーダンスを示す表である。

【0076】

図7に示すように、通常動作モードにおけるライト動作時には、ライトデータ DQ の入力レイテンシが「 $AL + CWL$ 」である。また、データストロブ信号 DQS は、ライトプリアンプル期間($1t_{CK}$)だけ早く入力される。つまり、データストロブ信号 DQS のレイテンシは「 $AL + CWL - 1$ 」である。これは、DRAMコアの動作速度が飛躍的に改善しないことから、動作周波数高速化に伴ってリード動作時におけるレイテンシ($AL + CL$)を増加させる必要があり、これに応じてライト動作時におけるレイテンシも同時に増加させなければ、ライトtoリード時や、リードtoライト時にデータストロブ信号 DQS やリードライトデータ DQ が衝突してしまうためである。このため、ライトコマンドとODT信号を同時に入力すべく、ODT信号に対する終端抵抗回路の動作レイテンシ(ODTレイテンシ)は「 $AL + CWL - 2$ 」とされる。

【0077】

一方、ライトレベリングモード時においては、リードコマンドの入力が不要であるため、データストロブ信号 DQS の入力レイテンシは0である。したがって、ODTレイテンシも0としても構わないが、従来の半導体記憶装置では、ODT信号をバイパスするルートが存在しないことから、ライト動作時と同様のODTレイテンシ(= $AL + CWL - 2$)の経過を待つ必要がある。

【0078】

これに対し、本実施形態では、既に説明したとおり、ライトレベリングモード時においては、ODT信号がバイパスされることから、ODT信号の活性化から最小時間 t_{AONPD} で終端抵抗回路を活性化させることができるとともに、ODT信号の非活性化から最小時間 t_{AOFPD} で終端抵抗回路を非活性化させることができる。

【0079】

また、ライトレベリングモード時においては、ライトコマンドが発行されないことから、従来の半導体記憶装置では、ライトレベリングモード時における終端抵抗値はインピーダンスコード R_{tt_Nom} が示す第1の抵抗値に固定されてしまう。

【0080】

これに対し、本実施形態では、既に説明したとおり、ライトレベリングモード時においても、ダイナミックODT機能が使用状態とされている場合には、終端抵抗値をインピーダンスコード R_{tt_WR} が示す第2の抵抗値とすることができる。

【0081】

以上説明したように、本実施形態によれば、ライトレベリングモード時にカウンタ220, 230がバイパスされることから、ODT信号の変化にตอบสนองして直ちに出力バッファ102を終端抵抗回路として機能させることが可能となる。このため、従来の半導体記憶装置のように、ライトレベリングモード時において終端抵抗回路が活性化されるまでODTレイテンシの経過を待つ必要がなくなり、高速にライトレベリング動作を行うことが可能となる。その結果、システム起動後の動作中にライトレベリングモードに定期的又は周期的にエントリされる場合であっても、システムのパフォーマンス低下を最小限に抑える

10

20

30

40

50

ことが可能となる。

【0082】

しかも、本実施形態によれば、ダイナミックODT機能の使用有無に応じて終端抵抗回路の抵抗値を切り替えていることから、通常動作モードにおけるダイナミックODT機能の使用状態及び不使用状態を、ライトレベリングモードにおいて正しく再現することができる。これにより、正確なスキューの測定が可能となることから、高精度なライトレベリング動作を行うことが可能となる。

【0083】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

10

【0084】

例えば、上記実施形態では、本発明をDRAMに適用した場合を例に説明したが、本発明の適用対象がこれに限定されるものではなく、PRAMなど他の種類の半導体記憶装置に対して本発明を適用することも可能である。

【0085】

また、上記実施形態においては、DLL回路によって位相制御された出力用クロックCLKを用いてカウンタ220、230を動作させているが、本発明においてDLL回路などの内部クロック生成回路を用いることは必須でない。したがって、内部クロックではなく外部クロックをカウントすることによってODT信号を遅延させても構わない。

20

【0086】

さらに、上記実施形態においては、出力バッファ102によって終端抵抗回路が構成されているが、本発明において終端抵抗回路が出力バッファを兼ねていることは必須でない。したがって、出力バッファと終端抵抗回路とが別の回路であっても構わない。

【0087】

さらに、上記実施形態においては、ライトレベリングモード時にODT信号を遅延させるカウンタ220、230をバイパスしているが、本発明においてカウンタ220、230をバイパスすることは必須でない。また、ODT信号を遅延させるためのカウンタを設けることも必須でない。

【符号の説明】

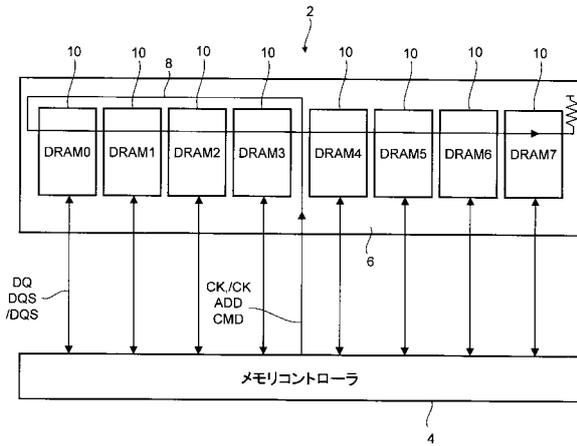
30

【0088】

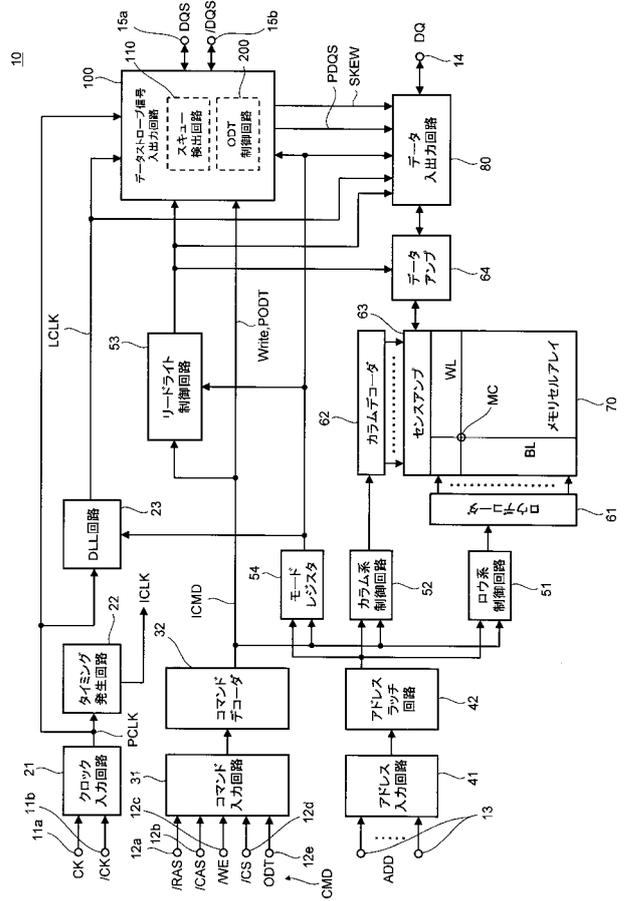
2	メモリモジュール	
4	メモリコントローラ	
6	モジュール基板	
8	バス	
10	半導体記憶装置	
11a, 11b	クロック端子	
12a ~ 12e	コマンド端子	
13	アドレス端子	
14	データ入出力端子(データ端子)	40
15a, 15b	データストロープ端子	
21	クロック入力回路	
22	タイミング発生回路	
23	DLL回路	
31	コマンド入力回路	
32	コマンドデコーダ	
41	アドレス入力回路	
42	アドレスラッチ回路	
51	ROW系制御回路	
52	カラム系制御回路	50

- 5 3 リードライト制御回路
- 5 4 モードレジスタ
- 6 1 ロウデコーダ
- 6 2 カラムデコーダ
- 6 3 センスアンプ
- 6 4 データアンプ
- 7 0 メモリセルアレイ
- 8 0 データ入出力回路
- 1 0 0 データストロープ信号入出力回路
- 1 0 1 入力レシーバ
- 1 0 2 出力レシーバ
- 1 0 2 出力バッファ (終端抵抗回路)
- 1 1 0 スキュー検出回路
- 2 0 0 ODT制御回路
- 2 1 0 ゲート回路
- 2 2 0 , 2 3 0 カウンタ
- 2 2 1 , 2 3 1 マルチプレクサ

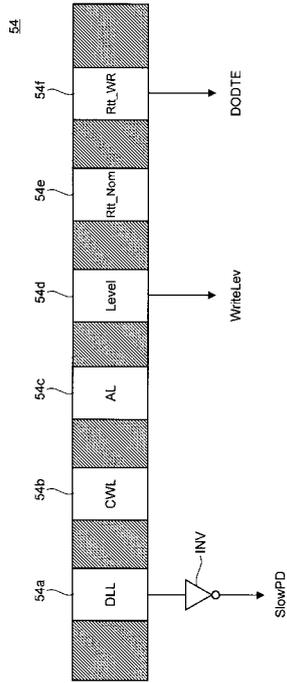
【 図 1 】



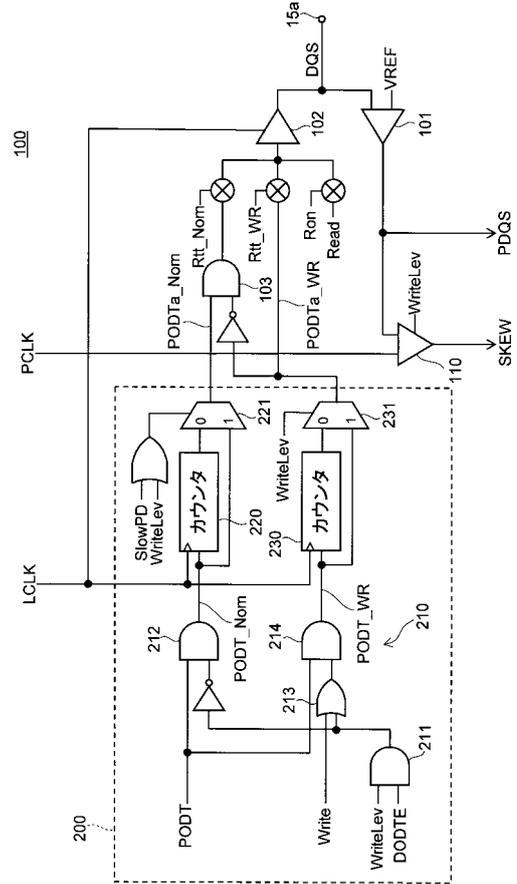
【 図 2 】



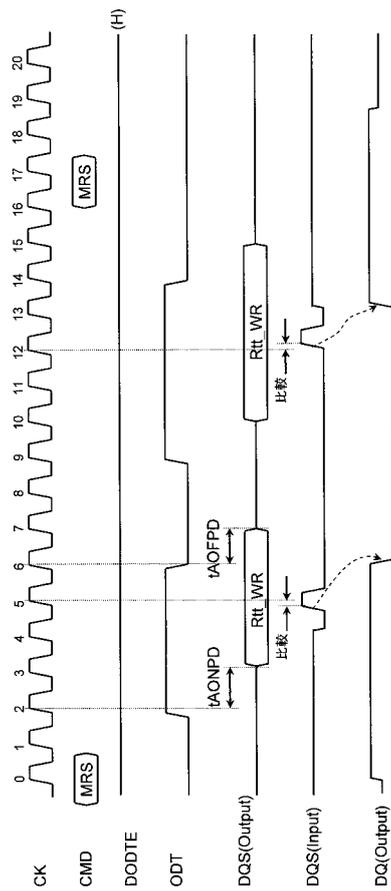
【 図 3 】



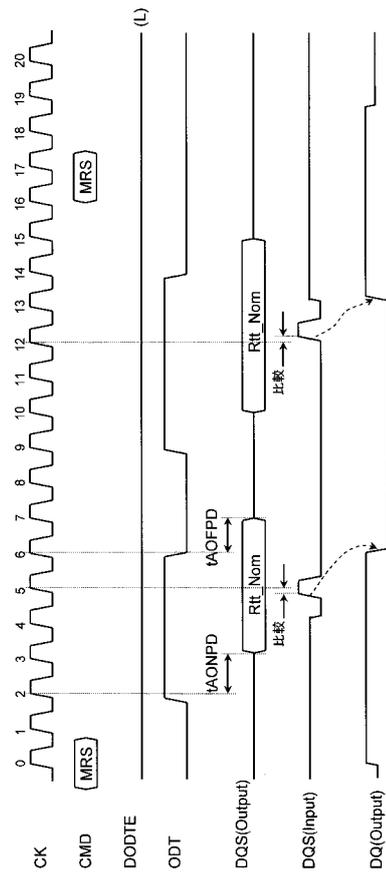
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

	レイテンシ		ODT抵抗		
	DQ (input)	DQS (input)	DQS (output)	ダイナミックODT 不使用	ダイナミックODT 使用
通常動作モード(ライト動作)	AL+OVL	AL+OVL-1	AL+OVL-2	Rtt_Nom	Rtt_WR
ライトレベリングモード	従来	0	AL+OVL-2	Rtt_Nom	Rtt_Nom
	本発明	-	tAONPD tAOFPD	Rtt_Nom	Rtt_WR