



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I552157 B

(45) 公告日：中華民國 105 (2016) 年 10 月 01 日

(21) 申請案號：099133861

(22) 申請日：中華民國 99 (2010) 年 10 月 05 日

(51) Int. Cl. : G11C19/28 (2006.01)

G09G3/20 (2006.01)

(30) 優先權：2009/10/09 日本

2009-234845

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：小山潤 KOYAMA, JUN (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP 9-182004A

JP 2001-35180A

US 6963327B2

US 7369111B2

US 7511709B2

US 7586478B2

US 2004/0140839A1

US 2005/0275038A1

US 2005/0285840A1

US 2009/0027083A1

審查人員：蕭明椿

申請專利範圍項數：10 項 圖式數：22 共 113 頁

(54) 名稱

移位暫存器，顯示裝置及其驅動方法

SHIFT REGISTER AND DISPLAY DEVICE AND DRIVING METHOD THEREOF

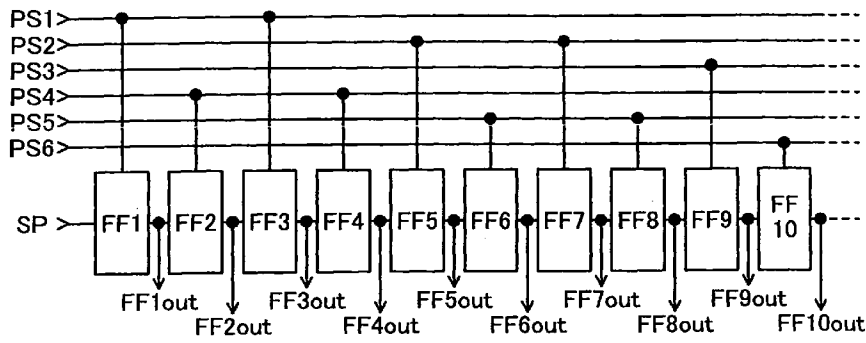
(57) 摘要

減少移位暫存器或包含移位暫存器之顯示裝置之耗電。藉複數條而非一條配線，供應時脈信號至移位暫存器。複數條配線之任一條僅於移位暫存器之操作期間之一部分，而非移位暫存器之整個操作期間，供應時脈信號。因此，時脈信號供應所造成之電容負荷可減少，導致移位暫存器之耗電減少。

The power consumption of a shift register or a display device including the shift register is reduced. A clock signal is supplied to a shift register by a plurality of wirings, not by one wiring. Any one of the plurality of wirings supplies a clock signal in only part of the operation period of the shift register, not during the whole operation period of the shift register. Therefore, the capacity load caused with the supply of clock signals can be reduced, leading to reduction in power consumption of the shift register.

指定代表圖：

第1A圖



符號簡單說明：

- FF1 . . . 第一正反器
- FF2 . . . 第二正反器
- FF3 . . . 第三正反器
- FF4 . . . 第四正反器
- FF5 . . . 第五正反器
- FF6 . . . 第六正反器
- FF7 . . . 第七正反器
- FF8 . . . 第八正反器
- FF9 . . . 第九正反器
- FF10 . . . 第十正反器
- FF1out-
- FF10out . . . 輸出信號
- PS1 . . . 第一脈波信號線
- PS2 . . . 第二脈波信號線
- PS3 . . . 第三脈波信號線
- PS4 . . . 第四脈波信號線
- PS5 . . . 第五脈波信號線
- PS6 . . . 第六脈波信號線
- SP . . . 起動脈波



779063

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099133861

※申請日：099年10月05日

※IPC分類：

G11C 12/28 (2006.01)

G09G 3/20 (2006.01)

一、發明名稱：(中文/英文)

移位暫存器，顯示裝置及其驅動方法

Shift register and display device and driving method thereof

二、中文發明摘要：

減少移位暫存器或包含移位暫存器之顯示裝置之耗電。藉複數條而非一條配線，供應時脈信號至移位暫存器。複數條配線之任一條僅於移位暫存器之操作期間之一部分，而非移位暫存器之整個操作期間，供應時脈信號。因此，時脈信號供應所造成之電容負荷可減少，導致移位暫存器之耗電減少。

### 三、英文發明摘要：

The power consumption of a shift register or a display device including the shift register is reduced. A clock signal is supplied to a shift register by a plurality of wirings, not by one wiring. Any one of the plurality of wirings supplies a clock signal in only part of the operation period of the shift register, not during the whole operation period of the shift register. Therefore, the capacity load caused with the supply of clock signals can be reduced, leading to reduction in power consumption of the shift register.

## 四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

FF1：第一正反器

FF2：第二正反器

FF3：第三正反器

FF4：第四正反器

FF5：第五正反器

FF6：第六正反器

FF7：第七正反器

FF8：第八正反器

FF9：第九正反器

FF10：第十正反器

FF1out-FF10out：輸出信號

PS1：第一脈波信號線

PS2：第二脈波信號線

PS3：第三脈波信號線

PS4：第四脈波信號線

PS5：第五脈波信號線

PS6：第六脈波信號線

SP：起動脈波

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關移位暫存器及包含該移位暫存器之顯示裝置。

### 【先前技術】

形成於諸如玻璃基板等通常用在液晶顯示裝置之平板上之薄膜電晶體（TFT）一般使用諸如非晶矽或多晶矽之半導體材料來形成。雖然使用非晶矽形成之TFT具有低場效遷移率，此一TFT卻可形成於更大玻璃基板的上方。另一方面，使用多晶矽形成之TFT具有高場效遷移率，惟此一TFT需要諸如雷射退火之結晶步驟，且不恆適用於形成於更大玻璃基板的上方。

有鑑於以上，使用氧化物半導體作為半導體材料形成之TFT受到矚目。例如，專利文獻1及2各揭露一種技術，其中TFT使用氧化鋅或In-Ga-Zn-O（銦-鎵-鋅-氧）系氧化物半導體作為半導體材料形成，並用於影像顯示裝置中的開關元件。

於氧化物半導體中形成有通道形成區之TFT可具有較使用非晶矽形成之TFT具有更高之電場遷移率。又，氧化物半導體膜可藉由濺鍍方法等在300℃或更低的溫度下形成，且使用氧化物半導體形成TFT之製程較使用聚晶矽形成TFT之製程簡單。

使用氧化物半導體形成之TFTs期望應用於像素部中

所含開關元件、諸如液晶顯示、電致發光顯示之顯示裝置之驅動器電路、以及電子紙。例如，非專利文獻 1 揭示一種技術，藉此，像素部及顯示裝置之驅動器電路包含使用以上氧化物半導體形成之 TFTs。

須知，使用氧化物半導體形成之 TFT 均非 n 通道電晶體。因此，於使用以氧化物半導體形成之 TFT 形成驅動器電路情況下，驅動器電路僅包含非 n 通道 TFTs（後文稱為單極 TFTs）。

[專利文獻 1]日本公開專利申請案 2007-123861

[專利文獻 2]日本公開專利申請案 2007-096055

[非專利文獻 1] T.Osada 等人，SID 09 文摘 184-187 頁（2009）

### 【發明內容】

驅動器電路包含移位暫存器、緩衝器等。例如，在移位暫存器僅包含單極 TFTs 情況下，有信號減少或增加與 TFT 之臨限電壓同量的問題。因此，自舉操作經常在發生此問題的部分進行。具體而言，自舉操作經常在類比開關中進行，藉此類比開關，顯示裝置中的信號線或掃描線被驅動。

又，在使用自舉電路之驅動器電路之負荷很重情況下，驅動器電路所含 TFT 之閘極寬度須作成更大。因此，TFT 所造成之寄生電容變得更大。特別是，寄生電容在 TFT 中變得更大，於該 TFT 中，用來作為閘極端子之導



電層及用來作為源極或汲極端子之導電層須相互重疊，而閘極絕緣層設於其間（例如所謂的顛倒錯置 TFT）。結果，有輸入至驅動器電路之時脈信號之耗電因寄生電容而變大的問題。

有鑑於以上問題，本發明之一實施例之目的在於減少移位暫存器或包含移位暫存器之顯示裝置之耗電。

以上問題可藉由將移位暫存器中所含時脈信號線分割成複數條脈波信號線來解決。換言之，移位暫存器中所含複數個正反器不電連接至一時脈信號線；以及設有複數條脈波信號線，且複數個正反器之一部分電連接至複數條脈波信號線之一。脈波信號線於移位暫存器之一部分操作期間而非於移位暫存器之全部操作期間內供應時脈信號。因此，可減少供應時脈信號至移位暫存器所造成之電容負荷，從而造成移位暫存器之耗電之減少。

本發明之一實施例係一種移位暫存器，該移位暫存器包括：第一脈波信號線，用來作為於第一期間，周期性供應時脈信號之配線，此信號在高電源電位與低電源電位間交錯；第二脈波信號線，用來作為於第二期間，供應時脈信號之配線；第三脈波信號線，用來作為於第三期間，供應屬於時脈信號之反轉之反轉時脈信號之配線；第四脈波信號線，用來作為於第四期間，供應反轉時脈信號之配線；第一正反器，電連接至第一脈波信號線，並於第一期間供應高電源電位；第二正反器，電連接至第二脈波信號線，並於第二期間供應高電源電位；第三正反器，電連接至

第一正反器及第三脈波信號線，並於第三期間供應高電源電位；以及第四正反器，電連接至第二正反器及第四脈波信號線，並於第四期間供應高電源電位；從該第一線將時脈信號供應至該第一正反器。第三期間與該第一期間重疊，且第四期間與該第二期間重疊。

本發明之另一實施例係具有上述構造之位移暫存器，其中第一脈波信號線用來作為於除了第一期間以外的期間內供應低電源電位之配線；第二脈波信號線用來作為於除了第二期間以外的期間內供應低電源電位之配線；第三脈波信號線用來作為於除了第三期間以外的期間內供應低電源電位之配線；以及第四脈波信號線用來作為於除了第四期間以外的期間內供應低電源電位之配線。

本發明之另一實施例係具有上述構造之任一者之位移暫存器，其中正反器包含一電晶體，其通道形成區使用氧化物半導體來形成。

本發明之另一實施例係具有上述構造之任一者之位移暫存器，其中脈波信號線經由一電晶體連接至參考時脈信號線或反相參考信號線，該電晶體於脈波信號線供應時脈信號或反相時脈信號之期間內保持導通。

本發明之另一實施例係具有上述構造之任一者之位移暫存器，其中脈波信號線經由一電晶體連接至用來供應低電源電位之配線，該電晶體於脈波信號線不供應時脈信號或反相時脈信號之期間內保持導通。

本發明之另一實施例係一顯示裝置，其包含具有上述

構造之任一者之位移暫存器。

在本發明之一實施例之位移暫存器中，時脈信號藉複數條配線而非藉一條配線供應。複數條配線之任一者於位移暫存器之一部分操作期間而非位移暫存器之全部操作期間供應時脈信號。因此，可減少時脈信號供應所造成之電容負荷，從而導致位移暫存器之耗電之減少。

### 【實施方式】

此後將參考附圖詳細說明本發明之實施例。須知，本發明不限於以下說明，且熟於本技藝人士容易瞭解，在不悖離本發明之精神及範疇下，可作各種不同變化及修改。因此，本發明不得被解釋為限於以下實施例之說明。

須知，很難判定電晶體的哪一個端子是源極端子或汲極端子，因為其依電晶體的構造、操作狀態等而定。因此，於本文獻中，為加以區別，源極端子和汲極端子之一稱為第一端子，另一者則稱為第二端子。

須知，在某些情況下，為求簡明，誇大實施例中圖式所示各構造之層或區域的厚度。因此，本發明不限於此等比例。又，於本說明書中，使用諸如“第一”、“第二”及“第三”，以免於組件間混淆，且用辭不會在數字上限制組件。

#### （實施例 1）

於本實施例中，參考第 1A 及 1B 圖、第 2A 及 2B 圖

、第 3A 及 3B 圖、第 4A 及 4B 圖、第 5A 至 5C 圖、第 6A 至 6C 圖以及第 7A 及 7B 圖，說明移位暫存器之構造及操作例子。具體而言，說明包含脈波信號線及正反器之移位暫存器。脈波信號線用來作為於移位暫存器之一部分操作期間內，供應時脈信號之配線，並用來作為於其他期間內，供應低電源電位之配線。正反器電連接至脈波信號線。

( 移位暫存器之構造例 )

本實施例中的移位暫存器包含第一至第六脈波信號線及第一至第十正反器。

第一脈波信號線 ( PS1 ) 電連接至第一正反器 ( FF1 ) 及第三正反器 ( FF3 ) 。第二脈波信號線 ( PS2 ) 電連接至第五正反器 ( FF5 ) 及第七正反器 ( FF7 ) 。第三脈波信號線 ( PS3 ) 電連接至第九正反器 ( FF9 ) 。第四脈波信號線 ( PS4 ) 電連接至第二正反器 ( FF2 ) 及第四正反器 ( FF4 ) 。第五脈波信號線 ( PS5 ) 電連接至第六正反器 ( FF6 ) 及第八正反器 ( FF8 ) 。第六脈波信號線 ( PS6 ) 電連接至第十正反器 ( FF10 ) ( 參考第 1A 圖 ) 。

各正反器之輸出端子電連接至後續正反器之輸入端子。須知，第一正反器 ( FF1 ) 之輸入端子電連接至用以供應起動脈波 ( SP ) 之配線。

於第一期間 ( t1 ) ，第一脈波信號線 ( PS1 ) 用來作為供應時脈信號之配線，該時脈信號周期性交錯於低電源

電位與高電源電位間。於第二期間 ( $t_2$ )，第二脈波信號線 (PS2) 用來作為供應時脈信號之配線。於第三期間 ( $t_3$ )，第三脈波信號線 (PS3) 用來作為供應時脈信號之配線。於第四期間 ( $t_4$ )，第四脈波信號線 (PS4) 用來作為供應反相時脈信號之配線，該反相時脈信號係時脈信號之反相。於第五期間 ( $t_5$ )，第五脈波信號線 (PS5) 用來作為供應反相時脈信號之配線。於第六期間 ( $t_6$ )，第六脈波信號線 (PS6) 用來作為供應反相時脈信號之配線 (參考第 1B 圖)。

(移位暫存器之操作例)

以下說明本實施例中移位暫存器之操作。

高電源電位信號輸入至第一正反器 (FF1) 之輸入端子，作為起動脈波 (SP)。第一正反器 (FF1) 根據輸入信號操作，並輸出高電源電位信號，作為具有半時脈循環延遲之第一正反器之輸出信號 (FF1out)。

輸出信號 (FF1out) 輸入至第二正反器 (FF2) 之輸入端子。如同第一正反器 (FF1)，第二正反器 (FF2) 根據輸入信號操作，並輸出高電源電位信號，作為具有半時脈循環延遲之第二正反器之輸出信號 (FF2out)。

同樣地，如其他正反器，高電源電位信號輸入至後續正反器之輸入端子，且正反器輸出具有半時脈循環延遲之高電源電位信號。

(正反器之具體例)

於第 2A 圖中顯示本實施例中正反器之電路配置例。須知，為方便，於第 2A 圖中僅顯示第一正反器 (FF1) 及第二正反器 (FF2) 之配置。

第一正反器 (FF1) 包含電晶體 101 至 106。須知，於此情況下，電晶體 101 至 106 為 n 通道電晶體。

電晶體 101 之閘極端子電連接至第二正反器 (FF2) 之輸出端子。電晶體 101 之第一端子電連接至用來供應高電源電位之配線 (VDD) (後文亦稱為高電源電位線)。

電晶體 102 之閘極端子電連接至用來供應起動脈波 (SP) 之配線 (後文亦稱為起動脈波線)。電晶體 102 之第一端子電連接至電晶體 101 之第二端子。電晶體 102 之第二端子電連接至用來供應低電源電位之配線 (VSS) (後文亦稱為低電源電位線)。

電晶體 103 之閘極端子電連接至起動脈波線。電晶體 103 之第一端子電連接至高電源電位線。

電晶體 104 之閘極端子電連接至電晶體 101 之第二端子及電晶體 102 之第一端子。電晶體 104 之第一端子電連接至電晶體 103 之第二端子。電晶體 104 之第二端子電連接至低電源電位線。

電晶體 105 之閘極端子電連接至電晶體 103 之第二端子及電晶體 104 之第一端子。電晶體 105 之第一端子電連接至第一脈波信號線 (PS1)。

電晶體 106 之閘極端子電連接至電晶體 101 之第二端

子、電晶體 102 之第一端子及電晶體 104 之閘極端子。電晶體 106 之第一端子電連接至電晶體 105 之第二端子。電晶體 106 之第二端子電連接至低電源電位線。

須知，後文爲了方便，將電晶體 101 之第二端子、電晶體 102 之第一端子、電晶體 104 之閘極端子及電晶體 106 之閘極端子電連接之節點稱爲節點 A；將電晶體 103 之第二端子、電晶體 104 之第一端子、電晶體 105 之閘極端子及電晶體 106 之閘極端子相互電連接之節點稱爲節點 B。

除了以上配置外，電容器可設在電晶體 105 之閘極端子與源極端子間。設有電容器，俾可確實進行下述自舉操作。

（正反器之操作例）

以下參考第 2B 圖說明第一正反器（FF1）之操作，作爲上述正反器之操作例。

首先，電連接至第一正反器（FF1）之起動脈波線之電位增至高位準（後文稱爲 H 位準）。因此，H 位準信號輸入至電晶體 102 及 103 之閘極端子。從而，電晶體 102 及 103 導通。接著，節點 A 之電位減至低位準（後文稱爲 L 位準），且節點 A 之電位增至 H 位準。據此，電晶體 105 亦導通。結果，輸出屬於此期間內第一脈波信號線（PS1）之電位之 L 位準，作爲第一正反器之輸出信號（FF1out）。

於後續期間，起動脈波線之電位減至 L 位準。因此，電晶體 102 及 103 切斷。結果，節點 A 之電位及節點 B 之電位進入浮起狀態。此時，在電晶體 105 之源極端子與閘極端子間有 L 位準至 H 位準之電位差，且由於節點 B 進入浮起狀態，因此，保持該電位差。亦即，不管源極端子之狀態如何，電晶體 105 保持導通。而且，第一脈波信號線 (PS1) 之電位增至 H 位準。因此，在此期間內，處於浮起狀態及電連接至電晶體 105 之閘極端子之節點 B 之電位進一步增加第一脈波信號線 (PS1) 之 H 位準電位。藉由如上述電晶體 105 之源極端子與電連接至處在浮起狀態之節點 B 之閘極端子之電容耦接增加節點 B 之電位的操作稱為自舉。因此，輸出屬於第一脈波信號線 (PS1) 之電位之 H 位準電位，作為第一正反器之輸出信號 (FF1out)。

須知，於此情況下，電晶體 105 係 n 通道電晶體。如此，於第一脈波信號線 (PS1) 之電位設定為 H 位準之該期間內，電連接至第一正反器 (FF1) 之輸出信號之電晶體 105 之端子用來作為源極端子，電連接至第一脈波信號線 (PS1) 之電晶體 105 之端子用來作為汲極端子。依源極端子與閘極端子間之電位差而定，電晶體導通或切斷。因此，在經由未發生自舉之 n 通道電晶體，輸出第一脈波信號線 (PS1) 之 H 位準電位情況下，輸出之電位從 H 位準電位減低 n 通道電晶體之臨限電壓 ( $V_{th}$ )。然而，由於自舉發生於電晶體 105，因此，可輸出第一正反器之輸



出信號 (FF1out) 而未減少第一脈波信號線 (PS1) 之電位。

將屬於第一正反器 (FF1) 之輸出信號之 H 位準信號輸入至第二正反器 (FF2)。於此情況下，除了替代第一脈波信號線 (PS1)，第四脈波信號線 (PS4) 電連接至第二正反器 (FF2) 外，第二正反器 (FF2) 具有與第一正反器 (FF1) 者相同的構造。因此，第一正反器 (FF1) 之以上說明適用於第二正反器 (FF2) 之電路操作之詳細說明。於此期間內，第二正反器 (FF2) 輸出 L 位準電位，其係此期間內第四脈波信號線 (PS4) 之電位。

於後續期間內，第一脈波信號線 (PS1) 之電位減至 L 位準，且第四脈波信號線 (PS4) 之電位增至 H 位準。結果，第一正反器之輸出信號 (FF1out) 減至 L 位準。輸出屬於第四脈波信號線 (PS4) 之電位之 H 位準電位，作為第二正反器之輸出信號 (FF2out)。

第二正反器之輸出信號 (FF2out) 輸入至第三正反器 (未圖示) 及第一正反器 (FF1) 所含電晶體 101 之閘極端子。因此，第一正反器 (FF1) 所含電晶體 101 導通，接著，將節點 A 之電位設定為 H 位準。因此，電晶體 104 及 106 亦導通。由於電晶體 104 導通，節點 B 之電位減至 L 位準。亦即，電晶體 105 之閘極端子之電位減至 L 位準。因此，電晶體 105 切斷。此外，由於電晶體 106 導通，因此，於此期間內，第一正反器之輸出信號 (FF1out) 從經由電晶體 105 之第一脈波信號線 (PS1) 之 L 位準變成

經由電晶體 106 之低電源電位 (VSS) 之 L 位準。換言之，第一正反器之輸出信號 (FF1out) 經由不同電晶體輸出而未實質改變。

於後續期間內，第四脈波信號線 (PS4) 之電位減至 L 位準。亦即，第二正反器之輸出信號 (FF2out) 減至 L 位準。如此，第一正反器 (FF1) 中所含電晶體 101 即切斷。結果，電連接至電晶體 104 之閘極端子之節點及電晶體 106 之閘極端子之節點進入浮起狀態，同時此等節點保持 H 位準信號。如此，電晶體 104 及 106 保持導通且第一正反器之輸出信號 (FF1out) 保持於 L 位準。此一狀態持續至 H 位準電位再度輸入至第一正反器 (FF1) 之輸入端子為止。

以上述方式，第 2A 圖中所顯示之第一正反器 (FF1) 可輸出以半時脈循環延遲輸入之信號。

#### 〈脈波信號線例子〉

第一脈波信號線 (PS1) 至第六脈波信號線 (PS6) 各用來作為於一部分操作期間內供應時脈信號之配線，且第一至第六脈波信號線各用來作為於其他操作期間內供應低電源電位之配線。參考第 3A 和 3B 圖以及 4A 和 4B 圖說明具有此種功能之配線例子。

第 3A 圖所示第一脈波信號線 (PS1) 至第六脈波信號線 (PS6) 之每一者經由時脈信號選擇電晶體 111、112 及 113 及反相時脈信號選擇電晶體 114、115 及 116 之任

一者之源極端子和汲極端子，電連接至參考時脈信號線（CK）及反相參考時脈信號線（CKB）。須知，於此情況下，時脈信號選擇電晶體 111、112 及 113 及反相時脈信號選擇電晶體 114、115 及 116 為 n 通道電晶體。

具體而言，時脈信號選擇電晶體 111 之閘極端子電連接至控制端子 a。時脈信號選擇電晶體 111 之第一端子電連接至第一脈波信號線（PS1）。時脈信號選擇電晶體 111 之第二端子電連接至參考時脈信號線（CK）。時脈信號選擇電晶體 112 之閘極端子電連接至控制端子 b。時脈信號選擇電晶體 112 之第一端子電連接至第二脈波信號線（PS2）。時脈信號選擇電晶體 112 之第二端子電連接至參考時脈信號線（CK）。時脈信號選擇電晶體 113 之閘極端子電連接至控制端子 c。時脈信號選擇電晶體 113 之第一端子電連接至第三脈波信號線（PS3）。時脈信號選擇電晶體 113 之第二端子電連接至參考時脈信號線（CK）。

反相時脈信號選擇電晶體 114 之閘極端子電連接至控制端子 d。反相時脈信號選擇電晶體 114 之第一端子電連接至第四脈波信號線（PS4）。反相時脈信號選擇電晶體 114 之第二端子電連接至反相參考時脈信號線（CKB）。反相時脈信號選擇電晶體 115 之閘極端子電連接至控制端子 e。反相時脈信號選擇電晶體 115 之第一端子電連接至第五脈波信號線（PS5）。反相時脈信號選擇電晶體 115 之第二端子電連接至反相參考時脈信號線（CKB）。反相

時脈信號選擇電晶體 116 之閘極端子電連接至控制端子 f。  
反相時脈信號選擇電晶體 116 之第一端子電連接至第六脈波信號線 (PS6)。反相時脈信號選擇電晶體 116 之第二端子電連接至反相參考時脈信號線 (CKB)。

如於第 3B 圖中所示，參考時脈信號線係用來不管期間為何，供應時脈信號之配線，該時脈信號交錯於高電源電位與低電源電位間，且反相參考時脈信號線係用來不管期間為何，供應反相時脈信號之配線，該反相時脈信號係時脈信號之反相。

控制端子 a 之電位設定為在第一期間 (t1) 為 H 位準，並設定為在其他期間為 L 位準。因此，在第一期間 (t1)，第一脈波信號線 (PS1) 可用來作為供應時脈信號之配線。換言之，第一期間 (t1) 係控制端子 a 之電位設定為 H 位準之期間。

同樣地，控制端子 b 至 f 之電位分別設定為在第二期間 (t2) 至第六期間 (t6) 為 H 位準，並設定為在其他期間為 L 位準。因此，在第二期間，第二脈波信號線，在第三期間，第三脈波信號線可用來作為供應時脈信號之配線；在第四期間，第四脈波信號線，在第五期間，第三脈波信號線，以及在第六期間，第六脈波信號線可用來作為供應時脈信號之配線。換言之，第二期間 (t2) 至第六期間 (t6) 係各別控制端子 b 至 f 之電位設定為 H 位準之期間。

第 4A 圖所示第一脈波信號線 (PS1) 至第六脈波信

號線 (PS6) 之每一者經由低電源電位選擇電晶體 121 至 126 之一者之源極端子和汲極端子，電連接至低電源電位 (VSS) 之配線。須知，於此情況下，低電源電位選擇電晶體 121 至 126 為 n 通道電晶體。

低電源電位選擇電晶體 121 之閘極端子電連接至控制端子 g。低電源電位選擇電晶體 121 之第一端子電連接至第一脈波信號線 (PS1)。低電源電位選擇電晶體 121 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。低電源電位選擇電晶體 122 之閘極端子電連接至控制端子 h。低電源電位選擇電晶體 122 之第一端子電連接至第二脈波信號線 (PS2)。低電源電位選擇電晶體 122 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。低電源電位選擇電晶體 123 之閘極端子電連接至控制端子 i。低電源電位選擇電晶體 123 之第一端子電連接至第三脈波信號線 (PS3)。低電源電位選擇電晶體 123 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。低電源電位選擇電晶體 124 之閘極端子電連接至控制端子 j。低電源電位選擇電晶體 124 之第一端子電連接至第四脈波信號線 (PS4)。低電源電位選擇電晶體 124 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。低電源電位選擇電晶體 125 之閘極端子電連接至控制端子 k。低電源電位選擇電晶體 125 之第一端子電連接至第五脈波信號線 (PS5)。低電源電位選擇電晶體 125 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。低電源電位選擇

電晶體 126 之閘極端子電連接至控制端子 1。低電源電位選擇電晶體 126 之第六端子電連接至第二脈波信號線 (PS6)。低電源電位選擇電晶體 126 之第二端子電連接至用以供應低電源電位 (VSS) 之配線。

控制端子 g 之電位設定成在第一期間 (t1) 為 L 位準，並設定成在其他期間為 H 位準。如此，於除了第一期間 (t1) 外的期間內，第一脈波信號線 (PS1) 可用來作為供應低電源電位之配線 (VSS)。

同樣地，控制端子 h 至 l 之電位設定成在第二期間 (t2) 至第六期間 (t6) 分別為 L 位準，並設定成在其他期間為 H 位準。如此，第二脈波信號線於除了第二期間外的期間內，第三脈波信號線於除了第三期間外的期間內，第四脈波信號線於除了第四期間外的期間內，第五脈波信號線於除了第五期間外的期間內，第六脈波信號線於除了第六期間外的期間內，可用來作為供應低電源電位之配線 (VSS)。

於本實施例之移位暫存器中，藉複數條配線而非藉一條配線供應時脈信號。又，複數條配線之任一者在移位暫存器之一部分期間而非全部操作期間供應時脈信號。因此，可減少時脈信號供應所造成之電容負荷，從而導致移位暫存器之耗電的減少。

〈修改例〉

上述移位暫存器係本實施例之例子，且於本實施例中

包含具有異於上述之點之移位暫存器。

例如，在以上移位暫存器中，二正反器電連接至脈波信號線之每一者（參閱第 1A 圖）；然而，更大數目之正反器可電連接至脈波信號線之每一者。具體而言，如於第 5A 圖中所示， $x$ （ $x$  為 3 或更大之自然數）正反器可電連接至脈波信號線之每一者。

又，六條脈波信號線包含於以上移位暫存器中（參閱第 1A 圖），然而，可包含更大數目之脈波信號線。具體而言，可使用第 5B 圖中所示構造，其包含第一脈波信號線（ $PS_1$ ）至第  $y$ （ $y$  為 4 或更大之自然數）脈波信號線（ $PS_y$ ），其在一部分操作期間供應時脈信號；以及第  $(y+1)$  脈波信號線（ $PS_{y+1}$ ）至第  $2y$  脈波信號線（ $PS_{2y}$ ），其在一部分操作期間供應反相時脈信號。二正反器電連接至第 5B 圖所示構造中脈波信號線之每一者。

而且，二正反器電連接至脈波信號線之每一者，且在以上移位暫存器中包含六條脈波信號線（參閱第 1A 圖）；然而，更大數目之正反器可電連接至脈波信號線之每一者，且可包含更大數目之脈波信號線。具體而言，可使用第 5C 圖中所示之構造：例如包含第一脈波信號線（ $PS_1$ ）至第  $y$ （ $y$  為 4 或更大之自然數）脈波信號線（ $PS_y$ ），其在一部分操作期間供應時脈信號；以及第  $(y+1)$  脈波信號線（ $PS_{y+1}$ ）至第  $2y$  脈波信號線（ $PS_{2y}$ ），其在一部分操作期間供應反相時脈信號；以及  $x$  正反器可電連接至脈波信號線之每一者。

在以上移位暫存器中，電連接至脈波信號線之每一者之正反器的數目相同（參閱第 1A 圖及 5A 至 5C 圖）；惟電連接至脈波信號線之每一者之正反器的數目可因脈波信號線而異。具體而言，如於第 6A 圖中所示， $x$  正反器可電連接至第一脈波信號線（PS1）及第四脈波信號線（PS4），且  $z$ （ $z$  為 2 或更大之自然數且異於  $x$ ）正反器可電連接至第二脈波信號線（PS2）及第五脈波信號線（PS5）。

在以上移位暫存器中，電連接至第一脈波信號線（PS1）之正反器的數目與電連接至第四脈波信號線（PS4）之正反器的數目相同（參閱第 1A 圖、第 5A 圖及第 6A 圖），惟電連接至第一脈波信號線（PS1）之正反器的數目與電連接至第四脈波信號線（PS4）之正反器的數目可相異。具體而言，如於第 6B 圖中所示， $x$  正反器可電連接至第一脈波信號線（PS1），且  $(x+z)$  正反器可電連接至第四脈波信號線（PS4）。

在以上移位暫存器中，第一期間（ $t_1$ ）與第二期間（ $t_2$ ）不相互重疊（參閱第 1B 圖），惟第一期間（ $t_1$ ）與第二期間（ $t_2$ ）可相互重疊。具體而言，如於第 6C 圖中所示，例如可提供第一期間（ $t_1$ ）與第二期間（ $t_2$ ）相互重疊之期間（ $t$ ）。如於第 1B 圖及第 6C 圖中所示，須提供複數條脈波信號線之至少一者用來作為供應時脈信號之配線以及複數條脈波信號線之至少一者用來作為供應反相時脈信號之配線之期間。



第 2A 圖中所示正反器之電路配置係一例子，且可使用任何電路配置，只要將輸入信號延遲輸出即可。具體而言，可適用第 7A 圖中所示之電路於本實施例中的正反器。

第 7A 圖中所示之第一正反器 (FF1) 包含電晶體 131 至 134。須知，於此情況下，電晶體 131 至 134 為  $n$  通道電晶體。

電晶體 131 之閘極端子及第一端子電連接至起動脈波線。

電晶體 132 之閘極端子電連接至第二正反器 (FF2) 之輸出端子，電晶體 132 之第一端子電連接至電晶體 131 之第二端子，電晶體 132 之第二端子電連接至低電源電位線。

電晶體 133 之閘極端子電連接至電晶體 131 之第二端子及電晶體 132 之第一端子，且電晶體 133 之第一端子電連接至第一脈波信號線 (PS1)。

電晶體 134 之閘極端子電連接至第二正反器 (FF2) 之輸出端子，電晶體 134 之第一端子電連接至電晶體 133 之第二端子，且電晶體 134 之第二端子電連接至低電源電位線。

須知，後文爲了方便，將電晶體 131 之第二端子、電晶體 132 之第一端子、電晶體 133 之閘極端子相互電連接之節點稱爲節點 C。

以下參考第 7B 圖說明第 7A 圖中所示第一正反器 (

FF1) 之操作。

首先，電連接至第一正反器 (FF1) 之起動脈波線之電位增至 H 位準。因此，H 位準信號輸入至電晶體 131 之閘極端子及電晶體 131 之第一端子，且二極體連接之電晶體 131 導通。從而，節點 C 之電位增至 H 位準。因此，電晶體 133 亦導通。結果，輸出屬於此期間內第一脈波信號線 (PS1) 之電位之 L 位準，作為第一正反器之輸出信號 (FF1out)。

於後續期間，起動脈波線之電位減至 L 位準。因此，電晶體 131 切斷。結果，節點 C 之電位進入浮起狀態。此時，在電晶體 131 之源極端子與閘極端子間有 L 位準至 H 位準之電位差，且由於節點 C 進入浮起狀態，因此，保持該電位差。亦即，不管源極端子之狀態如何，電晶體 131 保持導通。而且，第一脈波信號線 (PS1) 之電位增至 H 位準。因此，在此期間內，處於浮起狀態及電連接至電晶體 133 之閘極端子之節點 C 之電位進一步增加第一脈波信號線 (PS1) 之 H 位準電位。因此，輸出屬於第一脈波信號線 (PS1) 之電位之 H 位準電位，作為第一正反器之輸出信號 (FF1out)。

將屬於第一正反器 (FF1) 之輸出信號之 H 位準信號輸入至第二正反器 (FF2)。於此情況下，除了替代第一脈波信號線 (PS1)，第四脈波信號線 (PS4) 電連接至第二正反器 (FF2)，第二正反器 (FF2) 具有與第一正反器 (FF1) 相同的構造。因此，第一正反器 (FF1) 之

上述說明適用於第二正反器 (FF2) 之電路操作之詳細說明。於此期間內，第二正反器 (FF2) 輸出在該期間內屬於第四脈波信號線 (PS4) 之電位的 L 位準電位。

於後續期間內，第一脈波信號線 (PS1) 之電位減至 L 位準，且第四脈波信號線 (PS4) 之電位增至 H 位準。結果，第一正反器之輸出信號 (FF1out) 減至 L 位準。輸出屬於第四脈波信號線 (PS4) 之電位之 H 位準電位，作為第二正反器之輸出信號 (FF2out)。

將第二正反器之輸出信號 (FF2out) 輸入至第三正反器 (未圖示) 及第一正反器 (FF1) 所含電晶體 132 及 134 之閘極端子。因此，第一正反器 (FF1) 所含電晶體 132 及 134 導通。據此，電晶體 132 之閘極端子 (節點 C) 之電位設定為 L 位準，且第一正反器之輸出信號 (FF1out) 從此其間內經由電晶體 133 之第一脈波信號線 (PS1) 之 L 位準變成經由電晶體 134 之低電源電位 (VSS) 之 L 位準。

於後續期間內，第四脈波信號線 (PS4) 之電位減至 L 位準。亦即，第二正反器之輸出信號 (FF2out) 減至 L 位準。因此，第一正反器 (FF1) 所含電晶體 132 及 134 切斷。此一狀態持續至 H 位準電位再度輸入至第一正反器 (FF1) 之輸入端子為止。

以上述方式，第 7A 圖所述第一正反器 (FF1) 可輸出以半時脈循環延遲輸入之信號。因此，第一正反器 (FF1) 可適用於本實施例中的正反器。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

(實施例 2)

於本實施例中將說明適用於實施例 1 所說明移位暫存器之電晶體例子。

將參考第 8A 至 8C 圖說明本實施例之電晶體之構造例。第 8A 至 8C 圖顯示本實施例之電晶體之構造例。第 8A 圖係俯視圖，且第 8B 圖係沿第 8A 圖之 Z1-Z2 線所取橫剖視圖。

第 8A 及 8B 圖於基板 201 上方包含一導電層 211，於導電層 211 上方包含一絕緣層 202，於絕緣層 202 上方包含一氧化物半導體層 213，於氧化物半導體層 213 上方包含一導電層 215a 及導電層 215b。

須知，於電晶體中，導電層 211 用來作為閘極端子，絕緣層 202 用來作為閘極絕緣層，導電層 215a 及導電層 215b 之一用來作為源極端子，且導電層 215a 及導電層 215b 之另一者用來作為汲極端子。氧化物半導體層 213 包含通道形成區。氧化物半導體層 213 在形成時接受脫水或脫氫處理。

又，如第 8A 及 8B 圖中之電晶體，氧化物半導體層 213 接受脫水或脫氫處理，而且，氧化物絕緣層 207 形成與氧化物半導體層 213 之一部分接觸。於包含氧化物半導體層 213 作為通道形成區且係在進行脫水或脫氫處理後形

成氧化物絕緣層 207 之電晶體中，長期使用及大負荷所造成之臨限電壓（ $V_{th}$ ）位移幾乎不會發生，並因此可靠度很高。

須知，氮化物絕緣層可在氧化物絕緣層 207 上方。較佳係氮化物絕緣層與設在氧化物絕緣層 207 下方之絕緣層 202 或用來作為基底之絕緣層接觸，以免諸如濕氣、氫離子及  $OH^-$  從基板之側面附近進入。特別是，使用氮化矽於絕緣層 202 以與氧化物絕緣層 207 或用來作為基底之絕緣層接觸很有效。亦即，當設置氮化矽層以圍繞氧化物半導體層 213 之下表面、上表面及側表面時，電晶體之可靠度得到改進。

又，可於氧化物絕緣層 207 上方設置平面化絕緣層（在設有氮化物絕緣層情況下，於氮化物絕緣層上方）。

替代地，如於第 8C 圖中所示，電晶體可具有氮化物導電層 214a 及氮化物導電層 214b 設在氧化物半導體層 213 之一部分上方，設置導電層 215a 來與氮化物導電層 214a 接觸並設置氮化物導電層 214b 來與氮化物導電層 214b 接觸之構造。

氮化物導電層 214a 及氮化物導電層 214b 具有較氧化物半導體層 213 更高之導電性，且用來作為電晶體 251 之源極區（亦稱為低電阻源極區）和汲極區（亦稱為低電阻汲極區）。

可使用相對於可見光具有光通過特性，諸如 In-Sn-Zn-O（銦-錫-鋅-氧）系金屬氧化物、In-Al-Zn-O（銦-鋁-

鋅-氧)系金屬氧化物、Sn-Ga-Zn-O(錫-鎵-鋅-氧)系金屬氧化物、Al-Ga-Zn-O(鋁-鎵-鋅-氧)系金屬氧化物、Sn-Al-Zn-O(錫-鋁-鋅-氧)系金屬氧化物、In-Zn-O(銦-鋅-氧)系金屬氧化物、Sn-Zn-O(錫-鋅-氧)系金屬氧化物、Al-Zn-O(鋁-鋅-氧)系金屬氧化物、In-Sn-O(銦-錫-氧)系金屬氧化物、In-O(銦-氧)系金屬氧化物、Sn-O(錫-氧)系金屬氧化物或Zn-O(鋅-氧)系金屬氧化物之導電材料，作為用來形成氮化物導電層214a及氮化物導電層214b之氧化物導電膜之材料。在大於或等於1nm及小於或等於300nm之範圍內適當選擇氧化物導電膜之厚度。在使用濺鍍方法情況下，使用含大於或等於2wt%及小於或等於10wt%之SiO<sub>2</sub>之靶材，進行膜沉積，俾在光傳輸導電膜含有阻止結晶化之SiO<sub>x</sub>(x>0)。因此，氧化物半導體層213可避免在稍後進行用以脫水或脫氫之熱處理中結晶化。

例如，在使用In-Ga-Zn-O(銦-鎵-鋅-氧)系金屬氧化物於氧化物半導體層情況下，用來形成作為通道形成區之氧化物半導體層213及氮化物導電層214a及氮化物導電層214b可於不同沉積條件下個別形成。

例如，在藉由濺鍍方法進行沉積情況下，使用於氫氣中形成之氧化物半導體膜所形成之氮化物導電層214a及氮化物導電層214b各具有n型導電性及大於或等於0.01eV及小於或等於0.1eV之啟動能量(ΔE)。

須知，於本實施例中，氮化物導電層214a及214b為

In-Ga-Zn-O ( 銦 - 鎵 - 鋅 - 氧 ) 系金屬氧化物且包含至少非晶矽成份。而且，氮化物導電層 214a 及 214b 可包含晶粒 ( 奈米晶體 )。氮化物導電層 214a 及 214b 中之晶粒具有約 1nm 至 10nm，通常約 2nm 至 4nm 之直徑。

無須設置氮化物導電層 214a 及 214b，不過，當氮化物導電層 214a 及 214b 設在用來形成作為通道形成區之氧化物半導體層 213 及用來作為源極端子和汲極端子之導電層 215a 至 215d 間時，可獲得良好電連結，且電晶體可穩定操作。又，即使汲極電壓高，仍可保持優良的遷移率。

替代地，第 8A 及 8B 圖中之電晶體可具第 9A 及 9B 圖中之構造，其中導電層 217 設在氧化物半導體層 213 的上方，氧化物絕緣層 207 置於其間 ( 在設置氮化物絕緣層情況下，氧化物絕緣層 207 及氮化物絕緣層置於其間 )。第 9A 及 9B 圖顯示本實施例之電晶體之構造。第 9A 圖係俯視圖，且第 9B 圖係沿第 9A 圖之 Z1-Z2 線所取橫剖視圖。導電層 217 用來作為第二閘極端子。第二閘極施加於導電層 217，俾可控制電晶體 251 之臨限電壓。於設有平面化絕緣層情況下，導電層 217 可設在平面化絕緣層上方。

例如，當第二閘極端子之電壓高於源極端子之電壓時，電晶體之臨限電壓位移至負側；當電壓低於源極端子之電壓時，電晶體之臨限電壓位移至正側。

如於第 8A 至 8C 圖及第 9A 及 9B 圖中舉例所示，本實施例之電晶體係各包含氧化物半導體層之電晶體，該氧

化物半導體層用來作為通道形成區。因此，電晶體具有較在通道形成區包含有非晶矽之習知電晶體更高之遷移率，從而，可高速操作。

將參考第 10A 及 10B 圖說明於第 8A 至 8C 圖中使用複數個電晶體之情形。第 10A 及 10B 圖舉例顯示複數個電晶體之構造，其可適用於本發明之一實施例之移位暫存器。第 10A 圖係二電晶體之俯視圖，且第 10B 圖係沿第 10A 圖之 X1-X2 線所取橫剖視圖。

電晶體 251 及電晶體 252 顯示於第 10A 圖中。須知，舉例顯示的是氧化物導電層設在氧化物半導體層與用來作為源極端子或汲極端子間之構造。

電晶體 251 係第 8A 及 8C 圖中所示電晶體。因此，將提及以上說明。

電晶體 252 包含位於基板 201 上方之導電層 211；位於導電層 211 上方之絕緣層 202；位於絕緣層 202 上方之導電層 211；位於氧化物半導體層 213 上方之氮化物導電層 214a 及 214b；以及導電層 215a 至 215d。

於電晶體 252 中，導電層 211 用來作為閘極端子，絕緣層 202 用來作為閘極絕緣層，導電率高於氧化物半導體層 213 之氮化物導電層 214a 及 214b 各用來作為源極區（亦稱為低電阻源極區）或汲極區（亦稱為低電阻汲極區），且導電層 215a 至 215d 各用來作為源極端子或汲極端子。氧化物半導體層 213 包含通道形成區。須知，當形成氧化物半導體層 213 時，氧化物半導體層 213 接受脫水或脫



氫處理。

第 10A 及 10B 圖中的電晶體 251 及 252 設有氧化物絕緣層 207，以除了氧化物半導體層上進行脫水或脫氫處理外，分別與氧化物半導體層 213 之一部分接觸，以及與氧化物半導體層 2132 之一部分接觸。

又，電晶體 251 之導電層 211 與形成於絕緣層 202 之開口部中的導電層 215b 接觸。因此，獲得有利的接觸，這導致接觸阻力的減少。因此，可減少開口數，這造成開口所佔面積的減少。因此，例如可使用二電晶體，形成具有該構造之邏輯電路（例如，反相器）。

如於第 10A 及 10B 圖中所示，在實施例 1 之移位暫存器中，用來作為電晶體之閘極端子之導電層可電連接至形成在用來作為閘極絕緣層之絕緣層之開口部中另一電晶體的源極端子或汲極端子。

其次，參考第 11A 至 11D 圖說明用以製造第 8A 及 8B 圖中所示電晶體之方法例。第 11A 至 11D 圖係顯示第 8A 及 8B 圖中所示電晶體之方法例之剖視圖。

在以下說明中，“膜”一詞意指形成在待於後續光微刻步驟等中加工成所欲形狀之基板之整個表面上者，以及在加工前形成者。“層”一詞意指藉由利用光微刻步驟等將“膜”加工及形成為所欲形狀者，或待形成於基板之整個表面上者。

首先，製備基板 201。導電膜形成於基板 201 上方，且接著藉由第 1 光微刻步驟（參閱第 11A 圖）形成導電

層 211。須知，導電層 211 以漸尖細較佳。當導電層 211 漸尖細時，可增加導電層 211 與形成於導電層 211 上之膜之附著。

基板 201 須具有絕緣表面以及高到足以耐至少是稍後待進行之熱處理之熱阻。例如，可使用玻璃基板等作為基板 201。

於稍後待進行之熱處理之溫度高情況下，較佳係使用應變點為  $730^{\circ}\text{C}$  或更高者作為玻璃基板。使用矽化鋁玻璃、硼化鋁玻璃或硼化鋇玻璃作為玻璃基板。一般而言，藉由氧化鋇 ( $\text{BaO}$ ) 含量較硼酸 ( $\text{B}_2\text{O}_3$ ) 大，可獲得更實際之熱阻玻璃。因此，較佳係使用含有  $\text{BaO}$  及  $\text{B}_2\text{O}_3$  而  $\text{BaO}$  含量大於  $\text{B}_2\text{O}_3$  之玻璃基板。

須知，可使用絕緣體形成之基板，像是陶瓷基板、石英基板或藍寶石基板，以取代玻璃基板。替代地，可使用結晶化之玻璃基板等。

可設置用來作為基底層之絕緣層於基板 201 與導電層 211 之間。基底層具有防止雜質自基板 201 擴散之功能，並可形成具有單一層構造或氮化矽層、氧化矽層、氮化氧化矽層、及氮化氧矽層之一或更多者之堆疊構造。

可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、銱及鈦之金屬材料或含有此等元素之任一者作為主成份之合金，作為用以形成導電層 211 之導電膜材料例子。用以形成導電層 211 之導電膜可藉含有此等元素之任一或更多者之單一膜或其堆疊膜形成。

較佳係使用依序堆疊鈦層、鋁層及鈦層之三層堆疊膜或依序堆疊鉬層、鋁層及鉬層之三層堆疊膜，作為用以形成導電層 211 之導電膜。亦可使用單層膜、二層堆疊膜或四或更多層堆疊膜，作為導電膜。當使用鈦層、鋁層及鈦層之堆疊導電膜作為導電膜時，可藉由使用氟氣之乾蝕方法進行蝕刻。

其次，絕緣層 202 形成於導電層 211 上方。

絕緣層 202 可藉由 CVD 方法、濺鍍方法等形成單層之氧化矽層、氮化矽層或氧氮化矽層或其堆疊層。例如，可藉由電漿 CVD 方法，使用  $\text{SiH}_4$ 、氧及氮作為沉積氣體，形成氧氮化矽層。絕緣層 202 之厚度大於或等於 100nm 及小於或等於 500nm；於使用堆疊層形成絕緣層 202 情況下，堆疊具有大於或等於 50nm 及小於或等於 200nm 之厚度之第 1 絕緣層與具有大於或等於 5nm 及小於或等於 300nm 之厚度之第 2 絕緣層。當使用以摻有磷或硼之矽靶材形成之氧化矽膜於絕緣層 202 時，可抑制雜質進入（諸如濕氣、氫離子及  $\text{OH}^-$ ）。

於本實施例中，藉由作為例子之 CVD 方法，使用具有 200nm 厚度之氮化矽膜，形成絕緣層 202。

其次，氧化物半導體膜形成於絕緣層 202 上方。氧化物半導體膜之厚度以大於或等於 2nm 及小於或等於 200nm 較佳。例如，當氧化物半導體膜之厚度小至 50nm 或更小時，即使於氧化物半導體膜形成後進行用以脫水或脫氫之熱處理，氧化物半導體膜仍可處於非晶狀態。藉由

使氧化物半導體膜之厚度很小，可在氧化物半導體膜形成後進行熱處理時，抑制氧化物半導體膜之結晶化。

須知，在藉由濺鍍方法形成氧化物半導體膜之前，可藉由導入氬氣及電漿之逆濺鍍，移除附著於絕緣層 202 表面上之粒子。逆濺鍍係指不施加電壓於靶材側，於氬氛圍下，使用 RF 電源，施加電壓於基板側，俾電漿產生於基板附近以修改表面。須知，可使用氮氛圍、氬氛圍、氧氛圍等替代氬氛圍。

可使用以下任一者作為氧化物半導體膜：In-Ga-Zn-O（銦-鎵-鋅-氧）系氧化物半導體膜、In-Sn-Zn-O（銦-錫-鋅-氧）系氧化物半導體膜、In-Al-Zn-O（銦-鋁-鋅-氧）系氧化物半導體膜、Sn-Ga-Zn-O（錫-鎵-鋅-氧）系氧化物半導體膜、Al-Ga-Zn-O（鋁-鎵-鋅-氧）系氧化物半導體膜、Sn-Al-Zn-O（錫-鋁-鋅-氧）系氧化物半導體膜、In-Zn-O（銦-鋅-氧）系氧化物半導體膜、Sn-Zn-O（錫-鋅-氧）系氧化物半導體膜、Al-Zn-O（鋁-鋅-氧）系氧化物半導體膜、In-Sn-O（銦-錫-氧）系氧化物半導體膜、In-O（銦-氧）系氧化物半導體膜、Sn-O（錫-氧）系氧化物半導體膜及 Zn-O（鋅-氧）系氧化物半導體膜。於本實施例中，藉由濺鍍方法，使用 In-Ga-Zn-O（銦-鎵-鋅-氧）系金屬氧化物半導體靶材，形成氧化物半導體膜。替代地，可藉由濺鍍方法，在稀有氣體（通常為氬）氛圍、氧氛圍或稀有氣體（通常為氬）與氧之混合氛圍下形成氧化物半導體膜。在使用濺鍍方法情況下，可使用含大於或等

於 2wt% 及小於或等於 10wt% 之  $\text{SiO}_2$  之靶材，進行膜沉積，且在光傳輸導電膜中含有阻止結晶化之  $\text{SiO}_x$  ( $x > 0$ )。因此，氧化物半導體層可避免在稍後進行用以脫水或脫氫之熱處理中結晶化。

在此，於以下條件下，使用供沉積之含 In、Ga 及 Zn (銦、鎵及鋅) ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$  之化合比例 = 1 : 1 : 1 [莫耳] In : Ga : Zn = 1 : 1 : 0.5 [原子]) 之金屬氧化物半導體靶材，形成氧化物半導體膜：基板與靶材之距離為 100 mm，壓力為 0.6 帕，直流 (DC) 電源為 0.5 kW 且氛圍為氧 (氧氣流之比例為 100%)。須知，脈衝直流 (DC) 電源較佳，此乃因為在膜沉積時產生之粉末物質 (亦稱為粒子) 可減少，且膜厚可均勻。於本實施例中，藉由濺鍍方法，使用 In-Ga-Zn-O (銦-鎵-鋅-氧) 系金屬氧化物半導體靶材於膜沉積，形成 In-Ga-Zn-O (銦-鎵-鋅-氧) 系膜，作為氧化物半導體膜。

可使用 ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.5$  [莫耳]  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.25$  [原子]  $\text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [莫耳]  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [原子]) 等作為金屬氧化物半導體靶材之化合比例，替代上述化合比例。

濺鍍方法之例子包含使用高頻電源作為濺鍍電源之 RF 濺鍍方法、DC 濺鍍方法以及以脈波方式施加偏壓之脈波 DC 濺鍍方法。RF 濺鍍方法主要用於形成絕緣膜情況下，DC 濺鍍方法主要用於形成金屬導電膜情況下。

又，亦有多源濺鍍設備，於其中可定有複數個不同材料之標靶。藉多源濺鍍設備，可在相同室中形成不同材料膜供堆疊，或可藉由同時放電，在相同室中形成不同材料種類的膜。

而且，有一種濺鍍設備，其在室內部設有磁系統，且用於磁控濺鍍方法，以及一種濺鍍設備，其用於 ECR 濺鍍方法，其中使用微波而不使用輝光放電來產生電漿。

就使用濺鍍方法之膜沉積方法而言，有一種反應濺鍍方法，其中於膜形成期間，標靶物質與濺鍍氣體成份相互化學反應，以形成化合物薄膜，以及一種偏壓濺鍍方法，其中在膜沉積期間，亦施加電壓於基板。

較佳係使用冷凍泵作為進行濺鍍之沉積室之排出機構。當使用冷凍泵於排出時，可移除沉積室中諸如濕氣之雜質。

其次，藉由第二光微刻步驟將氧化物半導體膜加工成島形，以形成氧化物半導體層 213（參閱第 11B 圖）。須知，在第二光微刻步驟後，氧化物半導體層 213 可在惰性氣體氛圍（例如氮、氬或氫）中接受熱處理（在高於或等於 400°C 及低於 700°C 下），以移除層中所含諸如氫及水之雜質。

其次，氧化物半導體層 213 脫水或脫氫。在高於或等於 400°C 及低於 750°C 下，較佳在高於或等於 425°C 及低於 750°C 下進行用於脫水或脫氫之第一熱處理。須知，於溫度為 425°C 或更高情況下，熱處理可能 1 小時或更短，

惟在溫度低於 425°C 情況下，熱處理則在 1 小時以上。於本實施例中，將基板導入屬於熱處理設備之一的電爐內，於氮氛圍下，在氧化物半導體層 213 上進行熱處理。接著，使氧化物半導體層 213 不暴露於空氣，這可避免水及氫進入氧化物半導體層 213 內。於本實施例中，在一爐中進行緩慢冷卻，從氧化物半導體層 213 接受脫水或脫氫之加熱溫度降至低到足以防止水再度進入之溫度，具體而言，降至低於加熱溫度達 100°C 或高多之溫度。氛圍不限於氮氛圍，且可使用任何氛圍，只要其係諸如氮、氬或氫之惰性氣體氛圍即可。

須知，熱處理設備不限於電爐，可具有一加熱裝置，藉由來自諸如電阻加熱元件之加熱元件之熱導或熱輻射將一物品加熱。例如，可使用諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備之快速熱退火（RTA）設備。LRTA 設備係藉發自諸如鹵素燈、金屬鹵素燈、氬電弧燈、碳電弧燈、高壓鈉燈或高壓水銀燈之光輻射（電磁波），對待加工物品加熱之設備。GRTA 設備係用來藉高溫氣體進行熱處理之設備。使用不會與待藉由熱處理加工之物品反應之惰性氣體作為氣體。例如，使用氮或諸如氬之稀有氣體。

當氧化物半導體層 213 接受高於或等於 400°C 及低於 750°C 之熱處理時，可達成氧化物半導體層之脫水或脫氫；因此，可避免稍後氧化物半導體層中再度含有水（H<sub>2</sub>O）。

於第一熱處理中，較佳係於氮或諸如氮、氬或氬氬之稀有氣體中不含水、氫等。又，導入熱處理設備之氮或諸如氮、氬或氬氬之稀有氣體之純度大於或等於 6N (99.9999%)，尤佳為大於或等於 7N (99.99999%) (亦即雜質濃度較佳為低於或等於 1 ppm，尤佳為低於或等於 0.1 ppm)。

氧化物半導體層 213 包含微晶粒及非晶區，或依第一熱處理之條件或導電層 211 之材料而定，僅包含微晶粒。例如，氧化物半導體層 213 可變成具有 90%或更大，或 80%或更大之微晶半導體層。又，依第一熱處理之條件或導電層 211 之材料而定，氧化物半導體層 213 可變成不含微晶粒之非晶氧化物半導體層。

在第一熱處理後，氧化物半導體層 213 變成缺氧型，俾達到低光阻。第一熱處理後之氧化物半導體膜具有較形成後不久之氧化物絕緣層更高之載子濃度，且較佳地，具有  $1 \times 10^{18} / \text{cm}^3$  或更高之載子濃度。

須知，導電層 211 在某些情況下，依第一熱處理之條件或導電層 211 之材料而定，變成微晶層或多晶層。例如，在使用氧化銦及氧化錫之合金膜作為導電層 211 情況下，其藉由在 450°C 下進行第一熱處理 1 小時結晶化，而在使用含氧化矽之氧化銦及氧化錫之合金膜作為導電層 211 情況下，則不結晶化。

可在未加工成島形氧化物絕緣層之氧化物半導體層 213 上進行第一熱處理。於此情況下，在第一熱處理後，



自熱處理設備取出基板，接著進行光微刻步驟。

其次，導電膜形成於絕緣層 202 及氧化物半導體層 213 上方。

可使用選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鈮 (Nd) 及釷 (Sc) 之元素，含有此等元素之任一者作為成份之合金，或含有此等元素組合之任一者之化合物等於導電膜。導電膜不限於含以上元素之單一層，並可形成為二或更多層之堆疊層。於本實施例中，形成三層導電膜，其中堆疊鈦膜（具有 100nm 之厚度）、鋁膜（具有 200nm 之厚度）及鈦膜（具有 100nm 之厚度）。可使用氮化鈦膜來替代鈦膜。

於稍後在 200°C 至 600°C 下進行熱處理情況下，較佳地，導電膜具有高到足以耐熱處理之熱阻。例如，較佳係使用添加避免形成小丘之元素的鋁合金，或堆疊熱阻導電膜之導電膜。使用濺鍍方法、真空蒸發方法（例如電子束蒸發方法）、電弧放電離子電鍍方法或噴灑方法作為導電膜之形成方法。替代地，導電膜可藉由以網版印刷、噴墨方法等，將導電之銀、金、銅等之奈米糊放電以及烘烤奈米糊形成。

其次，進行第三光微刻步驟，以形成光阻掩模 233a 及光阻掩模 233b。接著，選擇性蝕刻導電膜，以形成導電層 215a 及導電層 215b。

於第三光微刻步驟中，僅選擇性移除位於氧化物半導體

體層 213 上之部分。例如，當使用過氧化氫混合物（於重量比中，過氧化氫：氫：水=5：2：2）作為鹼蝕刻劑，俾僅選擇性移除位於 In-Ga-Zn-O（銦-鎵-鋅-氧）系氧化物半導體層上之金屬導電膜之部分，金屬導電膜可選擇性移除，且可留下氧化物半導體形成之氧化物半導體層。

於第三光微刻步驟中，在依蝕刻條件而定情況下，蝕刻氧化物半導體層 213 之曝光區。於此情況下，夾在導電層 215a 與導電層 215b 間之區域之氧化物半導體層較與導電層 211 上方之導電層 215a 及導電層 215b 重疊之區域更薄。

其次，氧化物絕緣層 207 形成於絕緣層 202 及氧化物半導體層 213。於此階段，氧化物半導體層 213 之一部分與氧化物絕緣層 207 接觸。須知，與導電層 211 重疊而絕緣層 202 置於其間之氧化物半導體層之區域係通道形成區。

氧化物絕緣層 207 可適當地藉由使諸如水及氫之雜質不混入氧化物絕緣層之方法，像是濺鍍方法，形成具有至少 1nm 之厚度。於本實施例中，藉由濺鍍方法，形成氧化矽膜作為氧化物絕緣層。沉積中之基板溫度可高於或等於室溫以及低於或等於 300°C。於本實施例中，基板溫度為 100°C。氧化矽膜可藉由濺鍍方法，於稀有氣體（通常為氬）氛圍、氧氛圍或含稀有氣體（通常為氬）及氧之氛圍下形成。而且，可使用氧化矽靶材或矽靶材作為靶材。例如，藉由使用矽靶材，氧化矽膜可用濺鍍方法，於含氧

及稀有氣體之混合氛圍中形成。形成來與光阻減低之氧化物半導體層接觸之氧化物絕緣層使用不含諸如濕氣、氫離子及  $\text{OH}^-$  及阻止此等雜質從外側進入之無機絕緣膜形成；通常使用氧化矽膜、氮化氧化矽膜、氧化鋁膜、氮氧化鋁膜等。須知，藉由濺鍍方法形成之氧化物絕緣層特別厚，甚至可使用單一層作為保護層以抑制雜質擴散入與其接觸之層的現象。亦可使用摻有磷（P）或硼（B）之靶材，俾添加磷（P）或硼（B）於氧化物絕緣層。

於本實施例中，藉由脈波 DC 濺鍍方法，使用柱形聚晶、具有 6N 純度（電阻為  $0.01\Omega\cdot\text{cm}$ ）之摻硼矽靶材，進行膜沉積，其中基板與靶材間之距離（T-S 距離）為 89 mm，壓力為 0.4 帕，直流（DC）電流 6 kW，且氛圍為氧（氧氣流之比例為 100%）。膜厚為 300 nm。

氧化物絕緣層 207 設在氧化物半導體層 213 之通道形成區上，其亦用來作為通道保護層。

其次，可於惰性氣體氛圍或氮氛圍中進行第二熱處理（例如在高於或等於  $200^\circ\text{C}$  以及低於或等於  $400^\circ\text{C}$  下，較佳地，在高於或等於  $250^\circ\text{C}$  以及低於或等於  $350^\circ\text{C}$  下）。例如，於氮氛圍中，在  $250^\circ\text{C}$  下進行第二熱處理 1 小時。當進行第二熱處理時，氧化物半導體層 213 被加熱，其一部分與氧化物絕緣層 207 接觸，其他部分與導電層 215a 及 215b 接觸。

當進行第二熱處理，而在第一熱處理中光阻減少之氧化物半導體層 213 與氧化物絕緣層 207 接觸時，與氧化物

絕緣層 207 接觸之區域變成氧過多狀態。因此，與氧化物絕緣層 207 接觸之氧化物半導體層 213 之區域沿氧化物半導體層 213 之深度方向增加光阻（變成 i 型）（參閱第 11D 圖）。

進行第二熱處理之時序不限於光微刻步驟後不久之時序，只要其在第三光微刻步驟之後即可。

因此，於第 8A 及 8B 圖中顯示電晶體。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

（實施例 3）

於本實施例中，將說明適用於實施例 1 及異於實施例 2 中所述電晶體之另一電晶體例。

將參考第 12A 及 12B 圖說明本實施例之電晶體構造例。第 12A 及 12B 圖顯示本實施例之電晶體構造例。第 12A 圖係電晶體之俯視圖，且第 12B 圖係沿第 12A 圖之 Z1-Z2 線所取橫剖視圖。

第 12A 及 12B 圖所示電晶體包含於基板 201 上方之導電層 211；導電層 211 上方之絕緣層 202；絕緣層 202 上方之導電層 215a 及 215b；絕緣層 202 及導電層 215a 及 215b 上方之氧化物半導體層 213。

於電晶體中，導電層 211 用來作為閘極端子，絕緣層 202 用來作為閘極導電層，導電層 215a 及 215b 之一用來作為源極端子，導電層 215a 及 215b 之另一者用來作為汲

極端子。氧化物半導體層 213 包含通道形成區。須知，當形成氧化物半導體層 213 時，氧化物半導體層 213 接受脫水或脫氫處理。

又，就第 12A 及 12B 圖中的電晶體而言，氧化物半導體層 213 接受脫水或脫氫處理，而且，氧化物絕緣層 207 形成與氧化物半導體層 213 之一部分接觸。包含有進行接受脫水或脫氫處理且接著與形成於其之氧化物絕緣層 207 接觸之氧化物半導體層 213 的電晶體用來作為通道形成區，具有極高可靠度，此乃因為長期使用或高負荷所致臨限電壓位移（ $V_{th}$ ）幾乎不發生。

須知，氮絕緣層可設在氧化物絕緣層 207 上方。較佳係氮絕緣層與設於氧化物絕緣層 207 下方之絕緣層 202 或用來作為基底之絕緣層接觸，以避免諸如濕氣、氫離子及  $OH^-$  之雜質從基板之側表面進入。特別是，使用氮化矽層於絕緣層 202 來與氧化物絕緣層 207 或用來作為基底之絕緣層接觸很有效。亦即，當設置氮化矽層來圍繞氧化物半導體層 213 之下表面、上表面及側表面時，電晶體之可靠度得到改進。

又，平面化絕緣層可設在氧化物絕緣層 207 上方（於設置氮絕緣層情況下，在氮絕緣層上方）。

如於第 9A 及 9B 圖中，第 12A 及 12B 圖中的電晶體 251 具有導電層設在與氧化物絕緣層 207 上方（於設置平面化絕緣層情況下，在平面化絕緣層上方）之氧化物半導體層 213 重疊之區域中的構造。導電層用來作為第二閘極

端子。第二閘極電壓施加於導電層，俾可控制電晶體之臨限電壓。

須知，無須設置平面化絕緣層。當不設置平面化絕緣層時，可在氧化物絕緣層 207 上方設置用來作為第二閘極端子之導電層（於設置氮絕緣層情況下，在氮絕緣層上方）。

例如，當第二閘極端子之電位高於源極端子之電位時，電晶體之臨限電壓朝負方向位移。當第二閘極端子之電位低於源極端子之電位時，電晶體之臨限電壓朝正方向位移。

如於第 12A 及 12B 圖中所示，本實施例中之電晶體係所謂的底部接觸電晶體，其中氧化物半導體層設在用來作為源極端子或汲極端子之導電層上方。因此，可進行高速操作，此乃由於本實施例之電晶體具有較在通道形成區包含有非晶矽之習知電晶體者更高的遷移率。又，應用底部接觸電晶體，俾可增加氧化物半導體層與用來作為源極端子或汲極端子之導電層接觸之面積，這導致避免剝離等。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### （實施例 4）

於本實施例中將說明適用於實施例 1 所說明移位暫存器且異於實施例 2 及 3 所說明電晶體之其他電晶體例子。

將參考第 13A 及 13B 圖說明本實施例之電晶體構造例。第 13A 及 13B 圖顯示本實施例之電晶體構造例。第 13A 圖係俯視圖，且第 13B 圖係沿第 13A 圖之 Z1-Z2 線所取橫剖視圖。

如於第 8A 至 8C 圖中所示電晶體，第 13A 及 13B 圖所示電晶體包含於基板 201 上方之導電層 211，導電層 211 上方之絕緣層 202，絕緣層 202 上方之氧化物半導體層 213，氧化物半導體層 213 上方之導電層 215a 及 215b。

於電晶體中，導電層 211 用來作為閘極端子，絕緣層 202 用來作為閘極導電層，導電層 215a 及 215b 之一用來作為源極端子，導電層 215a 及 215b 之另一者用來作為汲極端子。氧化物半導體層 213 包含通道形成區。須知，當形成氧化物半導體層 213 時，氧化物半導體層 213 接受脫水或脫氫處理。

又，就第 13A 及 13B 圖中的電晶體而言，氧化物半導體層 213 接受脫水或脫氫處理，而且，氧化物絕緣層 207 設在導電層 215a 及 215b 之下方，俾氧化物絕緣層 207 與氧化物半導體層 213 之一部分接觸。第 13A 及 13B 圖中之氧化物絕緣層 207 具有通道保護層之功能。

氮絕緣層可設在氧化物絕緣層 207 及導電層 215a 及 215b 上方。較佳係氮絕緣層與設於氧化物絕緣層 207 下方之絕緣層 202 或用來作為基底之絕緣層接觸，以避免諸如濕氣、氫離子及  $\text{OH}^-$  之雜質從基板之側表面進入。特別

是，使用氮化矽層於絕緣層 202 來與氧化物絕緣層 207 或用來作為基底之絕緣層接觸很有效。亦即，當設置氮化矽層來圍繞氧化物半導體層 213 之下表面、上表面及側表面時，電晶體之可靠度得到改進。

又，平面化絕緣層可設在氧化物絕緣層 207 及導電層 215a 及 215b 上方（於設置氮絕緣層情況下，在氮絕緣層上方）。

又，導電層可設在氧化物絕緣層 207 上方（於設置平面化絕緣層情況下，在平面化絕緣層上方），俾氧化物絕緣層 207 夾在導電層與氧化物半導體層 213 間。導電層用來作為第二閘極端子。第二閘極電壓施加於導電層，俾可控制電晶體 251 之臨限電壓。

須知，無須設置平面化絕緣層。當不設置平面化絕緣層時，可在氧化物絕緣層 207 上方設置用來作為第二閘極端子之導電層（於設置氮絕緣層情況下，在氮絕緣層上方）。

例如，當第二閘極端子之電位高於源極端子之電位時，電晶體之臨限電壓朝負方向位移。當第二閘極端子之電位低於源極端子之電位時，電晶體之臨限電壓朝正方向位移。

又，如於第 8C 圖中的電晶體，本實施例中之電晶體可具有用來作為緩衝層之一對氧化物半導體層設在氧化物半導體層 213 上方，且用來作為一對電極之導電層 215a 及 215b 設成與該對氧化物半導體層接觸。



如以上說明，本實施例之電晶體係所謂的通道保護電晶體，其各在氧化物半導體層的一部分上方包含有用來作為通道形成層之絕緣層。因此，電晶體具有較在通道形成區包含有非晶矽之習知電晶體更高的遷移率，從而，可作更高速之操作。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### (實施例 5)

於本實施例中將參考第 14A 至 14C 圖說明包含實施例 1 所說明移位暫存器之顯示裝置例子。

提供諸如液晶顯示裝置或電致（後文稱為 EL）顯示裝置之多種不同顯示裝置作為包含實施例 1 所說明移位暫存器之顯示裝置。參考第 14A 圖說明本實施例中顯示裝置之構造。第 14A 圖係顯示本實施例中顯示裝置之構造之方塊圖，

第 14A 圖所示顯示裝置包含像素部 701、掃描線驅動器電路 702 及信號線驅動器電路 703。

像素部 701 具有點矩陣構造，其中設有複數個像素 704。具體而言，沿列及行方向配置複數個像素 704。像素 704 之每一者透過掃描線 705，電連接至掃描線驅動器電路 702，並透過掃描線 706，電連接至信號線驅動器電路 703。

掃描線驅動器電路 702 係用來選擇像素 704，被輸入

資料信號之電路，其並透過掃描線 705，將選擇信號輸出至信號線驅動器電路 703。

信號線驅動器電路 703 係用來輸出寫至像素 704 之資料以作為信號之電路，並透過信號線 706 將作為信號之像素資料輸出至掃描線驅動器電路 702 所選擇之像素 704。

像素 704 包含至少一顯示元件及一開關元件。例如，可適用液晶元件或諸如 EL 元件之發光元件於顯示元件。例如，可適用電晶體於開關元件。

其次，參考第 14B 至 14C 圖說明掃描線驅動器電路 702 及信號線驅動器電路 703 之構造例。第 14B 及 14C 圖係顯示驅動器電路之構造之方塊圖。第 14B 圖係顯示掃描線驅動器電路 702 之構造之方塊圖。第 14C 圖係顯示信號線驅動器電路 703 之構造之方塊圖。

如於第 14B 圖中所示，掃描線驅動器電路 702 包含移位暫存器 900、位準移位器 901 及緩衝器 902。

將諸如掃描線驅動器電路啓動脈波信號（GPS）及掃描線驅動器電路參考時脈信號（GCK）輸入至移位暫存器 900，且接著從序列邏輯電路依序輸出選擇信號。如於實施例 1 中所示，本實施例之移位暫存器 900 包含複數條用來於一部分操作期間內供應掃描線驅動器電路參考時脈信號（GCK）之配線。

如於第 14C 圖中所示，信號線驅動器電路 703 包含移位暫存器 903、第一閘鎖電路 904、第二閘鎖電路 905、位準移位器 906 及緩衝器 907。

將諸如信號線驅動器電路啓動脈波信號（SSP）及信號線驅動器電路參考時脈信號（SCK）輸入至移位暫存器 903，且接著從序列邏輯電路依序輸出選擇信號。如於實施例 1 中，本實施例之移位暫存器 903 包含複數條用來於一部分操作期間內供應信號線驅動器電路參考時脈信號（SCK）之配線。

須知，實施例 1 中所說明之移位暫存器可僅用於移位暫存器 900 及移位暫存器 903 之一。

將資料信號（DATA）輸入至第一閘鎖電路 904。可使用邏輯電路來構成第一閘鎖電路 904。

緩衝器 907 具有放大信號之功能並包含操作放大器等。緩衝器 907 可使用邏輯電路構成。

第二閘鎖電路 905 可暫時保持閘鎖（LAT）信號，並立即將所保持之閘鎖信號輸出至第 14A 圖中之像素部 701。這稱為線順序驅動。因此，在使用進行點順序驅動而非線順序驅動之像素情況下，無需第二閘鎖電路 905。第二閘鎖電路 905 可使用邏輯電路構成。

其次，說明本實施例中顯示裝置之操作。

首先，藉掃描線驅動器電路 702 選擇掃描線 705。資料信號自信號線驅動器電路 703 經由信號線 706 輸入至電連接至所選擇掃描線 705 之像素 704。因此，資料被寫至像素 704，且像素 704 進入顯示狀態。掃描線 705 藉掃描線驅動器電路 702 依序選擇；從而，資料被寫至所有像素 704。以上係本實施例中顯示裝置之操作。

第 14A 至 14C 圖中所示顯示裝置之電路可設在一基板上方。又，第 14A 至 14C 圖中所示顯示裝置之電路可使用具有相同導電型之電晶體來配置。設置電路於一基板上方會導致顯示裝置之尺寸之減小，且使用具有相同導電型之電晶體可簡化製程。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### ( 實施例 6 )

於本實施例中參考第 15A 至 15C 圖說明實施例 5 所述顯示裝置例子，即液晶顯示裝置。

第 15A 圖係本實施例之液晶顯示裝置所含像素之電路圖。第 15A 圖所示像素包含電晶體 821、液晶元件 822 及電容器 823。

電晶體 821 之閘極端子電連接至掃瞄線 804，且電晶體 821 之第一端子電連接至信號線 805。須知，電晶體 821 用來作為控制對像素所含液晶元件 822 之電壓施加之選擇電晶體。

液晶元件 822 之一端子電連接至電晶體 821 之第二端子，液晶元件 822 之另一端子電連接至用來供應共用電位 ( $V_{com}$ ) 之配線 ( 共用電位線 )。液晶元件 822 包含：第 1 電極，用來作為一端子之一部分或全部；第 2 電極，用來作為另一端子之一部分或全部；以及包含液晶分子之層，此等液晶分子之對準藉由施加電壓於第 1 電極與第 2 電

極間改變（此一層稱為液晶層）。

電容器 823 之一端子電連接至電晶體 821 之第二端子，且電容器 823 之另一端子電連接至共用電位線。電容器 823 包含：第 1 電極，用來作為一端子之一部分或全部；第 2 電極，用來作為另一端子之一部分或全部；以及介電質層，設在第 1 電極與第 2 電極間。電容器 823 具有像素中儲存電容器之功能。須知，雖然無須設置電容器 823，電容器 823 之設置卻可減少因電晶體 821 之漏電而產生之反效果。

提供扭轉向列（TN）模式、平面轉換（IPS）模式、邊緣電場切換（FFS）模式、多域垂直對準（MVA）模式、圖案化垂直對準（PVA）模式、軸對稱對準微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、抗鐵電液晶（AFLC）模式等，作為本實施例中用以驅動液晶顯示裝置之液晶之方法。

替代地，可使用無需對準膜之藍相液晶。藍相係一種液晶相，並出現在膽固醇液晶之溫度升高時，自膽固醇相至各向同性相之相變遷前。由於藍相僅出現在狹窄溫度範圍內，因此，使用混合 5wt.% 或更多旋光性材料之液晶混合物，以改進溫度範圍。含有藍相液晶及旋光性材料之液晶混合物具有以下特徵：反應速度是很短的  $10\mu\text{s}$  至  $100\mu\text{s}$ ；因光學各向同性；視角相關性低。

當信號輸入至像素時，選擇寫入資料之像素，且在所選擇像素中，藉來自掃描線 804 之信號使電晶體 821 導通

此時，來自信號線 805 之資料信號經由電晶體 821 輸入至像素，且液晶元件 822 之一端子之電位對應於資料信號之電位。因此，依施加於一端子與另一端子間之電壓設定液晶元件 822 之對轉狀態。在資料寫入後，藉自掃描線 804 輸入之信號切斷電晶體 821，在顯示期間內維持液晶元件 822 之對準狀態，且像素進入顯示狀態。以上操作於每一掃描線 804 並於液晶顯示裝置所含的所有像素中依序進行。

在液晶顯示裝置中顯示移動影像方面，有因液晶分子本身之反應緩慢而發生之餘像或動作模糊的問題。為改進液晶顯示裝置之移動影像特徵，有一種稱為黑插入之驅動技術，其中每隔一幀整個螢幕顯示成黑。

又有一種稱為雙幀速率驅動之驅動技術，其中垂直同步頻率為 1.5 次或更多，較佳地如正常垂直同步頻率高達 2 次或更多。

又，為改進液晶顯示裝置之移動影像特徵，有一種驅動技術，其中使用複數個 LED（發光二極體）光源、複數個 EL 光源等作為背照光，以形成區域光源，且在一幀期間獨立地間歇點亮形成區域光源之光源。可使用三種或更多種 LED 或發出白光之 LED 於區域光源。由於可獨立控制複數個 LED，LED 發光之時序可與液晶層改變之光學調變時序同步。於該驅動技術中，可切斷部分 LED，俾特別是於顯示一影像，其中黑顯示區在一螢幕佔大面積情況下

，可減少耗電。

藉由組合此等驅動技術，液晶顯示裝置之諸如移動影像特徵之顯示特徵即可較習知液晶顯示裝置者更加改進。

其次，參考第 15B 及 15C 圖說明本實施例中顯示裝置之構造，其包含以上像素。第 15B 及 15C 圖顯示本實施例之顯示裝置中像素之構造。第 15B 圖係像素之俯視圖，且第 15C 圖係沿第 15B 圖之 A1-A2 及 B1-B2 線所取橫剖視圖。

第 15B 及 15C 圖所示液晶顯示裝置於剖視 A1-A2 中，包含：導電層 2001，設在基板 2000 上方；絕緣層 2002，設在導電層 2001 上方；氧化物半導體層 2003，設在絕緣層 2002 上方；一對導電層 2005a 及 2005b，設在氧化物半導體層 2003 上方；氧化物絕緣層 2007，設在導電層 2005a 及 2005b 及氧化物半導體層 2003 上方；以及透明導電層 2020，其透過設於氧化物絕緣層 2007 中之開口，與導電層 2005b 接觸。

須知，導電層 2001 用來作為閘極端子，絕緣層 2002 用來作為閘極絕緣層，導電層 2005a 及 2005b 之一用來作為第一端子，導電層 2005a 及 2005b 之另一用來作為第二端子。雖然在此使用實施例 2 所說明之電晶體（參閱第 8B 圖），卻可使用實施例 3 或 4 所說明之電晶體作為電晶體。

第 15B 及 15C 圖所示液晶顯示裝置於剖視 B1-B2 中，包含：導電層 2008，設在基板 2000 上方；絕緣層 2002

，設在導電層 2008 上方；氧化物半導體層 2007，設在絕緣層 2002 上方；以及透明導電層 2020，設在氧化物半導體層 2007 上方。

又，本實施例中之液晶顯示裝置包含導電層 2022、透明導電層 2029、導電層 2023、導電層 2024 及透明導電層 2028，其等用來作為供連接撓性印刷電路（FPC）之電極或配線。

透明導電層 2020、2029 及 2028 藉由濺鍍方法、真空蒸發方法等，使用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化銦與氧化錫之合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，稱為 ITO）等形成。此材料以鹽酸系溶液蝕刻。須知，由於 ITO 之蝕刻有留下殘留物的傾向，因此，可使用氧化銦與氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）之合金來改進蝕刻可加工性。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### （實施例 7）

於本實施例中參考第 16A 和 16B 圖以及第 17A 和 17B 圖說明實施例 5 所述顯示裝置例子，即包含使用電致發光之發光元件之發光顯示裝置。

根據發光材料為有機化合物或無機化合物來將使用電致發光之發光元件歸類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

於有機 EL 元件中，藉由施加電壓於發光元件，電子



及電洞個別地從一對電極射入含發光有機化合物之層，造成電流流動。接著，重組載子（電子及電洞），藉此，發出光。根據此一機制，將此發光元件稱為電流-激勵發光元件。

無機 EL 元件根據元件構造分成分散無機 EL 元件及薄膜無機 EL 元件。分散無機 EL 元件包含一發光層，其中發光材料之粒子分散於黏著劑中，且其發光機制係使用施者位準及受者位準之施者-受者重組發光。薄膜無機 EL 元件具有發光層夾在介電質層間並進一步夾在電極間之構造，且其發光機制係使用金屬離子之內殼電子遷移之局部化發光。須知，在此說明有機 EL 元件作為發光元件。

第 16A 圖係顯示本實施例之發光顯示裝置中像素之電路配置之電路圖。

如於第 16A 圖中所示，本實施例中顯示裝置之像素包含電晶體 851、用來作為像素中儲存電容器之電容器 852、電晶體 853 及發光元件 854。

電晶體 851 之閘極端子電連接至掃描線 855。電晶體 851 之第一端子電連接至信號線 856。

電容器 852 之一端子電連接至電晶體 851 之第二端子。電容器 852 之另一端子電連接至低電源電位線。

電晶體 853 之閘極端子電連接至電晶體 851 之第二端子及電容器 852 之一端子。電晶體 853 之第一端子電連接至低電源電位線。

發光元件 854 之第一端子電連接至電晶體 853 之第二

端子。發光元件 854 之第二端子電連接至高電源電位線。

當信號輸入至像素時，首先，選擇寫入資料之像素。於所選像素中，電晶體 851 藉自掃瞄線 855 輸入之掃瞄信號導通，且屬於固定電壓之視頻信號（亦稱為資料信號）自信號線 856 輸入至電晶體 853 之閘極端子。

電晶體 853 藉電位，響應輸入至閘極端子之資料信號導通或切斷。此時，依施加於發光元件 854 之一端子與另一端子間之電壓而定，電流流動，且發光元件 854 響應流經之電流量，發射有亮度的光。又藉電容器 852 保持電晶體 853 之閘極電壓某一期間；如此，發光元件 854 維持發光狀態某一期間。

當自信號線 856 輸入至像素之資料信號係數位時，藉由電晶體之 on 及 off 切換，控制像素之發光狀態。因此，漸層可藉由面積比灰階方法或時間比灰階方法表示。面積比灰階方法係指一種驅動方法，藉此，一像素被分成複數個次像素，且具有第 16A 圖所示構造之次像素之每一者根據資料信號獨立驅動，以表示漸層之驅動方法。又，時間比灰階方法係指一種驅動方法，藉此，控制像素處於發光狀態之期間，以表示漸層之驅動方法。

由於發光元件之響應速度高於液晶元件等之響應速度，因此，相對於液晶元件，發光元件較適於時間比灰階方法。具體而言，當藉由時間比灰階方法進行顯示時，一幀期間被分成複數個子幀期間。接著，根據視頻信號，於各子幀期間控制發光元件之發光狀態。藉由將一幀期間分成

複數個子幀期間，可藉視頻信號控制於一幀期間內像素實際發光之期間總長，並可表示漸層。

其次，參考第 16B 至 16D 圖說明發光元件之構造。在此，舉例說明於電晶體為 n 通道電晶體情況下，像素之橫剖構造。須知，第 16B 至 16D 圖所示發光顯示裝置所用電晶體 853 為驅動電晶體。

為擷取自發光元件 854 發射的光，陽極和陰極之至少一者須透明。電晶體及發光元件形成於基板上方。有多種發光元件，其具有頂部發射構造，其中光透過與基板相對的表面擷取，具有底部發射構造，其中光透過基板側上之表面擷取，並具有雙發射構造，其中光透過基板側上之表面以及與基板相對的表面擷取。本發明之像素構造可適用於具有此等發射構造之任一者之發光元件。

參考第 16B 圖說明具有頂部發光裝置之發光元件。

第 16B 圖係於電晶體 853 為驅動電晶體，為 n 通道電晶體，且發自發光元件 854 之光行經陽極 7005 情況下，像素之橫剖視圖。於第 16B 圖中，發光元件 854 之陰極 7003 及屬於驅動電晶體之電晶體 853 相互電連接，且發光層 7004 及陽極 7005 依序堆疊於陰極 7003 上方。可使用任何導電膜作為陰極 7003，只要其具有低工作功能並反射光。例如，較佳地，使用 Ca, Al, CaF, MgAg, AlLi 等。發光層 7004 可使用單層或藉由堆疊複數層形成。當使用複數層形成時，發光層 7004 藉由依序堆疊電子注射層、電子搬送層、發光層、電洞搬送層及電洞注射層於陰

極 7003 上方形成。須知，無須形成所有此等層。陽極 7005 使用諸如含氧化鎢之氧化銦、含氧化鎢之氧化銦鋅、含氧化鈦之氧化銦、含氧化鈦之氧化銦錫、氧化銦錫（後文稱爲 ITO）、氧化銦鋅或添加氧化矽之氧化銦錫之材料形成。

發光元件 854 對應發光層 7004 夾在陰極 7003 與陽極 7005 間之區域。在第 16B 圖所示像素中，如箭頭所示，光自發光元件 854 發射至陽極 7005。

其次，參考第 16C 圖說明具有底部發光構造之發光元件。第 16C 圖係在電晶體 853 係 n 通道電晶體且光自發光元件 854 發射至陰極 7013 側情況下，像素之剖視圖。於第 16C 圖中，發光元件 854 之陰極 7013 形成於透光導電層 7017 上方，該透光導電層 7017 電連接至電晶體 853，且發光層 7014 及陽極 7015 依序堆疊於陰極 7013 上方。須知，當陽極 7015 具有透光性質時，可形成用以反射或阻擋光之阻光層 7016 以覆蓋陽極 7015。如於第 16B 圖情形下，可使用多種不同材料於陰極 7013，只要材料係具有低工作功能之導電材料即可。須知，陰極 7013 具有可透射光之厚度（較佳約 5nm 至 30nm）。例如，可使用 20nm 厚之鋁層作爲陰極 7013。發光層 7014 可如第 16B 圖所示，使用單層或藉由堆疊複數層形成。發光層 7024 可如第 16B 圖所示，使用單層或藉由堆疊複數層形成。陽極 7015 無須透射光，惟可如第 16B 圖所示，使用透光導電材料形成。阻光層 7016 可例如使用反射光之金屬形成

；然而，本發明之一實施例不限於金屬。例如可使用添加黑色素之樹脂。

發光元件 854 對應發光層 7014 夾在陰極 7013 與陽極 7015 間之區域。在第 16C 圖所示像素中，如箭頭所示，光自發光元件 854 發射至陰極 7013。

其次，參考第 16D 圖說明具有雙發光構造之發光元件。於第 16D 圖中，發光元件 854 之陰極 7023 形成在電連接至電晶體 853 之透光導電層 7027 上方，且發光層 7024 及陽極 7025 依序堆疊於陰極 7023 上方。如第 16B 圖之情形，可使用多種不同材料於陰極 7023，只要材料係具有低工作功能之導電材料即可。須知，陰極 7023 具有可透射光之厚度。例如，可使用 20nm 厚之鋁層作為陰極 7023。發光層 7024 可如第 16B 圖所示，使用單層或藉由堆疊複數層形成。陽極 7025 可如第 16B 圖所示，使用透光導電材料形成。

發光元件 854 對應陰極 7023、發光層 7024 與陽極 7025 相互重疊之區域。在第 16D 圖所示像素中，如箭頭所示，光自發光元件 854 發射至陽極 7025 及陰極 7023 側。

須知，雖然在此說明有機 EL 元件為發光元件，亦可提供無機 EL 元件作為發光元件。

須知，於本實施例中，說明控制發光元件之電晶體（亦稱為驅動電晶體）電連接至發光元件之例子；替代地，可使用供控制電流之電晶體連接至驅動電晶體與發光元件

間之構造。

其次，參考第 17A 及 17B 圖說明本實施例中發光顯示裝置（亦稱為發光面板）之外觀及橫截面。第 17A 及 17B 圖係發光顯示裝置之俯視圖，其中形成於第一基板上方之電晶體及發光元件藉密封材料，密封在第一基板與第二基板間。第 17B 圖係沿第 17A 圖之 H-I 線所取橫剖視圖。

提供密封材料 4505，以圍繞設在第一基板 4501 上方之像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b。而且，第二基板 4506 設在像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 之上方。因此，像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 藉第一基板 4501、密封材料 4505 及第二基板 4506，與濾色器 4507 密封在一起。以此方式，較佳係以保護膜（諸如附著膜或可紫外線固化樹脂膜）或具有高氣密性和低脫氣性之覆蓋材料封裝（密封）像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b，俾像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 不會暴露於空氣。

形成於第一基板 4501 上方之像素部 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 各包含複數個電晶體。於第 17B 圖中舉例顯示像素

部 4502 所含電晶體 4510 及信號線驅動器電路 4503a 所含電晶體 4509 及 4555。

可使用包含氧化物半導體層作為半導體層之實施例 2 至 4 中所述極可靠電晶體之任一者作為電晶體 4509、4510 及 4555。於本實施例中，電晶體 4509、4510 及 4555 係 n 通道電晶體。絕緣層 4542 形成於電晶體 4509、4510 及 4555 上方。絕緣層 4544 形成於絕緣層 4542 上方。導電層 4540 形成於電晶體 4509 上方，絕緣層 4542 及 4544 設於其間。導電層 4540 具有第二閘極端子的功能。

須知，於像素部 4502 中，偏光絕緣層 4545 設在絕緣層 4542 上方，且絕緣層 4543 設在偏光絕緣層 4545 上方。

而且，元件符號 4511 標示發光元件。屬於發光元件 4511 中所含像素電極之第 1 電極 4517 電連接至電晶體 4510 之第二端子。須知，發光元件 4511 具有第 1 電極 4517、發光層 4512 及第 2 電極 4513 之堆疊構造；然而，發光元件之構造不限於本實施例中所示者。發光元件 4511 之構造可依光線自發光元件 4511 擷取的方向等適當改變。

使用有機樹脂膜、無機樹脂膜或有機聚矽氧烷形成堰堤 4520。特別是，較佳係使用光敏材料，使之具有開口部，形成堰堤 4520 於第 1 電極 4517 上方，且開口部之側壁形成為具有連續曲線之傾斜表面。

發光層 4512 可使用單層或複數層之堆疊形成。

為避免氧、氫、濕氣、二氧化碳等進入發光元件 4511，可形成保護層於第 2 電極 4513 及堰堤 4520 上方。可形成氮化矽層、氮化氧化矽層 DLC（鑽石狀碳）等作為保護層。

又，從 FPC 4518a 及 4518b 供應多種不同信號及電壓於信號線驅動器電路 4503a 和 4503b 及掃瞄線驅動器電路 4504a 和 4504b 或像素部 4502。

於第 17A 及 17B 圖所示發光顯示裝置中，使用與用以形成發光元件 4511 中所含第 1 電極 4517 之導電膜相同的導電膜，形成連接端子電極 4515。使用與用以形成電晶體 4509、4510 及 4555 之源極電極和汲極電極中所含第 1 電極 4517 之導電膜相同的導電膜，形成端子電極 4516。

連接端子電極 4515 透過各向異性導電層 4519 電連接至 FPC 4518a 之端子。

位於光自發光元件 4511 擷取之方向之基板須具有透光性質。於此情況下，使用玻璃、塑膠或丙烯酸膜作為透光材料。

可在異於諸如氮或氫之惰性氣體下，使用可紫外線固化或熱固化樹脂，作為濾色器 4507。例如，可使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚丁烯（PVB）或乙烯醋酸乙烯酯（EVA）。於本實施例中，使用氮於濾色器 4507。

必要的話，諸如偏光板之光學膜、圓偏光板（包含橢



圓偏光板)、延遲板(1/4波板或1/2波板)或濾色器適當地設在發光元件之發光表面上。又,偏光板或圓偏光板可設有抗反射膜。

使用單晶半導體層或多晶半導體層形成之驅動器電路可安裝在個別製備之基板上,作為信號線驅動器電路4503a和4503b以及掃描線驅動器電路4504a和4504b。替代地,可僅有信號線驅動器電路4503a和4503b或其一部分,或掃描線驅動器電路4504a和4504b或其一部分形成來安裝。該實施例不限於第17A及17B圖中的構造。

可透過以上步驟,製造發光顯示裝置(顯示面板)。

須知,本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### (實施例8)

於本實施例中,參考第18A至18C圖及第19圖,說明無需諸如FPC之外部連接線即可顯示影像之電子紙,作為實施例5中所說明顯示裝置之例子。

須知,本實施例中之電子紙具有用以保持影像之期間(影像保持期間)及用以重寫影像之期間(影像重寫期間)。在影像保持期間內,無需用以保持影像之電力。因此,電子紙係較少耗電之顯示裝置。

電子紙包含顯示元件;可藉由施加電壓於顯示元件,控制顯示,並維持電壓不施加於顯示元件之狀態。顯示元件之例子包含使用電泳(電泳元件)之元件、使用扭轉珠

之粒子旋轉型元件、使用充電著色劑或 Electronic Liquid Powder (註冊商標) 之元件、藉磁性表示色階之磁泳元件、液體轉換型元件、光散射元件及相變元件。於本實施例中，舉包含電泳元件之電子紙為電子紙之例子加以說明。

電泳元件例子係具有微囊之元件，該微囊裝有充以正電之第一粒子、充以負電而顯示異於第一粒子之顏色之第二粒子以及用來作為溶劑之液體。藉由施加電壓於電泳元件，收集第一粒子或第二粒子於微囊之一側；從而，可進行顯示。須知，在不施加電壓於電泳元件之狀態下，第一粒子及第二粒子不轉移。亦即，維持電泳元件之顯示。替代地，例如可使用具有微囊之元件作為電泳元件，該微囊裝有充以正電或負電之粒子及顯示異於此等粒子之顏色及用來作為溶劑之液體。

須知，可使用導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電變色材料或磁泳材料之一或複合材料於微囊中充以正電或負電之粒子。

其次，參考第 18A 至 18C 圖說明本實施例中電子紙之構造例。須知，第 18A 圖係電子紙之像素之電路圖，第 18B 圖係像素之俯視圖，且第 18C 圖係沿第 18B 圖之 A-B 線所取橫剖視圖。

本實施例中電子紙之像素包含電晶體 601、電容器 602 及電泳元件 603 (參閱第 18A 圖)。電晶體 601 之閘極端子電連接至掃描線 630。電晶體 601 之第一端子電連

接至信號線 631。電容器 602 之一端子電連接至電晶體 601 之第二端子。電容器 602 之另一端子電連接至共用電位線。電泳元件 603 之一端子電連接至電晶體 601 之第二端子及電容器 602 之一端子。電泳元件 603 之另一端子電連接至共用電位線。須知，於本實施例中，提供接地電位 0V2 等作為共用電位 ( $V_{com}$ )。

像素包含基板 600、設在基板 600 上方之電晶體 601 及電容器 602、設在電晶體 601 及電容器 602 上方之電泳元件 603 以及設在電泳元件 603 上方之基板 604 (參閱第 18B 及 C 圖)。須知，於第 18B 圖中未顯示電泳元件 603。

電晶體 601 包含：導電層 610，電連接至掃描線 630；絕緣層 611，在導電層 610 上方；半導體層 612，在絕緣層 611 上方；以及導電層 613 及 614，在半導體層 612 上方，電連接至信號線 631。須知，導電層 610 用來作為閘極端子，絕緣層 611 用來作為閘極絕緣層，導電層 613 用來作為第一端子，導電層 614 用來作為第二端子。又，導電層 610 及導電層 613 可分別表示為掃描線 630 之一部分及信號線 631 之一部分。

電容器 602 包含導電層 614、絕緣層 611 及電連接至共用電位線 632 之導電層 615。須知，導電層 614 用來作為一端子，絕緣層 611 用來作為介電質，導電層 615 用來作為另一端子。導電層 615 可表示為共用電位線 632 之一部分。

電泳元件 603 包含：像素電極 616，電連接至設在絕緣層 620 之開口部中之導電層 614；反電極 617，被施加與導電層 615 相同之電壓；以及層 618，其包含充電粒子，且設在導電層 615 與反電極 617 間。須知，像素電極 616 用來作為一端子，反電極 617 用來作為另一端子。

於本實施例之電子紙中，控制施加於包含充電粒子之層 618 之電壓；因此，可控制擴散於層 618 之充電粒子之轉移。本實施例中電子紙之反電極 617 及基板 604 具有光透射性質。亦即，本實施例中之顯示裝置係反射顯示裝置，其中基板 604 側對應顯示表面。

以下提供可用來作為本實施例中電子紙之成份之材料。

基板 600 之例子包含半導體基板（例如單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、頂面設有絕緣層之導電基板、諸如塑膠基板、接合膜、含纖維材料之紙及底膜之撓性基板。玻璃基板之例子有矽酸硼鋇玻璃基板、矽酸硼鋁玻璃基板及鹼石灰玻璃基板。撓性基板之例子有諸如聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）及丙烯酸所代表之塑膠之撓性合成樹脂。

可使用選自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、鈮（Nd）及釷（Sc）之元素，含有此等元素之任一者或含有此等元素之任一者之氮化物，作為導電層 610 及 615、掃瞄線 630 及共

用電位線 632。亦可使用此等材料之堆疊構造。

可使用諸如氧化矽、氮化矽、氮氧化矽、氧化鋁、氧化鉭之絕緣體作為絕緣層 611。亦可使用此等材料之堆疊構造。須知，氮氧化矽係指含較氮多的氧，並含分別為 55 原子%至 65 原子%、1 原子%至 20 原子%、25 原子%至 35 原子%、0.1 原子%至 10 原子%之預定濃度之氧、氮、矽及氫之物質，其中原子之總百分比為 100%。又，氮氧化矽又指含較氧多的氮，並含分別為 15 原子%至 30 原子%、20 原子%至 35 原子%、25 原子%至 35 原子%及 15 原子%至 25 原子%之預定濃度之氧、氮、矽及氫之物質，其中原子之總百分比為 100%。

可例如使用以半導體材料之任一者形成半導體層 612：含屬於週期表之族 14，諸如矽 (Si) 鍺 (Ge) 之元素，作為其主要成份；諸如矽鍺 (SiGe) 或鎵砷 (GaAs) 之化合物；諸如氧化鋅 (ZnO) 或含銦 (In) 及鎵 (Ga) 之氧化鋅之氧化物；或呈現半導體特徵之有機化合物。亦可使用以此等半導體材料形成層疊構造。

可使用選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鈮 (Nd) 及釷 (Sc) 之元素，含有此等元素之任一者或含有此等元素之任一者之氮化物，作為導電層 613 及 614 及信號線 631。亦可使用此等材料之堆疊構造。

可使用諸如氧化矽、氮氧化矽、氮化矽、氮化氧化矽、氧化鋁、氧化鉭之絕緣體作為絕緣層 620。又，亦可使

用諸如聚醯亞胺、聚醯胺、聚乙烯醇、苯併環丁烯、丙烯酸或環氧之有機材料；諸如矽氧烷樹脂之矽氧烷材料；惡唑樹脂等，形成絕緣層 620。須知，矽氧烷材料對應於具有 Si-O-Si 之材料。矽氧烷具有一有矽 (Si) 及氧 (O) 鍵之骨架。可使用有機族 (例如烷基族或芳香烴) 或氟族作為替代品。有機族可包含氟族。

可使用選自鋁 (Al)、銅 (Cu)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鈮 (Nd) 及釷 (Sc) 之元素，含有此等元素之任一者或含有此等元素之任一者之氮化物，作為像素電極。亦可使用此等材料之堆疊構造。又可使用諸如含氧化鎢之氧化銻、含氧化鎢之氧化銻鋅、含氧化鈦之氧化銻、含氧化鈦之氧化銻錫、氧化銻錫、氧化鋅錫或添加氧化矽之氧化銻錫之光透過導電材料。

就包含充電粒子之層 618 中所含充電粒子而言，可使用氧化鈦作為充以正電之粒子，並使用碳黑作為充以負電之粒子。此外，亦可使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電變色材料或磁泳材料之單一材料或使用此等材料之任一者形成之複合材料。

可使用諸如含氧化鎢之氧化銻、含氧化鎢之氧化銻鋅、含氧化鈦之氧化銻、含氧化鈦之氧化銻錫、氧化銻錫、氧化鋅錫或添加氧化矽之氧化銻錫之光透過導電材料作為反電極 617。

可使用光透過基板作為基板 604。光透過基板的代表有使用矽酸硼鋇玻璃、矽酸硼鋁玻璃、鹼石灰玻璃等之玻璃基板；或使用聚對苯二甲酸乙二醇酯（PET）等形成之撓性基板。

本實施例中的電子紙可用於各種不同領域中顯示資訊之電子設備。例如，電子紙可適用於電子書讀取機（電子書）、海報、諸如火車之車輛上之廣告或諸如信用卡之各種卡上之顯示。此一電子設備例子顯示於第 19 圖中。第 19 圖顯示電子書讀取機之例子。

如於第 19 圖中所示，電子書讀取機 2700 具有二殼體 2701 及 2703。殼體 2701 及 2703 以軸部 2711 結合，且殼體 2701 及 2703 能以軸部 2711 為軸啓閉。藉此一構造，電子書讀取機 2700 可如紙製書操作。

顯示部 2705 裝入殼體 2701 內。顯示部 2707 裝入殼體 2703 內。顯示部 2705 及 2707 可顯示一影像或不同影像。當顯示部顯示不同影像時，例如本文可顯示在右顯示部（第 19 圖中之顯示部 2705），影像可顯示在左顯示部（第 19 圖中之顯示部 2707）。

又，第 19 圖顯示殼體 2701 設有操作部等之例子。例如，殼體 2701 設有電源開關 2721、操作鍵 2723、揚聲器 2725 等。可藉操作鍵 2723 翻頁。須知，可在殼體中顯示部之同側上設置鍵盤、指標裝置等。而且，可在殼體之後表面或側表面設置供外部連接之端子（例如耳機端子、USB 端子以及可連接諸如 AC 配接器與 USB 電纜線之多種

不同電纜線之端子)、用以插入記錄媒體等之部分。而且，電子書讀取機 2700 可用來作為電子辭典。

此外，電子書讀取機 2700 可無線發送及接收資訊。電子書讀取機 2700 可具有從電子書伺服器無線購買及下載所欲書籍資料等之構造。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

#### (實施例 9)

實施例 5 至 8 中所說明之顯示裝置可適用於各種不同的電子設備(包含娛樂機器)。電子設備之例子有電視裝置(亦稱為電視或電視接收器)、用於電腦等之監視器、諸如數位相機及數位視頻相機之相機、數位相框、行動電話裝置(亦稱為行動電話或手機)、可攜式遊樂機器、可攜式資訊端子、聲音再生裝置及諸如鋼珠機器之大型遊樂機器。

第 20A 圖顯示電視裝置例。於電視裝置 9600 中，顯示部 9603 裝入殼體 9601。顯示部 9603 可顯示影像。又，在此，殼體 9601 藉支架 9605 支撐。

電視裝置 9600 可藉殼體 9601 之操作開關或個別遙控器 9610 操作。頻道及音量可藉遙控器 9610 之操作鍵 9609 控制，俾可控制顯示於顯示部 9603 上之影像。又，遙控器 9610 可設有顯示部 9607，以顯示自遙控器 9610 輸出之資料



須知，電視裝置 9600 設有接收器、數據機等。藉接收器，可接收一般電視廣播。又，當電視裝置 9600 經由數據機連接至有線或無線連接之通訊網路，可進行單向（從發送器至接收器）或雙向（發送器與接收器間或接收器間）資料通訊。

第 20B 圖顯示一數位相框例。例如，於數位相框 9700 中，顯示部 9703 裝入殼體 9701 內。顯示部 9703 可顯示多種不同影像。例如，顯示部 9703 可顯示以數位相機等拍攝之影像資料，並用來作為正常相框。

須知，數位相框 9700 設有操作部、外部連接部（例如 USB 端子，或可連接至諸如 USB 電纜線之各種不同電纜線之端子）、記錄媒體插入部等。雖然此等組件可設在設有顯示部之表面上，不過，較佳係將其等設在側表面或後表面上以設計數位相框 9700。例如，儲存數位相機所拍影像資料之記憶體被插入記錄媒體插入部，且影像資料可被轉送且接著顯示於顯示部 9703 上。

又，數位相框 9700 可配置成無線發送及接收資料。可使用轉送所欲影像資料以顯示之構造。

第 21A 圖係可攜式遊戲機，並包含殼體 9881 及殼體 9891 二殼體，其等與結合部 9893 連接，俾可攜式遊戲機可開啓及摺疊。顯示部 9882 裝入殼體 9881，且顯示部 9883 裝入殼體 9891。而且，第 21A 圖所示可攜式遊戲機設有揚聲器 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力量、位移、位置、速度

、加速、角速度、轉數、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流速、濕度、漸層、氣味、振動或紅外線)、麥克風(9889)等。無庸贅言，可攜式遊戲機之構造不限於上述。可攜式遊戲機可具有適當設置之額外附屬設備，只要至少設置顯示裝置即可。第21A圖中之可攜式遊戲機具有讀取儲存於記錄媒體以顯示其於顯示部上之程式或資料之功能，以及藉由無線通訊，與其他可攜式遊戲機分享資訊之功能。須知，第21A圖中之可攜式遊戲機之功能不限於上述，且可攜式遊戲機可具有多種不同功能。

第21B圖顯示屬於大型娛樂機器之投幣機例子。於投幣機9900中，顯示部9903裝入殼體9901。而且，投幣機9900設有諸如起動桿及停止開關、投幣槽、揚聲器等之操作機構。無庸贅言，投幣機9900之構造不限於以上構造。投幣機可具有適當設置之額外附屬設備，只要在以上實施例之任一者中至少設置顯示裝置即可。

第22A圖顯示行動電話例。行動電話9000設有裝入殼體9001之顯示部9002、操作按鈕9003、外連接部9004、揚聲器9005、麥克風9006等。

當以手指等接觸第22A圖所示行動電話9000之顯示部9002時，資料可輸入行動電話9000。又，可藉由以手指等接觸顯示部9002，進行諸如通話及傳簡訊之操作。

主要有三個顯示部9002之螢幕模式。第一模式係主要用來顯示影像之顯示模式。第二模式係主要用來輸入諸

如本文之資料之輸入模式。第三模式係二模式之組合，亦即顯示模式與輸入模式之組合之顯示及輸入模式。

例如，在通話或傳簡訊情況下，選擇供輸入簡訊之簡訊輸入模式於顯示部 9002，俾可輸入文字於螢幕上。於此情況下，較佳係顯示鍵盤或數字鍵於顯示部 9002 之螢幕之幾乎所有區域上。

當設置包含用以偵測傾斜之感測器，像是陀螺儀或加速感測器之偵測裝置於行動電話 9000 內部時，顯示部 9002 之螢幕上之顯示可藉由判定行動電話 9000 之位向自動改變（是否行動電話 9000 站直或側躺下）。

藉由接觸顯示部 9002 之或使用殼體 9001 之操作按鈕 9003，改變螢幕模式。替代地，螢幕模式可依顯示於顯示部 9002 之影像種類改變。例如，當顯示於顯示部 9002 之影像信號係移動影像之資料時，螢幕模式改成顯示模式。當信號係簡訊資料時，螢幕模式改成輸入模式。

又，於輸入模式中，當不進行接觸顯示部 9002 之輸入某一期間，同時於顯示部 9002 偵出光學感測器所偵出之信號時，可控制螢幕模式，從輸入模式變為顯示模式。

顯示部 9002 亦可用來作為影像感測器。例如，當以手掌或手指接觸顯示部 9002 時，取得掌紋或指紋之影像，藉此，可進行個人辨識。又，當在顯示部中設有發出紅外線之背照光或感測光時，可取得掌紋或指紋之影像。

第 22B 圖顯示另一行動電話例。第 22B 圖中之行動電話包含：顯示裝置 9410，位於殼體 9411 中，包含顯示

部 9412 及操作按鈕 9413；以及通訊裝置 9400，位於殼體 9401 中，包含掃描按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 及在收到電話時發出光之發光部 9406。具有顯示功能之顯示裝置 9410 可沿箭頭所示二方向自具有電話功能之通訊裝置 9400 卸下或附裝於其上。因此，顯示裝置 9410 與通訊裝置 9400 之短軸可相互附裝，或者顯示裝置 9410 與通訊裝置 9400 之長軸可相互附裝。又，當僅需要顯示功能時，顯示裝置 9410 可自通訊裝置 9400 卸下，俾可使用顯示裝置 9410 本身。通訊裝置 9400 與顯示裝置 9410 可藉由無線通訊或有線通訊相互發送及接收或輸入資訊，且通訊裝置 9400 及顯示裝置 9410 具有可再充電電池。

須知，本實施例或本實施例之一部分可和其他實施例或其他實施例之一部分自由組合。

本申請案係根據 2009 年 10 月 9 日對日本特許廳所提日本特許申請案 2009-234845 號，在此併提其全文內容供參考。

#### 【圖式簡單說明】

於附圖中：

第 1A 及 1B 圖分別係顯示實施例 1 中所述移位暫存器之配置例及時序圖之圖式；

第 2A 及 2B 圖分別係顯示實施例 1 中所述正反器之配置例及時序圖之圖式；

第 3A 及 3B 圖分別係顯示實施例 1 中所述移位暫存器之配置例及時序圖之圖式；

第 4A 及 4B 圖分別係顯示實施例 1 中所述脈波信號線之配置例及時序圖之圖式；

第 5A 至 5C 圖係顯示實施例 1 中所述移位暫存器之修改例之圖式；

第 6A 及 6B 圖係顯示實施例 1 中所述移位暫存器之修改例之圖式，第 6C 圖則係其時序圖；

第 7A 及 7B 圖分別係顯示實施例 2 中所述正反器之修改例之圖式及時序圖之圖式；

第 8A 至 8C 圖分別係顯示實施例 2 中所述電晶體之俯視圖及剖視圖；

第 9A 及 9B 圖分別係實施例 2 中所述電晶體之俯視圖及剖視圖；

第 10A 及 10B 圖分別係實施例 2 中所述複數個電晶體之俯視圖及剖視圖；

第 11A 至 11D 圖係顯示製造實施例 2 中所述電晶體之程序之剖視圖；

第 12A 及 12B 圖分別係實施例 3 中所述複數個電晶體之俯視圖及剖視圖；

第 13A 及 13B 圖分別係實施例 4 中所述複數個電晶體之俯視圖及剖視圖；

第 14A 至 14C 圖分別係顯示實施例 5 中所述掃描線驅動器電路之方塊圖，信號線驅動器電路之方塊圖以及顯

示裝置之方塊圖；

第 15A 至 15C 圖分別係實施例 6 中所述液晶顯示裝置之像素之電路圖、俯視圖及剖視圖；

第 16A 圖係電路圖，且第 16B 至 16D 圖係實施例 7 中所述發光顯示裝置之像素之剖視圖；

第 17A 及 17B 圖分別係實施例 7 中所述發光顯示裝置之俯視圖及剖視圖；

第 18A 至 18C 圖分別係實施例 7 中所述電子紙之像素之電路圖、俯視圖及剖視圖；

第 19 圖係實施例 8 中所述電子書例子之圖式。

第 20A 及 20B 圖係各顯示實施例 8 中所述一電子設備例之圖式。

第 21A 及 21B 圖係各顯示實施例 9 中所述一電子設備例之圖式。

第 22A 及 22B 圖係各顯示實施例 9 中所述一電子設備例之圖式。

#### 【主要元件符號說明】

101：電晶體

102：電晶體

104：電晶體

105：電晶體

106：電晶體

111：時脈信號選擇電晶體

- 112 : 時脈信號選擇電晶體
- 113 : 時脈信號選擇電晶體
- 114 : 時脈信號選擇電晶體
- 115 : 時脈信號選擇電晶體
- 116 : 時脈信號選擇電晶體
- 121 : 低電源電位選擇電晶體
- 122 : 低電源電位選擇電晶體
- 123 : 低電源電位選擇電晶體
- 124 : 低電源電位選擇電晶體
- 125 : 低電源電位選擇電晶體
- 126 : 低電源電位選擇電晶體
- 131 : 電晶體
- 132 : 電晶體
- 133 : 電晶體
- 134 : 電晶體
- 201 : 基板
- 202 : 絕緣層
- 207 : 氧化物半導體層
- 211 : 導電層
- 213 : 氧化物半導體層
- 214a : 氧化物導電層
- 214b : 氧化物導電層
- 215a : 導電層
- 215b : 導電層

215c : 導電層  
217 : 導電層  
233a : 光阻掩模  
233b : 光阻掩模  
251 : 電晶體  
252 : 電晶體  
600 : 基板  
601 : 電晶體  
602 : 電容器  
603 : 電泳元件  
604 : 基板  
610 : 導電層  
611 : 絕緣層  
612 : 半導體層  
613 : 導電層  
614 : 導電層  
615 : 導電層  
616 : 像素電極  
617 : 反電極  
618 : 包含充電粒子之層  
620 : 絕緣層  
630 : 掃瞄線  
631 : 信號線  
632 : 共用電位線



- 701 : 像素部
- 702 : 掃瞄線驅動器電路
- 703 : 信號線驅動器電路
- 704 : 像素
- 705 : 掃瞄線
- 706 : 信號線
- 804 : 掃瞄線
- 805 : 信號線
- 821 : 電晶體
- 822 : 液晶元件
- 823 : 電容器
- 851 : 電晶體
- 852 : 電容器
- 853 : 電晶體
- 854 : 發光元件
- 855 : 掃瞄線
- 856 : 信號線
- 900 : 移位暫存器
- 901 : 位準位移器
- 902 : 緩衝器
- 903 : 移位暫存器
- 904 : 門鎖電路
- 905 : 門鎖電路
- 906 : 位準位移器

907 : 緩衝器  
2000 : 基板  
2001 : 導電層  
2002 : 絕緣層  
2003 : 氧化物半導體層  
2005a : 導電層  
2005b : 導電層  
2007 : 氧化物導電層  
2008 : 導電層  
2020 : 透明導電層  
2022 : 導電層  
2023 : 導電層  
2024 : 導電層  
2028 : 透明導電層  
2029 : 透明導電層  
2112 : 導電層  
2132 : 氧化物導電層  
2142a : 氧化物導電層  
2142b : 氧化物導電層  
2700 : 電子書讀取機  
2701 : 殼體  
2703 : 殼體  
2705 : 顯示部  
2707 : 顯示部

2711 : 軸部  
2721 : 電源開關  
2723 : 操作鍵  
2725 : 揚聲器  
4501 : 基板  
4502 : 像素部  
4503a : 信號線驅動器電路  
4503b : 信號線驅動器電路  
4504a : 掃瞄線驅動器電路  
4504b : 掃瞄線驅動器電路  
4505 : 密封材料  
4506 : 基板  
4507 : 填充劑  
4509 : 電晶體  
4510 : 電晶體  
4511 : 發光元件  
4512 : 發光層  
4513 : 電極  
4515 : 連接端子電極  
4516 : 端子電極  
4517 : 電極  
4518a : FPC  
4518b : FPC  
4519 : 各向異性導電層

4520 : 堰堤  
4540 : 導電層  
4542 : 絕緣層  
4543 : 絕緣層  
4544 : 絕緣層  
4545 : 平面化絕緣層  
4555 : 電晶體  
7003 : 陰極  
7004 : 發光層  
7005 : 陽極  
7013 : 陰極  
7014 : 發光層  
7015 : 陽極  
7016 : 光阻層  
7017 : 導電層  
7023 : 陰極  
7024 : 發光層  
7025 : 陽極  
7027 : 導電層  
9000 : 行動電話裝置  
9001 : 殼體  
9002 : 顯示部  
9004 : 外部連接部  
9005 : 揚聲器

- 9006 : 麥克風
- 9400 : 通訊裝置
- 9401 : 殼體
- 9402 : 操作鈕
- 9403 : 外部輸入端子
- 9404 : 麥克風
- 9405 : 揚聲器
- 9406 : 發光部
- 9410 : 顯示裝置
- 9411 : 殼體
- 9412 : 顯示部
- 9413 : 操作鈕
- 9600 : 電視裝置
- 9601 : 殼體
- 9603 : 顯示部
- 9605 : 立架
- 9607 : 顯示部
- 9609 : 操作鍵
- 9610 : 遙控器
- 9700 : 數位相框
- 9701 : 殼體
- 9703 : 顯示部
- 9881 : 殼體
- 9882 : 顯示部

- 9883 : 顯示部
- 9884 : 揚聲器
- 9885 : 操作鍵
- 9886 : 記錄媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風
- 9890 : LED 燈
- 9891 : 殼體
- 9893 : 結合部
- 9900 : 投幣機
- 9901 : 殼體
- 9903 : 顯示部

**七、申請專利範圍：**

1. 一種移位暫存器，包括：

第一線；

第二線；

第三線；

第四線；

第一正反器，其電連接至該第一線；

第二正反器，其電連接至該第二線；

第三正反器，其電連接至該第三線；

第四正反器，其電連接至該第四線；

第一選擇電晶體，該第一選擇電晶體之第一端子電連接至該第一線；

第二選擇電晶體，該第二選擇電晶體之第一端子電連接至該第三線；

第三選擇電晶體，該第三選擇電晶體之第一端子電連接至該第二線；及

第四選擇電晶體，該第四選擇電晶體之第一端子電連接至該第四線，

其中，該第一線配置成於第一期間供應第一時脈信號，並且於第二期間供應第一恆定電位，

其中，該第二線配置成於該第一期間供應該第一時脈信號的第一反相時脈信號，並且於該第二期間供應第二恆定電位，

其中，該第三線配置成於該第二期間供應第二時脈信

號，並且於該第一期間供應第三恆定電位，

其中，該第四線配置成於該第二期間供應該第二時脈信號的第二反相時脈信號，並且於該第一期間供應第四恆定電位，

其中，該第一正反器之輸出端子電連接至該第二正反器之輸入端子，

其中，該第二正反器之輸出端子可操作地連接至該第三正反器之輸入端子，

其中，該第三正反器之輸出端子電連接至該第四正反器之輸入端子，且

其中，該第一選擇電晶體至該第四選擇電晶體各者之第二端子電連接至用以供應低電源電位之配線。

2. 一種移位暫存器，包括：

第一線；

第二線；

第三線；

第四線；

第一正反器，其電連接至該第一線；

第二正反器，其電連接至該第二線；

第三正反器，其電連接至該第一線；

第四正反器，其電連接至該第二線；

第五正反器，其電連接至該第三線；以及

第六正反器，其電連接至該第四線，

其中，該第一線配置成於第一期間供應第一時脈信



號，並且於第二期間供應第一恆定電位，

其中，該第二線配置成於該第一期間供應該第一時脈信號的第一反相時脈信號，並且於該第二期間供應第二恆定電位，

其中，該第三線配置成於該第二期間供應第二時脈信號，並且於該第一期間供應第三恆定電位，

其中，該第四線配置成於該第二期間供應該第二時脈信號的第二反相時脈信號，並且於該第一期間供應第四恆定電位，

其中，該第一正反器之輸出端子電連接至該第二正反器之輸入端子，

其中，該第二正反器之輸出端子電連接至該第三正反器之輸入端子，

其中，該第三正反器之輸出端子電連接至該第四正反器之輸入端子，

其中，該第四正反器之輸出端子電連接至該第五正反器之輸入端子，且

其中，該第五正反器之輸出端子電連接至該第六正反器之輸入端子。

3.如申請專利範圍第 1 項之移位暫存器，

其中，該第一正反器、該第二正反器、該第三正反器及該第四正反器之各者包括電晶體，該電晶體包含氧化物半導體膜。

4.如申請專利範圍第 2 項之移位暫存器，

其中，該第一正反器、該第二正反器、該第三正反器、該第四正反器、該第五正反器及該第六正反器之各者包括電晶體，該電晶體包含氧化物半導體膜。

5.如申請專利範圍第 1 或 2 項之移位暫存器，

其中，該第一正反器包括第一電晶體及第二電晶體，

其中，該第一電晶體之第一端子電連接至該第一線，

其中，該第一電晶體之第二端子電連接至該第一正反器之該輸出端子及該第二電晶體之第一端子，

其中，該第二電晶體之第二端子電連接至用以供應低電源電位之配線，以及

其中，該第一電晶體及該第二電晶體各包括氧化物半導體膜。

6.如申請專利範圍第 1 或 2 項之移位暫存器，

其中，該第一正反器包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體及第六電晶體，

其中，該第四電晶體之閘極端子電連接至該第五電晶體之閘極端子，

其中，該第一電晶體之閘極端子電連接至該第五電晶體之第二端子及該第六電晶體之第一端子，

其中，該第一電晶體之第一端子電連接至該第一線，並且

其中，該第一電晶體之第二端子電連接至該第一正反器之該輸出端子。

7.如申請專利範圍第 1 或 2 項之移位暫存器，

其中，該第一正反器包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體及第六電晶體，

其中，該第三電晶體及該第五電晶體各者之第一端子電連接至用以供應高電源電位之配線，

其中，該第三電晶體之第二端子電連接至該第四電晶體之第一端子以及該第六電晶體及該第二電晶體各者之閘極端子，

其中，該第四電晶體、該第六電晶體及該第二電晶體各者之第二端子電連接至用以供應低電源電位之配線，

其中，該第六電晶體之第一端子電連接至該第五電晶體之第二端子及該第一電晶體之閘極端子，

其中，該第一電晶體之第一端子電連接至該第一線，

其中，該第一電晶體之第二端子電連接至該第一正反器之該輸出端子及該第二電晶體之第一端子，且

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體之每一者包括氧化物半導體膜。

8. 如申請專利範圍第 1 或 2 項之移位暫存器，進一步包括：

第七電晶體；

第八電晶體；

第九電晶體；以及

第十電晶體，

其中，該第七電晶體之第一端子電連接至該第一線，

且該第七電晶體之第二端子電連接至參考時脈信號線，

其中，該第八電晶體之第一端子電連接至該第三線，  
且該第八電晶體之第二端子電連接至該參考時脈信號線，

其中，該第九電晶體之第一端子電連接至該第二線，  
且該第九電晶體之第二端子電連接至反相參考時脈信號  
線，且

其中，該第十電晶體之第一端子電連接至該第四線，  
且該第十電晶體之第二端子電連接至反相參考時脈信號  
線。

9. 如申請專利範圍第 2 項之移位暫存器，進一步包  
括：

- 第一選擇電晶體；
- 第二選擇電晶體；
- 第三選擇電晶體；以及
- 第四選擇電晶體，

其中，該第一選擇電晶體之第一端子電連接至該第一  
線，

其中，該第二選擇電晶體之第一端子電連接至該第三  
線，

其中，該第三選擇電晶體之第一端子電連接至該第二  
線，

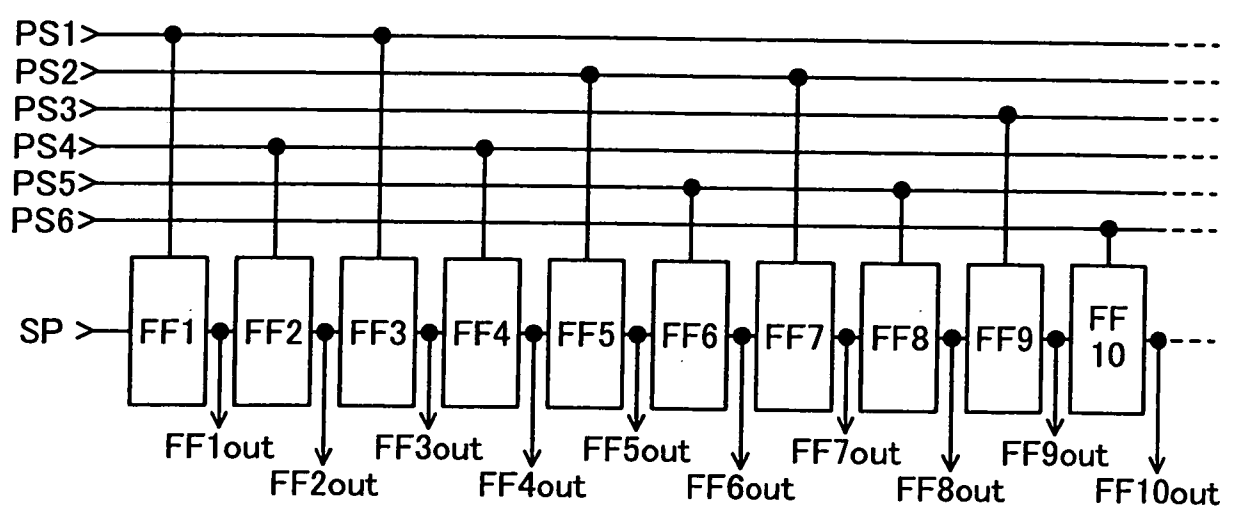
其中，該第四選擇電晶體之第一端子電連接至該第四  
線，且

其中，該第一選擇電晶體至該第四選擇電晶體各者之

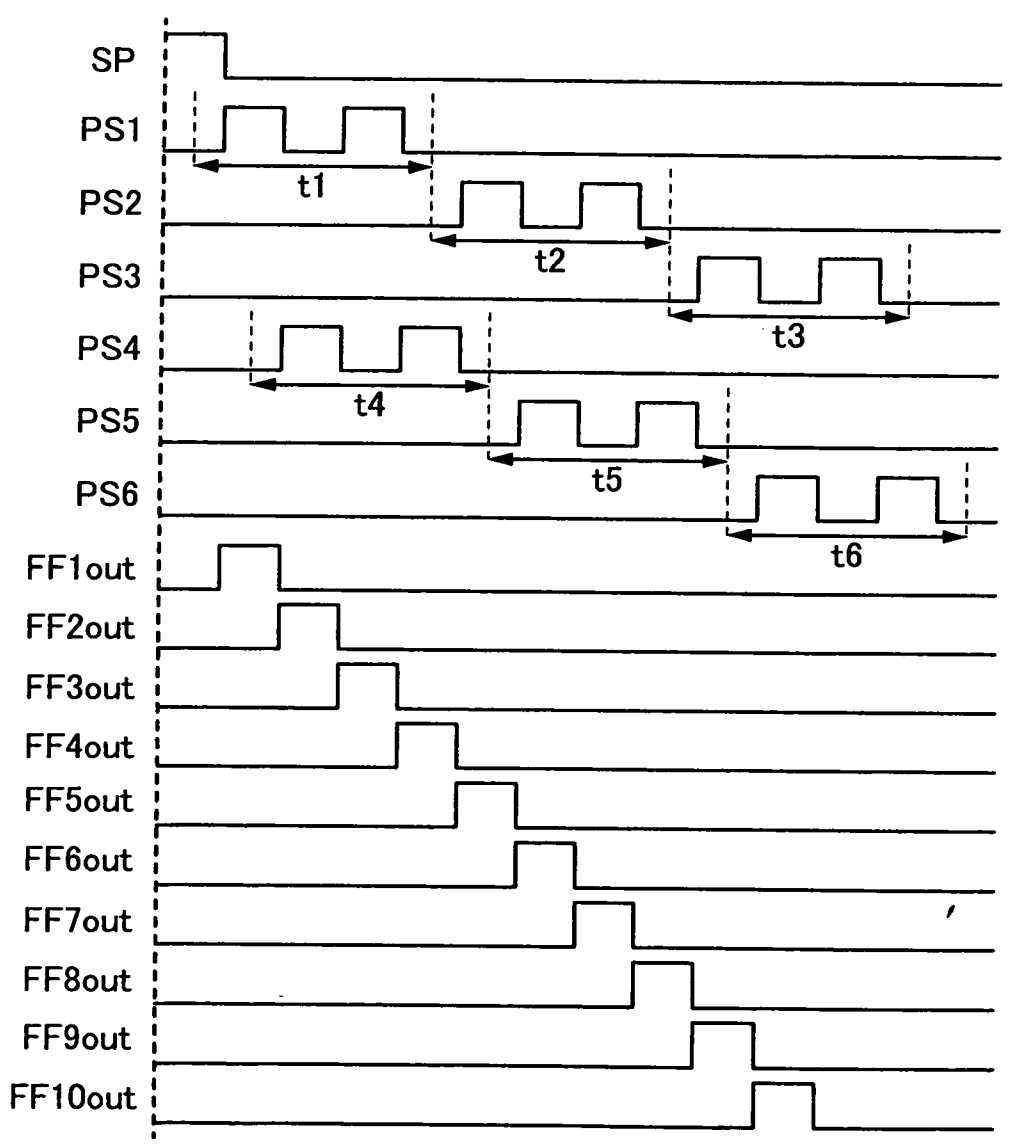
第二端子電連接至用以供應低電源電位之配線。

10. 一種顯示裝置，包括如申請專利範圍第 1 或 2 項之移位暫存器。

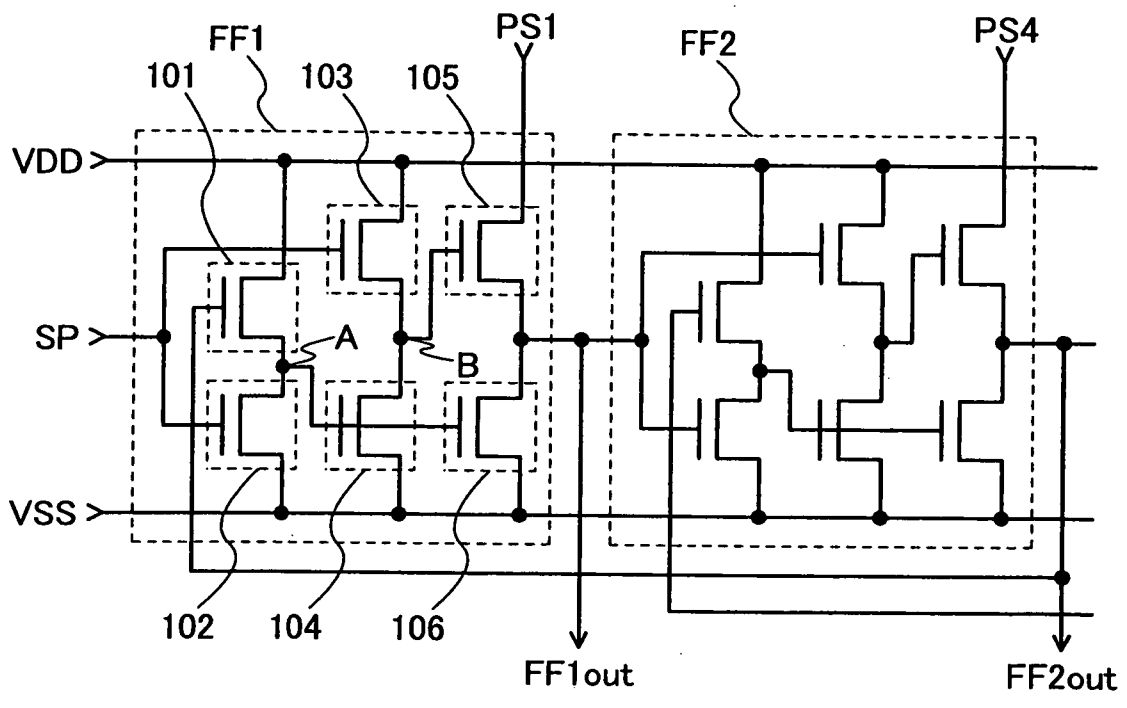
### 第1A圖



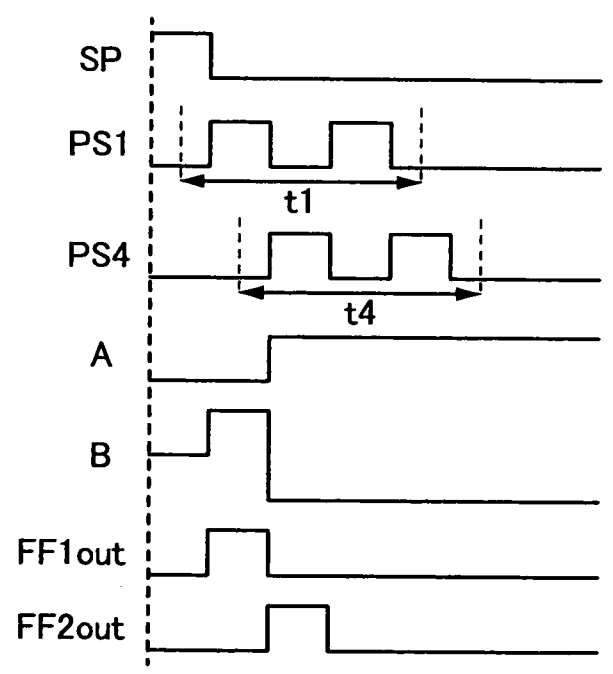
### 第1B圖



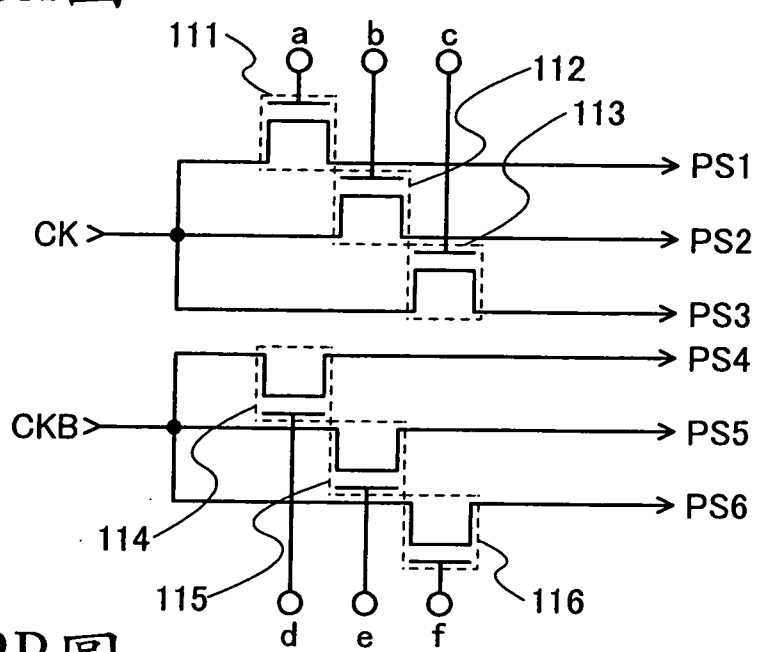
第2A圖



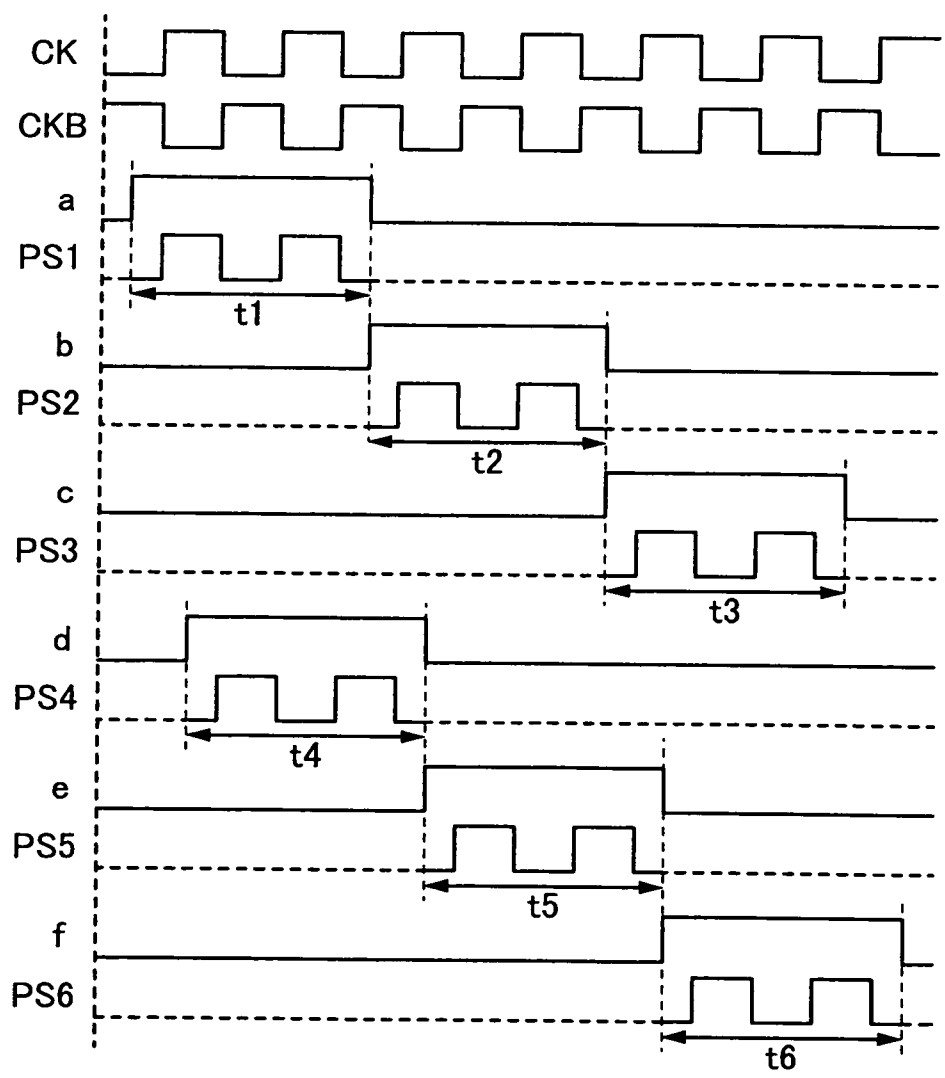
第2B圖



第3A圖



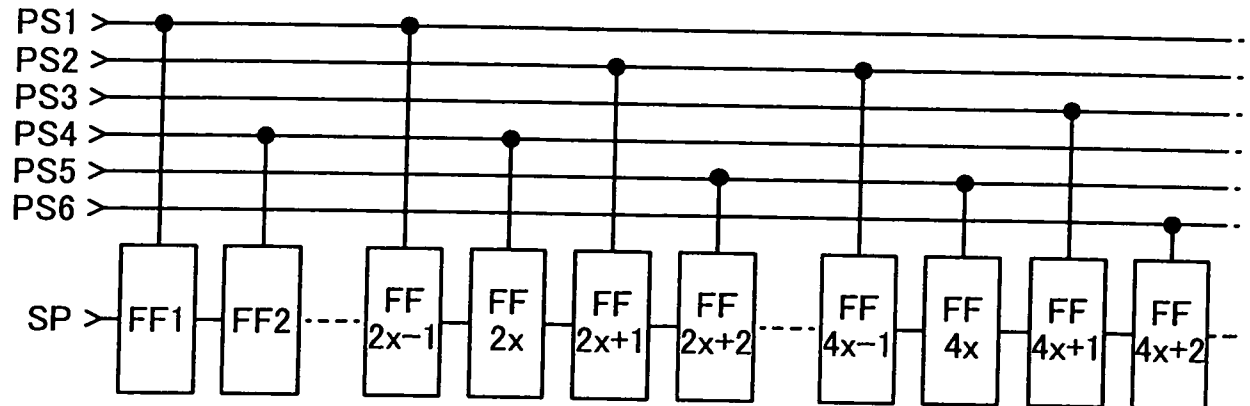
第3B圖



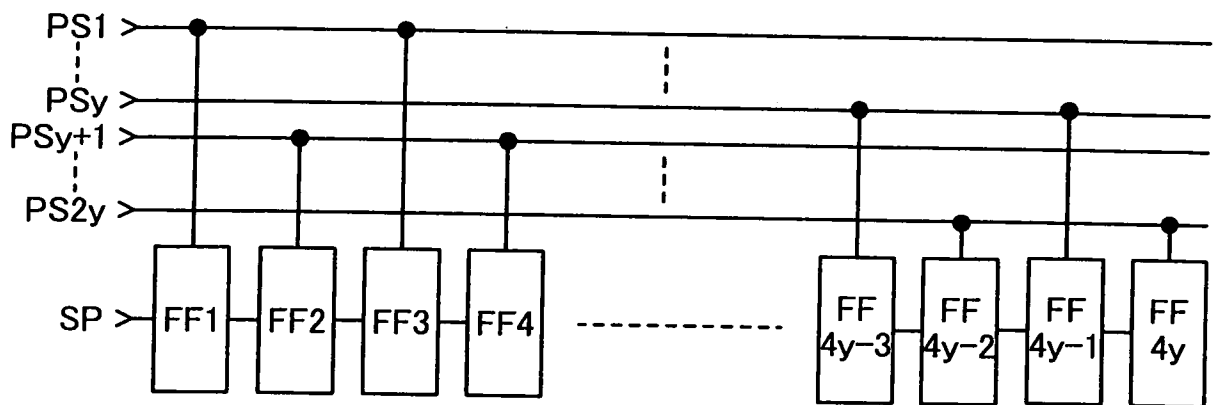




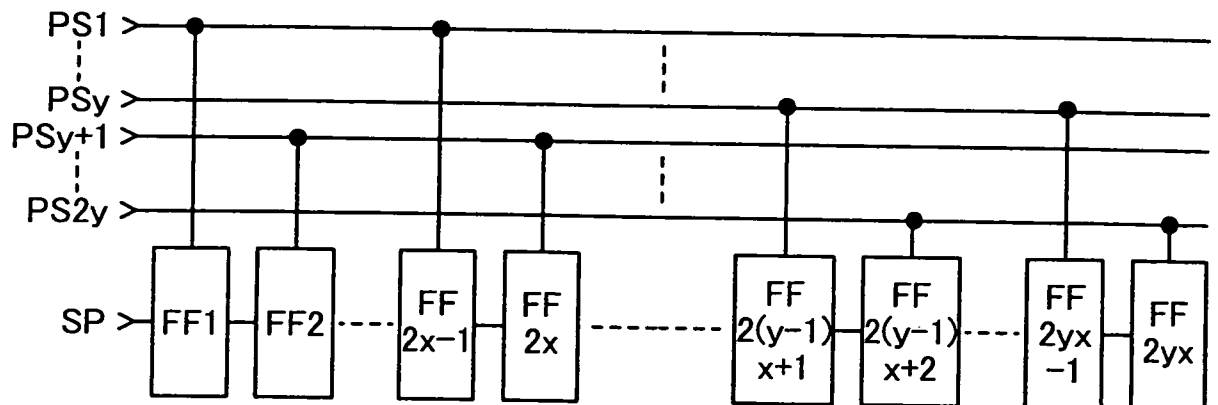
第5A圖



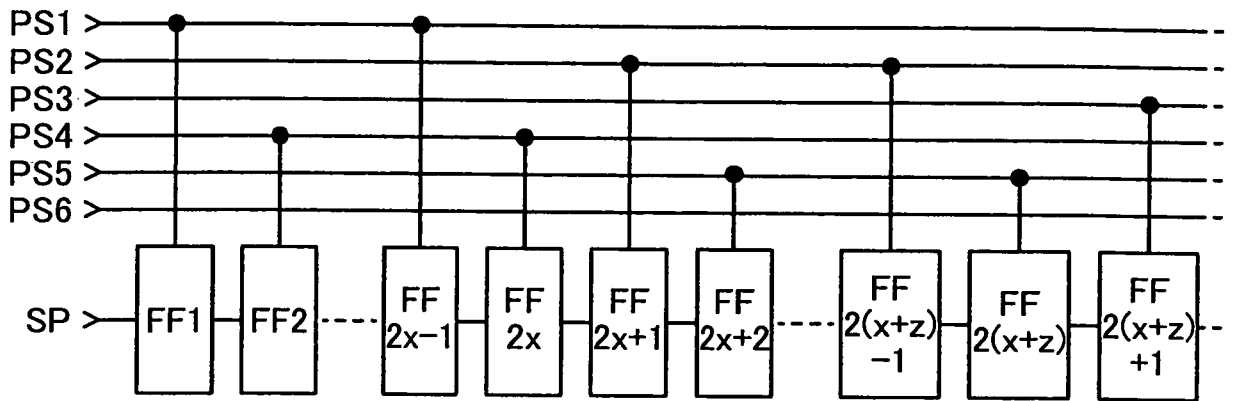
第5B圖



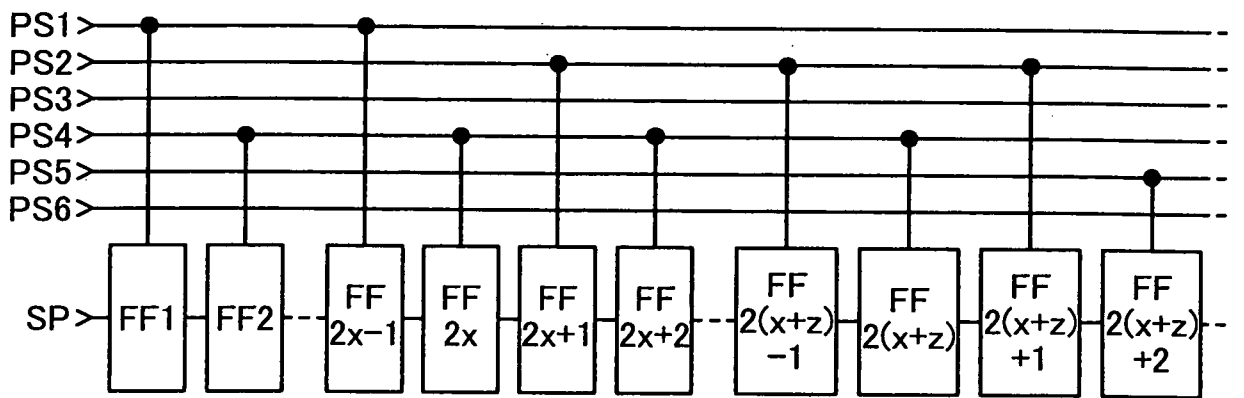
第5C圖



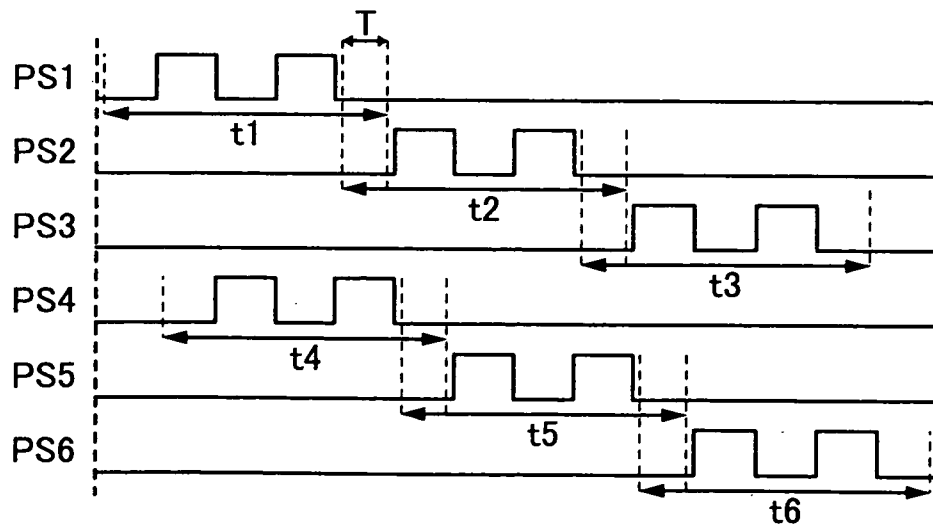
第6A圖



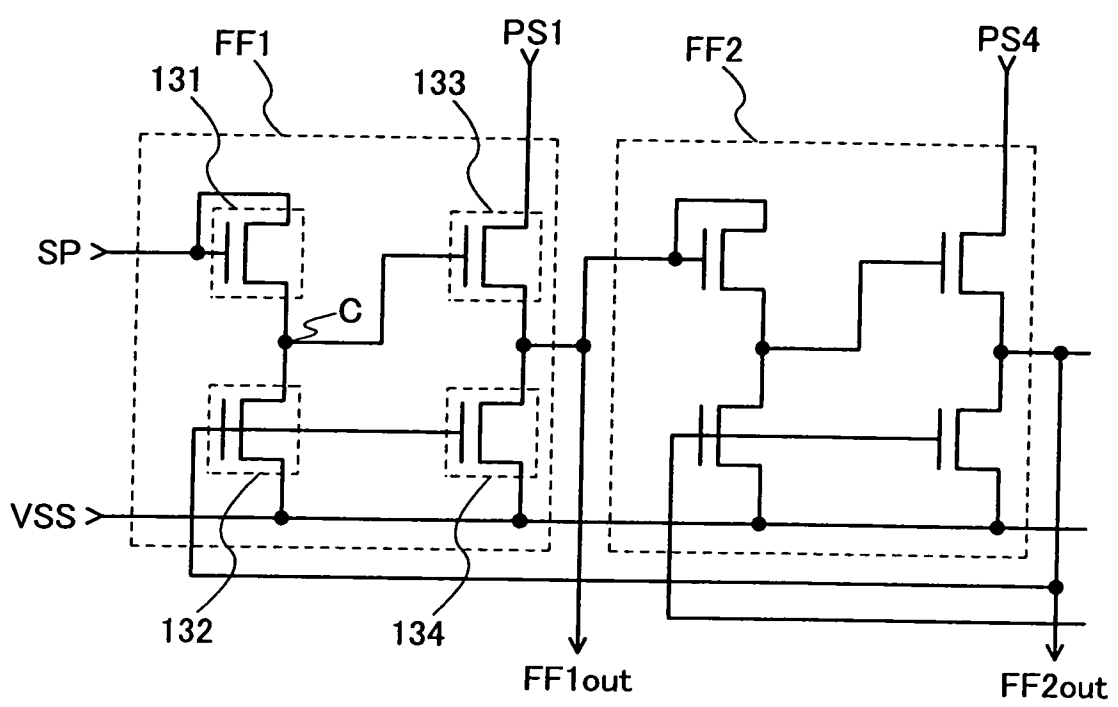
第6B圖



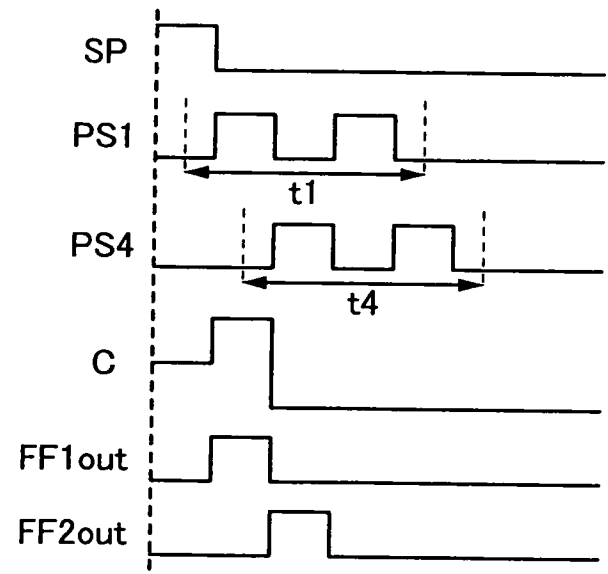
第6C圖



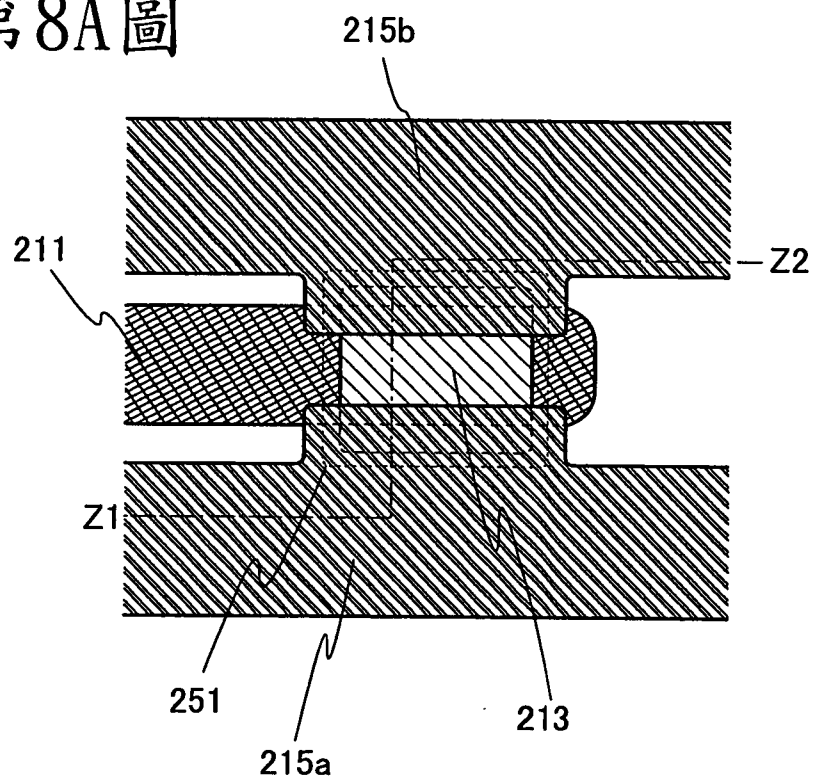
第7A圖



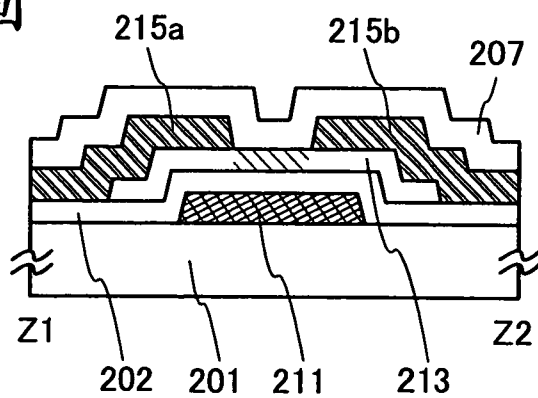
第7B圖



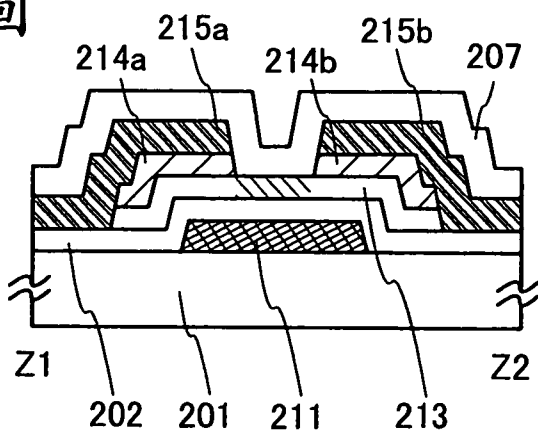
第8A圖



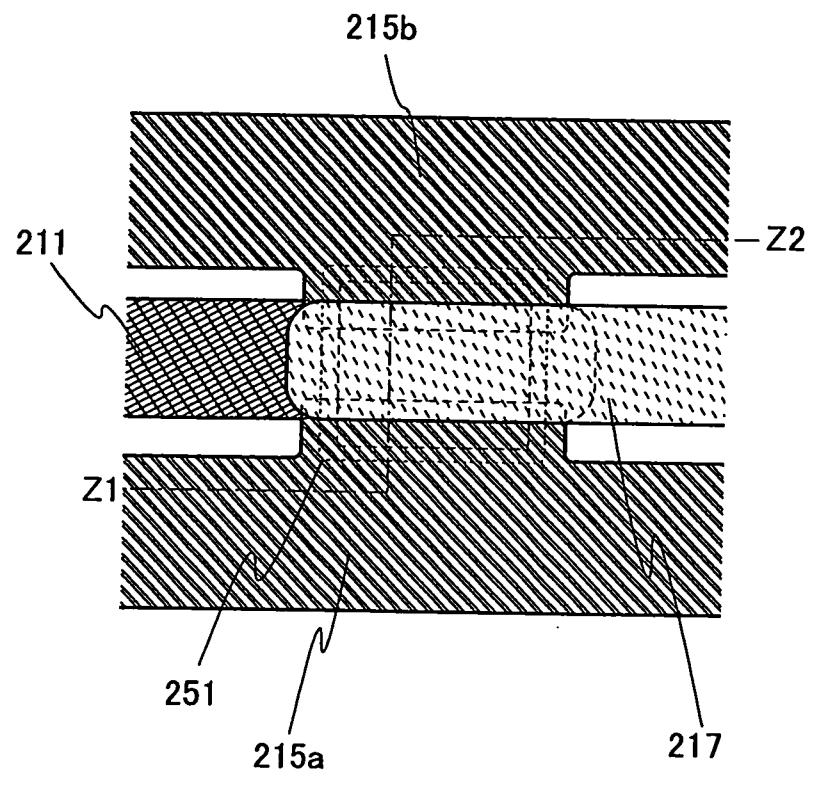
第8B圖



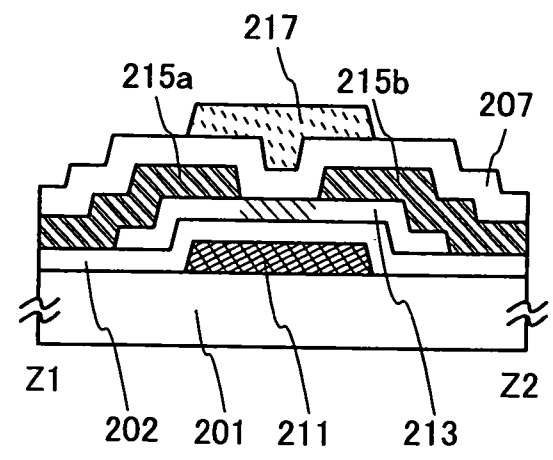
第8C圖



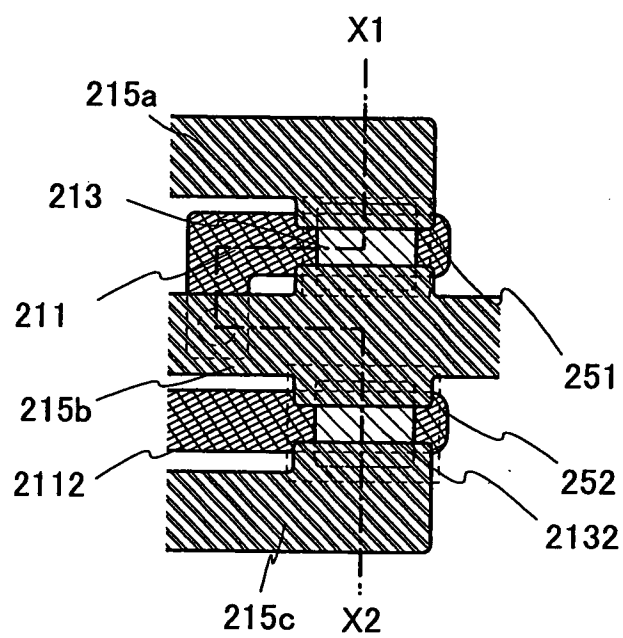
第9A圖



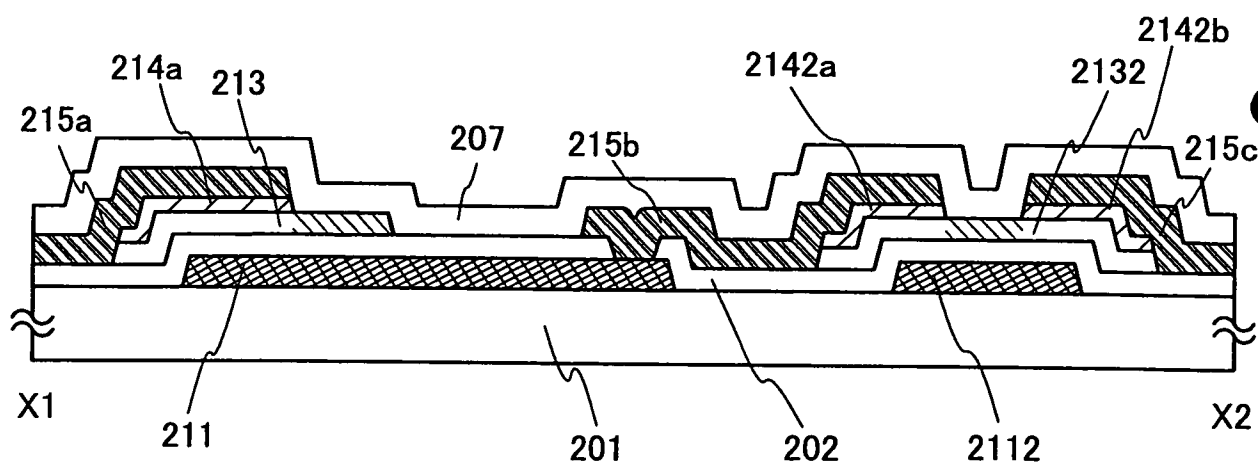
第9B圖



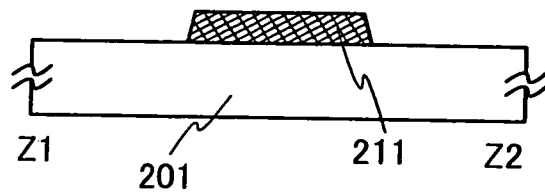
第10A圖



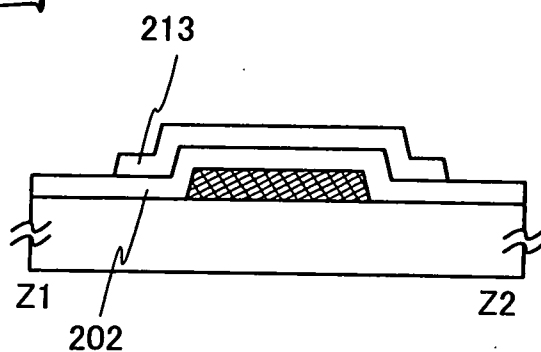
第10B圖



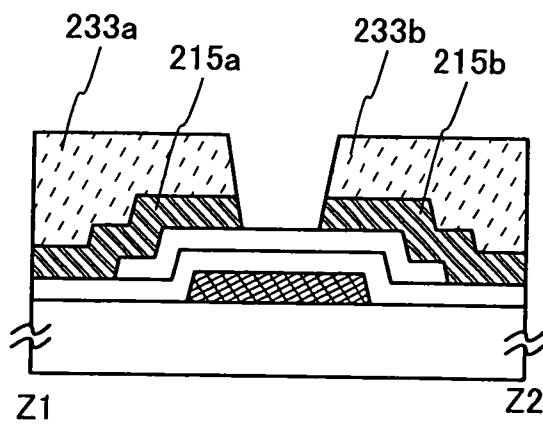
第11A圖



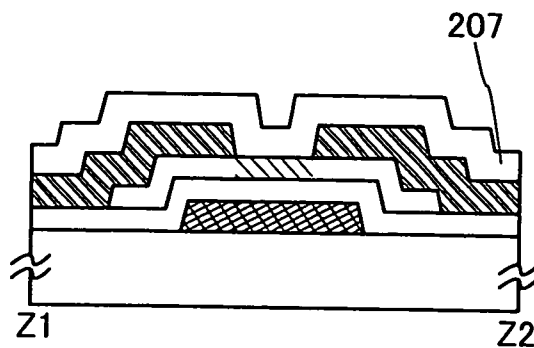
第11B圖



第11C圖

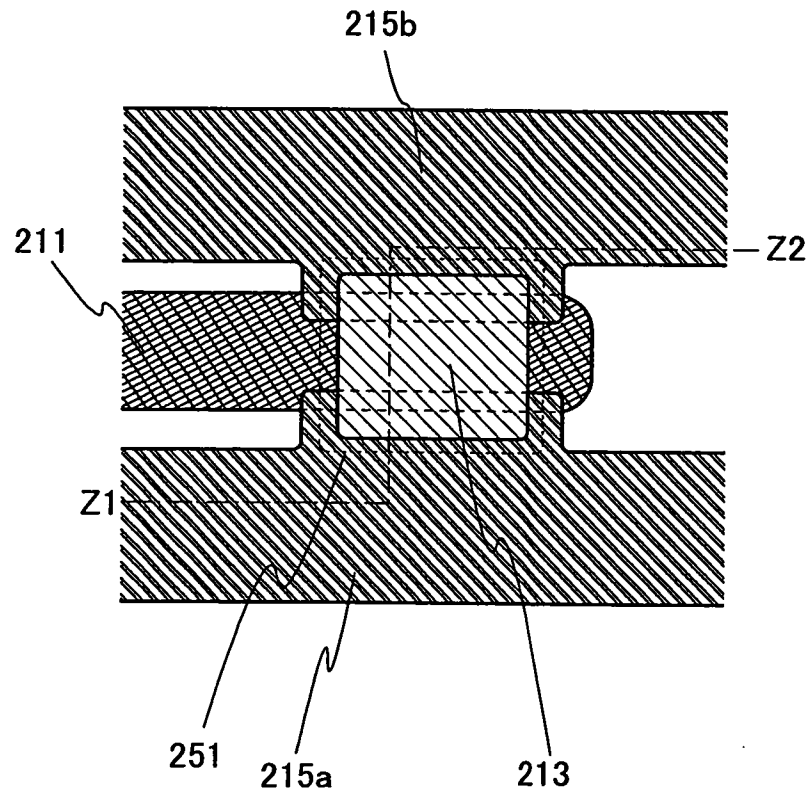


第11D圖

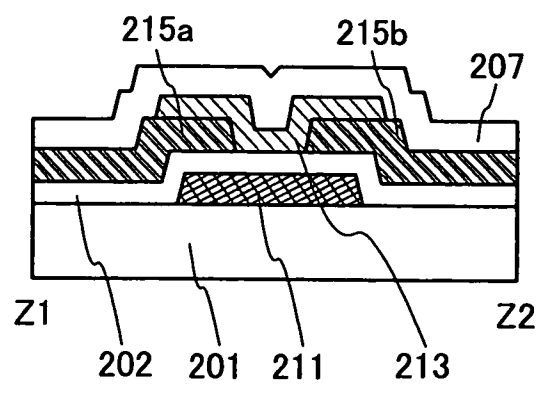




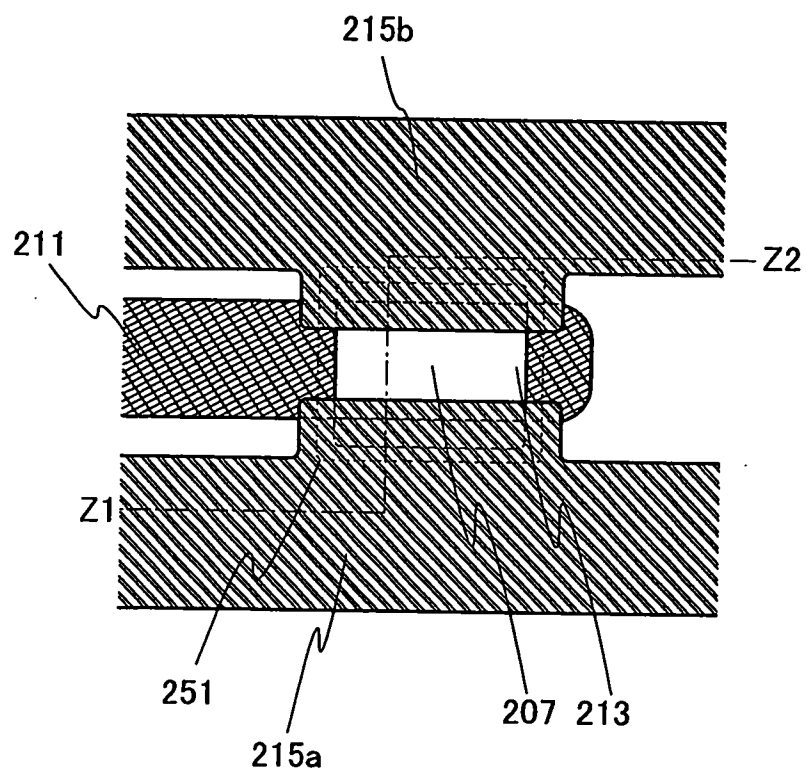
第12A圖



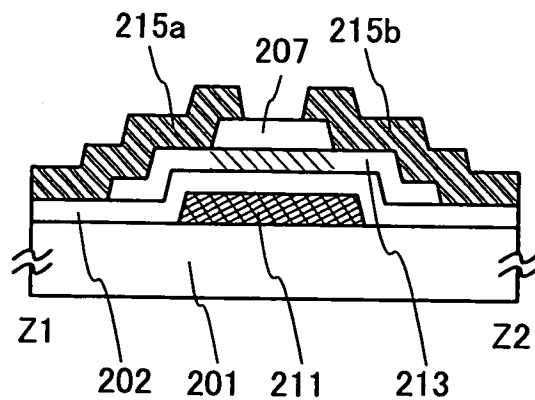
第12B圖



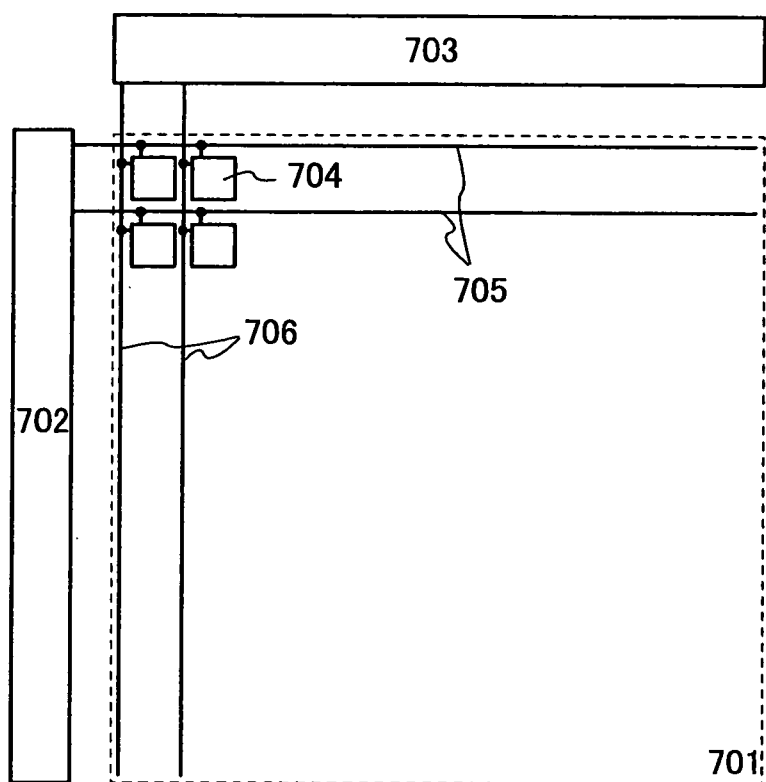
第13A圖



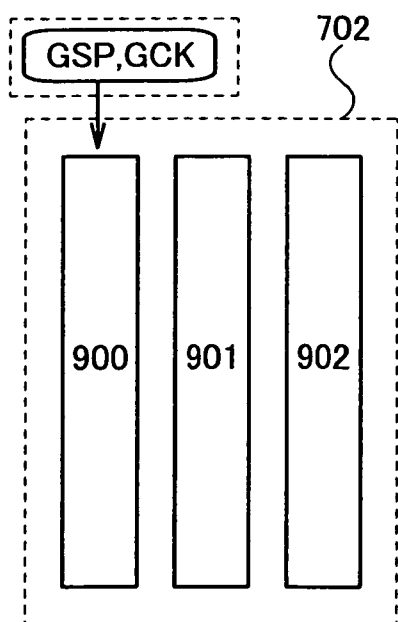
第13B圖



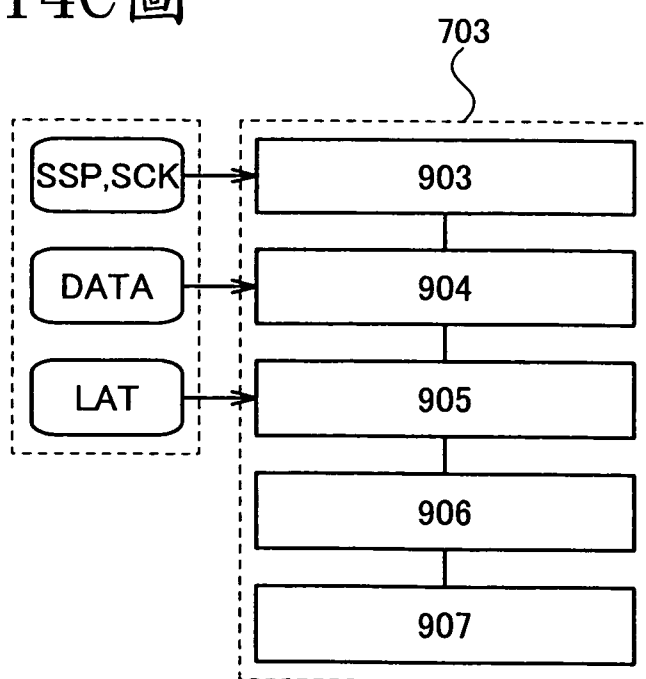
第14A圖



第14B圖

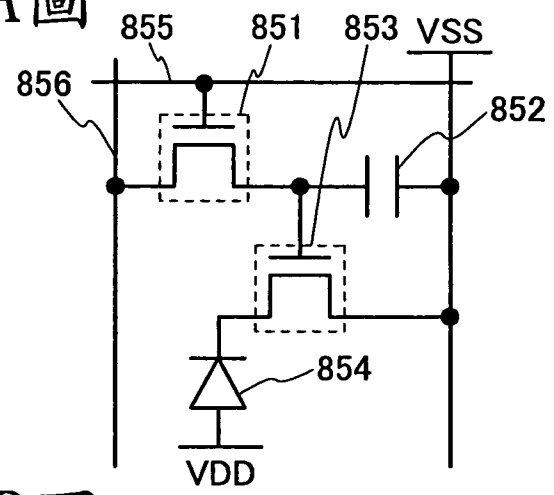


第14C圖

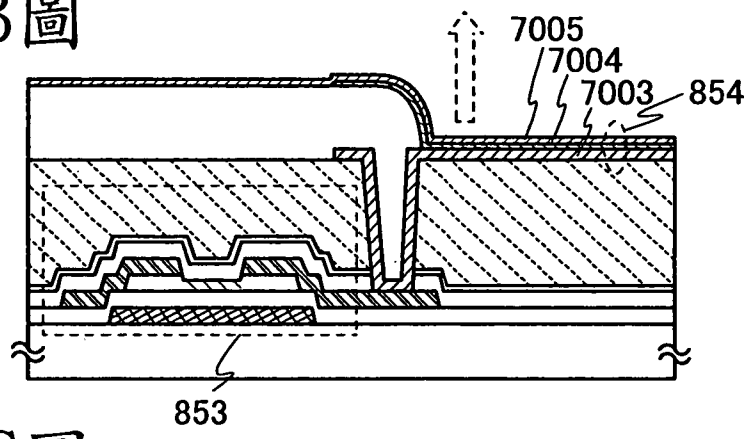




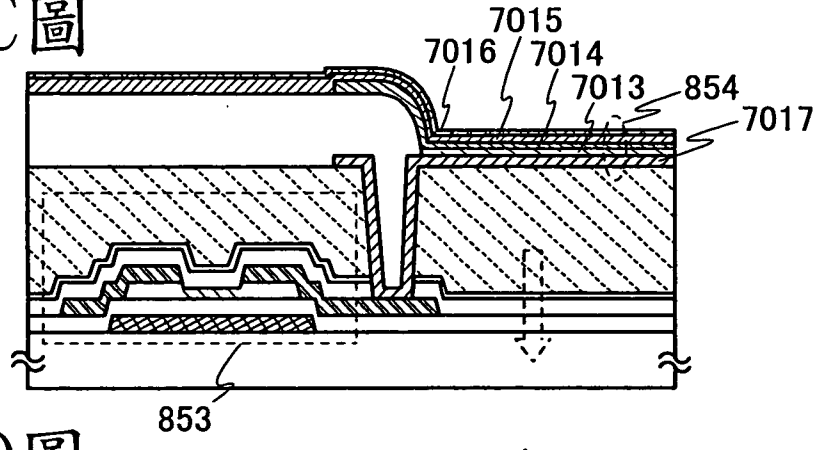
第16A圖



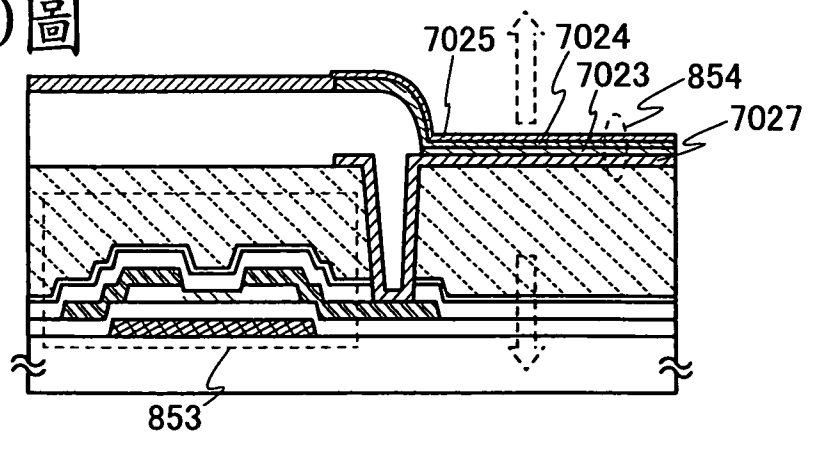
第16B圖



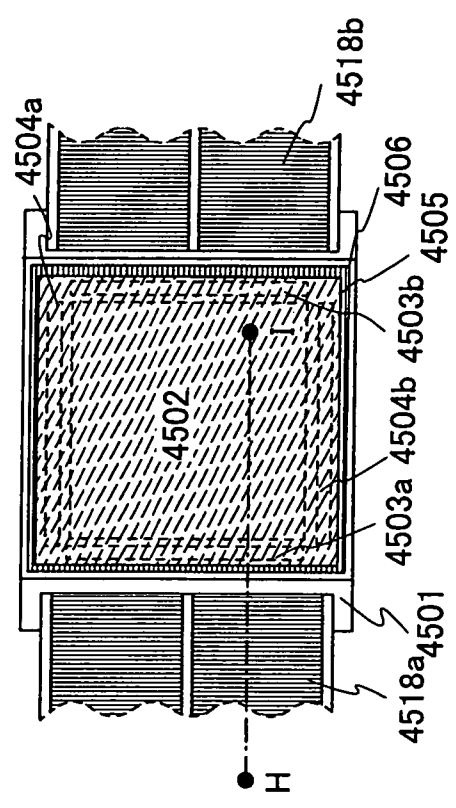
第16C圖



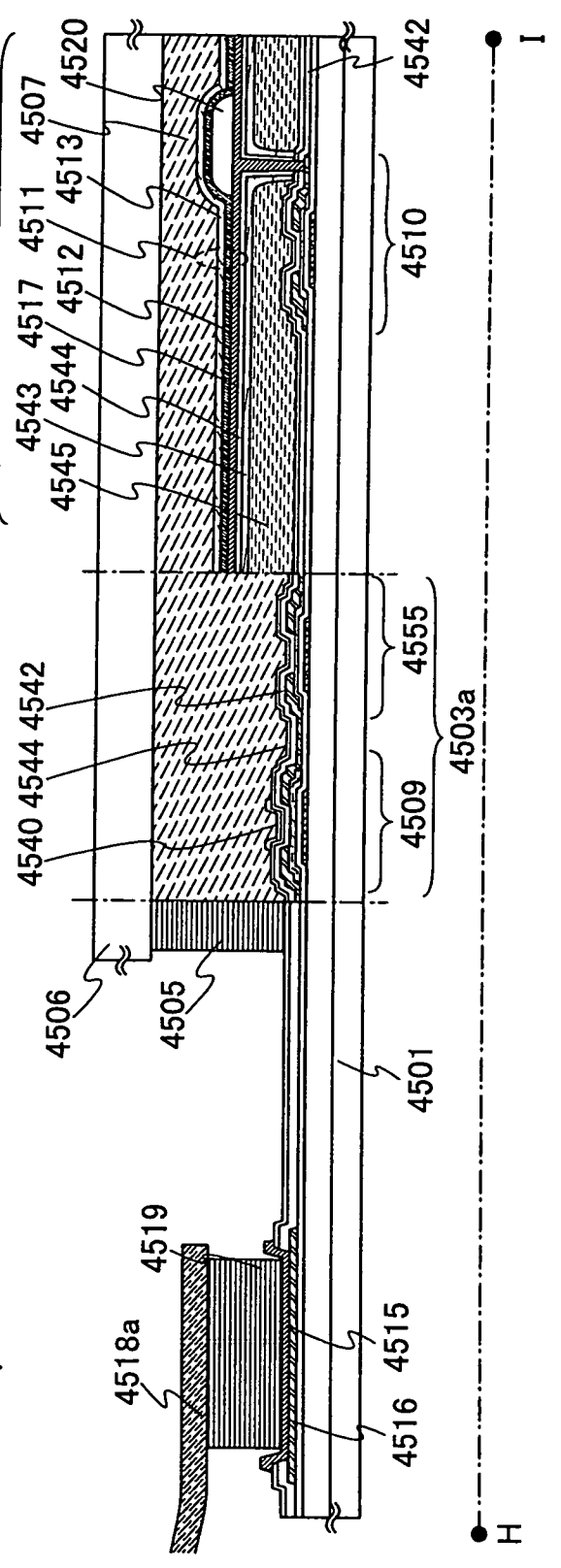
第16D圖



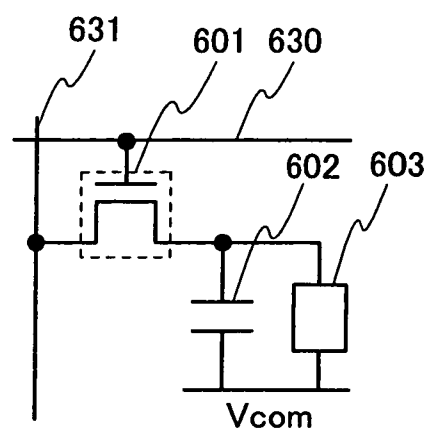
第17A圖



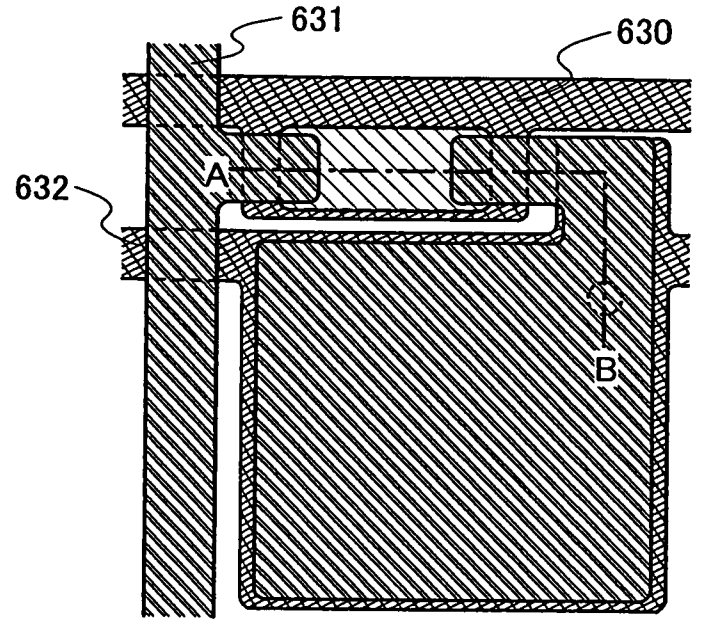
第17B圖



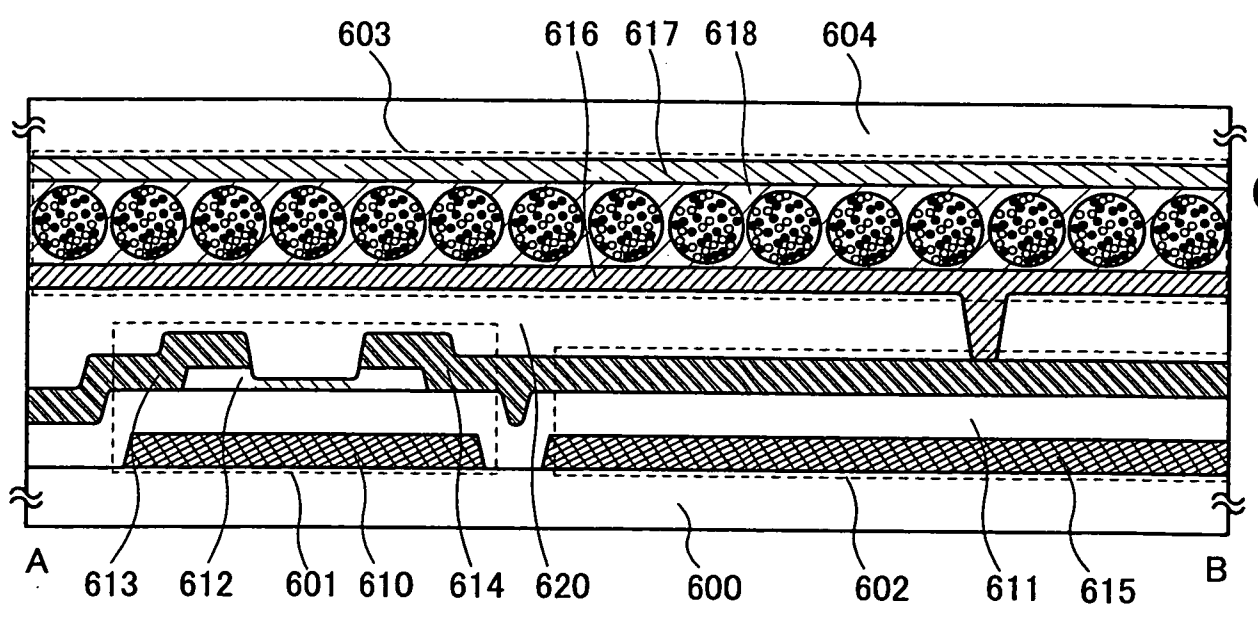
第18A圖



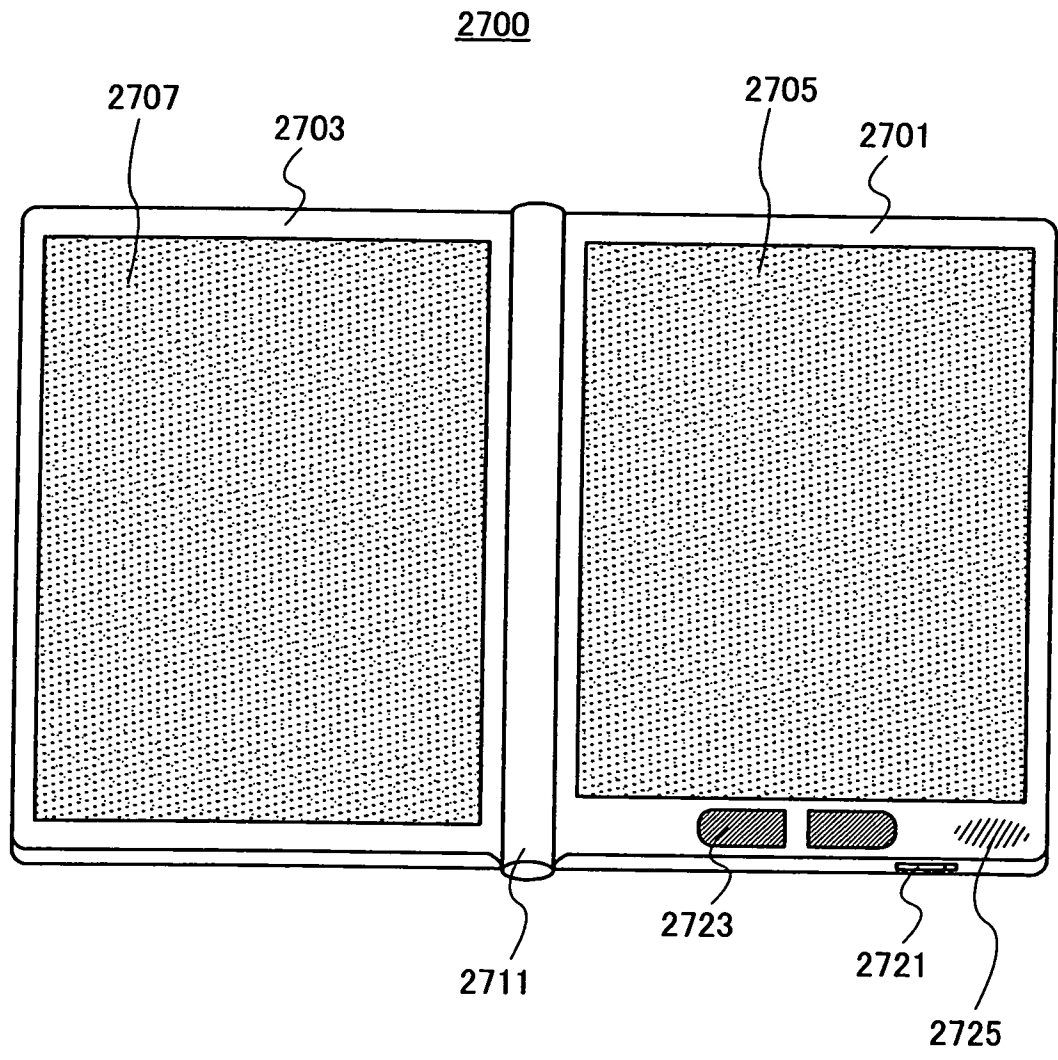
第18B圖



第18C圖

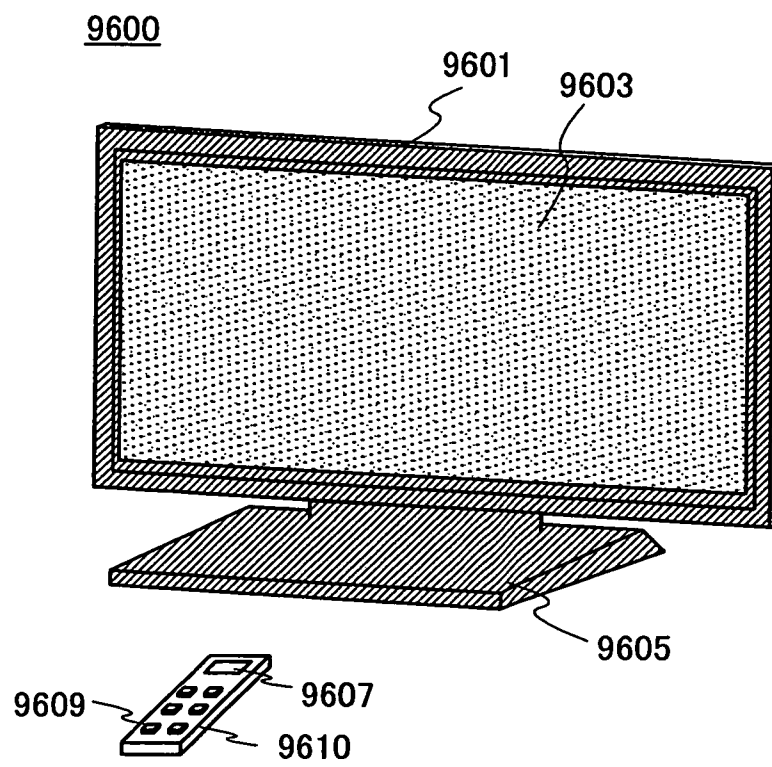


第19圖

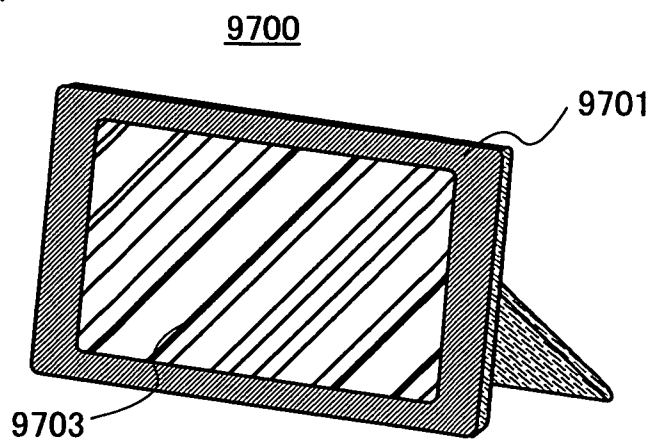




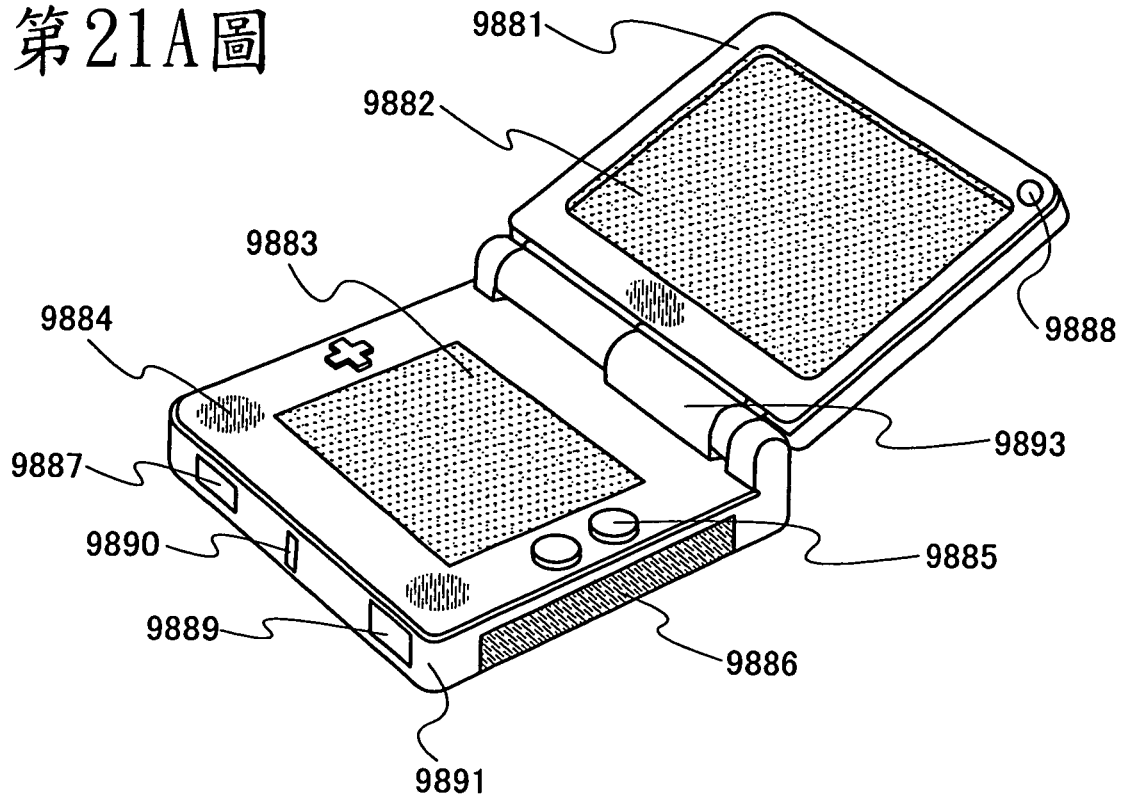
第20A圖



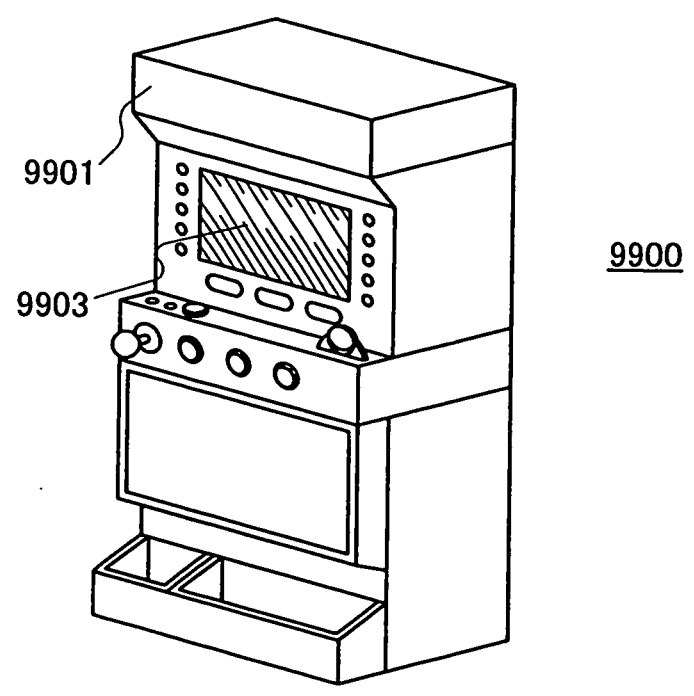
第20B圖



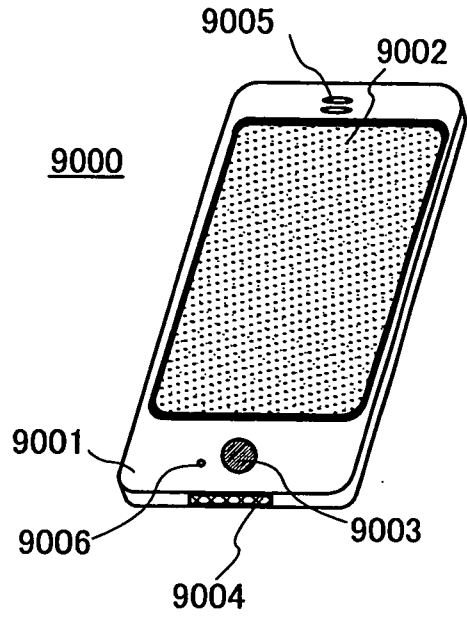
第21A圖



第21B圖



第22A圖



第22B圖

