

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4515305号
(P4515305)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月21日(2010.5.21)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 3 O 1 H
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 E
HO 1 L 29/417 (2006.01)	HO 1 L 27/08 3 2 1 F
	HO 1 L 27/08 3 2 1 B

請求項の数 8 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2005-96277 (P2005-96277)
 (22) 出願日 平成17年3月29日(2005.3.29)
 (65) 公開番号 特開2006-278776 (P2006-278776A)
 (43) 公開日 平成18年10月12日(2006.10.12)
 審査請求日 平成18年3月27日(2006.3.27)

前置審査

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100146776
 弁理士 山口 昭則
 (72) 発明者 田村 直義
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 川村 和郎
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 pチャネルMOSトランジスタおよびその製造方法、半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

チャネル領域を含むシリコン基板と、

前記シリコン基板上、前記チャネル領域に対応して、ゲート絶縁膜を介して形成されたゲート電極と、

前記シリコン基板中、前記チャネル領域の両側に形成されたp型ソースエクステンション領域およびp型ドレインエクステンション領域と、

前記シリコン基板中、前記ゲート電極の両側で、前記ゲート電極の両側壁面上にそれぞれ形成された一対の側壁絶縁膜の外側に、それぞれ前記p型ソースエクステンション領域およびp型ドレインエクステンション領域と部分的に重畳するように形成されたp型ソース領域およびp型ドレイン領域とよりなるpチャネルMOSトランジスタであって、

前記p型ソース領域および前記p型ドレイン領域の各々は、金属膜領域または金属化合物膜領域を含み、圧縮応力を蓄積した圧縮応力源を内包し、

前記圧縮応力源は、金属よりなり、前記圧縮応力源と前記シリコン基板との間には金属窒化膜が介在し、

前記圧縮応力源は、室温のスパッタリングにより形成された金属膜あるいは金属化合物膜であることを特徴とするpチャネルMOSトランジスタ。

【請求項2】

前記圧縮応力源の側壁面および底面は、シリサイド膜により覆われていることを特徴とする請求項1記載のpチャネルMOSトランジスタ。

10

20

【請求項 3】

前記シリサイド膜は、前記シリコン基板の格子定数よりも大きな格子定数を有することを特徴とする請求項 2 記載の p チャンネル MOS トランジスタ。

【請求項 4】

前記 p 型ソース領域および p 型ドレイン領域の各々は凹部を形成され、前記凹部内には、前記シリコン基板に対してエピタキシャルに成長した、Si を主成分として含み前記 p 型ソース領域あるいは p 型ドレイン領域よりも高い不純物濃度にドーブされた p 型半導体層よりなるコンタクト層が形成され、前記圧縮応力源は、前記コンタクト層上に、前記凹部を充填するように形成されていることを特徴とする請求項 1 ~ 3 のうち、いずれか一項記載の p チャンネル MOS トランジスタ。

10

【請求項 5】

前記 p チャンネル MOS トランジスタは、さらに前記シリコン基板上に前記 p 型ソース領域および前記 p 型ドレイン領域を覆うように、400 を超えない基板温度で形成された絶縁膜と、前記絶縁膜中に、それぞれ前記 p 型ソース領域および前記 p 型ドレイン領域とコンタクトして形成された第 1 および第 2 のコンタクトプラグを含み、前記圧縮応力源は、前記 p 型ソース領域においては前記第 1 のコンタクトプラグの先端部に、また前記 p 型ドレイン領域においては前記第 2 のコンタクトプラグの先端部に形成されていることを特徴とする請求項 1 ~ 4 のうち、いずれか一項記載の p チャンネル MOS トランジスタ。

【請求項 6】

シリコン基板上に、チャンネル領域に対応してゲート電極を形成する工程と、
前記シリコン基板中、前記ゲート電極の両側に、p 型ソース領域および p 型ドレイン領域を形成する工程と
を含む p チャンネル MOS トランジスタの製造方法であって、
さらに前記 p 型ソース領域および p 型ドレイン領域の各々に、リセス領域を形成する工程と、
前記リセス領域表面を、前記リセス形状に沿って、高融点金属シリサイド膜で覆う工程と、
前記高融点シリサイド膜上に、前記リセス領域を充填するように、金属または金属化合物膜を、膜中に圧縮応力が蓄積されるような条件で堆積する工程と
を含み、
前記金属あるいは金属化合物膜は、室温のスパッタリングにより形成されることを特徴とする p チャンネル MOS トランジスタの製造方法。

20

30

【請求項 7】

前記金属または金属化合物膜を堆積する工程の後、前記シリコン基板上に絶縁膜を堆積する工程を含み、前記絶縁膜の堆積は、400 を超えない基板温度で実行されることを特徴とする請求項 6 記載の p チャンネル MOS トランジスタの製造方法。

【請求項 8】

素子分離領域により第 1 および第 2 の素子領域を画成されたシリコン基板上への、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタを含む半導体集積回路装置の製造方法であって、

40

前記第 1 の素子領域上に、n 型ソース領域および n 型ドレイン領域を有する n チャンネル MOS トランジスタを、また前記第 2 の素子領域上に、p 型ソース領域および p 型ドレイン領域を有する p チャンネル MOS トランジスタを形成する工程と、

前記シリコン基板上に、前記第 1 および第 2 の素子領域にわたり、前記 n チャンネル MOS トランジスタおよび p チャンネル MOS トランジスタを覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記 n 型ソース領域および n 型ドレイン領域とそれぞれコンタクトする第 1 および第 2 の導電性プラグを、前記第 1 および第 2 の導電性プラグが、それぞれ前記層間絶縁膜中に前記 n 型ソース領域および n 型ドレイン領域に対応して形成された第 1 および第 2 のコンタクトホールを充填するように形成する工程と、

50

熱処理により、前記第1および第2の導電性プラグを再結晶させ、引張り応力源とする工程と、

前記再結晶工程の後、前記層間絶縁膜中に、前記p型ソース領域およびp型ドレイン領域をそれぞれ露出するように第3および第4のコンタクトホールを形成する工程と、

前記第3および第4のコンタクトホールの少なくとも底部を、金属または金属化合物により充填する工程と

よりなり、

前記金属または金属化合物は、圧縮応力を蓄積するような条件で堆積され、

前記金属あるいは金属化合物膜は、室温のスパッタリングにより形成されることを特徴とする半導体集積回路装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体装置に係り、特に歪み印加により動作速度を向上させた半導体装置を含む半導体集積回路装置およびその製造方法に関する。

【背景技術】

【0002】

微細化技術の進歩に伴い、今日では100nmを切るゲート長を有する超微細化・超高速半導体装置が可能になっている。

20

【0003】

このような超微細化・超高速トランジスタでは、ゲート電極直下のチャネル領域の面積が、従来の半導体装置に比較して非常に小さく、このためチャネル領域を走行する電子あるいはホールの移動度は、このようなチャネル領域に印加された応力により大きな影響を受ける。そこで、このようなチャネル領域に印加される応力を最適化して、半導体装置の動作速度を向上させる試みが数多くなされている。

【特許文献1】特表2002-530864号公報

【特許文献2】米国特許第6165826号公報

【特許文献3】米国特許第5710450号公報

【特許文献4】米国特許第6621131号公報

30

【非特許文献1】Ghani, T., et al., IEDM2003, 978-980, June 10, 2003

【非特許文献2】Ghani, T., et al., VLSI 2004

【非特許文献3】Thompson, S. E., IEDM 2004

【非特許文献4】Thompson, S. E., IEEE ED-51, vol.10, 2004

【発明の開示】

【発明が解決しようとする課題】

【0004】

特に従来、nチャネルMOSトランジスタの動作速度を向上させるため、nチャネルMOSトランジスタの素子領域に、ゲート電極を含むように、引張り応力を蓄積した典型的にはSiN膜などの応力膜を形成し、ゲート電極直下のチャネル領域において電子移動度を向上させる構成が知られている。

40

【0005】

図1は、このような応力膜を有するnチャネルMOSトランジスタの概略的構成を示す。

【0006】

図1を参照するに、シリコン基板1上にはSTI型の素子分離領域1Iにより、前記nチャネルMOSトランジスタの素子領域1Aがp型ウェルとして画成されており、前記素子領域1Aにおいては前記シリコン基板1上にチャネル領域に対応してゲート電極3が、ゲート絶縁膜2を介して形成されており、前記シリコン基板1中には前記ゲート電極3の両側にn型ソース/ドレインエクステンション領域1a, 1bが形成されている。

50

【 0 0 0 7 】

さらに前記ゲート電極の両側には側壁絶縁膜 3 A , 3 B が形成され、前記シリコン基板 1 中、前記側壁絶縁膜 3 A , 3 B の外側領域には n+型のソース・ドレイン拡散領域 1 c , 1 d が、前記ソース/ドレインエクステンション領域 1 a , 1 b に重なるように形成されている。

【 0 0 0 8 】

前記ソース・ドレイン拡散領域 1 c , 1 d の表面部分にはシリサイド層 4 A , 4 B がそれぞれ形成されており、さらに前記ゲート電極 3 上にはシリサイド層 4 C が形成されている。

【 0 0 0 9 】

さらに図 1 の構成ではシリコン基板 1 上に、前記ゲート電極 3 および側壁絶縁膜 3 A , 3 B、さらにシリサイド層 4 を含むゲート構造を覆うように、内部に引っ張り応力を蓄積した SiN 膜 5 が形成されている。

10

【 0 0 1 0 】

かかる引っ張り応力膜 5 は、前記ゲート電極 3 をシリコン基板 1 の方向に押圧する作用を有し、その結果、前記ゲート電極 3 直下のチャンネル領域には基板面に垂直方向に圧縮応力が印加されるが、その結果、前記チャンネル領域には、基板面に平行方向に引っ張り応力(面内引っ張り応力)が印加されたのと同様な歪みを誘起する。

【 0 0 1 1 】

このような構成により、前記チャンネル領域を構成する Si 結晶の対称性が局所的に変調され、結晶学的に等価な状態間において生じる電子の散乱が抑制されるため、nチャンネル MOS トランジスタにおいてはチャンネル領域において電子移動度が向上し、動作速度が向上する。

20

【 0 0 1 2 】

一方、従来、ホールをキャリアとする p チャンネル MOS トランジスタにおいて、チャンネル領域に一軸性の圧縮応力を印加することでキャリアの移動度が向上することが知られており、チャンネル領域に圧縮応力を印加する手段として、図 2 に示す概略的構成が提案されている(特許文献 1 ~ 4、非特許文献 1 ~ 4)。

【 0 0 1 3 】

図 2 を参照するに、シリコン基板 1 1 上にはチャンネル領域に対応してゲート電極 1 3 が、ゲート絶縁膜 1 2 を介して形成されており、前記シリコン基板 1 1 中には前記ゲート電極 1 3 の両側にチャンネル領域を画成するように、p 型拡散領域 1 1 a および 1 1 b が形成されている。さらに前記ゲート電極 1 3 の側壁には、前記シリコン基板 1 1 の表面の一部をも覆うように側壁絶縁膜 1 3 A , 1 3 B が形成されている。

30

【 0 0 1 4 】

前記拡散領域 1 1 a , 1 1 b はそれぞれ MOS トランジスタのソースおよびドレインエクステンション領域として作用し、前記拡散領域 1 1 a から 1 1 b へと前記ゲート電極 1 3 直下のチャンネル領域を輸送されるホールの流れが、前記ゲート電極 1 3 に印加されたゲート電圧により制御される。

【 0 0 1 5 】

図 2 の構成では、さらに前記シリコン基板 1 1 中、前記側壁絶縁膜 1 3 A および 1 3 B のそれぞれ外側に、SiGe 混晶層 1 1 A , 1 1 B がシリコン基板 1 に対してエピタキシャルに形成されており、前記 SiGe 混晶層 1 1 A , 1 1 B 中には、それぞれ前記拡散領域 1 1 a および 1 1 b に連続する p 型のソースおよびドレイン領域が形成されている。

40

【 0 0 1 6 】

図 2 の構成の p チャンネル MOS トランジスタでは、前記 SiGe 混晶層 1 1 A , 1 1 B がシリコン基板 1 1 に対してより大きな格子定数を有するため、前記 SiGe 混晶層 1 1 A , 1 1 B 中には矢印 a で示す圧縮応力が形成され、その結果、SiGe 混晶層 1 1 A , 1 1 B は、矢印 b で示す前記シリコン基板 1 1 の表面に略垂直な方向に歪む。

【 0 0 1 7 】

50

前記SiGe混晶層11A, 11Bはシリコン基板11に対してエピタキシャルに形成されているため、このような矢印bで示すSiGe混晶層11A, 11Bにおける歪みは対応する歪みを、前記シリコン基板中の前記チャンネル領域に、矢印cで示すように誘起するが、かかる歪みに伴い前記シリコン基板11のチャンネル領域はチャンネル方向に収縮し、前記チャンネル領域に、矢印dで示すように一軸性の圧縮応力が印加されたと同等な状態が誘起される。

【0018】

図2のpチャンネルMOSトランジスタでは、チャンネル領域このような一軸性の圧縮応力に対応した変形の結果、前記チャンネル領域を構成するSi結晶の対称性が局所的に変調され、さらにかかる対称性の変化に伴って、重いホールの価電子帯と軽いホールの価電子帯の縮退が解けるため、チャンネル領域におけるホール移動度が増大し、トランジスタの動作速度が向上する。このようなチャンネル領域に局所的に誘起された応力によるホール移動度の増大およびこれに伴うトランジスタ動作速度の向上は、特にゲート長が100nm以下の超微細化半導体装置に顕著に現れる。

【0019】

しかしながら、図2に示す従来の技術では、チャンネル領域における応力印加が、SiGe混晶層11A, 11Bの、シリコン基板に対する格子定数差に起因して基板面に垂直方向に生じる延伸を利用した間接的なメカニズムによりなされており、pチャンネルMOSトランジスタについて十分な素子特性の向上を実現することができない。前記SiGe混晶層11A, 11Bはシリコン基板11に対してエピタキシャルを維持しているため、チャンネル方向への原子間隔はシリコン基板中の原子間隔により規制されており、格子定数差に起因して内部に圧縮応力が生じても、これによりSiGe混晶層11A, 11Bがチャンネル方向に膨張することはできず、従って、前記pチャンネルMOSトランジスタのチャンネル領域に、チャンネル方向に作用する圧縮応力を直接に誘起することはできない。

【0020】

また図2のメカニズムによりpチャンネルMOSトランジスタのチャンネル領域に、チャンネル方向に作用する大きな圧縮応力を誘起するためには、前記SiGe混晶層11A, 11Bの形成領域を、可能な限りチャンネルに近接させ、またSiGe混晶層11A, 11Bの深さを可能な限り大きくする必要があるが、このためには前記SiGe混晶層11A, 11Bの形成のために深いリセスを、リセス面の形状を注意深く制御しながら、しかも再現性良く形成しなければならない。また、このような深いリセスをSiGe混晶層11A, 11Bのエピタキシャル選択成長により充填する必要があるが、このためには、SiGe混晶層11A, 11Bのエピタキシャル成長がリセス面にのみ生じ、例えば側壁絶縁膜13A, 13B上には生じないようにプロセスを管理しなければならない。

【0021】

このように、図2のプロセスを実際に量産工程で実行しようとする、様々な困難が生じる。

【課題を解決するための手段】

【0022】

本発明は一の側面において、チャンネル領域を含むシリコン基板と、前記シリコン基板上、前記チャンネル領域に対応して、ゲート絶縁膜を介して形成されたゲート電極と、前記シリコン基板中、前記チャンネル領域の両側に形成されたp型ソースエクステンション領域およびp型ドレインエクステンション領域と、前記シリコン基板中、前記ゲート電極の両側で、前記ゲート電極の両側壁面上にそれぞれ形成された一対の側壁絶縁膜の外側に、それぞれ前記p型ソースエクステンション領域およびp型ドレインエクステンション領域と部分的に重畳するように形成されたp型ソース領域およびp型ドレイン領域とよりなるpチャンネルMOSトランジスタであって、前記p型ソース領域および前記p型ドレイン領域の各々は、金属膜領域または金属化合物膜領域を含み、圧縮応力を蓄積した圧縮応力源を内包し、

前記圧縮応力源は、金属よりなり、前記圧縮応力源と前記シリコン基板との間には金属

10

20

30

40

50

窒化膜が介在し、前記圧縮応力源は、室温のスパッタリングにより形成された金属膜あるいは金属化合物膜であることを特徴とするpチャンネルMOSトランジスタを提供する。

【0024】

本発明はさらに他の側面において、シリコン基板上に、チャンネル領域に対応してゲート電極を形成する工程と、前記シリコン基板中、前記ゲート電極の両側に、p型ソース領域およびp型ドレイン領域を形成する工程とを含むpチャンネルMOSトランジスタの製造方法であって、さらに前記p型ソース領域およびp型ドレイン領域の各々に、リセス領域を形成する工程と、前記リセス領域表面を、前記リセス形状に沿って、高融点金属シリサイド膜で覆う工程と、前記高融点シリサイド膜上に、前記リセス領域を充填するように、金属または金属化合物膜を、膜中に圧縮応力が蓄積されるような条件で堆積する工程とを含み、前記金属あるいは金属化合物膜は、室温のスパッタリングにより形成されることを特徴とするpチャンネルMOSトランジスタの製造方法を提供する。

10

【0025】

本発明はさらに他の側面において、素子分離領域により第1および第2の素子領域を画成されたシリコン基板上への、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタを含む半導体集積回路装置の製造方法であって、前記第1の素子領域上に、n型ソース領域およびn型ドレイン領域を有するnチャンネルMOSトランジスタを、また前記第2の素子領域上に、p型ソース領域およびp型ドレイン領域を有するpチャンネルMOSトランジスタを形成する工程と、前記シリコン基板上に、前記第1および第2の素子領域にわたり、前記nチャンネルMOSトランジスタおよびpチャンネルMOSトランジスタを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記n型ソース領域およびn型ドレイン領域とそれぞれ>Contactする第1および第2の導電性プラグを、前記第1および第2の導電性プラグが、それぞれ前記層間絶縁膜中に前記n型ソース領域およびn型ドレイン領域に対応して形成された第1および第2の>Contactホールを充填するように形成する工程と、熱処理により、前記第1および第2の導電性プラグを再結晶させ、引張り応力源とする工程と、前記再結晶工程の後、前記層間絶縁膜中に、前記p型ソース領域およびp型ドレイン領域をそれぞれ露出するように第3および第4の>Contactホールを形成する工程と、前記第3および第4の>Contactホールの少なくとも底部を、金属または金属化合物により充填する工程とよりなり、前記金属または金属化合物は、圧縮応力を蓄積するような条件で堆積され、前記金属あるいは金属化合物膜は、室温のスパッタリングにより形成されることを特徴とする半導体集積回路装置の製造方法を提供する。

20

30

【発明の効果】

【0026】

本発明によれば、pチャンネルMOSトランジスタのソースおよびドレイン領域にリセスを形成し、これを、圧縮応力を蓄積した金属または金属化合物で充填することにより、前記pチャンネルMOSトランジスタのチャンネル領域に、チャンネル方向に作用する圧縮応力を、直接に印加すること可能となり、例えばこのようなソース/ドレイン領域を、シリコン基板に対してより大きな格子定数を有するSiGe混晶などの材料で充填し、前記チャンネル領域に先に図2で説明したメカニズムにより圧縮応力を間接的に誘起する場合よりもはるかに大きな圧縮応力を実現することが可能になる。これに伴い、本発明のpチャンネルMOSトランジスタは、従来の応力印加pチャンネルMOSトランジスタよりもはるかに大きなホール移動度および高速動作を実現することが可能となる。

40

【0027】

また、本発明では、前記p型ソース領域あるいはp型ドレイン領域に形成される金属あるいは金属化合物よりなる圧縮応力源が誘起する圧縮応力が非常に大きいため、このような圧縮応力源を、これらのソース領域あるいはドレイン領域に>Contactする>Contactプラグ中に形成するだけでも、十分なホール移動度の向上を実現することが可能である。

【0028】

50

このような金属膜あるいは金属化合物膜は、熱処理により再結晶すると収縮し、蓄積される応力が引張り応力に変化するため、同様な金属膜あるいは金属化合物膜をnチャネルMOSトランジスタのソース領域およびドレイン領域にコンタクトするコンタクトプラグに形成し、これを熱処理することにより、前記nチャネルMOSトランジスタのチャネル領域に、チャネル方向に作用する引張り応力を誘起することも可能である。

【0029】

さらにシリコン基板上の第1および第2の素子領域にnチャネルMOSトランジスタおよびpチャネルMOSトランジスタを形成し、前記nチャネルMOSトランジスタのソース/ドレイン領域に金属または金属化合物よりなる導電性プラグを形成し、これを熱処理して引張り応力源とした後、同じシリコン基板上の第2の素子領域に形成されているpチャネルMOSトランジスタのソースおよびドレイン領域に、金属または金属化合物よりなる導電性プラグを、室温から300の範囲の温度で形成することにより、nチャネルMOSトランジスタのチャネル領域にはチャネル方向に引張り応力が誘起され、pチャネルMOSトランジスタのチャネル領域にはチャネル方向に圧縮応力が誘起された、高速半導体集積回路装置を実現することも可能である。

【発明を実施するための最良の形態】

【0030】

[第1実施例]

図3は、本発明の第1実施例によるpチャネルMOSトランジスタ20の構成を示す。

【0031】

図3を参照するに、pチャネルMOSトランジスタ20は100nm以下のゲート長を有するpチャネルMOSトランジスタであり、STI型の素子分離領域21Iにより素子領域として作用するn型ウェル21Aが形成されたシリコン基板21上に形成されている。

【0032】

前記シリコン基板21上には、前記素子領域21A中のチャネル領域に対応してp+型のポリシリコンゲート電極23が、典型的には膜厚が1~1.2nm程度のSiONやいわゆるhigh-K材料などよりなるゲート絶縁膜22を介して形成されている。

【0033】

前記シリコン基板21中には前記ゲート電極23の両側にp型のソースエクステンション領域21aおよびドレインエクステンション領域21bが形成されており、前記ゲート電極23の互いに対向する各々の側壁面上には、CVD側壁酸化膜23Iを介してSiNよりなるゲート側壁絶縁膜23Wが形成されている。前記CVD側壁酸化膜23Iは、前記ポリシリコンゲート電極23の側壁面から前記シリコン基板21表面のうち、前記ゲート電極23直近の部分を連続して覆っており、これにより、前記SiNゲート側壁絶縁膜23Wがシリコン基板21の表面に直接に接するのが回避される。

【0034】

さて、前記シリコン基板21中には、前記素子領域21Aのうち、前記ソースエクステンション領域21a、ドレインエクステンション領域21bの外側に、p+型のソース領域21cおよびドレイン領域21dがそれぞれ形成されており、さらに前記ソース領域21cおよびドレイン領域21d中には、前記ゲート側壁絶縁膜23Wの外側に、前記ソース領域21cあるいはドレイン領域21dの底面を越えないような深さ、例えば30nmの深さにリセス21Rs、21Rdが形成されており、前記リセス21Rs、21Rdの表面は、Bにより、前記ソース領域21cあるいはドレイン領域21dよりも高濃度にドーパされ、低抵抗コンタクト層として作用するp型Siエピタキシャル層21S、21Dにより、それぞれ覆われている。

【0035】

前記p型Siエピタキシャル層21S、21Dの表面には、前記リセス面21Rs、21Rdと同様なリセス面が形成されており、厚さが約5nmのNiシリサイド(NiSi)膜21scにより覆われており、さらに前記Niシリサイド膜21sc上には、前記リ

10

20

30

40

50

セスを充填するように、TiN膜21MS, 21MDが形成されている。

【0036】

前記TiN膜21MS, 21MDは、室温から300 程度の基板温度において、スパッタリングあるいはALD法により形成されているが、このような低温で堆積したTiN膜は膜中に圧縮応力を蓄積しており、前記リセスを構成するシリコン基板21に対して、図3中に矢印で示したように、圧縮応力を及ぼす。その結果、前記pチャンネルMOSトランジスタ20のチャンネル領域には、チャンネル方向上、両側から圧縮応力が印加される。

【0037】

その際、前記pチャンネルMOSトランジスタ20のチャンネル領域に作用する圧縮応力は、前記TiN膜21MS, 21MDが、内部に蓄積した圧縮応力を解消しようとして膨張する際に及ぼされるものであり、前記チャンネル領域に直接に作用することに注意すべきである。

10

【0038】

図4は、図3のpチャンネルMOSトランジスタ20について、収束電子線解析により求めた応力分布を、また以下の表1は、図中の測定点1~4における格子定数、歪みおよび応力の値を示す。ただし図4の測定では、前記pチャンネルMOSトランジスタ20は40nmのゲート長を有し、前記ゲート電極23上には、前記側壁絶縁膜23Wおよび前記シリコン基板21表面を、前記TiN膜21MS, 21MDを含めて覆うように、厚さが80nmで1.2GPaの引張り/圧縮応力を蓄積したSiN膜が、連続的に形成されている。

20

【0039】

【表 1】

Area	X (=Z) (Å)	Y (Å)	ϵ_{XX}	ϵ_{YY}	σ_{XX} (MPa)	σ_{YY} (Mpa)
#1	5.4101	5.4597	-3.80E-03	5.30E-03	-1335	878
#2	5.4126	5.4545	-3.30E-03	4.40E-03	-1104	656
#3	5.3483	5.436	-1.50E-02	9.80E-04	-7593	-3972
#4	5.3192	5.3192	-2.10E-02	-2.10E-02	-13450	-13388

無歪Si: X=Y=Z=5.4307Å

図 4 および表 1 を参照するに、ゲート電極直下のチャネル領域に圧縮応力が誘起されており、特にゲート絶縁膜直下の点 # 1 においてチャネル方向に 1 3 3 5 MP a の圧縮応力 σ_{XX} が誘起されているのがわかる。また前記ゲート絶縁膜から約 3 0 nm 下の点 # 2 においても、チャネル方向に 1 1 0 4 MP a の圧縮応力 σ_{XX} が生じているのがわかる。一方、前記点 # 1 では、シリコン基板に垂直方向に 8 7 8 MP a の引張り応力 σ_{YY} が生じており、また前記点 # 2 では、シリコン基板に垂直方向に 6 5 6 MP a の引張り応力 σ_{YY} が生じているのがわかる。表 1 中、圧縮応力は負の値を有し、引張り応力は正の値を有することに

10

20

30

40

50

注意すべきである。また応力および歪みの表現は、図 4 に示した座標系に依拠している。

【 0 0 4 0 】

なお表 1 において、点 # 3 および # 4 では、歪み XX あるいは YY が大きくなっているが、これは、この領域において塑性変形が生じていることを示している。

【 0 0 4 1 】

一般に、 p チャネルMOSトランジスタの実行移動度に対するチャネル方向に作用する応力の効果は、式

【 0 0 4 2 】

【数 1】

$$\Delta\mu / \mu = \left| \pi_{\parallel}\sigma_{\parallel} + \pi_{\perp}\sigma_{\perp} \right|$$

10

により示される（非特許文献 3 , 4 ）。

20

【 0 0 4 3 】

図 5 は、このような p チャネルMOSトランジスタにおいてチャネル領域に誘起される応力によるホール移動度の変化率を示す。

【 0 0 4 4 】

図 5 よりわかるように、 p チャネルMOSトランジスタのチャネル領域のうち、ゲート電極直下の部分に、先に表 1 で得られた、大きさが 1.335 MPa の圧縮応力が誘起された場合、応力印加がない場合に比べ、 100% の移動度増加が生じているのがわかる。

【 0 0 4 5 】

図 5 中には、非特許文献 2 で報告されている、先の図 2 のメカニズムにより、チャネル領域におけるホール移動度を向上させた p チャネルMOSトランジスタの移動度変化が、本発明の場合に加えて示されている。この非特許文献 2 の構成では、ソース/ドレイン領域に組成が $\text{Si}_{0.8}\text{Ge}_{0.2}$ の SiGe 混晶層を埋め込んでいるが、チャネル領域に誘起される圧縮応力は 0.6 GPa に過ぎず、得られる移動度増加率も 50% に達しないことがわかる。

30

【 0 0 4 6 】

さらに本発明では、前記リセス 2.1 Rs , 2.1 Rd を、抵抗率の小さい ($1 \times 10^{-3} \text{ cm}$) TiN 膜 2.1 Ms , 2.1 Md により充填しているため、*in-situ*ドーピングされた SiGe 混晶層を使う上記非特許文献 2 の場合と比べて、ソース寄生抵抗を一桁減少させることができ、 p チャネルMOSトランジスタの動作速度がさらに向上する。

【 0 0 4 7 】

40

図 3 の p チャネルMOSトランジスタ 20 において、前記ソース領域 21c およびドレイン領域 21d の全体を金属あるいは TiN などのような金属化合物で形成し、チャネル領域に印加される圧縮応力をさらに増大させることも考えられるが、このような構成では、ソース/ドレイン領域と n 型ウェルが形成されている素子領域 21A との界面にショットキー接合が形成されてしまい、接合リーク電流が増大してしまう。

【 0 0 4 8 】

また図 3 の構成において、前記シリサイド層 21Sc を担持する前記 TiN 膜 2.1 Ms および 2.1 Md を、前記ソース領域 21c あるいはドレイン領域 21d 中に直接に形成した場合には、ソース領域 21c およびドレイン領域 21d のドーブが、イオン注入された不純物元素の拡散によりなされているため、前記ソース領域 21c あるいはドレイン領域

50

21dのうち、前記TiN膜21MS, 21MDの底部が前記シリサイド層21Scを介してコンタクトする部分においては、キャリア密度が、基板面近傍におけるよりも減少しており、したがってこのような部分においてコンタクト抵抗が増大する問題が生じる。

【0049】

このため、図3の構成では、前記リセス21Rs, 21Rdが形成された後、Bを高濃度でin-situドーブされたSiエピタキシャル層21S, 21Dを成長させ、これをコンタクト層として介在させることにより、前記ソース領域21c、ドレイン領域21dの底部近傍におけるキャリア密度を増大させ、コンタクト抵抗の増大を回避している。また、このようなin-situドーブされたSiエピタキシャル層21S, 21Dを成長させることにより、その下のソース/ドレイン領域が、前記Siエピタキシャル層21S, 21Dから拡散するBにより、高濃度にドーブされる。

10

【0050】

なお、図3は、前記リセス21Rs, 21Rdが結晶面より画成されている場合に対応しており、前記Siエピタキシャル層21S, 21Dが、それぞれのリセス21Rs, 21Rdの底面のみならず、傾斜側壁面にも成長しているが、リセス21Rs, 21Rdがドライエッチングにより形成され結晶面でない傾斜側壁面を有する場合には、前記高濃度in-situドーブSiエピタキシャル層21D, 21Dは、前記リセスの底面に選択的に成長するが、このような場合でも、前記金属あるいは金属化合物層21MS, 21MDとソース領域21cあるいは21dとの接触抵抗は効果的に低減できる。

【0051】

20

なお、本実施例においてシリサイド形成はNiSi層形成に限定されるものではなく、シリコン基板21を構成するSiの格子定数よりも大きな格子定数を有する、例えばTiSi₂やCoSi₂, TaSi₂, PtSi, IrSiなどを使うことも可能である。

【0052】

なお、本実施例において前記リセス21Rs, 21Rdを充填する金属または金属化合物はTiNに限定されるものではなく、Ti, Ta, W, Cr, Moなど大部分の金属、あるいはその導電性窒化物を、室温ないし300以下の、比較的低い基板温度において、たとえばスパッタリングにより成膜することで、形成可能である。

【0053】

図6は、図3のpチャネルMOSトランジスタ20の一変形例によるpチャネルMOSトランジスタ20Aの構成を示す。ただし図6中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

30

【0054】

図6を参照するに、本実施例では前記in-situドーブされたp+型Siエピタキシャル層21S, 21Dの下に、同じくBによりin-situドーブされたp+型SiGeエピタキシャル層21SGが形成されており、これにより、その下のソース/ドレイン拡散領域21c, 21dのキャリア密度を増大させ、前記金属あるいは金属化合物よりなる圧縮応力源21MS, 21MDの形成に伴うコンタクト抵抗の増大を回避している。図6の構成では、前記SiGeエピタキシャル層21SGの厚さは薄いため、応力源としての効果は期待されない。このようなin-situドーブSiGeエピタキシャル層21SGは、例えば減圧CVD法により、気相原料としてSiH₄とGeH₄を、B₂H₆ドーパントガスと共に供給し450の基板温度で形成することが可能である。なお、先の図3の構成において、前記in-situドーブSiエピタキシャル層21S, 21Dの代わりに、in-situドーブSiGeエピタキシャル層21SGを形成することも可能である。

40

[第2実施例]

次に、図7(A)~10(H)を参照しながら、図3のpチャネルMOSトランジスタ20に対応したpチャネルMOSトランジスタと、さらにnチャネルMOSトランジスタを含む本発明の第2実施例による半導体集積回路装置40の製造工程を説明する。

【0055】

50

図7(A)を参照するに、シリコン基板41上には素子分離構造41Iにより、nチャネルMOSトランジスタの素子領域41AとpチャネルMOSトランジスタの素子領域41Bが画成されており、前記素子領域41Aにおいてはシリコン基板41上に、前記nチャネルMOSトランジスタのチャネル領域に対応してn+型ポリシリコンゲート電極43Aが、ゲート絶縁膜42Aを介して形成されている。また前記素子領域41Bにおいてはシリコン基板41上に、前記pチャネルMOSトランジスタのチャネル領域に対応してp+型ポリシリコンゲート電極43Bが、ゲート絶縁膜42Bを介して形成されている。

【0056】

さらに前記ポリシリコンゲート電極43Aの側壁面には、CVD酸化膜43IAを介してSiN側壁絶縁膜43NAが形成されている。同様に、前記ポリシリコンゲート電極43Bの側壁面には、CVD酸化膜43IBを介してSiN側壁絶縁膜43NBが形成されている。

10

【0057】

前記素子領域41Aにおいては、前記シリコン基板41中、前記ゲート電極43Aの両側にn型ソースエクステンション領域41a, 41bが形成されており、一方、前記素子領域41Bにおいては、前記シリコン基板41中、前記ゲート電極43Bの両側にp型ソースエクステンション領域41e, 41fが形成されている。さらに前記素子領域41Aにおいては前記シリコン基板41中、前記n型ソースエクステンション領域41a, 41bの外側にn+型ソース領域41c, 41dが形成されており、前記素子領域41Bにおいては前記シリコン基板41中、前記p型ソースエクステンション領域41e, 41fの外側にp+型ソース領域41g, 41hが形成されている。

20

【0058】

次に図7(B)の工程においてシリコン酸化膜(図示せず)をマスクに使い、前記素子領域41B中、前記側壁絶縁膜43NBの外側において前記シリコン基板41をエッチングし、前記p型ソース領域41gに含まれるようにリセス41Rsを、また前記p型ドレイン領域41hに含まれるように、リセス41Rdを、例えば30nmの深さに形成する。

【0059】

さらに図7(C)の工程において、前記リセス41Rsおよび41Rdの表面に、SiH₄ガスを気相原料として使い、B₂H₆(ジボラン)をドーパントガスとして添加した減圧CVD法により、Bを高濃度ドーブされたSi層41Sおよび41Dをそれぞれエピタキシャルに成長させ、さらにサリサイドプロセスにより、前記素子領域41Aにおいては露出したn+型ソース領域41cおよびn+型ドレイン領域41dの表面にNiSiよりなるシリサイド層41scおよび41dcを、また前記n+型ポリシリコンゲート電極の表面にNiSiよりなるシリサイド層43Asを形成する。またこれと同時に、前記素子領域41Bにおいては前記p+型ソース領域41gおよびp+型ドレイン領域41hにそれぞれ形成されたp+型Siエピタキシャル層41S, 41Dの表面に、NiSiよりなるシリサイド層41gc, 41hcが、それぞれ形成される。また同時に、前記ポリシリコンゲート電極43B上に、NiSiよりなるシリサイド層43Bsが形成される。

30

【0060】

例えば図7(B)の構造上に前記Siエピタキシャル層41S, 41Dを形成した後、Ni膜を約5nmの膜厚で堆積し、250~400の温度で10~30秒間熱処理することにより、前記シリサイド層を形成する。その後、未反応のNi膜を過硫酸処理により除去する。

40

【0061】

次に図8(D)の工程において、図7(C)の構造上にTiN膜44を、スパッタリングにより、基板温度を室温から300の範囲に設定し、40nmの膜厚に堆積する。このような低温で堆積したTiN膜44は、先にも説明したように、膜中に大きな圧縮応力を蓄積しており、前記リセス41Rs, 41Rdを充填する部分において圧縮応力源として作用する。

50

【 0 0 6 2 】

さらに図 8 (E) の工程において、図 8 (D) の構造上に、400 を超えない基板温度でシリコン酸化膜 4 5 を、プラズマ C V D 法により、約 200 nm の膜厚に堆積する。

【 0 0 6 3 】

次に図 9 (F) の工程において、前記シリコン酸化膜 4 5 を前記ゲート電極 4 3 A , 4 3 B を覆う T i N 膜 4 4 が露出するまで、C M P 法により研磨し、さらに図 9 (G) の工程で、前記シリコン酸化膜 4 5 に形成された開口部から、前記 T i N 膜 4 4 を、図 9 (G) 中において矢印で示すようにウェットエッチングして除去する。

【 0 0 6 4 】

さらに前記シリコン酸化膜 4 5 を除去し、前記シリコン基板 4 1 上に残留している T i N 膜 4 4 を除去することにより、図 10 (H) に示す、シリコン基板 4 1 上に n チャネル M O S トランジスタと p チャネル M O S トランジスタが集積化され、さらに前記 p チャネル M O S トランジスタのソース/ドレイン領域に形成された前記リセス 4 1 R s および 4 1 R d が、T i N 膜 4 4 A , 4 4 B により充填された半導体集積回路装置が得られる。

【 0 0 6 5 】

本実施例においても、前記シリサイド層 4 1 s c , 4 1 d c , 4 1 g c , 4 1 h c , 4 3 A s , 4 3 B s として、T i S i ₂ , N i S i , C o S i ₂ , T a S i ₂ , P t S i , I r S i などを扱うことが可能である。また前記 T i N 膜 4 4 A , 4 4 B の代わりに、T i , T a , W , C r , M o など大部分の金属、あるいはその導電性窒化物を、室温ないし 300 以下の、比較的低い基板温度において、たとえばスパッタリングにより成膜することで、形成することも可能である。

[第 3 実施例]

ところで、先の図 4 の解析結果によると、圧縮応力源の位置がチャンネル領域から 100 nm 程度離間していても、図 3 の構成を使うことにより、チャンネル領域に大きな圧縮応力を誘起することが可能であるのがわかる。これは、通常の p チャネル M O S トランジスタにおいて、ソース/ドレインコンタクトホール2の底部に、このような圧縮応力源となる金属または金属化合物を形成することによっても、同様なチャンネル領域におけるホール移動度の増大を実現することができるのを意味している。

【 0 0 6 6 】

図 11 は、このような思想に基づいた、本発明の第 3 実施例による p チャネル M O S トランジスタの構成を示す図である。ただし図 11 中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 6 7 】

図 11 を参照するに、本実施例では、素子分離領域 2 1 I により画成された素子領域 2 1 A 中に p 型ソースエクステンション領域 2 1 a およびドレインエクステンション領域 2 1 b , p + 型ソース領域 2 1 c およびドレイン領域 2 1 d が形成されたシリコン基板 2 1 上に、ポリシリコンゲート電極 2 3 および側壁絶縁膜 2 3 I , 2 3 W を連続して覆うように S i N よりなるコンタクトエッチストップ膜 2 4 が形成されており、前記コンタクトエッチストップ膜 2 4 上に層間絶縁膜 2 5 が形成されている。ここで、前記コンタクトエッチストップ膜 2 4 を構成する S i N 膜は、膜中に圧縮応力を蓄積しないような条件で堆積される。

【 0 0 6 8 】

前記層間絶縁膜 2 5 中には、前記ソース領域 2 1 c に対応してコンタクトホール 2 5 A が形成されており、また前記ドレイン領域 2 1 d に対応してコンタクトホール 2 5 B が形成されている。

【 0 0 6 9 】

前記コンタクトホール 2 5 A は、前記コンタクトエッチストップ膜 2 4 を貫通して前記ソース領域 2 1 c 中に侵入し、前記リセス 2 1 R s に対応したリセスを形成する。同様に、前記コンタクトホール 2 5 B は、前記コンタクトエッチストップ膜 2 4 を貫通して前記

ドレイン領域 2 1 d 中に侵入し、前記リセス 2 1 R d に対応したリセスを形成する。

【 0 0 7 0 】

前記ソース領域 2 1 c では、前記リセスの底面および側壁面にシリサイド層 2 1 s c が形成され、同様なシリサイド層 2 1 c は、前記ドレイン領域 2 1 d 中に形成されたりセスの底面および側壁面にも形成されている。

【 0 0 7 1 】

さらに前記コンタクトホール 2 5 A の底部には、前記リセスを充填するように、TiN よりなる金属層 2 5 M A が充填されており、前記金属層 2 5 M A は、さらに前記コンタクトホール 2 5 A の上方に、前記コンタクトホール 2 5 A の側壁面を覆う金属ライナーを形成する。さらに、前記コンタクトホール 2 5 A 中、前記金属層 2 5 M A の上部は、W プラグ 2 5 W A により、充填されている。

10

同様に、前記コンタクトホール 2 5 B の底部には、前記リセスを充填するように、TiN よりなる金属層 2 5 M B が充填されており、前記金属層 2 5 M B は、さらに前記コンタクトホール 2 5 B の上方に、前記コンタクトホール 2 5 B の側壁面を覆う金属ライナーを形成する。さらに前記コンタクトホール 2 5 B 中、前記金属層 2 5 M B の上部は、W プラグ 2 5 W B により、充填されている。

【 0 0 7 2 】

かかる構成によっても、前記金属層 2 5 M A , 2 5 M B は圧縮応力を蓄積しているため膨張しようとする傾向を示し、図中、矢印で示すように、前記ゲート電極 2 3 直下のチャネル領域に、圧縮応力を誘起することが可能になる。

20

【 0 0 7 3 】

本実施例においても、前記シリサイド層としては、 $TiSi_2$, $NiSi$, $CoSi_2$, $TaSi_2$, $PtSi$, $IrSi$ などを使うことが可能である。また前記 TiN の代わりに、Ti , Ta , W , Cr , Mo など大部分の金属、あるいはその導電性窒化物を、室温ないし 300 以下の、比較的低い基板温度において、たとえばスパッタリングにより成膜することで、形成することも可能である。

【 0 0 7 4 】

図 1 2 は、図 1 1 の p チャネル MOS トランジスタ 2 0 B の一変形例による p チャネル MOS トランジスタ 2 0 C の構成を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

30

【 0 0 7 5 】

図 1 2 を参照するに、本実施例では、前記 p 型ソース領域 2 1 c および p 型ドレイン領域 2 1 d にリセスを充填するように in-situ ドープされた p+型 SiGe 混晶層 2 1 S G がエピタキシャルに形成されており、前記圧縮応力源 2 5 M A , 2 5 M B は、かかる SiGe 混晶層 2 1 S G に形成されたりセスを充填するように形成されている。

【 0 0 7 6 】

かかる構成によれば、p 型ソース領域 2 1 c , p 型ドレイン領域 2 1 d の深い部分まで高いキャリア濃度を実現でき、前記金属あるいは金属化合物よりなる圧縮応力源 2 5 M A , 2 5 M B とのコンタクト抵抗を低減することが可能になる。

40

[第 4 実施例]

図 1 3 (A) ~ 図 1 5 (E) は、本発明の第 4 実施例による、同一シリコン基板上に n チャネル MOS トランジスタと p チャネル MOS トランジスタとを集積化した半導体集積回路装置 6 0 の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 7 7 】

本実施例では、p チャネル MOS トランジスタについては、先の図 1 1 と同様な構成を使い、一方 n チャネル MOS トランジスタについては、コンタクトプラグの下部に、引張り応力源を形成することにより、チャネル領域に引張り応力を印加し、動作速度を向上させている。

50

【 0 0 7 8 】

図 1 3 (A) を参照するに、本実施例においては、先に説明した図 7 (A) の構造上に引張り応力を蓄積した S i N 膜 6 1 A が、前記素子領域 4 1 A を、ゲート電極 4 3 A および側壁絶縁膜 4 1 W A を含めて覆うように形成され、さらに無応力あるいは圧縮応力を蓄積した S i N 膜 6 1 B が、前記素子領域 4 1 B を、ゲート電極 4 3 B および側壁絶縁膜 4 1 W B を含めて覆うように、前記 S i N 膜 6 1 A の形成工程とは異なった条件で形成されている。このような S i N 膜における膜応力と成膜条件の関係は公知であり、説明を省略する。

【 0 0 7 9 】

図 1 3 (A) の工程では、さらに前記 S i N 膜 6 1 A , 6 1 B 上に層間絶縁膜 6 2 が形成されており、前記層間絶縁膜 6 2 中に、前記素子領域 4 1 A において n 型ソース領域 4 1 c および n 型ドレイン領域 4 1 d を露出するように、コンタクトホール 6 2 A , 6 2 B が、前記ソース領域 4 1 c およびドレイン領域 4 1 d にリセスを形成するように形成されており、前記リセスの側壁面および底面には、シリサイド膜 4 1 s c および 4 2 d c が形成されている。

10

【 0 0 8 0 】

次に図 1 3 (B) の工程において、前記コンタクトホール 6 2 A , 6 2 B の底部を、前記リセスを含めて充填するように、T i N 膜 6 2 M A , 6 2 M B がそれぞれスパッタリングにより形成され、さらに前記コンタクトホール中、前記 T i N 膜 6 2 M A , 6 2 M B のそれぞれ上方の空間が、W プラグ 6 2 W A および 6 2 W B により充填される。その際、前記 T i N 膜 6 2 M A は前記コンタクトホール 6 2 A の側壁面に沿って上方に延在し、ライナーを形成する。同様に、前記 T i N 膜 6 2 M B も前記コンタクトホール 6 2 B の側壁面に沿って上方に延在し、ライナーを形成する。

20

【 0 0 8 1 】

この時点では、前記 T i N 膜 6 2 M A , 6 2 M B は室温ないし 3 0 0 程度の低温で形成されているため、内部に圧縮応力を蓄積している。

【 0 0 8 2 】

次に、図 1 4 (C) の工程において図 1 4 (B) の構造を、窒素雰囲気中、例えば 6 0 0 で 3 0 秒間熱処理し、前記 T i N 膜 6 2 M A , 6 2 M B を結晶化させる。これにより、前記 T i N 膜 6 2 M A , 6 2 M B は、室温において図 1 4 (C) に示すように引張り応力を形成する引張り応力源に変化する。

30

【 0 0 8 3 】

次に、図 1 4 (D) の工程において、前記層間絶縁膜 6 2 中、前記素子領域 4 1 B において p 型ソース領域 4 1 g および p 型ドレイン領域 4 1 h を露出するように、コンタクトホール 6 2 C , 6 2 D を、前記ソース領域 4 1 g およびドレイン領域 4 1 h にリセスが形成されるように形成し、さらに前記リセスの側壁面および底面に、シリサイド膜 4 1 s g , 4 1 s h を形成する。

【 0 0 8 4 】

さらに図 1 5 (E) の工程において、前記コンタクトホール 6 2 C , 6 2 D の底部を、前記リセスを含めて充填するように、T i N 膜 6 2 M C , 6 2 M D がそれぞれスパッタリングにより形成され、さらに前記コンタクトホール中、前記 T i N 膜 6 2 M C , 6 2 M D のそれぞれ上方の空間が、W プラグ 6 2 W C および 6 2 W D により充填される。その際、前記 T i N 膜 6 2 M C は前記コンタクトホール 6 2 C の側壁面に沿って上方に延在し、ライナーを形成する。同様に、前記 T i N 膜 6 2 M D も前記コンタクトホール 6 2 D の側壁面に沿って上方に延在し、ライナーを形成する。

40

【 0 0 8 5 】

このようにして形成された T i N 膜 6 2 M C , 6 2 M D は、圧縮応力を蓄積しており、図 1 5 (E) 中に矢印で示したように、素子領域 4 1 B に形成された p チャネル M O S トランジスタのチャネル領域に圧縮応力を印加する。

【 0 0 8 6 】

50

このように、図15(E)の半導体集積回路装置60では、nチャネルMOSトランジスタのチャンネル領域にチャンネル方向に作用する引張り応力を印加し、同時にpチャネルMOSトランジスタのチャンネル領域に、チャンネル方向に作用する圧縮応力を印加することが可能で、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタの動作速度を、共に向上させることが可能である。

【0087】

さらに本発明の各実施例において、前記圧縮応力源は、例えば図16に示すように、圧縮応力源21MS, 21MDを金属膜とする場合には、その周囲を金属窒化膜21MNで覆うことにより、金属元素のソース/ドレイン領域への拡散を抑制することができる。

【0088】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【0089】

(付記1)

チャンネル領域を含むシリコン基板と、

前記シリコン基板上、前記チャンネル領域に対応して、ゲート絶縁膜を介して形成されたゲート電極と、

前記シリコン基板中、前記チャンネル領域の両側に形成されたp型ソースエクステンション領域およびp型ドレインエクステンション領域と、

前記シリコン基板中、前記ゲート電極の両側で、前記ゲート電極の両側壁面上にそれぞれ形成された一对の側壁絶縁膜の外側に、それぞれ前記p型ソースエクステンション領域およびp型ドレインエクステンション領域と部分的に重畳するように形成されたp型ソース領域およびp型ドレイン領域とよりなるpチャネルMOSトランジスタであって、

前記p型ソース領域および前記p型ドレイン領域の各々は、金属膜領域または金属化合物膜領域を含み、圧縮応力を蓄積した圧縮応力源を内包することを特徴とするpチャネルMOSトランジスタ。

【0090】

(付記2)

前記圧縮応力源はその底面が、前記シリコン基板中に、前記シリコン基板と前記ゲート絶縁膜との界面から少なくとも10nm離間するように形成されていることを特徴とする付記1記載のpチャネルMOSトランジスタ。

【0091】

(付記3)

前記圧縮応力源はその底面が、前記シリコン基板中に、前記シリコン基板と前記ゲート絶縁膜との界面から少なくとも20nm離間するように形成されていることを特徴とする付記1記載のpチャネルMOSトランジスタ。

【0092】

(付記4)

前記圧縮応力源は、TiNまたはWよりなることを特徴とする付記1~3のうち、いずれか一項記載のpチャネルMOSトランジスタ。

【0093】

(付記5)

前記圧縮応力源は、金属よりなり、金属窒化膜により覆われていることを特徴とする付記1~4のうち、いずれか一項記載のpチャネルMOSトランジスタ。

【0094】

(付記6)

前記圧縮応力源の側壁面および底面は、シリサイド膜により覆われていることを特徴とする付記1~5のうち、いずれか一項記載のpチャネルMOSトランジスタ。

【0095】

10

20

30

40

50

(付記7)

前記シリサイド膜は、前記シリコン基板の格子定数よりも大きな構成定数を有することを特徴とする付記6記載のpチャネルMOSトランジスタ。

【0096】

(付記8)

前記シリサイド膜は、 $TiSi_2$ 、 $NiSi$ 、 $CoSi_2$ 、 $TaSi_2$ 、 $PtSi$ および $IrSi$ のいずれかより選ばれることを特徴とする付記6または7記載のpチャネルMOSトランジスタ。

【0097】

(付記9)

前記p型ソース領域およびp型ドレイン領域の各々は凹部を形成され、前記凹部内には、前記シリコン基板に対してエピタキシャルに成長した、Siを主成分として含み前記p型ソース領域あるいはp型ドレイン領域よりも高い不純物濃度にドーブされたp型半導体層よりなるコンタクト層が形成され、前記圧縮応力源は、前記コンタクト層上に、前記凹部を充填するように形成されていることを特徴とする付記1~8のうち、いずれか一項記載のpチャネルMOSトランジスタ。

【0098】

(付記10)

前記コンタクト層は、Siエピタキシャル層であることを特徴とする付記9記載のpチャネルMOSトランジスタ。

【0099】

(付記11)

前記コンタクト層は、SiGeエピタキシャル層であることを特徴とする付記9記載のpチャネルMOSトランジスタ。

【0100】

(付記12)

前記pチャネルMOSトランジスタは、さらに前記シリコン基板上に前記p型ソース領域および前記p型ドレイン領域を覆うように形成された絶縁膜と、前記絶縁膜中に、それぞれ前記p型ソース領域および前記p型ドレイン領域とコンタクトして形成された第1および第2のコンタクトプラグを含み、前記圧縮応力源は、前記p型ソース領域においては前記第1のコンタクトプラグの先端部に、また前記p型ドレイン領域においては前記第2のコンタクトプラグの先端部に形成されていることを特徴とする付記1~11のうち、いずれか一項記載のpチャネルMOSトランジスタ。

【0101】

(付記13)

素子分離領域により、第1のチャネル領域を含む第1の素子領域と第2のチャネル領域を含む第2の素子領域とを画成されたシリコン基板と、

前記第1の素子領域において、前記シリコン基板上に前記第1のチャネル領域に対応して、第1のゲート絶縁膜を介して形成されたn型の第1のゲート電極と、

前記第1の素子領域において、前記シリコン基板中、前記第1のチャネル領域の両側に形成されたn型ソースエクステンション領域およびn型ドレインエクステンション領域と、

前記第1の素子領域において、前記シリコン基板中、前記第1のゲート電極の両側で、前記第1のゲート電極の両側壁面上にそれぞれ形成された一对の第1の側壁絶縁膜の外側に、それぞれ前記n型ソースエクステンション領域およびn型ドレインエクステンション領域と部分的に重畳するように形成されたn型ソース領域およびn型ドレイン領域とよりなるnチャネルMOSトランジスタと、

前記第2の素子領域において、前記シリコン基板上に前記第2のチャネル領域に対応して、第2のゲート絶縁膜を介して形成されたp型の第2のゲート電極と、

前記第2の素子領域において、前記シリコン基板中、前記第2のチャネル領域の両側に形成されたp型ソースエクステンション領域およびp型ドレインエクステンション領域と

10

20

30

40

50

前記第2の素子領域において、前記シリコン基板中、前記第2のゲート電極の両側で、前記第2のゲート電極の両側壁面上にそれぞれ形成された一对の第2の側壁絶縁膜の外側に、それぞれ前記p型ソースエクステンション領域およびp型ドレインエクステンション領域と部分的に重畳するように形成されたp型ソース領域およびp型ドレイン領域とよりなるnチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記シリコン基板上に、前記第1および第2の素子領域にわたり延在し、前記nチャネルMOSトランジスタおよび前記pチャネルMOSトランジスタを覆う層間絶縁膜と、

前記層間絶縁膜中に、前記n型ソース領域および前記n型ドレイン領域に対応して形成された第1および第2のコンタクトプラグと、

前記層間絶縁膜中に、前記p型ソース領域および前記p型ドレイン領域に対応して形成された第3および第4のコンタクトプラグとを含み、

前記第1および第2のコンタクトプラグはその先端部に、それぞれ金属または金属化合物よりなり、前記n型ソース領域および前記n型ドレイン領域と接続される第1および第2の引張り応力源を有し、

前記第3および第4のコンタクトプラグはその先端部に、それぞれ金属または金属化合物よりなり、前記p型ソース領域および前記p型ドレイン領域と接続される第3および第4の圧縮応力源を有することを特徴とする半導体集積回路装置。

【0102】

(付記14)

前記第1および第2の引張り応力源は、それぞれ前記n型ソース領域および前記n型ドレイン領域中に形成されたりセスを充填し、

前記第1および第2の圧縮応力源は、それぞれ前記p型ソース領域および前記p型ドレイン領域中に形成されたりセスを充填することを特徴とする付記13記載の半導体集積回路装置。

【0103】

(付記15)

シリコン基板上に、チャンネル領域に対応してゲート電極を形成する工程と、

前記シリコン基板中、前記ゲート電極の両側に、p型ソース領域およびp型ドレイン領域を形成する工程と

を含むpチャネルMOSトランジスタの製造方法であって、

さらに前記p型ソース領域およびp型ドレイン領域の各々に、リセス領域を形成する工程と、

前記リセス領域表面を、前記リセス形状に沿って、高融点金属シリサイド膜で覆う工程と、

前記高融点シリサイド膜上に、前記リセス領域を充填するように、金属または金属化合物膜を、膜中に圧縮応力が蓄積されるような条件で堆積する工程と

を含むことを特徴とするpチャネルMOSトランジスタの製造方法。

【0104】

(付記16)

前記金属膜化合物膜は、金属窒化物膜であることを特徴とする付記15記載のpチャネルMOSトランジスタの製造方法。

【0105】

(付記17)

前記金属または金属化合物を堆積する工程は、室温から300の範囲の基板温度において実行されることを特徴とする付記15または16記載のpチャネルMOSトランジスタの製造方法。

【0106】

(付記18)

10

20

30

40

50

前記金属または金属化合物を堆積する工程は、スパッタリングにより実行されることを特徴とする付記 15 ~ 17 のうち、いずれか一項記載の p チャンネル MOS トランジスタの製造方法。

【 0 1 0 7 】

(付記 1 9)

前記金属または金属化合物を堆積する工程は、前記シリコン基板上に前記 p 型ソース領域および p 型ドレイン領域を覆うように層間絶縁膜を形成し、さらに前記層間絶縁膜中に前記 p 型ソース領域および p 型ドレイン領域をそれぞれ露出する第 1 および第 2 のコンタクトホールを形成する工程の後、前記第 1 および第 2 のコンタクトホールの少なくとも下部を充填するように実行されることを特徴とする付記 15 ~ 18 のうち、いずれか一項記載の p チャンネル MOS トランジスタの製造方法。

10

【 0 1 0 8 】

(付記 2 0)

前記第 1 および第 2 のコンタクトホールを形成する工程は、前記 p 型ソース領域および p 型ドレイン領域中に、それぞれ前記第 1 および第 2 のコンタクトホールに対応してリセスが形成されるように実行されることを特徴とする付記 19 記載の p チャンネル MOS トランジスタの製造方法。

【 0 1 0 9 】

(付記 2 1)

素子分離領域により第 1 および第 2 の素子領域を画成されたシリコン基板上への、 p チャンネル MOS トランジスタと n チャンネル MOS トランジスタを含む半導体集積回路装置の製造方法であって、

20

前記第 1 の素子領域上に、 n 型ソース領域および n 型ドレイン領域を有する n チャンネル MOS トランジスタを、また前記第 2 の素子領域上に、 p 型ソース領域および p 型ドレイン領域を有する p チャンネル MOS トランジスタを形成する工程と、

前記シリコン基板上に、前記第 1 および第 2 の素子領域にわたり、前記 n チャンネル MOS トランジスタおよび p チャンネル MOS トランジスタを覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記 n 型ソース領域および n 型ドレイン領域とそれぞれコンタクトする第 1 および第 2 の導電性プラグを、前記第 1 および第 2 の導電性プラグが、それぞれ前記層間絶縁膜中に前記 n 型ソース領域および n 型ドレイン領域に対応して形成された第 1 および第 2 のコンタクトホールを充填するように形成する工程と、

30

熱処理により、前記第 1 および第 2 の導電性プラグを再結晶させる工程と、

前記再結晶工程の後、前記層間絶縁膜中に、前記 p 型ソース領域および p 型ドレイン領域をそれぞれ露出するように第 3 および第 4 のコンタクトホールを形成する工程と、

前記第 3 および第 4 のコンタクトホールの少なくとも底部を、金属または金属化合物により充填する工程と

よりなり、

前記金属または金属化合物は、圧縮応力を蓄積するような条件で堆積されることを特徴とする半導体集積回路装置の製造方法。

40

【 0 1 1 0 】

(付記 2 2)

前記金属または金属化合物は、室温から 300 の範囲の基板温度で堆積されることを特徴とする付記 21 記載の半導体集積回路装置の製造方法。

【 0 1 1 1 】

(付記 2 3)

前記第 1 および第 2 のコンタクトホールは、それぞれ前記 n 型ソース領域および n 型ドレイン領域中にリセスを形成し、

前記第 3 および第 4 のコンタクトホールは、それぞれ前記 p 型ソース領域および p 型ドレイン領域中にリセスを形成することを特徴とする付記 21 または 22 記載の半導体集積

50

回路装置の製造方法。

【図面の簡単な説明】

【0112】

【図1】従来の応力印加nチャンネルMOSトランジスタの原理を説明する図である。

【図2】従来の応力印加pチャンネルMOSトランジスタの原理を説明する図である。

【図3】本発明第1実施例によるpチャンネルMOSトランジスタの構成を示す図である。

【図4】図3のpチャンネルMOSトランジスタにおける応力分布を示す図である。

【図5】図3のMOSトランジスタにおける移動度増加率を従来の応力印加pチャンネルMOSトランジスタの場合と比較して示す図である。

【図6】図3のpチャンネルMOSトランジスタの一変形例を示す図である。

10

【図7】(A)~(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図8】(D)~(E)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図9】(F)~(G)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図10】(H)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その4)である。

【図11】本発明の第3実施例によるpチャンネルMOSトランジスタの構成を示す図である。

20

【図12】図11のpチャンネルMOSトランジスタの一変形例を示す図である。

【図13】(A)~(B)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図14】(C)~(D)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図15】(E)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図16】本発明第1実施例の変形例を示す図である。

【符号の説明】

【0113】

20, 20A, 20B, 20C pチャンネルMOSトランジスタ

40, 60 半導体集積回路装置

1, 11, 21, 41 シリコン基板

1I, 21I, 41I 素子分離領域

1A, 21A, 41A, 41B 素子領域

1a, 11a, 21a, 41a, 41e ソースエクステンション領域

1b, 11b, 21b, 41b, 41f ドレインエクステンション領域

1c, 11A, 21c, 41c, 41g ソース領域

1d, 11B, 21d, 41d, 41h ドレイン領域

2, 12, 22, 42A, 42B ゲート絶縁膜

3, 13, 23, 43A, 43B ゲート電極

3A, 3B, 13A, 13B, 23W, 43NA, 43NB 側壁絶縁膜

23I, 43IA, 43IB 側壁酸化膜

4A, 4B, 4C, 21sc, 23sc, 41sc, 41gc, 41hc シリサイド膜

5, 61A 引張り応力膜

21Rs, 21Rd, 41Rs, 41Rd リセス

21MS, 21MD, 25MA, 25MB, 62MC, 62MD 圧縮応力源

21S, 21D Siコンタクト層

21SG SiGeコンタクト層

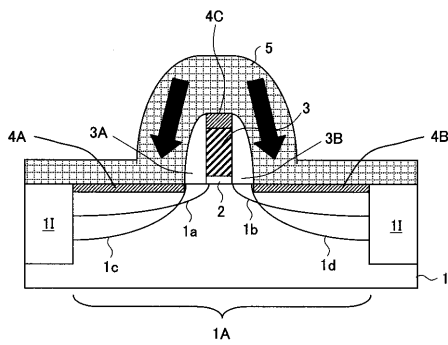
40

50

- 2 4 , 6 1 B コンタクトエッチストップパ膜
- 2 5 , 6 2 層間絶縁膜
- 2 5 A , 2 5 B , 6 2 A , 6 2 B , 6 2 C , 6 2 D コンタクトホール
- 2 5 W A , 2 5 W B Wプラグ
- 4 4 金属膜または金属化合物膜
- 4 5 酸化膜
- 6 2 M A , 6 2 M B 引張り応力源

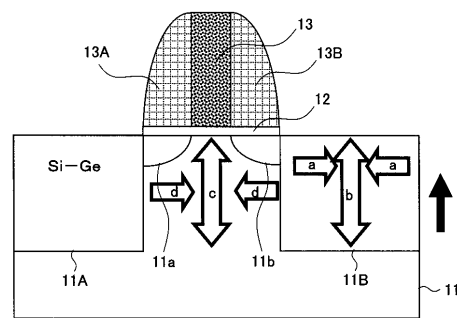
【 図 1 】

従来の応力印加nチャンネルMOSトランジスタの原理を説明する図



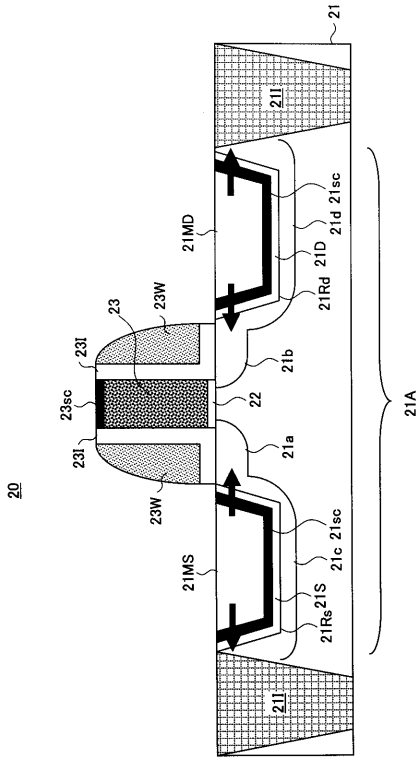
【 図 2 】

従来の応力印加pチャンネルMOSトランジスタの原理を説明する図



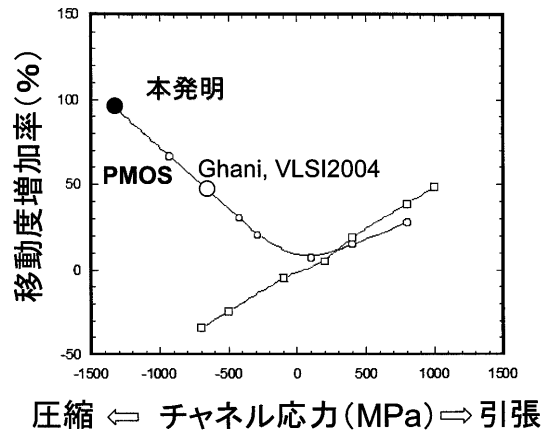
【図3】

本発明第1実施例によるpチャンネルMOSTランジスタの構成を示す図



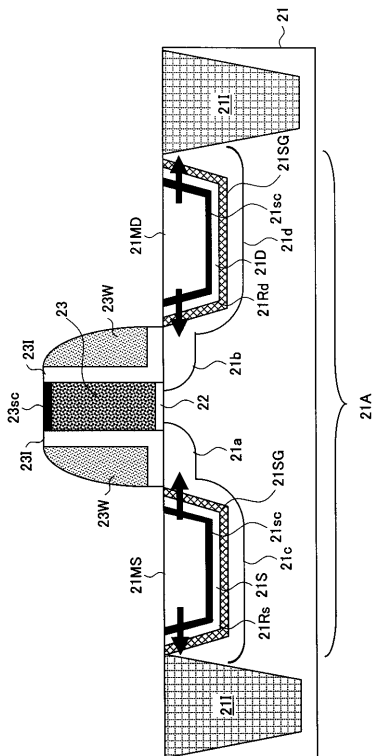
【図5】

図3のMOSTランジスタにおける移動度増加率を従来の応力印加pチャンネルMOSTランジスタの場合と比較して示す図



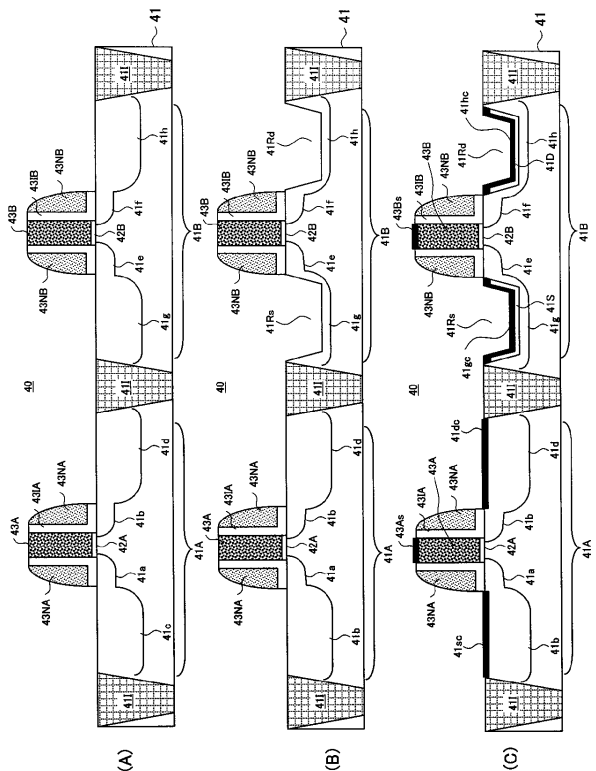
【図6】

図3のpチャンネルMOSTランジスタの一変形例を示す図



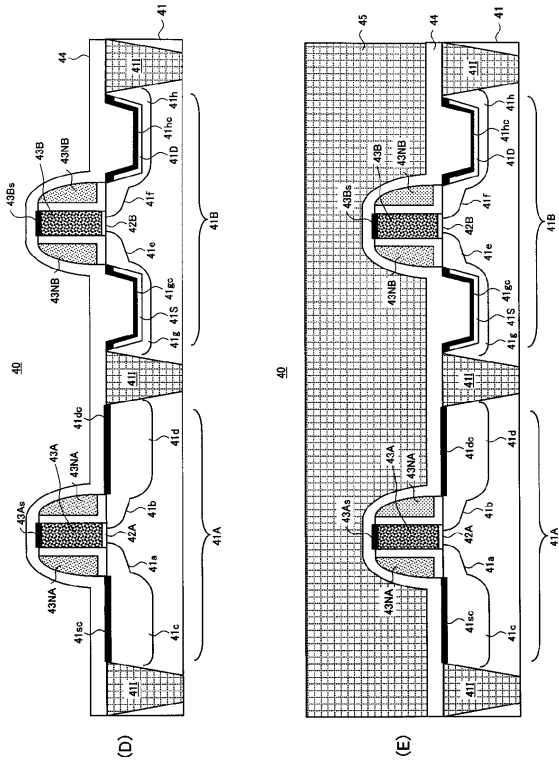
【図7】

(A)~(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)



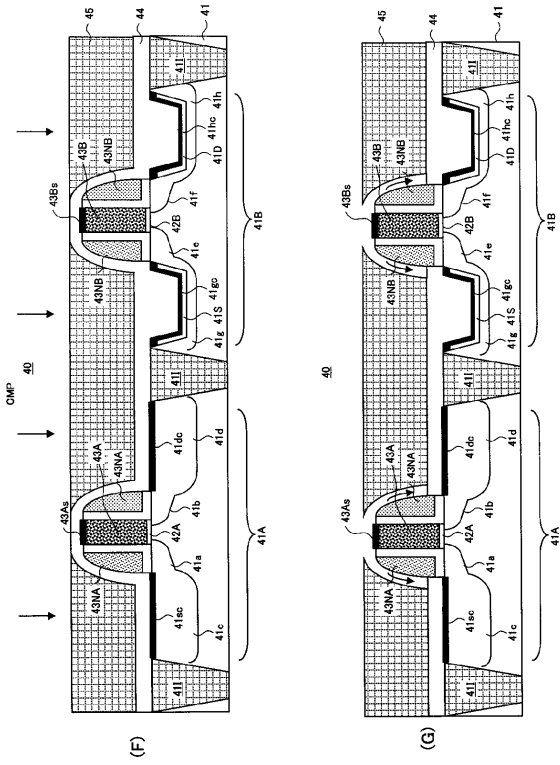
【図8】

(D)~(E)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その2)



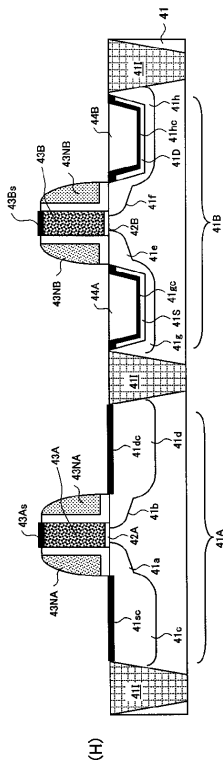
【図9】

(F)~(G)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その3)



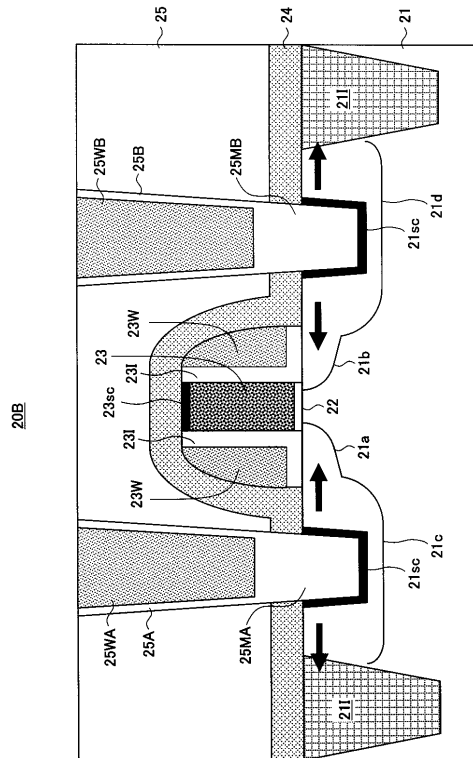
【図10】

(H)は、本発明の第2実施例による
半導体集積回路装置の製造工程を示す図(その4)



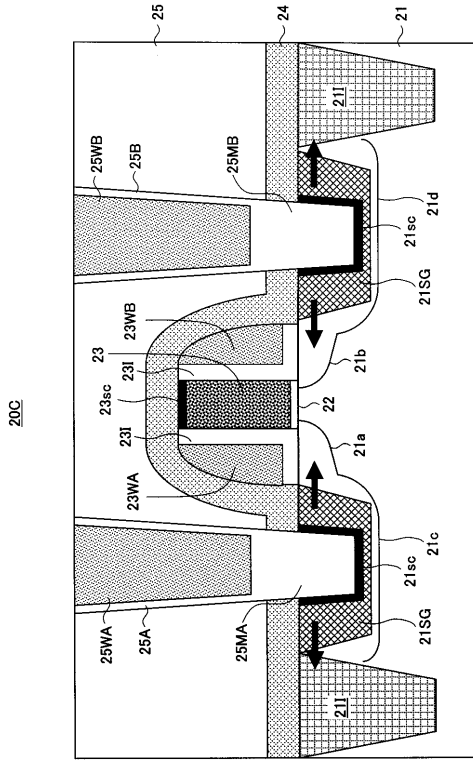
【図11】

本発明の第3実施例によるpチャネルMOSTランジスタの構成を示す図



【図12】

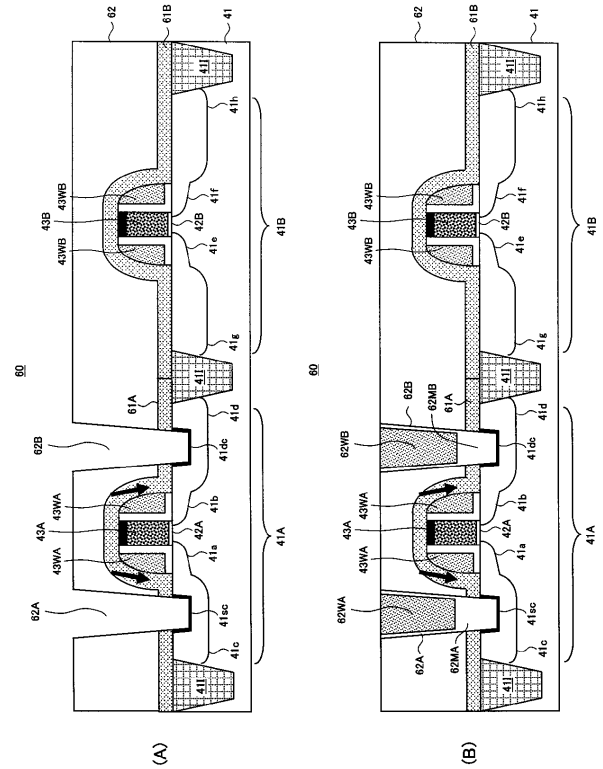
図11のpチャネルMOSTランジスタの一変形例を示す図



20C

【図13】

(A)~(B)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その1)

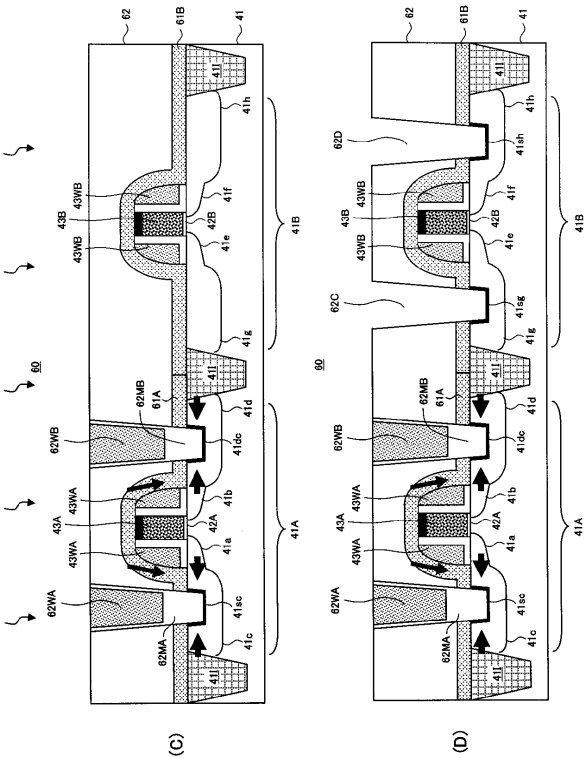


(A)

(B)

【図14】

(C)~(D)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その2)

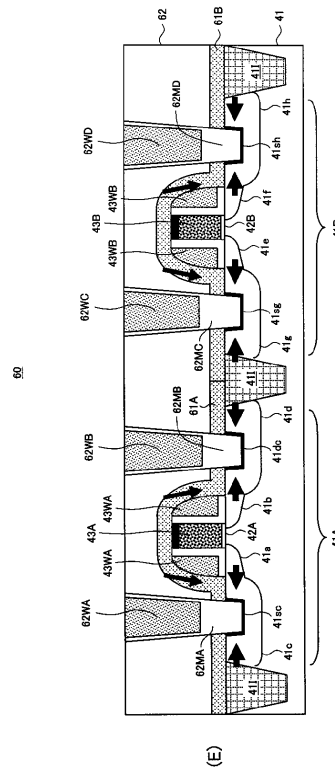


(C)

(D)

【図15】

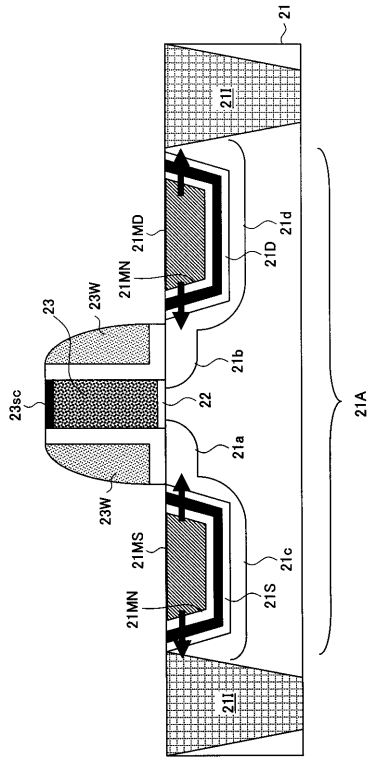
(E)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その3)



(E)

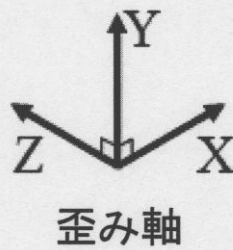
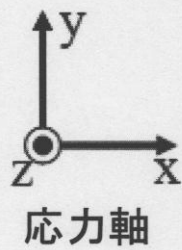
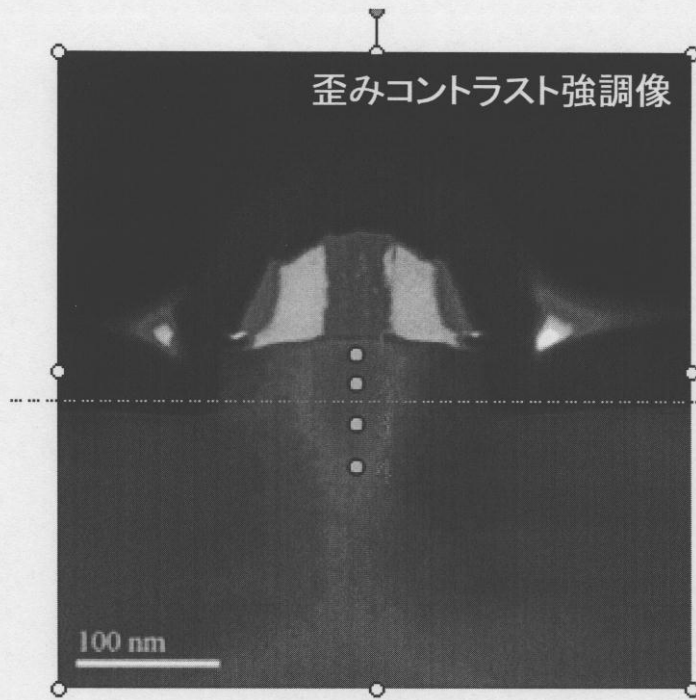
【図16】

本発明第1実施例の変形例を示す図



【図4】

図3のpチャンネルMOSTランジスタにおける応力分布を示す図



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 3 0 1 S
H 0 1 L 29/50 M

(72)発明者 片上 朗
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 川村 裕二

(56)参考文献 特開2001-144276(JP,A)
特開2001-250791(JP,A)
特開平07-106569(JP,A)
特開平08-167717(JP,A)
特開平05-283685(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 4 1 7