

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6924811号
(P6924811)

(45) 発行日 令和3年8月25日(2021.8.25)

(24) 登録日 令和3年8月4日(2021.8.4)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/088 3 3 1 E
HO 1 L 27/088 (2006.01)	HO 1 L 27/06 1 0 2 A
HO 1 L 21/8234 (2006.01)	HO 1 L 27/088 E
HO 1 L 27/06 (2006.01)	HO 1 L 27/088 H
請求項の数 3 (全 32 頁) 最終頁に続く	

(21) 出願番号 特願2019-218590 (P2019-218590)
 (22) 出願日 令和1年12月3日(2019.12.3)
 (62) 分割の表示 特願2018-115222 (P2018-115222)
 の分割
 原出願日 平成26年6月20日(2014.6.20)
 (65) 公開番号 特開2020-47936 (P2020-47936A)
 (43) 公開日 令和2年3月26日(2020.3.26)
 審査請求日 令和1年12月23日(2019.12.23)
 (31) 優先権主張番号 特願2013-133496 (P2013-133496)
 (32) 優先日 平成25年6月26日(2013.6.26)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

全てのトランジスタがnチャンネル型である回路を複数有する半導体装置であって、
前記回路は、第1のトランジスタ乃至第3のトランジスタを有し、
 前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電氣的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートに電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、第2の配線に電氣的に接続され、
 前記第2のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのゲートに電氣的に接続され、
 前記第3のトランジスタのソース又はドレインの一方は、第3の配線に電氣的に接続され、
 前記第3のトランジスタのソース又はドレインの他方は、第4の配線に電氣的に接続される半導体装置。

【請求項2】

全てのトランジスタがnチャンネル型である回路を複数有する半導体装置であって、
前記回路は、第1のトランジスタ乃至第3のトランジスタを有し、
 前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電氣的に接続さ

れ、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 3 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 4 の配線に電氣的に接続され、

前記第 3 の配線には、前記第 3 のトランジスタの導通状態に応じた電位が出力される半導体装置。

【請求項 3】

全てのトランジスタが n チャネル型である回路を複数有する半導体装置であって、
複数の前記回路のうち、第 1 の回路は第 1 のトランジスタ乃至第 3 のトランジスタを有し、

複数の前記回路のうち、第 2 の回路は第 4 のトランジスタ乃至第 6 のトランジスタを有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 3 の配線に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、第 5 の配線に電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートに電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 2 の配線に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのゲートに電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、第 7 の配線に電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 4 の配線に電氣的に接続される半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は半導体装置に関する。特に本発明の一態様は、記憶装置と、当該記憶装置を用いた半導体装置に関する。

【背景技術】

10

20

30

40

50

【0002】

新たな半導体として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。酸化物半導体を用いたトランジスタの開発は日々進められており、例えば、下記の特許文献1では、当該トランジスタを非導通状態とすることで浮遊状態となるノードに、データを保持する記憶素子の構成について開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-171702号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

ところで、記憶装置の低消費電力化と高速動作を実現するためには、また、記憶装置における集積度の向上を実現するためには、記憶装置に用いられるトランジスタなどの半導体素子の微細化を推し進める必要がある。しかし、チャンネル長が数十nm程度になるまでトランジスタのサイズを縮小していくと、スケーリング則に従いゲート絶縁膜の膜厚も小さくなるため、トンネル電流の発生により、ゲート電極と半導体膜との間に流れるリーク電流が大きくなる。よって、ノードへの電荷の蓄積によりデータが書き込まれる記憶装置では、当該ノードにトランジスタのゲートが電気的に接続されている場合、微細化により上記トランジスタのリーク電流が大きくなると、蓄積された電荷がリークしやすく、データの保持時間を長く確保することが難しい。

20

【0005】

また、nチャンネル型のトランジスタを介して記憶装置のメモリセル内部のノードに与えられるハイレベルの電位は、当該トランジスタの閾値電圧分降下する。よって、消費電力を低減するために記憶装置の電源電圧を小さくすると、メモリセル内部のノードにおける電位が低くなりすぎて、メモリセルから読み出される信号の論理値が変化するため、データの信頼性が低下しやすい。

【0006】

上述したような技術的背景のもと、本発明の一態様は、データの保持時間を長くすることができる記憶装置の提供を、課題の一つとする。或いは、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる記憶装置の提供を、課題の一つとする。

30

【0007】

また、本発明の一態様は、正常な動作を確保しつつ、低消費電力化を実現できる半導体装置の提供を、課題の一つとする。

【課題を解決するための手段】

【0008】

本発明の一態様では、データを読み出すためのトランジスタのリーク電流によって、当該トランジスタのゲートに接続されたノードから電荷がリークするのを防ぐために、上記トランジスタと上記ノードの間に、リーク電流が上記トランジスタよりも小さい別のトランジスタを、新たに設けるものとする。そして、リーク電流が小さいトランジスタにおける、ゲートと、ソースまたはドレインとの間の信号の伝達により、上記ノードが保持している信号が、データを読み出すためのトランジスタのゲートに送られるものとする。

40

【0009】

本発明の一態様では、リーク電流が小さいトランジスタを記憶装置に設けることによって、データを読み出すためのトランジスタのリーク電流が大きくなったとしても、ノードに蓄積された電荷がリークするのを防ぐことができる。よって、データを読み出すためのトランジスタを微細化しても、データの保持時間の長さを確保することができる。

【0010】

また、本発明の一態様にかかる記憶装置は、データを含む信号に従ってノードへの電荷の蓄積を制御するトランジスタを、さらに有する。そして、上記トランジスタは、チャンネル

50

形成領域をシリコン膜またはシリコン基板に有するトランジスタに比べて、オフ電流が著しく小さいものとする。上記構成により、上記トランジスタが非導通状態のとき、電荷が蓄積されるノードは他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。よって、上記トランジスタが非導通状態のとき、上記ノードにおいて、データを含む信号の電位が保持されるため、データの保持時間の長さを確保することができる。

【0011】

シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域を有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体にチャンネル形成領域を有するトランジスタに比べて、オフ電流を極めて小さくすることができるので、ノードへの電荷の蓄積を制御するトランジスタとして用いるのに適している。シリコンよりもバンドギャップが広く、真性キャリア密度をシリコンよりも低くできる半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、炭化シリコン、窒化ガリウムなどが挙げられる。

10

【0012】

そして、上記ノードが浮遊状態にあることで、上記ノードにゲートが接続された、リーク電流が小さいトランジスタの、ソースとゲートの間に形成される容量Cの容量結合により、リーク電流が小さいトランジスタのソース及びドレインの一方がローレベルからハイレベルに上昇するのに伴い、リーク電流が小さいトランジスタのゲートの電位も上昇する。

【0013】

よって、上記信号の電位がハイレベルである場合において、当該電位に対し、ノードへの電荷の蓄積を制御するトランジスタの閾値電圧分、上記ノードの電位が低下していたとしても、上記動作により上記ノードの電位を上昇させることができる。よって、上記ノードにゲートが接続された、リーク電流が小さいトランジスタのゲート電圧を閾値電圧よりも十分大きくすることができ、リーク電流が小さいトランジスタの導通状態を確保することができる。したがって、本発明の一態様に係る記憶装置では、記憶装置に供給される電源電圧が小さくなったとしても、記憶装置を正常に動作させることができ、よって、データの信頼性が低下するのを防ぐことができる。

20

【0014】

具体的に、本発明の一態様にかかる記憶装置は、第1トランジスタと、第1配線とゲートとの電気的な接続が第1トランジスタにより制御される第2トランジスタと、第2配線とゲートとの電気的な接続が第2トランジスタにより制御される第3トランジスタと、を有し、第1トランジスタのオフ電流は、第3トランジスタよりも小さく、第2トランジスタのリーク電流は、第3トランジスタよりも小さい。

30

【発明の効果】

【0015】

本発明の一態様により、データの保持時間が長い記憶装置を提供することができる。或いは、本発明の一態様により、正常な動作を確保しつつ、低消費電力化を実現する記憶装置を提供することができる。

【0016】

また、本発明の一態様にかかる上記記憶装置を用いることで、正常な動作を確保しつつ、低消費電力化を実現する半導体装置を提供することができる。

40

【図面の簡単な説明】

【0017】

【図1】メモリセルの構成を示す図。

【図2】メモリセルの動作を模式的に示す図。

【図3】メモリセルのタイミングチャート。

【図4】メモリセルの構成を示す図。

【図5】セルアレイの構成を示す図。

【図6】セルアレイのタイミングチャート。

【図7】セルアレイの構成を示す図。

50

【図 8】記憶装置のブロック図。

【図 9】メモリセルの上面図。

【図 10】メモリセルの断面図。

【図 11】電子機器の図。

【発明を実施するための形態】

【0018】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0019】

なお、本発明の一態様の半導体装置は、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP (Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路または保護回路などの、記憶装置を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、記憶装置を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

20

【0020】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電氣的に接続している状態も、その範疇に含む。

【0021】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電氣的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電氣的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

30

【0022】

トランジスタが有するソースとドレインは、トランジスタのチャンネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャンネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャンネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

40

【0023】

メモリセルの構成例 1

まず、本発明の一態様に係る記憶装置が有する、メモリセルの構成例について説明する。図 1 に、本発明の一態様に係る記憶装置の、メモリセル 10 の構成を例示する。本発明の一態様に係る記憶装置は、メモリセル 10 を単数または複数有する。

【0024】

図 1 に示すメモリセル 10 は、トランジスタ 11 と、トランジスタ 12 と、トランジスタ 13 とを少なくとも有する。また、図 1 では、メモリセル 10 が容量素子 14 を有する場

50

合を例示している。トランジスタ12のゲートと半導体膜の間に形成される容量が、データを保持するのに十分な大きさを有する場合、必ずしも容量素子14をメモリセル10に設ける必要はない。

【0025】

トランジスタ11は、データを含む信号が入力される配線WDと、メモリセル10内のノードN1との電気的な接続を、配線WGに入力される電位に従って制御する機能を有する。すなわち、トランジスタ11は、ノードN1への電荷の蓄積を制御する機能を有する。具体的に、図1では、トランジスタ11のゲートが配線WGに接続されており、トランジスタ11のソース及びドレインが、一方は配線WDに接続されており、他方はノードN1に接続されている。データを含む信号の電位がトランジスタ11を介してノードN1に供給されることで、当該電位に対応する電荷がノードN1に蓄積され、メモリセル10へのデータの書き込みが行われる。

10

【0026】

トランジスタ12は、ノードN1の電位に従って、配線RGと、メモリセル10内のノードN2との電気的な接続を制御する機能を有する。具体的に、図1では、トランジスタ12のゲートがノードN1に相当し、トランジスタ12のソース及びドレインが、一方は配線RGに接続されており、他方はノードN2に接続されている。ノードN1の電位に従ってトランジスタ12が導通状態になると、配線RGの電位がノードN2に与えられ、ノードN1の電位に従ってトランジスタ12が非導通状態になると、配線RGの電位がノードN2に与えられないことから、トランジスタ12は、ゲートとソースまたはドレインとの間で信号の伝達を行い、それにより、ノードN1からノードN2に、データを書き込む機能を有すると言える。

20

【0027】

トランジスタ13は、ノードN2の電位に従って、導通または非導通の状態が選択される。よって、トランジスタ13の導通または非導通の状態、すなわち動作状態には、メモリセル10に書き込まれたデータの論理値が反映されており、当該動作状態を、トランジスタ13のドレイン電流、或いは、トランジスタ13のソースまたはドレインの電位から読み取ることにより、メモリセル10に書き込まれたデータを読み出すことができる。具体的に、図1では、トランジスタ13のゲートがノードN2に相当し、トランジスタ13のソース及びドレインが、一方は配線VSに接続されており、他方は配線RDに接続されている。

30

【0028】

なお、図1では、メモリセル10が、ノードN1に接続された容量素子14を有する場合を例示しており、容量素子14によりノードN1の電位が保持される。

【0029】

そして、本発明の一態様では、トランジスタ11のオフ電流は著しく小さいものとする。シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域が形成されるトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を著しく小さくすることが可能である。よって、上記トランジスタはトランジスタ11として用いるのに好適である。このような半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。

40

【0030】

トランジスタ11のオフ電流が著しく小さいことにより、トランジスタ11が非導通状態のとき、トランジスタ11のソース及びドレインの他方は他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。そのため、ノードN1に保持されている電荷がリークするのを防ぐことができ、データを含む信号の電位がノードN1において保持される。

【0031】

なお、特に断りがない限り、本明細書でオフ電流とは、遮断領域においてトランジスタのソースとドレイン間に流れる電流を意味する。

50

【 0 0 3 2 】

また、本発明の一態様では、トランジスタ12のゲートと半導体膜との間に流れるリーク電流が、トランジスタ13のリーク電流よりも小さいものとする。ノードN1がトランジスタ13のゲートに直接接続されている場合、ノードN1に蓄積されている電荷が、トランジスタ13のリーク電流によりリークしやすいが、本発明の一態様のように、リーク電流が小さいトランジスタ12のゲートをノードN1とし、ソース及びドレインの他方をノードN2、すなわちトランジスタ13のゲートに接続することで、ノードN1からの電荷のリークを防ぐことができる。よって、データを読み出すためのトランジスタ13を微細化することで、トランジスタ13のリーク電流が大きくなったとしても、データの保持時間の長さを確保することができる。

10

【 0 0 3 3 】

具体的に、トランジスタ12のリーク電流は、10 y A以下、好ましくは1 y A以下とすればよい。このリーク電流を満たすためには、トランジスタ13のゲート絶縁膜と比較して、トランジスタ12のゲート絶縁膜を厚く設けることが好適である。

【 0 0 3 4 】

なお、トランジスタ12のゲート絶縁膜を介したリーク電流が10 y A以下とすることは、ノードN2における電荷の保持に求められる保持時間をもとに算出すればよい。具体的には電荷Qを約10年間 ($t = 3 \times 10^8 \text{ s}$) 保持するために必要なリーク電流Iは、ノードN2の静電容量Cを10 f Fとし、許容される電圧の変化 ΔV を0.3 Vとすると、式(1)をもとにして10 y A以下であると見積もることができる。

20

【 0 0 3 5 】

$$Q = C \times \Delta V > I \times t \quad (1)$$

【 0 0 3 6 】

この電荷の保持に必要なリーク電流10 y A以下を満たすゲート絶縁膜の膜厚は、チャネル幅およびチャネル長が共に1 μm のトランジスタにおいて、ゲート絶縁膜の材料を酸化珪素に換算すると、約6 nm以上であると見積もることができる。

【 0 0 3 7 】

なお、ゲート絶縁膜の膜厚の見積もりは、非特許文献『Kazunari Ishimaru, 「45 nm / 32 nm CMOS - Challenge and perspective」、Solid-State Electronics、2008年、第52巻、p. 1266 - 1273』のfig. 9におけるグラフを用いて、説明することができる。

30

【 0 0 3 8 】

この非特許文献のfig. 9は、横軸に酸化珪素に換算したゲート絶縁膜の膜厚(以下、単にゲート絶縁膜の膜厚という)(nm)、縦軸に単位面積当たりのリーク電流(A/cm^2)としたグラフを示している。このグラフにおけるゲート絶縁膜の膜厚に対するリーク電流を示す直線の勾配から膜厚1 nm増加するごとに単位面積当たりのリーク電流が4桁程度減少すると見積もることができる。非特許文献のfig. 9によると、ゲート絶縁膜の膜厚2 nmにおけるリーク電流は、 $1 \times 10^{-1} (\text{A}/\text{cm}^2)$ 、すなわち $1 \times 10^{-9} (\text{A}/\mu\text{m}^2)$ と見積もることができ、この値をもとに前述の膜厚1 nm増加するごとに単位面積当たりのリーク電流が減少することを加味すると、ゲート絶縁膜の膜厚が約5 nmであるときの単位面積あたりのリーク電流を、約 $1 \times 10^{-2.1} \text{ A}/\mu\text{m}^2$ 、ゲート絶縁膜の膜厚が約6 nmであるときの単位面積あたりのリーク電流を、約 $1 \times 10^{-2.5} \text{ A}/\mu\text{m}^2$ 、と見積もることができる。この単位面積あたりのリーク電流の値から、チャネル幅およびチャネル長が共に1 μm のトランジスタでのリーク電流を10 y A以下とするためのゲート絶縁膜の膜厚は、約6 nm以上であると見積もることができる。なおトランジスタ13におけるゲート絶縁膜の膜厚は2 nm以下で作製されるため、トランジスタ12のゲート絶縁膜の膜厚のほうが膜厚は厚い構成となる。

40

【 0 0 3 9 】

記憶装置の動作例

50

次いで、図 1 に示したメモリセル 10 の、動作の一例について説明する。図 2 に、図 1 に示したメモリセル 10 の動作の一例を、模式的に示す。ただし、図 2 では、トランジスタ 11 乃至トランジスタ 13 が n チャンネル型である場合を例示している。また、図 3 に、配線 WG、配線 WD、配線 RD、配線 RG、ノード N1、及びノード N2 における電位のタイミングチャートを一例として示す。

【 0040 】

まず、データの書き込みを行う際の、メモリセル 10 の動作について、図 2 (A) を用いて説明する。図 2 (A) 及び図 3 に示すように、期間 t1 において、配線 WG にハイレベルの電位 VDD が供給される。また、図 2 (A) 及び図 3 では、論理値 "1" のデータを含む信号の電位が、配線 WD に供給される場合を例示している。具体的に、配線 WD にはハイレベルの電位 (例えば VDD) が供給される。

10

【 0041 】

よって、期間 t1 では、トランジスタ 11 が導通状態になるため、配線 WD の電位 VDD がトランジスタ 12 のゲート、すなわちノード N1 に、トランジスタ 11 を介して供給される。具体的に、ノード N1 は、電位 VDD からトランジスタ 11 の閾値電圧 V_{th} を差し引いた電位 ($VDD - V_{th}$) となる。

【 0042 】

なお、論理値 "0" のデータを含む信号の電位が、配線 WD に供給される場合、具体的に配線 WD には、ローレベルの電位 (例えば接地電位である電位 GND) が供給され、ノード N1 は電位 GND となる。

20

【 0043 】

なお、ノード N2 は期間 t1 の前にはローレベルの電位 (例えば接地電位である GND) に保たれているものとし、また、期間 t1 では、配線 RG にローレベルの電位 (例えば接地電位である電位 GND) が供給されているため、トランジスタ 12 の動作状態にかかわらず、ノード N2 は電位 GND を維持する。よって、期間 t1 では、トランジスタ 13 は非導通状態にあり、配線 VS と配線 RD とは電氣的に分離された状態にある。

【 0044 】

また、期間 t1 では、配線 VS 及び配線 RD に、ローレベルの電位 (例えば接地電位である電位 GND) が供給されている。

【 0045 】

そして、期間 t1 の終了直前に、配線 WG に電位 GND が供給され、トランジスタ 11 は非導通状態となる。トランジスタ 11 が非導通状態となることで、ノード N1 において電位 ($VDD - V_{th}$) が保持される。

30

【 0046 】

次いで、期間 t2 の直前に配線 RD に電位 VDD が供給される。

【 0047 】

次いで、期間 t2 では、図 2 (B) 及び図 3 に示すように、配線 WG に電位 GND が供給されているため、トランジスタ 11 は非導通状態にある。また、図 3 では、期間 t2 において配線 WD に電位 GND が供給されている場合を例示しているが、期間 t2 において配線 WD に供給される電位は、トランジスタ 11 の非導通状態を維持できるような電位、具体的に、配線 WG の電位と同じか、それより高い電位であれば良い。

40

【 0048 】

また、期間 t2 では、図 2 (B) 及び図 3 に示すように、配線 RG の電位を、電位 GND から電位 VDD まで上昇させる。そして、トランジスタ 11 は非導通状態にあるため、ノード N1 は浮遊状態にある。よって、トランジスタ 12 のソースとゲートの間に形成される容量 C により、配線 RG の電位の上昇に伴い、ノード N1 の電位も上昇を開始する。そして、ノード N1 の電位は、理想的には、電位 ($VDD - V_{th}$) に、電位 GND と電位 VDD の差分に相当する電圧が加算されることで得られる電位 ($2VDD - V_{th}$) にまで上昇する。すなわち、本発明の一態様では、期間 t1 の終了時において、トランジスタ 12 のゲートが、電位 VDD からトランジスタ 11 の閾値電圧 V_{th} だけ低下した電位だ

50

ったとしても、期間 t_2 では、トランジスタ 12 のゲートの電位を上記動作により上昇させることができる。よって、トランジスタ 12 は、ゲート電圧が閾値電圧よりも十分大きくなるため、導通状態となる。そのため、トランジスタ 12 の閾値電圧による電位の降下を抑えつつ、配線 RG の電位 VDD をノード N2 に供給することができる。

【0049】

そして、トランジスタ 13 は、ノード N2 が電位 VDD となることで導通状態となるため、配線 VS の電位 GND が配線 RD に供給される。

【0050】

なお、期間 t_2 におけるノード N1 の理想的な電位の上昇幅は、電位 GND と電位 VDD の差分に相当する電圧であるが、実際には、ノード N1 の電位の上昇幅は、ノード N1 に付加された容量素子 14 とトランジスタ 12 のソースとゲート間に形成される容量 C との、容量比によって変わる。具体的には、容量素子 14 の容量値が容量 C の容量値に比べて小さいほど、ノード N1 の電位の上昇幅は大きくなり、逆に、容量素子 14 の容量値が容量 C の容量値に比べて大きいほど、ノード N1 の電位の上昇幅は小さくなる。したがって、トランジスタ 12 の閾値電圧による電位の降下を抑えつつ、配線 RG の電位 VDD をノード N2 に供給するためには、トランジスタ 12 のゲート電圧が閾値電圧よりも十分大きくなる程度に、容量 C の容量値に比べて容量素子 14 の容量値を小さくすることが望ましい。

【0051】

また、期間 t_1 において、論理値 "0" のデータを含む信号の電位が配線 WD に供給され、ノード N1 が電位 GND である場合、トランジスタ 12 は弱反転モードにある。また、論理値 "1" のデータを含む信号の電位が配線 WD に供給され、ノード N1 が電位 VDD - V_{th} である場合、トランジスタ 12 は強反転モードにある。そして、期間 t_2 において、弱反転モードにあるトランジスタ 12 の方が、強反転モードにあるトランジスタ 12 よりも、ノード N1 の電位の上昇に寄与する容量 C が十分小さい。そのため、ノード N1 が電位 GND である場合、期間 t_2 におけるノード N1 の電位の上昇幅は小さいため、トランジスタ 13 は非導通状態を維持する。よって、配線 VS と配線 RD とは電氣的に分離された状態にあり、配線 RD は電位 VDD に保たれる。

【0052】

よって、配線 RD の電位には、トランジスタ 13 の動作状態、さらにはメモリセル 10 に書き込まれたデータの論理値が反映されており、当該電位から、メモリセル 10 に書き込まれたデータを読み出すことができる。

【0053】

本発明の一態様に係る記憶装置では、記憶装置に供給する電源電圧が小さくなり、メモリセルの各種配線に供給される電位 VDD と電位 GND との電位差が小さくなったとしても、上述したように、期間 t_2 においてトランジスタ 12 のゲート電圧を閾値電圧よりも十分大きくすることができるため、メモリセル内部のノードにおける電位が低くなりすぎることを防ぐことができる。よって、メモリセル 10 から読み出される信号の論理値が変化することを防ぎ、データの信頼性が低下するのを防ぐことができる。

【0054】

メモリセルの構成例 2

次いで、図 1 に示すメモリセル 10 とは異なる、本発明の一態様に係る記憶装置が有する、メモリセルの構成例について説明する。図 4 (A) に、本発明の一態様に係る記憶装置の、メモリセル 10 の構成を例示する。

【0055】

図 4 (A) に示すメモリセル 10 は、トランジスタ 11 と、トランジスタ 12 と、トランジスタ 13 とを少なくとも有する点において、図 1 に示すメモリセル 10 と構成が同じである。ただし、図 4 (A) では、配線 WD が、配線 RD としての機能を有する点において、図 1 に示すメモリセル 10 と構成が異なる。

【0056】

10

20

30

40

50

具体的に、図4(A)に示すメモリセル10では、トランジスタ11のゲートが配線WGに接続されており、トランジスタ11のソース及びドレインが、一方は配線WDに接続されており、他方はノードN1に接続されている。また、トランジスタ12のゲートがノードN1に相当し、トランジスタ12のソース及びドレインが、一方は配線RGに接続されており、他方はノードN2に接続されている。また、トランジスタ13のゲートがノードN2に相当し、トランジスタ13のソース及びドレインが、一方は配線VSに接続されており、他方は配線WDに接続されている。

【0057】

図4(A)に示すメモリセル10では、期間t1において、データを含む信号の電位が配線WDに供給される。そして、期間t2の直前に、配線WDに電位VDDが供給され、期間t2では、上記データの論理値が反映された電位が、具体的には、トランジスタ13の動作状態が反映された電位が、配線WDに供給される。当該電位から、メモリセル10に書き込まれたデータを読み出すことができる。

10

【0058】

次いで、図1に示すメモリセル10とは異なる、本発明の一態様に係る記憶装置が有する、メモリセルの構成例について説明する。図4(B)に、本発明の一態様に係る記憶装置の、メモリセル10の構成を例示する。

【0059】

図4(B)に示すメモリセル10は、トランジスタ11と、トランジスタ12と、トランジスタ13とを少なくとも有する点において、図1に示すメモリセル10と構成が同じである。ただし、図4(B)では、配線WDが、配線VSとしての機能を有する点において、図1に示すメモリセル10と構成が異なる。

20

【0060】

具体的に、図4(B)に示すメモリセル10では、トランジスタ11のゲートが配線WGに接続されており、トランジスタ11のソース及びドレインが、一方は配線WDに接続されており、他方はノードN1に接続されている。また、トランジスタ12のゲートがノードN1に相当し、トランジスタ12のソース及びドレインが、一方は配線RGに接続されており、他方はノードN2に接続されている。また、トランジスタ13のゲートがノードN2に相当し、トランジスタ13のソース及びドレインが、一方は配線WDに接続されており、他方は配線RDに接続されている。

30

【0061】

図4(B)に示すメモリセル10では、期間t1において、データを含む信号の電位が配線WDに供給される。そして、期間t2では、配線WDを電位VSSとする。

【0062】

なお、図4(A)及び図4(B)では、メモリセル10が容量素子14を有する場合を例示している。図4(A)及び図4(B)に示すメモリセル10でも、図1に示すメモリセル10と同様に、トランジスタ12のゲートと半導体膜の間に形成される容量が、データを保持するのに十分な大きさを有する場合、必ずしも容量素子14をメモリセル10に設ける必要はない。

【0063】

記憶装置の構成例1

次いで、複数のメモリセル10を有する記憶装置の構成と、その駆動方法の一例について説明する。

40

【0064】

図5に、メモリセル10を複数有するセルアレイ20の、回路図の一例を示す。ただし、図5では、図1に示すメモリセル10を複数有するセルアレイ20の回路図を、例示している。

【0065】

図5に示すセルアレイ20では、複数の配線WG、複数の配線RG、複数の配線WD、複数の配線VS、複数の配線RDなどの各種配線が設けられており、駆動回路からの信号又

50

は電位が、これら配線を介して各メモリセル10に供給される。

【0066】

なお、上記配線の数は、メモリセル10の数及び配置によって決めることができる。具体的に、図5に示すセルアレイ20の場合、 m 行 \times n 列(n 、 m は2以上の自然数)の、メモリセル10__11乃至メモリセル10__ mn で示されるメモリセル10が、マトリクス状に接続されている。そして、複数の配線WGに相当する配線WG1乃至配線WG m と、複数の配線RGに相当する配線RG1乃至配線RG m と、複数の配線WDに相当する配線WD1乃至配線WD n と、複数の配線VSに相当する配線VS1乃至配線VS n と、複数の配線RDに相当する配線RD1乃至配線RD n とが、セルアレイ20内に配置されている場合を例示している。

10

【0067】

次いで、図5に示すセルアレイ20の動作について、図6に示すタイミングチャートを用いて説明する。ただし、図6では、トランジスタ11乃至トランジスタ13が n チャンネル型である場合のタイミングチャートを例示している。また、図6では、1行1列目のメモリセル10__11と、1行 n 列目のメモリセル10__1 n と、 m 行1列目のメモリセル10__ m 1と、 m 行 n 列目のメモリセル10__ m n とにおいて、データの書き込み、保持、読み出しを行う場合のタイミングチャートを例示している。また、図6では、ハイレベルの電位として電位VDDを用い、ローレベルの電位として電位GNDを用いる場合のタイミングチャートを例示している。

【0068】

また、図6では、全ての期間において、配線VS1乃至配線VS n に電位GNDが供給される場合を例示している。

20

【0069】

まず、期間T1において、メモリセル10に保持されているデータの初期化を行う。具体的には、図6に示すように、配線WG1乃至配線WG m に電位VDDが供給され、配線WD1乃至配線WD n に電位VDDが供給され、配線RG1乃至配線RG m に電位GNDが供給される。よって、全てのメモリセル10において、トランジスタ11が導通状態となり、全てのメモリセル10内のノードN1は、電位VDDからトランジスタ11の閾値電圧 V_{th} を差し引いた電位($VDD - V_{th}$)となる。

【0070】

そして、上述したように、配線RG1乃至配線RG m には電位GNDが供給されているので、トランジスタ12のゲート電圧は $VDD - V_{th}$ となり、トランジスタ12は導通状態となる。よって、全てのメモリセル10において、ノードN2は電位GNDとなり、トランジスタ13は非導通状態となる。上記動作により、製品の出荷時などに、ノードN2の電位が不定な状態にあったとしても、後にメモリセル10からデータを読み出す時に、非選択のメモリセル10から、不要な信号が出力されることを防ぐことができる。

30

【0071】

なお、図6では、期間T1において、配線RD1乃至配線RD n に電位GND及び電位VDDのいずれかが供給される場合を例示している。

【0072】

また、図5では、メモリセル10__11のノードN1をノードN1__11として示し、メモリセル10__1 n のノードN1をノードN1__1 n として示し、メモリセル10__ m 1のノードN1をノードN1__ m 1として示し、メモリセル10__ m n のノードN1をノードN1__ m n として示す。また、図5では、メモリセル10__11のノードN2をノードN2__11として示し、メモリセル10__1 n のノードN2をノードN2__1 n として示し、メモリセル10__ m 1のノードN2をノードN2__ m 1として示し、メモリセル10__ m n のノードN2をノードN2__ m n として示す。

40

【0073】

次いで、期間T2において、メモリセル10__11及びメモリセル10__1 n へのデータの書き込みを行う。具体的に、図6では、配線WG1に電位VDDが供給され、それ以外

50

の配線WG2乃至配線WGmに電位GNDが供給されることで、配線WG1を有する1行目のメモリセル10が選択される。よって、期間T2において、メモリセル10__11及びメモリセル10__1nを含む、1行目の全てのメモリセル10において、トランジスタ11が導通状態になる。

【0074】

また、期間T2において、配線WD1には、論理値"1"のデータを含む信号の電位VDDが供給される。よって、メモリセル10__11において、ノードN1__11は、トランジスタ11の閾値電圧Vthを差し引いた電位(VDD - Vth)を維持する。そして、図6では、期間T2において、配線RG1及び配線RGmに電位GNDが供給され、また、トランジスタ12は導通状態にある。よって、メモリセル10__11において、ノードN2__11は電位GNDを維持するため、トランジスタ13は非導通状態を保つ。

10

【0075】

また、期間T2において、配線WDnには、論理値"0"のデータを含む信号の電位GNDが供給される。よって、メモリセル10__1nにおいて、ノードN1__1nは電位GNDとなるため、トランジスタ12は非導通状態となる。そのため、メモリセル10__1nにおいて、ノードN2__1nは電位GNDを維持するため、トランジスタ13は非導通状態を保つ。

【0076】

図6では、期間T2において、配線RD1乃至配線RDnに電位GND及び電位VDDのいずれかが供給される場合を例示している。

20

【0077】

なお、図6では、期間T2において、配線WDnに電位GNDを連続的に供給するのではなく、配線WDnに最初に電位VDDを供給してから電位GNDを供給する場合を例示している。図6に示す動作により、期間T1における、メモリセル10に保持されているデータの初期化と同様に、期間T2の開始直後において、メモリセル10__1nのノードN2__1nを電位GNDとし、確実にトランジスタ13を非導通状態にすることができる。

【0078】

期間T2が終了すると、配線WG1に電位GNDが供給され、メモリセル10__11及びメモリセル10__1nを含む、1行目の全てのメモリセル10において、トランジスタ11が非導通状態になる。

30

【0079】

次いで、期間T3において、メモリセル10__m1及びメモリセル10__mnへのデータの書き込みを行う。具体的に、図6では、配線WGmに電位VDDが供給され、それ以外の配線WG1乃至配線WGm-1に電位GNDが供給されることで、配線WGmを有するm行目のメモリセル10が選択される。よって、期間T3において、メモリセル10__m1及びメモリセル10__mnを含む、m行目の全てのメモリセル10において、トランジスタ11が導通状態になる。

【0080】

また、期間T3において、配線WD1には、論理値"0"のデータを含む信号の電位GNDが供給される。よって、メモリセル10__m1において、ノードN1__m1は電位GNDとなるため、トランジスタ12は非導通状態となる。そのため、メモリセル10__m1において、ノードN2__m1は電位GNDを維持するため、トランジスタ13は非導通状態を保つ。

40

【0081】

また、期間T3において、配線WDnには、論理値"1"のデータを含む信号の電位VDDが供給される。よって、メモリセル10__mnにおいて、ノードN1__mnは、トランジスタ11の閾値電圧Vthを差し引いた電位(VDD - Vth)を維持する。そして、図6では、期間T3において、配線RG1及び配線RGmに電位GNDが供給されているため、トランジスタ12は導通状態にある。よって、メモリセル10__mnにおいて、ノードN2__mnは電位GNDを維持するため、トランジスタ13は非導通状態を保つ。

50

【 0 0 8 2 】

図 6 では、期間 T 3 において、配線 R D 1 乃至配線 R D n に電位 G N D 及び電位 V D D のいずれかが供給される場合を例示している。

【 0 0 8 3 】

なお、図 6 では、期間 T 3 において、配線 W D 1 に電位 G N D を連続的に供給するのではなく、配線 W D 1 に最初に電位 V D D を供給してから電位 G N D を供給する場合を例示している。図 6 に示す動作により、期間 T 1 における、メモリセル 1 0 に保持されているデータの初期化と同様に、期間 T 3 の開始直後において、メモリセル 1 0 __ m 1 のノード N 2 __ m 1 を電位 G N D とし、確実にトランジスタ 1 3 を非導通状態にすることができる。

【 0 0 8 4 】

期間 T 3 が終了すると、配線 W G m に電位 G N D が供給され、メモリセル 1 0 __ m 1 及びメモリセル 1 0 __ m n を含む、m 行目の全てのメモリセル 1 0 において、トランジスタ 1 1 が非導通状態になる。

【 0 0 8 5 】

次いで、期間 T 4 において、メモリセル 1 0 __ 1 1 及びメモリセル 1 0 __ 1 n からのデータの読み出しを行う。具体的に、図 6 では、期間 T 4 の開始直後に配線 R D 1 乃至配線 R D n を電位 V D D とする。また、図 6 では、期間 T 4 において、配線 W G 1 乃至配線 W G m には電位 G N D が供給されている。また、図 6 では、配線 W D 1 乃至配線 W D n には電位 G N D が供給される場合を例示している。

【 0 0 8 6 】

そして、配線 R G 1 に電位 V D D が供給され、それ以外の配線 R G 2 乃至配線 R G m に電位 G N D が供給されることで、配線 R G 1 を有する 1 行目のメモリセル 1 0 が選択される。

【 0 0 8 7 】

メモリセル 1 0 __ 1 1 では、トランジスタ 1 1 は非導通状態にあるため、ノード N 1 __ 1 1 は浮遊状態にある。よって、配線 R G 1 の電位が電位 G N D から電位 V D D まで上昇すると、トランジスタ 1 2 のソースとゲートの間に形成される容量 C により、ノード N 1 __ 1 1 が、電位 V D D - V t h からさらに高い電位にまで上昇する。そのため、メモリセル 1 0 __ 1 1 では、トランジスタ 1 2 のゲート電圧が閾値電圧よりも十分大きくなるため、トランジスタ 1 2 が導通状態となる。そして、トランジスタ 1 2 のゲート電圧が電圧 V D D + V t h よりも高くなるまで上昇すると、ノード N 2 __ 1 1 は電位 V D D となり、トランジスタ 1 3 は導通状態となるため、配線 V S 1 の電位 G N D が配線 R D 1 に供給される。

【 0 0 8 8 】

配線 R D 1 の電位には、メモリセル 1 0 __ 1 1 に書き込まれたデータの論理値 " 1 " が反映されており、当該電位から、メモリセル 1 0 __ 1 1 に書き込まれたデータを読み出すことができる。

【 0 0 8 9 】

また、メモリセル 1 0 __ 1 n では、トランジスタ 1 1 は非導通状態にあるため、ノード N 1 __ 1 n は浮遊状態にある。しかし、メモリセル 1 0 __ 1 1 の場合とは異なり、ノード N 1 __ 1 n は電位 G N D に保たれているので、配線 R G 1 の電位が電位 G N D から電位 V D D まで上昇しても、ノード N 1 __ 1 n の電位は、ノード N 1 __ 1 1 の電位ほどは上昇しない。そのため、メモリセル 1 0 __ 1 n では、トランジスタ 1 2 が非導通状態を維持する。そして、ノード N 2 __ 1 n は電位 G N D を維持し、トランジスタ 1 3 は非導通状態のままである。よって、配線 V S n の電位 G N D は、配線 R D n に供給されず、配線 R D n は電位 V D D を維持する。

【 0 0 9 0 】

配線 R D n の電位には、メモリセル 1 0 __ 1 n に書き込まれたデータの論理値 " 0 " が反映されており、当該電位から、メモリセル 1 0 __ 1 n に書き込まれたデータを読み出すことができる。

10

20

30

40

50

【0091】

次いで、期間T5において、メモリセル10__m1及びメモリセル10__mnからのデータの読み出しを行う。具体的に、図6では、期間T5の開始直後に配線RD1乃至配線RDnを電位VDDとする。また、図6では、期間T5において、配線WG1乃至配線Wgmには電位GNDが供給されている。また、図6では、配線WD1乃至配線WDnには電位GNDが供給される場合を例示している。

【0092】

そして、配線Rgmに電位VDDが供給され、それ以外の配線RG1乃至配線Rgm-1に電位GNDが供給されることで、配線Rgmを有するm行目のメモリセル10が選択される。

10

【0093】

メモリセル10__mnでは、トランジスタ11は非導通状態にあるため、ノードN1__mnは浮遊状態にある。よって、配線Rgmの電位が電位GNDから電位VDDまで上昇すると、トランジスタ12のソースとゲートの間形成される容量Cにより、ノードN1__mnが、電位VDD-Vthからさらに高い電位にまで上昇する。そのため、メモリセル10__mnでは、トランジスタ12のゲート電圧が閾値電圧よりも十分大きくなるため、トランジスタ12が導通状態となる。そして、トランジスタ12のゲート電圧が電圧VDD+Vthよりも高くなるまで上昇すると、ノードN2__mnは電位VDDとなり、トランジスタ13は導通状態となるため、配線VSnの電位GNDが配線RDnに供給される。

20

【0094】

配線RDnの電位には、メモリセル10__mnに書き込まれたデータの論理値"1"が反映されており、当該電位から、メモリセル10__mnに書き込まれたデータを読み出すことができる。

【0095】

また、メモリセル10__m1では、トランジスタ11は非導通状態にあるため、ノードN1__m1は浮遊状態にある。しかし、メモリセル10__mnの場合とは異なり、ノードN1__m1は電位GNDに保たれているので、配線Rgmの電位が電位GNDから電位VDDまで上昇しても、ノードN1__m1の電位は、ノードN1__mnの電位ほどは上昇しない。そのため、メモリセル10__m1では、トランジスタ12が非導通状態を維持する。そして、ノードN2__m1は電位GNDを維持し、トランジスタ13は非導通状態のままである。よって、配線VS1の電位GNDは、配線RD1に供給されず、配線RD1は電位VDDを維持する。

30

【0096】

配線RD1の電位には、メモリセル10__m1に書き込まれたデータの論理値"0"が反映されており、当該電位から、メモリセル10__m1に書き込まれたデータを読み出すことができる。

【0097】

配線RG1乃至配線Rgmの先には読み出し回路が接続されており、読み出し回路の出力信号には、セルアレイ20から読み出されたデータが含まれる。

40

【0098】

なお、図6に示すタイミングチャートでは、期間T4、期間T5などの、メモリセル10からのデータの読み出しを行う期間において、配線RD1乃至配線RDnに電位VDDを供給する期間と、配線RGに電位VDDを供給する期間とが重なっている。本発明の一態様では、メモリセル10からのデータの読み出しを行う期間において、配線RD1乃至配線RDnに電位VDDを供給した後に、配線RGに電位VDDを供給するようにしてもよい。図6に示すように、配線RD1乃至配線RDnに電位VDDを供給する期間と、配線RGに電位VDDを供給する期間とが重なっている場合、メモリセル10からのデータの読み出しに要する時間を短くできるので、高速でデータの読み出しを行うことができる。また、配線RD1乃至配線RDnに電位VDDを供給した後に、配線RGに電位VDDを

50

供給する場合、配線V Sと配線R Dの間に流れる電流を小さく抑えることができるので、メモリセル1 0からデータを読み出すときに消費される電力を小さく抑えることができる。

【0099】

記憶装置の構成例2

次いで、図5に示す記憶装置とは異なる、本発明の一態様にかかる記憶装置の別の構成例について説明する。

【0100】

図7に、セルアレイ2 0が有する複数のメモリセル1 0のうち、隣り合う4つのメモリセル1 0の、回路図の一例を示す。ただし、図7では、4つのメモリセル1 0が、図1に示すメモリセル1 0と同じ構成を有する場合を、例示している。

10

【0101】

具体的に、図7では、 j 行 i 列目のメモリセル1 0 $_{j i}$ と、 j 行 $i + 1$ 列目のメモリセル1 0 $_{j (i + 1)}$ と、 $j + 1$ 行 i 列目のメモリセル1 0 $_{(j + 1) i}$ と、 $j + 1$ 行 $i + 1$ 列目のメモリセル1 0 $_{(j + 1) (i + 1)}$ とが図示されている。ただし、 j 、 $j + 1$ は、共に m 以下の自然数とする。また、 i 、 $i + 1$ は、共に n 以下の自然数とする。そして、図7に示す4つのメモリセル1 0は、一の配線V Sに接続されている。

【0102】

上記構成により、セルアレイ2 0における配線V Sの数を、図5のセルアレイ2 0よりも少なくできる。

20

【0103】

記憶装置の駆動回路

次いで、本発明の一態様にかかる記憶装置が有する、駆動回路の構成例について説明する。

【0104】

図8に、本発明の一態様にかかる記憶装置3 0の構成を、ブロック図で示す。なお、図8に示すブロック図では、記憶装置3 0内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

【0105】

図8に示す記憶装置3 0は、メモリセル1 0を複数有するセルアレイ2 0と、配線W Gの電位を制御する駆動回路3 1と、配線W Dの電位を制御する駆動回路3 2と、配線R Gの電位を制御する駆動回路3 3と、配線R Dの電位からデータの読み出しを行う駆動回路3 4とを有する。

30

【0106】

具体的に、駆動回路3 1は、指定されたアドレスに従って、データの書き込み時においてメモリセル1 0を行ごとに選択する機能を有するデコーダ3 5と、デコーダ3 5によって選択された行のメモリセル1 0が有する配線W Gへの、電位の供給を行うバッファ3 6とを有する。

【0107】

また、駆動回路3 2は、指定されたアドレスに従って、データの書き込み時においてメモリセル1 0を列ごとに選択する機能を有するデコーダ3 7と、デコーダ3 7によって選択された列のメモリセル1 0が有する配線W Dへの、データを含む信号の供給を行うスイッチ回路3 8と、を有する。

40

【0108】

駆動回路3 3は、指定されたアドレスに従って、データの読み出し時においてメモリセル1 0を行ごとに選択する機能を有するデコーダ3 9と、デコーダ3 9によって選択された行のメモリセル1 0が有する配線R Gへの、電位の供給を行うバッファ4 0とを有する。

【0109】

駆動回路3 4は、指定されたアドレスに従って、データの読み出し時においてメモリセル

50

10を列ごとに選択する機能を有するデコーダ41と、当該データの読み出し前に配線RDの電位を初期化する機能を有するプリチャージ回路42と、デコーダ41によって選択された列のメモリセル10が有する配線RDの電位を、増幅させる機能を有するセンスアンプ43と、を有する。センスアンプ43は、メモリセル10に書き込まれたデータ、或いはメモリセル10から読み出されたデータを、一時的に記憶する機能を有していても良い。

【0110】

なお、記憶装置30は、指定されたメモリセル10のアドレスを、一時的に記憶することができるアドレスバッファを、有していても良い。

【0111】

メモリセルのレイアウト

次いで、図1に示すメモリセル10が有する、トランジスタ11乃至トランジスタ13、及び容量素子14の上面図を、図9に一例として示す。なお、図9では、トランジスタ11乃至トランジスタ13、及び容量素子14のレイアウトを明確にするために、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図9に示した上面図の破線A1 - A2における断面図を、図10に一例として示す。

【0112】

なお、図10では、酸化物半導体膜にチャネル形成領域を有するトランジスタ11及びトランジスタ12と、容量素子14とが、単結晶のシリコン膜にチャネル形成領域を有するトランジスタ13上に形成されている場合を例示している。

【0113】

トランジスタ13は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ13は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ11及びトランジスタ12と、容量素子14とは、トランジスタ13上に積層されていなくとも良く、トランジスタ11及びトランジスタ12と、容量素子14と、トランジスタ13とは、同一の層に形成されていても良い。

【0114】

シリコンの薄膜を用いてトランジスタ13を形成する場合、当該薄膜として、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン膜、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン膜、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコン膜などを用いることができる。図10では、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコン膜を用いた、トランジスタ13の構造を一例として示す。

【0115】

トランジスタ13が有する半導体膜50の、具体的な作製方法の一例について説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜51が形成された基板52とを、間に当該絶縁膜51が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板52とを重ね合わせた後、ボンド基板と基板52の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜51とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板52の歪み点を越えない温度とする。そ

10

20

30

40

50

して、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜50を形成することができる。

【0116】

また、トランジスタ13は、半導体膜50上に、ゲート絶縁膜としての機能を有する絶縁膜53と、絶縁膜53を間に挟んで半導体膜50と重なり、ゲート電極としての機能を有する導電膜54とを有する。また、半導体膜50は、導電性を付与する不純物元素を含む、不純物領域55を形成する。

【0117】

絶縁膜53は、高密度プラズマ処理、熱処理などを行うことにより半導体膜50の表面を酸化又は窒化することで形成することができる。また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0, y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0, y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0, y > 0$))等を含む膜を、単層で、又は積層させることで、絶縁膜53を形成しても良い。

10

【0118】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

20

【0119】

不純物領域55上には導電膜72が設けられており、半導体膜50は、不純物領域55において導電膜72と電氣的に接続されている。

【0120】

また、絶縁膜53及び半導体膜50上には、絶縁膜56が設けられている。絶縁膜56は、絶縁膜53、半導体膜50、導電膜54、及び導電膜72を覆うように絶縁膜を形成した後、CMP(化学的機械研磨)処理やエッチング処理により、導電膜54及び導電膜72の表面が露出するまで当該絶縁膜を薄くすることで、形成することができる。なお、絶縁膜56上のトランジスタ11及びトランジスタ12の電氣的特性を向上させるために、絶縁膜56の表面は平坦であることが好ましい。

30

【0121】

そして、図9及び図10では、絶縁膜56上にトランジスタ11、トランジスタ12、及び容量素子14が設けられている。

【0122】

トランジスタ11は、絶縁膜56上に、酸化物半導体を含む半導体膜57と、半導体膜57上の、ソース電極またはドレイン電極として機能する導電膜58及び導電膜59と、半導体膜57、導電膜58及び導電膜59上に位置し、ゲート絶縁膜としての機能を有する絶縁膜60と、絶縁膜60上に位置し、導電膜58と導電膜59の間において半導体膜57と重なっており、ゲート電極として機能する導電膜61と、を有する。導電膜61は、配線WGとしての機能も有する。

40

【0123】

トランジスタ12は、絶縁膜56上に、酸化物半導体を含む半導体膜62と、半導体膜62上の、ソース電極またはドレイン電極として機能する導電膜63及び導電膜64と、半導体膜62、導電膜63及び導電膜64上に位置し、ゲート絶縁膜としての機能を有する絶縁膜60と、絶縁膜60上に位置し、導電膜63と導電膜64の間において半導体膜62と重なっており、ゲート電極として機能する導電膜65と、を有する。導電膜63は、配線RGとしての機能を有する。導電膜64は、導電膜54に電氣的に接続されている。

【0124】

容量素子14は、絶縁膜56上に、導電膜66と、導電膜66上の絶縁膜60と、絶縁膜60上に位置し、導電膜66と重なっている導電膜65とを有する。

50

【 0 1 2 5 】

また、絶縁膜 5 6 上には導電膜 6 7 が設けられており、導電膜 6 7 は、導電膜 7 2 に電氣的に接続されている。

【 0 1 2 6 】

また、トランジスタ 1 1、トランジスタ 1 2、容量素子 1 4、及び導電膜 6 7 上には、絶縁膜 6 8 が設けられている。絶縁膜 6 8 は、単層の絶縁膜で構成されていてもよいし、積層された複数の絶縁膜で構成されていてもよい。

【 0 1 2 7 】

絶縁膜 6 8 には開口部が設けられている。そして、絶縁膜 6 8 上には、上記開口部において導電膜 5 8 と、導電膜 6 7 とにそれぞれ接する導電膜 6 9 と、導電膜 7 0 とが設けられている。導電膜 6 9 は、配線 W D としての機能を有し、導電膜 7 0 は、配線 R D としての機能を有する。また、絶縁膜 6 8 上には、導電膜 7 1 が設けられている。導電膜 7 1 は、半導体膜 5 0 が有する、不純物領域 5 5 とは異なる別の不純物領域に、電氣的に接続されている。そして、導電膜 7 1 は、配線 V S としての機能を有する。

10

【 0 1 2 8 】

なお、図 9 及び図 1 0 において、トランジスタ 1 1 及びトランジスタ 1 2 は、ゲート電極を半導体膜の片側において少なくとも有していれば良いが、半導体膜を間に挟んで存在する一対のゲート電極を有していても良い。

【 0 1 2 9 】

トランジスタ 1 1 及びトランジスタ 1 2 が、半導体膜を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。

20

【 0 1 3 0 】

一のゲート電極を有するトランジスタでは、ゲート電極から遠い側の、半導体膜の表面近傍の領域（バックチャネル領域）にマイナスの電荷が生じると、閾値電圧がマイナス方向へシフトしやすい。しかし、バックチャネル領域側にもゲート電極を設け、当該ゲート電極に所定の電位を与えることで、バックチャネル領域にマイナスの電荷が生じるのを防ぎ、トランジスタの閾値電圧がマイナス方向へシフトするのを抑えることができる。さらに、バックチャネル領域側のゲート電極に一定の電位を与えるのではなく、当該ゲート電極を通常のゲート電極と電氣的に接続させ、一対のゲート電極に同じ電位を与えることで、チャンネル形成領域を増加させ、ドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつトランジスタのサイズを小さく抑えることができる。記憶装置の面積を小さく抑えることができる。

30

【 0 1 3 1 】

また、図 9 及び図 1 0 に示すトランジスタ 1 1 及びトランジスタ 1 2 が、半導体膜を間に挟んで存在する一対のゲート電極を有し、なおかつ、半導体膜として酸化物半導体膜を用いている場合、当該酸化物半導体膜の端部のうち、ソース電極及びドレイン電極とは重ならない端部、言い換えると、ソース電極及びドレイン電極が位置する領域とは異なる領域に位置する端部と、一対のゲート電極とが、重なる構成を有していても良い。酸化物半導体膜の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n 型化しやすいと考えられる。しかし、ソース電極及びドレイン電極とは重ならない酸化物半導体膜の端部と、一対のゲート電極とが重なることで、一対のゲート電極の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜の端部を介してソース電極とドレイン電極の間に流れる電流を、一対のゲート電極に与える電位によって制御することができる。

40

【 0 1 3 2 】

50

具体的に、上記構成を有するトランジスタが非導通状態となるような電位を一对のゲート電極に与えたときは、当該端部を介してソース電極とドレイン電極の間に流れるオフ電流を小さく抑えることができる。そのため、上記トランジスタでは、大きなオン電流を得るためにチャンネル長を短くし、その結果、酸化物半導体膜の端部におけるソース電極及びドレイン電極の間の長さが短くなっても、オフ電流を小さく抑えることができる。よって、上記トランジスタは、チャンネル長を短くすることで、導通状態のときには大きいオン電流を得ることができ、非導通状態のときにはオフ電流を小さく抑えることができる。

【0133】

また、図9及び図10では、トランジスタ11、トランジスタ12、及びトランジスタ13が、一のチャンネル形成領域を有するシングルゲート構造である場合を例示している。しかし、トランジスタ11、トランジスタ12、及びトランジスタ13は、電氣的に接続された複数のゲート電極を有することで、一の半導体膜にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。

10

【0134】

半導体膜について

電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、キャリア発生源が少ないため、i型(真性半導体)又はi型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャンネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャンネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電氣的特性(ノーマリーオフ特性ともいう。)になりやすい。

20

【0135】

具体的に、高純度化された酸化物半導体膜にチャンネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャンネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャンネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十yA/ μm という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャンネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

30

【0136】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電氣的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を含むことが好ましい。

40

【0137】

酸化物半導体の中でもIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電氣的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり

50

、上記 In - Ga - Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0138】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0139】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn系酸化物、Sn - Zn系酸化物、Al - Zn系酸化物、Zn - Mg系酸化物、Sn - Mg系酸化物、In - Mg系酸化物、In - Ga系酸化物、In - Ga - Zn系酸化物 (IGZOとも表記する)、In - Al - Zn系酸化物、In - Sn - Zn系酸化物、Sn - Ga - Zn系酸化物、Al - Ga - Zn系酸化物、Sn - Al - Zn系酸化物、In - Hf - Zn系酸化物、In - La - Zn系酸化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Ce - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、In - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

10

20

【0140】

なお、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In - Ga - Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0141】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

30

【0142】

以下では、酸化物半導体膜の構造について説明する。

【0143】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC - OS膜などをいう。

【0144】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

40

【0145】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0146】

CAAC - OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC - OS膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内

50

に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0147】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

10

【0148】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0149】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【0150】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0151】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0152】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、 2θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0153】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

40

【0154】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

50

【0155】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0156】

なお、 InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピーク他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

10

【0157】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0158】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0159】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

20

【0160】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【0161】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

30

【0162】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、 30 体積%以上、好ましくは 100 体積%とする。

【0163】

ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

【0164】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定のmol数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ または $3:1:2$ である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

40

【0165】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体膜内において、酸化物半

50

導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

【0166】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

10

【0167】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

20

【0168】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いた半導体装置の高速動作を実現することができる。

【0169】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

30

【0170】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0171】

また、酸化物半導体膜は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

40

【0172】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャンネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられていることによって、ゲート絶縁膜と離隔している第

50

2の金属酸化物膜に、チャネル領域を形成することができる。

【0173】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタの電界効果移動度が高くなる。

【0174】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0175】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないよう、複数の金属酸化物膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0176】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0177】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、第2の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第2の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = x_1 : y_1 : z_1 とすると、 x_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であって、 z_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1 / y_1 を1以上6以下とすることで、第2の金属酸化物膜としてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、In:M:Zn = 3:1:2等がある。

【0178】

具体的に、第1の金属酸化物膜、第3の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第1の金属酸化物膜、第3の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = x_2 : y_2 : z_2 とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_2 / y_2 を1以上6以下とすることで、第1の金属酸化物膜、第3の金属酸化物膜としてCAAC-OS膜が

10

20

30

40

50

形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 、 $In : M : Zn = 1 : 3 : 8$ 等がある。

【0179】

なお、第1の金属酸化物膜及び第3の金属酸化物膜の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上50 nm以下とする。また、第2の金属酸化物膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下であり、さらに好ましくは3 nm以上50 nm以下である。

【0180】

3層構造の半導体膜において、第1の金属酸化物膜乃至第3の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャンネル領域が形成される第2の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第2の金属酸化物膜は結晶質であることが好ましい。

10

【0181】

なお、チャンネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャンネル領域とは、チャンネル形成領域において、電流が主として流れる領域をいう。

【0182】

例えば、第1の金属酸化物膜及び第3の金属酸化物膜として、スパッタリング法により形成した $In - Ga - Zn$ 系酸化物膜を用いる場合、第1の金属酸化物膜及び第3の金属酸化物膜の成膜には、 $In - Ga - Zn$ 系酸化物($In : Ga : Zn = 1 : 3 : 2$ [原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30 sccm、酸素ガスを15 sccm用い、圧力0.4 Paとし、基板温度を200 とし、DC電力0.5 kWとすればよい。

20

【0183】

また、第2の金属酸化物膜をCAAC-Os膜とする場合、第2の金属酸化物膜の成膜には、 $In - Ga - Zn$ 系酸化物($In : Ga : Zn = 1 : 1 : 1$ [原子数比])であり、多結晶の $In - Ga - Zn$ 系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30 sccm、酸素ガスを15 sccm用い、圧力を0.4 Paとし、基板の温度300 とし、DC電力0.5 kWとすることができる。

30

【0184】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

【0185】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、トランジスタを用いた半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n型化される領域は、チャンネル領域となる第2の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

40

【0186】

電子機器の例

本発明の一態様に係る記憶装置または半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る記憶装置または半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(

50

ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図11に示す。

【0187】

図11(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。なお、図11(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【0188】

図11(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

20

【0189】

図11(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

【0190】

図11(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。

30

【0191】

図11(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

【0192】

図11(F)は普通自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。

40

【符号の説明】

【0193】

- 10 メモリセル
- 10__ メモリセル
- 10__j メモリセル
- 10__j i メモリセル
- 10__m 1 メモリセル
- 10__m n メモリセル
- 10__1 n メモリセル

50

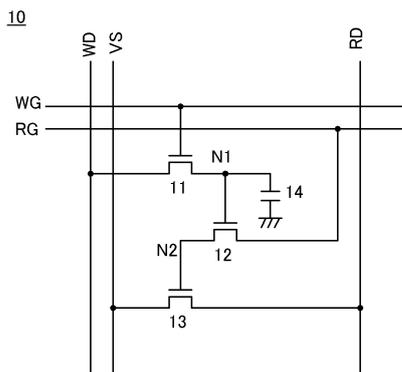
1 0 _ 1 1	メモリセル	
1 1	トランジスタ	
1 2	トランジスタ	
1 3	トランジスタ	
1 4	容量素子	
2 0	セルアレイ	
3 0	記憶装置	
3 1	駆動回路	
3 2	駆動回路	
3 3	駆動回路	10
3 4	駆動回路	
3 5	デコーダ	
3 6	バッファ	
3 7	デコーダ	
3 8	スイッチ回路	
3 9	デコーダ	
4 0	バッファ	
4 1	デコーダ	
4 2	プリチャージ回路	
4 3	センスアンプ	20
5 0	半導体膜	
5 1	絶縁膜	
5 2	基板	
5 3	絶縁膜	
5 4	導電膜	
5 5	不純物領域	
5 6	絶縁膜	
5 7	半導体膜	
5 8	導電膜	
5 9	導電膜	30
6 0	絶縁膜	
6 1	導電膜	
6 2	半導体膜	
6 3	導電膜	
6 4	導電膜	
6 5	導電膜	
6 6	導電膜	
6 7	導電膜	
6 8	絶縁膜	
6 9	導電膜	40
7 0	導電膜	
7 1	導電膜	
7 2	導電膜	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	50

- 5 0 0 8 スタイラス
- 5 1 0 1 車体
- 5 1 0 2 車輪
- 5 1 0 3 ダッシュボード
- 5 1 0 4 ライト
- 5 3 0 1 筐体
- 5 3 0 2 冷蔵室用扉
- 5 3 0 3 冷凍室用扉
- 5 4 0 1 筐体
- 5 4 0 2 表示部
- 5 4 0 3 キーボード
- 5 4 0 4 ポインティングデバイス
- 5 6 0 1 筐体
- 5 6 0 2 筐体
- 5 6 0 3 表示部
- 5 6 0 4 表示部
- 5 6 0 5 接続部
- 5 6 0 6 操作キー
- 5 8 0 1 筐体
- 5 8 0 2 筐体
- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部

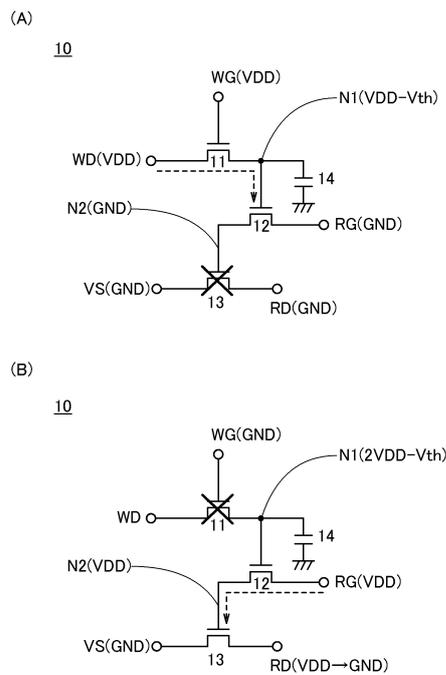
10

20

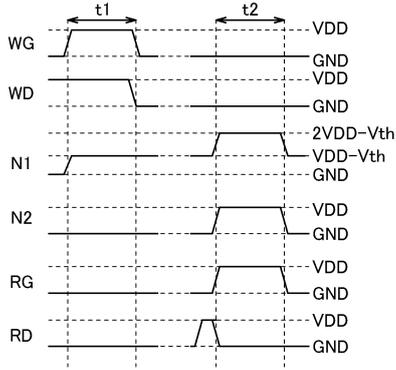
【 図 1 】



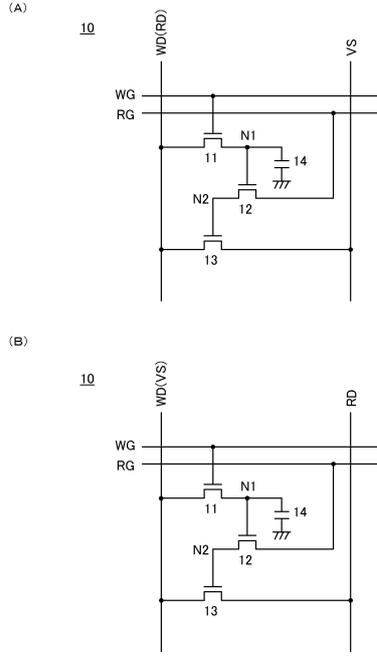
【 図 2 】



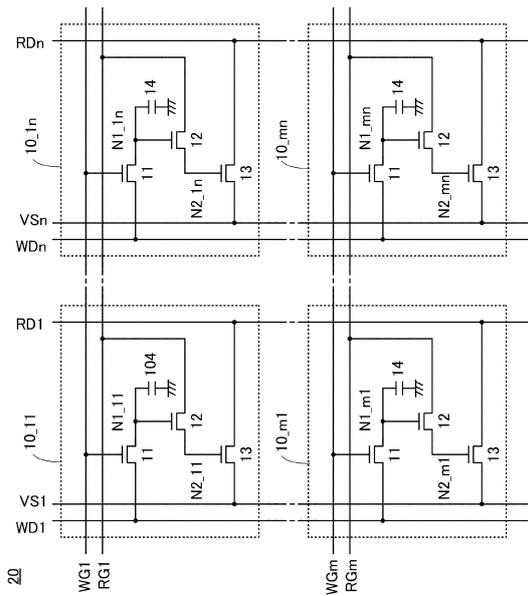
【 図 3 】



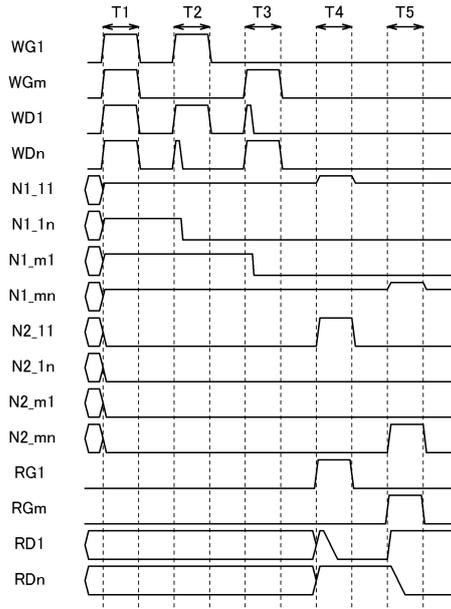
【 図 4 】



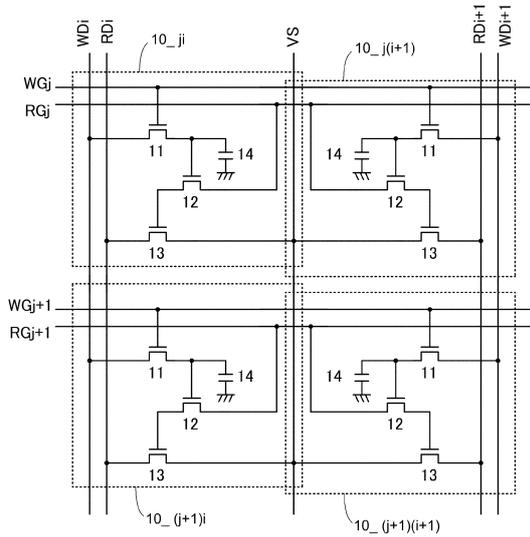
【 図 5 】



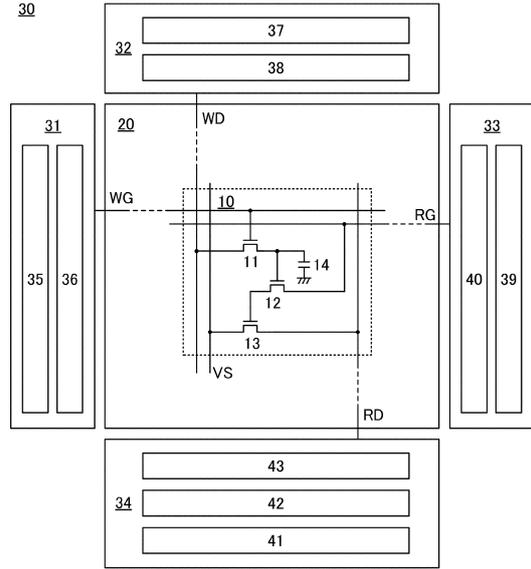
【 図 6 】



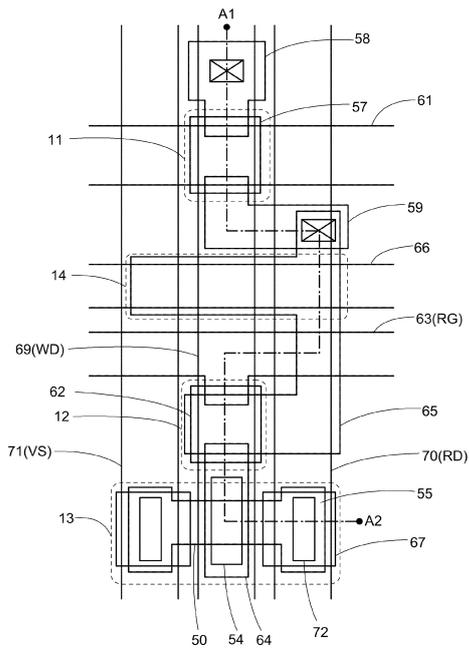
【図7】



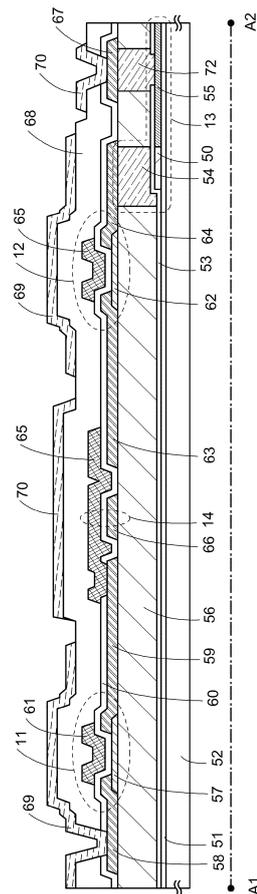
【図8】



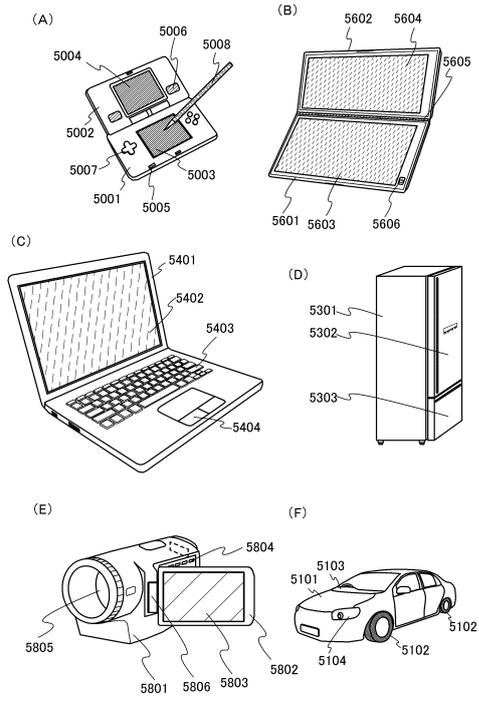
【図9】



【図10】



【 図 11 】



フロントページの続き

(51) Int.Cl.		F I	
<i>G 1 1 C</i>	<i>11/405 (2006.01)</i>	<i>G 1 1 C</i>	<i>11/405</i>
<i>H 0 1 L</i>	<i>27/1156 (2017.01)</i>	<i>H 0 1 L</i>	<i>27/1156</i>
<i>H 0 1 L</i>	<i>21/8239 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/105 4 4 1</i>
<i>H 0 1 L</i>	<i>27/105 (2006.01)</i>		

(56) 参考文献 特開 2 0 0 8 - 2 7 8 2 1 6 (J P , A)
 特開平 0 4 - 0 4 2 6 1 5 (J P , A)
 米国特許出願公開第 2 0 0 8 / 0 2 8 2 2 1 4 (U S , A 1)
 特開 2 0 1 2 - 2 0 9 5 4 3 (J P , A)
 特開平 0 4 - 3 4 1 9 9 5 (J P , A)
 特開 2 0 0 8 - 0 5 2 7 6 6 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H 0 1 L *2 1 / 8 2 4 2*
G 1 1 C *1 1 / 4 0 5*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 1 / 8 2 3 9*
H 0 1 L *2 7 / 0 6*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 7 / 1 0 5*
H 0 1 L *2 7 / 1 0 8*
H 0 1 L *2 7 / 1 1 5 6*