

申請日期： 97-9-13	案號： 91120950
類別： G02F1/33	

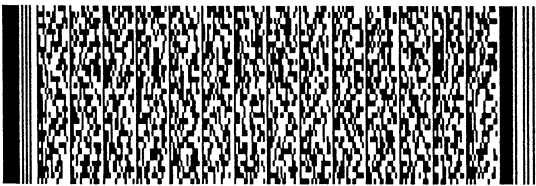
(以上各欄由本局填註)

發明專利說明書	574540
----------------	---------------

一、 發明名稱	中文	薄膜電晶體液晶顯示器之畫素結構
	英文	Pixel structure of TFT LCD

二、 發明人	姓名 (中文)	1. 鄭新安 2. 邱昌明
	姓名 (英文)	1. Hsin-An Cheng 2. Chaung-Ming Chiu
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 高雄縣林園鄉忠孝西路119巷13號 2. 桃園縣中壢市龍興路487號

三、 申請人	姓名 (名稱) (中文)	1. 統寶光電股份有限公司
	姓名 (名稱) (英文)	1. Toppoly Optoelectonics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區苗栗縣竹南鎮仁愛路121巷5號
	代表人 姓名 (中文)	1. 陳瑞聰
	代表人 姓名 (英文)	1. Jui-Tsung Chen



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

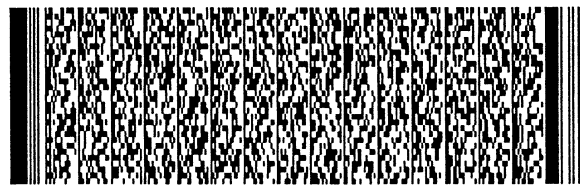
無

五、發明說明 (1)

本發明是有關於一種薄膜電晶體液晶顯示器之畫素結構，且特別是有關於一種具有高開口率 (high aperture ratio) 的低溫多晶矽薄膜電晶體液晶顯示器 (LTPS TFT-LCD) 之畫素結構。

低溫多晶矽薄膜電晶體液晶顯示器有別於一般傳統的非晶矽薄膜電晶體液晶顯示器 (a-Si TFT-LCD)，其電子遷移率可以達到 $200\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，故可使薄膜電晶體元件所佔面積更小以符合高開口率的需求，進而增進顯示器亮度並減少整體的功率消耗問題。另外，由於電子遷移率之增加可以將部份驅動電路與薄膜電晶體製程一併製造於玻璃基板上，大幅提升液晶顯示面板的可靠度，且使得面板製造成本大幅降低。因此，低溫多晶矽薄膜電晶體液晶顯示器的製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。此外，低溫多晶矽薄膜電晶體液晶顯示器具有厚度薄、重量輕、解析度佳等特點，十分適合應用於要求輕巧省電的行動終端產品上。

請參照第1圖，其繪示為習知薄膜電晶體液晶顯示器之畫素結構中，藉由畫素電極與掃描配線 (scan line) 構成儲存電容器的示意圖。習知薄膜電晶體液晶顯示器之畫素結構主要包括一畫素100、一用以驅動畫素100之掃描配線106，以及用以驅動畫素100之信號配線108。其中，畫素100係由一薄膜電晶體102與一畫素電極104所構成，薄膜電晶體102主要係由一閘極102a與一源極/汲極102b所構成。在薄膜電晶體102中，閘極102a係與掃描配線106電



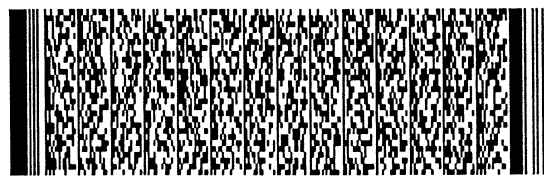
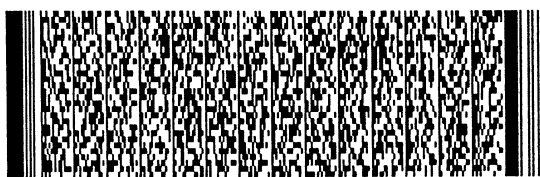
五、發明說明 (2)

性連接，源極/汲極102b的一端係藉由插塞112a與信號配線108，而源極/汲極102b的另一端則藉由插塞112b及插塞114與畫素電極104電性連接。

此外，畫素電極104配置於相鄰信號配線108及相鄰掃描配線106、106a之間的區域上，部份的畫素電極104會與相鄰之掃描配線106a重疊(overlap)以形成儲存電容器110，此儲存電容器110的電容值可藉由畫素電極104與掃描配線106a重疊的面積來決定，或是藉由畫素電極104與掃描配線106a之間介電層(未繪示)的厚度來決定。

接著請參照第2圖，其繪示為習知薄膜電晶體液晶顯示器之畫素結構中，藉由畫素電極與共用配線(common line)構成儲存電容器的示意圖。習知薄膜電晶體液晶顯示器之畫素結構主要包括一畫素200、一用以驅動畫素200之掃描配線206，以及用以驅動畫素200之信號配線208。其中，畫素200係由一薄膜電晶體202與一畫素電極204所構成，薄膜電晶體202主要係由一閘極202a與一源極/汲極202b所構成。在薄膜電晶體202中，閘極202a係與掃描配線206電性連接，源極/汲極202b的一端係藉由插塞212a與信號配線208，而源極/汲極202b的另一端則藉由插塞212b及插塞214與畫素電極204電性連接。

此外，相鄰之掃描配線206之間的區域上配置有一共用配線216，而畫素電極204配置於相鄰信號配線208及相鄰掃描配線206之間的區域上。藉由畫素電極204與共用配線216的重疊(overlap)以形成儲存電容器210，此儲存



五、發明說明 (3)

電容器210的電容值可藉由畫素電極204與共用配線216重疊的面積來決定，或是藉由畫素電極204與共用配線216之間介電層（未繪示）的厚度來決定。

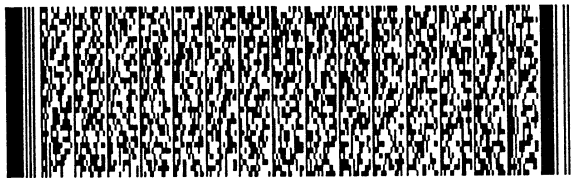
習知藉由畫素電極與掃描配線構成儲存電容器的結構中，為了得到足夠大的儲存電容值，通常會使得掃描配線具有很寬的線寬，進而導致開口率下降的問題。而習知藉由畫素電極與共用配線構成儲存電容器的結構中，共用配線也會使得開口率下降。

此外，相鄰畫素之間的橫向電場（fringe field）會造成液晶分子排列的改變而出現畫素邊緣漏光的現象，因此在對側基板，即彩色濾光片基板上的黑色矩陣（Black Matrix, BM）必須將這些漏光的區域遮蔽。彩色濾光片基板上的黑色矩陣同樣會使得開口率下降。

因此，本發明的目的在提出一種具有高開口率的低溫多晶矽薄膜電晶體液晶顯示器之畫素結構。

為達本發明之上述目的，提出一種薄膜電晶體液晶顯示器之畫素結構主要係由一畫素、一掃描配線、一信號配線以及一儲存電容器所構成。其中，畫素係由一低溫多晶矽薄膜電晶體（LTPS-TFT）與一畫素電極所構成，掃描配線與信號配線係用以驅動低溫多晶矽薄膜電晶體，而儲存電容係藉由一摻雜多晶矽層、一介電層以及一遮光金屬層所構成，遮光金屬層係配置於摻雜多晶矽層上方，並且與畫素電極電性連接。

上述儲存電容器中的摻雜多晶矽層係與低溫多晶矽薄



五、發明說明 (4)

膜電晶體中的多晶矽層一併定義而形成，而儲存電容器中的遮光金屬層不但具有遮光的功能，而且兼具與摻雜多晶矽層耦合 (coupling) 形成儲存電容的功能。

本發明中，低溫多晶矽薄膜電晶體具有一閘極與一源極/汲極。其中，閘極係與掃描配線電性連接，源極/汲極的一端係與信號配線電性連接，而源極/汲極的另一端係與畫素電極電性連接。此外，源極/汲極例如為N型離子摻雜或是P型離子摻雜。

本發明中，遮光金屬層之材質例如為鉬鎢合金、鉻金屬、鉬金屬或是其他同時具有遮光效果與導電效果之材質，遮光金屬層與信號配線分佈的區域幾乎不重疊，由於遮光金屬層與信號配線幾乎不重疊，故可降低遮光金屬層與信號配線之間的寄生電容。

本發明中，儲存電容器係配置於信號配線下，摻雜多晶矽層例如具有一開口，此開口的位置例如位於信號配線下方，藉由開口使得摻雜多晶矽層與信號配線的重疊區域變小，進而降低摻雜多晶矽層與信號配線之間的寄生電容。

儲存電容器中的摻雜多晶矽層例如為N型離子摻雜或是P型離子摻雜。此外，摻雜多晶矽層例如係連接於一公用電壓 (V_{com})。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (5)

圖式之標示說明：

100、200、300：畫素

102、202：薄膜電晶體

102a、202a、302a：閘極

102b、202b、302b：源極/汲極

104、204、304：畫素電極

106、106a、206、306：掃描配線

108、208、308：信號配線

110、210、310：儲存電容器

112a、112b、212a、212b、114、214：插塞

216：共用電極

302：低溫多晶矽薄膜電晶體

309：配線

312a、312b、314、316a、316b：插塞

318：摻雜多晶矽層

319：開口

320：遮光金屬層

322、324、326：介電層

301：透明基板

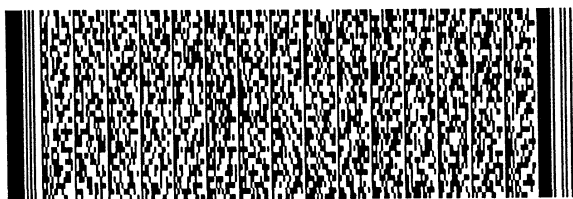
400：彩色濾光片基板

500：液晶層

600：薄膜電晶體陣列基板

較佳實施例

請參照第3圖至第8圖繪示為依照本發明一較佳實施例



五、發明說明 (6)

低溫多晶矽薄膜電晶體陣列基板的製作流程示意圖。首先請參照第3圖，於一透明基板301上形成一圖案化之多晶矽層，並對此多晶矽層作離子摻雜以形成源極/汲極302b與摻雜多晶矽層318，其摻雜的型態例如為N型摻雜或是P型摻雜。在形成源極/汲極302b與摻雜多晶矽層318之後，形成一介電層322於透明基板301上，以覆蓋源極/汲極302b與摻雜多晶矽層318。上述介電層322之材質例如為氮矽化物、氧矽化物等介電材質。

接著請參照第4圖，形成閘極302a、掃描配線306以及遮光金屬層320。其中，閘極302a與掃描配線306連接，而遮光金屬層320則配置於摻雜多晶矽層318的部份區域上。遮光金屬層320、介電層322以及與遮光金屬層320重疊之摻雜多晶矽層318部份係構成一儲存電容器310。上述遮光金屬層320之材質例如為鉬鎢合金、鉻金屬、鉬金屬或是其他同時具有遮光功能與導電性質之材質。

接著請參照第5圖，形成一介電層324於透明基板301上，以將閘極302a、掃描配線306以及遮光金屬層320覆蓋，介電層324之材質例如為氮矽化物、氧矽化物等介電材質。接著再於源極/汲極302b上方形成插塞312a與插塞312b，用以作為源極/汲極接觸(S/D contact)。

接著請參照第6圖，形成信號配線308、配線309於介電層324上。其中，信號配線308係藉由插塞312a而與源極/汲極302b的一端連接，而配線309則是藉由插塞312b而與源極/汲極302b的另一端電性連接。



五、發明說明 (7)

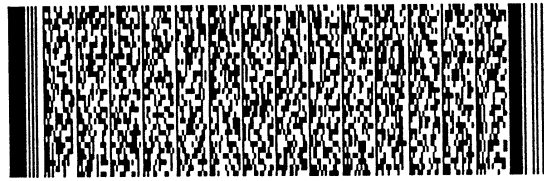
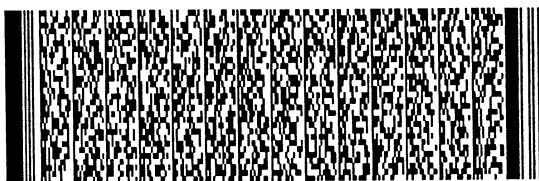
接著請參照第7圖，形成一介電層326於透明基板301上，介電層326例如具有平坦之上表面，而介電層326之材質例如為氮矽化物、氧矽化物等介電材質。之後再於遮光金屬層320上方之介電層324與介電層326中形成插塞316a，並於配線309上方之介電層326形成插塞314。

接著請參照第8圖，於介電層326表面上形成畫素電極304。其中，畫素電極304會藉由插塞314、配線309與插塞312b與源極/汲極302b電性連接，而畫素電極304會藉由插塞316a與插塞316b與遮光金屬層320電性連接。上述畫素電極304之材質例如為銦錫氧化物(ITO)等透明導電材質。

在第8圖中可以清楚得知，本實施例之低溫多晶矽薄膜電晶體液晶顯示器之畫素結構，主要包括一畫素300、一用以驅動畫素300之掃描配線306以及用以驅動畫素300之信號配線308。

先對畫素300、掃描配線306以及信號配線308之間的配置關係進行說明。畫素300係由一薄膜電晶體302與一畫素電極304所構成，薄膜電晶體302主要係由一閘極302a與一源極/汲極302b所構成。在薄膜電晶體302中，閘極302a係與掃描配線306電性連接，源極/汲極302b的一端係藉由插塞312a與信號配線308，而源極/汲極302b的另一端則藉由插塞312b、配線309以及插塞314與畫素電極304電性連接。

接著對儲存電容器310進行說明。在信號配線308下方



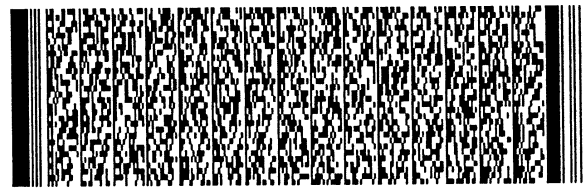
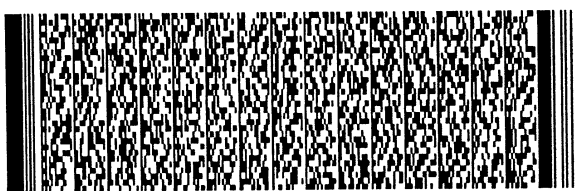
五、發明說明 (8)

的透明基板301上配置有一摻雜多晶矽層318，而在摻雜多晶矽層318上則配置有一遮光金屬層320。藉由摻雜多晶矽層318與遮光金屬層320的重疊以形成儲存電容器310。遮光金屬層320例如為鈿鎢合金、鉻金屬、鈿金屬或是其他同時具有遮光效果與導電效果之材質。此外，遮光金屬層320例如係藉由插塞316a、316b與畫素電極304電性連接，而摻雜多晶矽層318例如連接於一共用電壓(Vcom)。

此外，遮光金屬層320例如係分佈於信號配線308兩側的摻雜多晶矽層318上。由於遮光金屬層320分佈於畫素的邊緣，其不但可以遮蔽畫素邊緣因橫向電場所產生的漏光，亦可以與其下的摻雜多晶矽層318相互耦合以形成一儲存電容器310。儲存電容器310的分佈位置即為遮光金屬層320的分佈位置，此外儲存電容器310本身並不會再佔據其他區域，故使得開口率大幅的提昇。

接著請參照第9圖，其繪示為依照本發明一較佳實施例低溫多晶矽薄膜電晶體液晶顯示器之剖面示意圖。低溫多晶矽薄膜電晶體液晶顯示器主要是由一彩色濾光片陣列基板400、一液晶層500以及一薄膜電晶體陣列基板600所構成。由第9圖可以清楚得知，薄膜電晶體陣列基板600上的遮光金屬層320與信號配線308分佈的區域幾乎不重疊，由於遮光金屬層320與信號配線308幾乎不重疊，故可大幅降低遮光金屬層320與信號配線308之間的寄生電容。

最後請參照第10圖與第11圖，其中第10圖繪示為摻雜多晶矽層具有開口之示意圖，而第11圖繪示為對應第10圖



五、發明說明 (9)

低溫多晶矽薄膜電晶體液晶顯示器之剖面示意圖。為了更進一步避免摻雜多晶矽層318與信號配線308之間的寄生電容問題，我們可以修改決定摻雜多晶矽層318圖案的光罩，使得摻雜多晶矽層318對應於信號配線308下方處具有一開口319，開口319能夠使得摻雜多晶矽層318與信號配線308的重疊區域變小甚至幾乎不重疊，進而降低摻雜多晶矽層318與信號配線308之間的寄生電容。

綜上所述，本發明薄膜電晶體液晶顯示器之畫素結構至少具有下列優點：

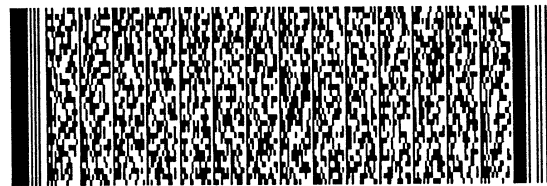
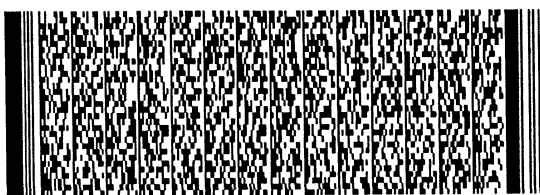
1. 本發明薄膜電晶體液晶顯示器之畫素結構中，遮光金屬層分佈的區域同時為儲存電容器配置的區域，故可大幅提高開口率。

2. 本發明薄膜電晶體液晶顯示器之畫素結構中，由遮光金屬層與摻雜多晶矽層所構成儲存電容器，其電容值 C_{st} 可輕易達到 $CLC : C_{st}$ 比為1 : 1至1 : 4之間。

3. 本發明薄膜電晶體液晶顯示器之畫素結構中，不需要在彩色濾光片基板上配置遮光用之黑色矩陣。

4. 本發明薄膜電晶體液晶顯示器之畫素結構在製作時，僅需對光罩作些許的修改，對製程成本的負擔不大。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為習知薄膜電晶體液晶顯示器之畫素結構中，藉由畫素電極與掃描配線構成儲存電容器的示意圖；

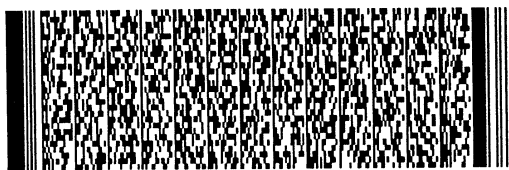
第2圖繪示為習知薄膜電晶體液晶顯示器之畫素結構中，藉由畫素電極與共用配線構成儲存電容器的示意圖；

第3圖至第8圖繪示為依照本發明一較佳實施例低溫多晶矽薄膜電晶體陣列基板的製作流程示意圖；

第9圖繪示為依照本發明一較佳實施例低溫多晶矽薄膜電晶體液晶顯示器之剖面示意圖；

第10圖繪示為摻雜多晶矽層具有開口之示意圖；以及

第11圖繪示為對應第10圖低溫多晶矽薄膜電晶體液晶顯示器之剖面示意圖。

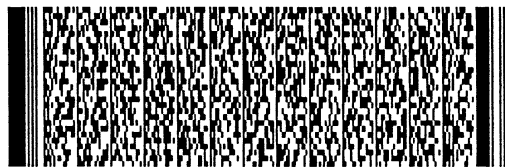
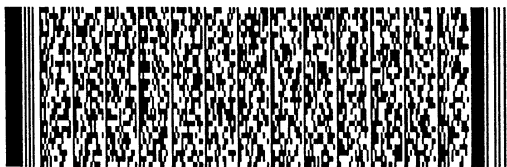


四、中文發明摘要 (發明之名稱：薄膜電晶體液晶顯示器之畫素結構)

一種薄膜電晶體液晶顯示器之畫素結構，藉由一與低溫多晶矽薄膜電晶體中的源極/汲極同時定義之摻雜多晶矽層、一介電層以及一遮光金屬層構成儲存電容器。其中，遮光金屬層係配置於摻雜多晶矽層上方，並且與畫素電極電性連接。由於遮光金屬層所分佈的區域同時即為儲存電容器配置的區域，故可大幅提高開口率。

英文發明摘要 (發明之名稱：Pixel structure of TFT LCD)

A pixel structure of TFT LCD, wherein the storage capacitor of the pixel comprises a doping polysilicon layer, a dielectric layer and a shielding metal layer. The shielding metal layer electrically connected with a pixel electrode is disposed above the doping polysilicon layer. The aperture of the TFT LCD is enhanced because the area occupied by the shielding metal layer is the same with the storage capacitor.



六、申請專利範圍

1. 一種薄膜電晶體液晶顯示器之畫素結構，適於配置於一透明基板上，該畫素結構包括：

一畫素，該畫素配置於該些透明基板上，該畫素包括一低溫多晶矽薄膜電晶體與一畫素電極，其中該低溫多晶矽薄膜電晶體具有一閘極與一源極/汲極，而該畫素電極與該源極/汲極的一端電性連接；

一掃描配線，該掃描配線配置於該透明基板上，該掃描配線係與該閘極電性連接；

一信號配線，該信號配線配置於該透明基板上，該配線係與該源極/汲極的另一端電性連接；以及

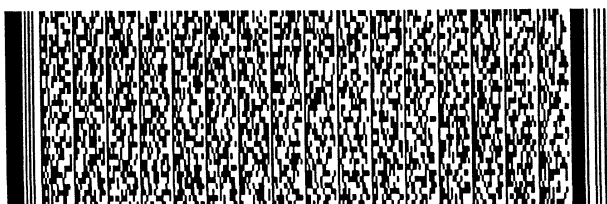
一儲存電容器，該儲存電容器配置於該信號配線下，該儲存電容係藉由一摻雜多晶矽層、一介電層以及一遮光金屬層所構成，該遮光金屬層係配置於該摻雜多晶矽層上方，且遮光金屬層係與該畫素電極電性連接。

2. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該源極/汲極為N型離子摻雜的多晶矽層。

3. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該源極/汲極為P型離子摻雜的多晶矽層。

4. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該摻雜多晶矽層為N型離子摻雜。

5. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該摻雜多晶矽層為P型離子摻雜。



六、申請專利範圍

6. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該摻雜多晶矽層係連接於一直流電壓。

7. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該摻雜多晶矽層係連接於一交流電壓。

8. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該遮光金屬層之材質包括鉬鎢合金、鉻金屬、鉬金屬其中之一。

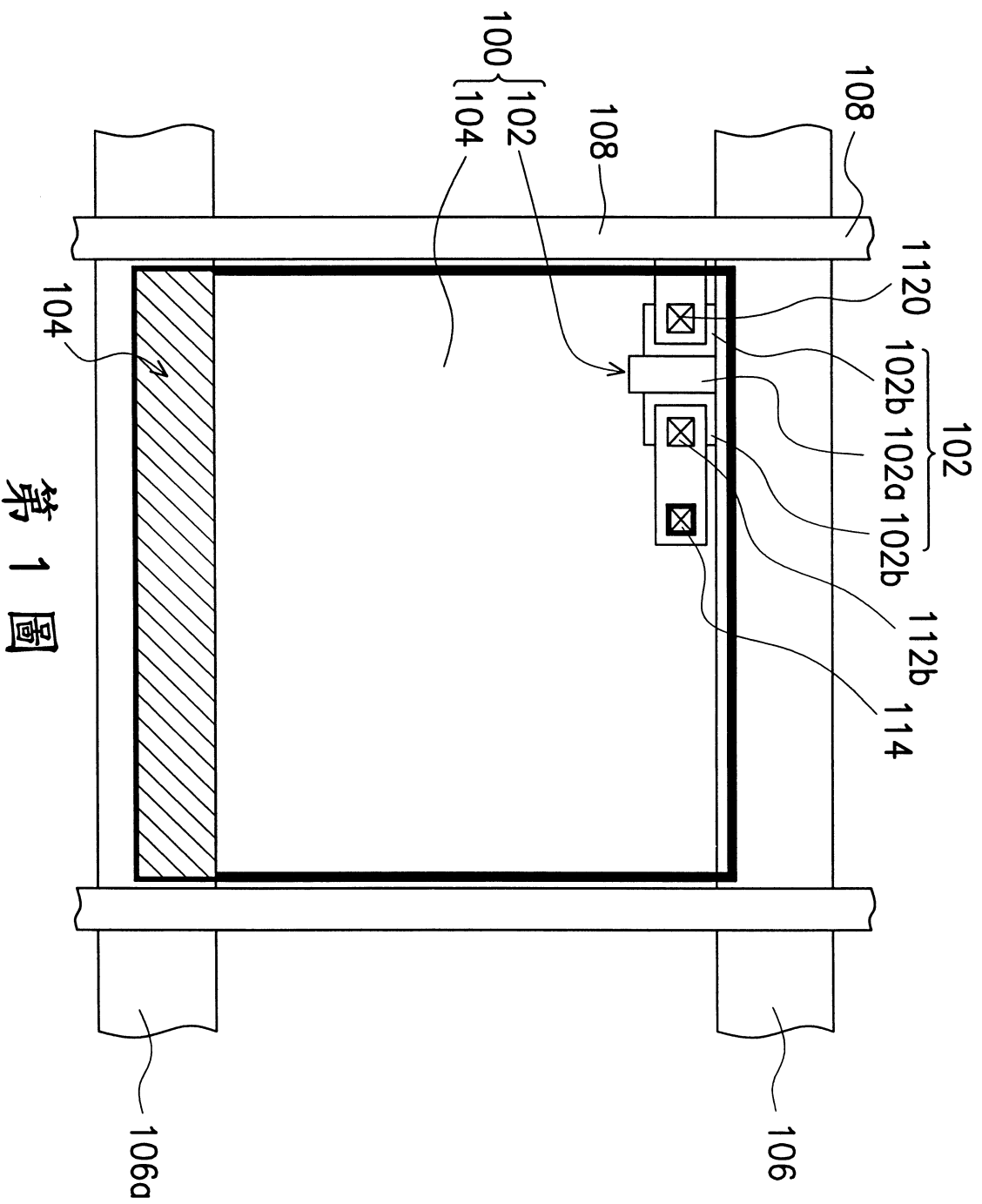
9. 如申請專利範圍第1項所述之薄膜電晶體液晶顯示器之畫素結構，其中該摻雜多晶矽層具有一開口，該開口係位於該信號配線下方。

10. 一種薄膜電晶體陣列基板，包括複數個申請專利範圍第1項所述薄膜電晶體液晶顯示器之畫素結構。

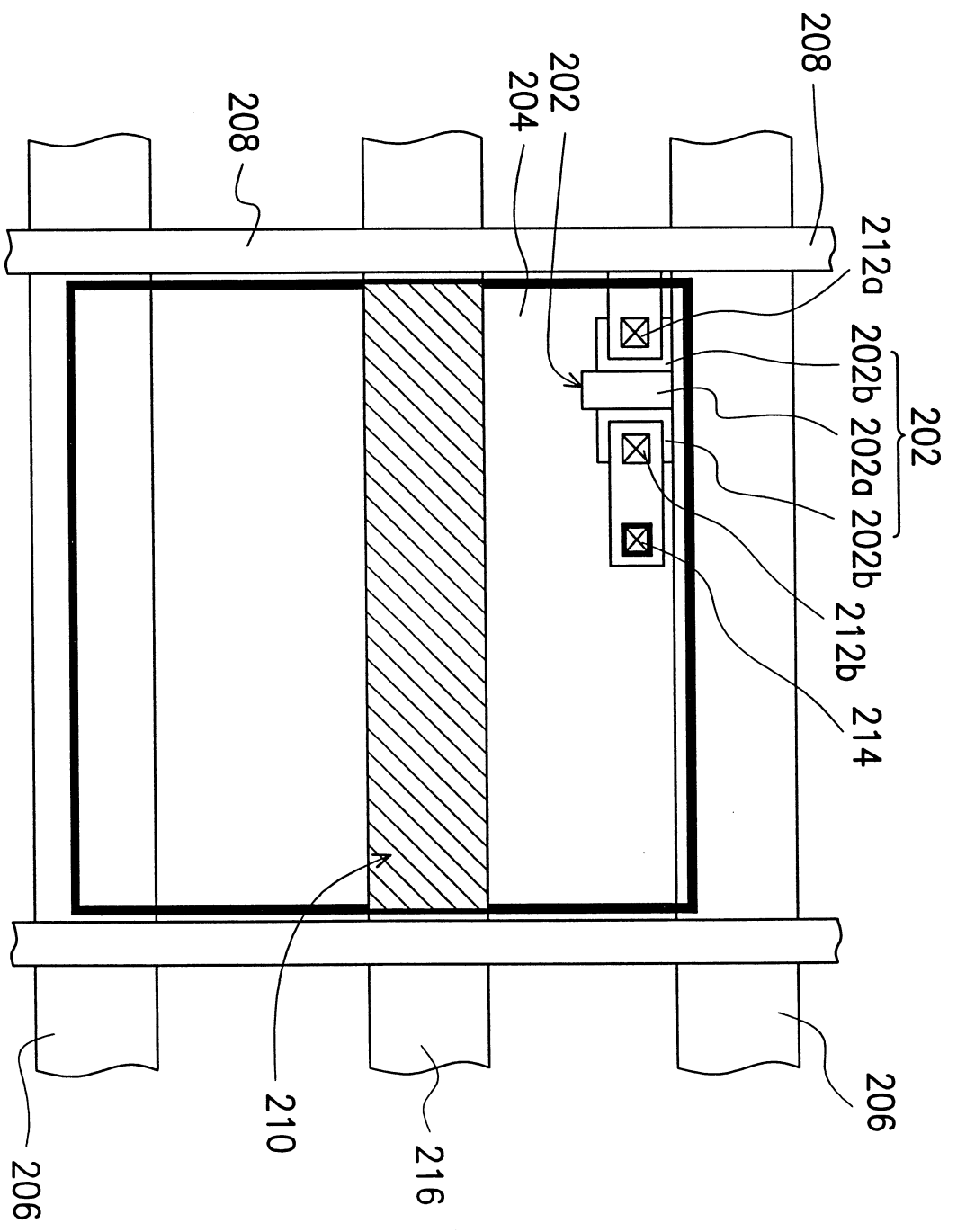
11. 一種薄膜電晶體液晶顯示器，包括一申請專利範圍第10項所述之薄膜電晶體陣列基板、一彩色濾光片基板以及一液晶層，該液晶層配置於該薄膜電晶體陣列基板彩色濾光片基板之間。



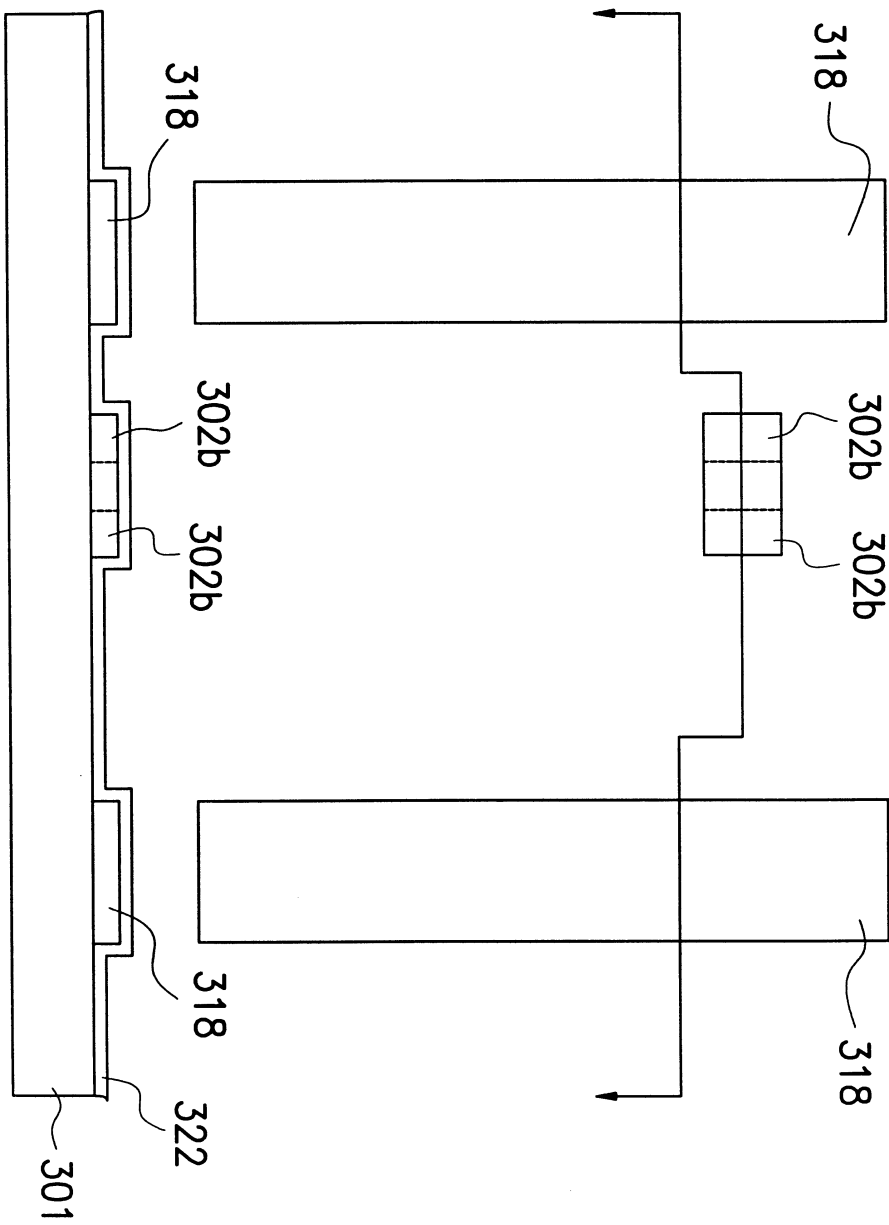
公告本



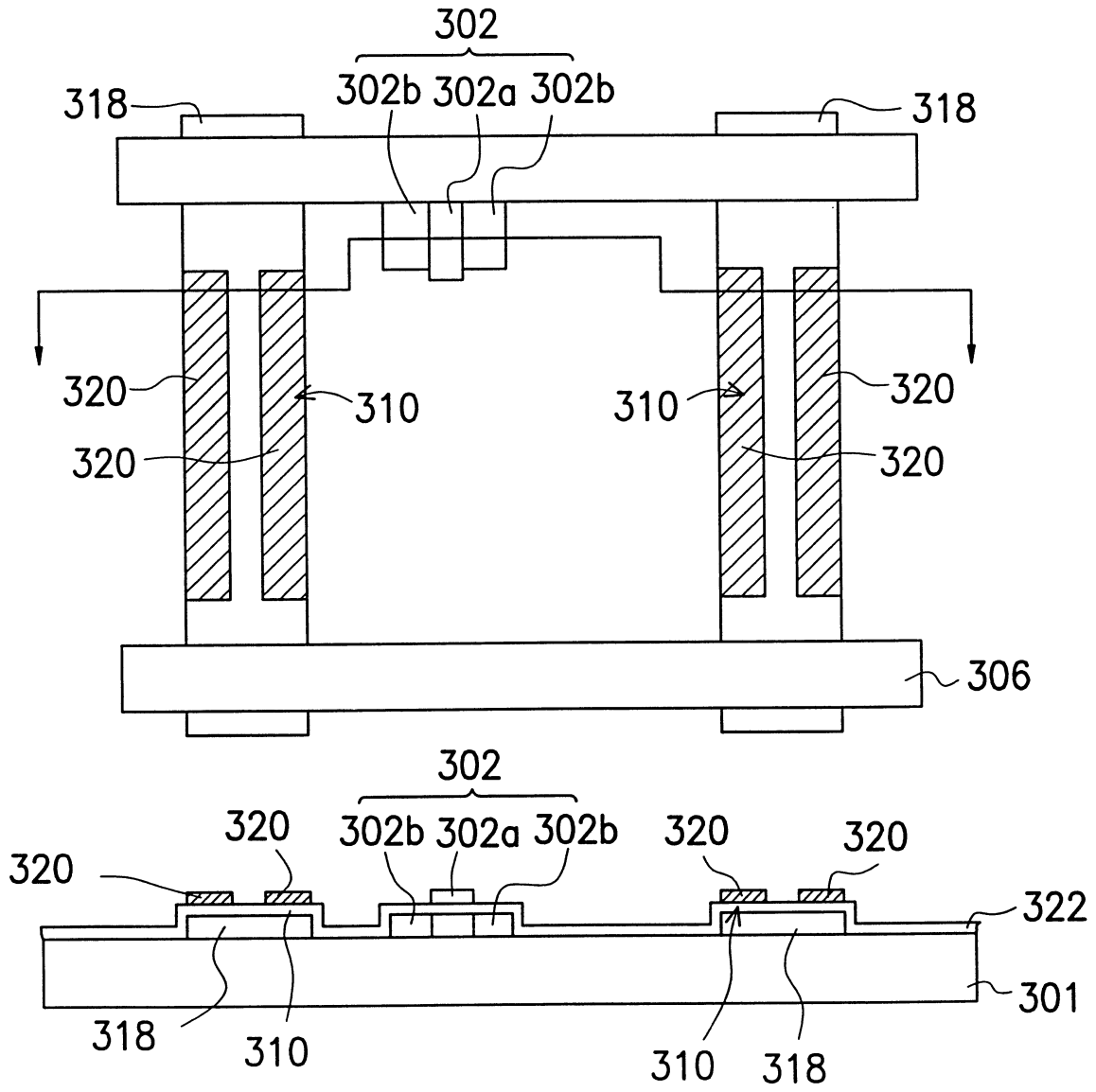
第 1 圖



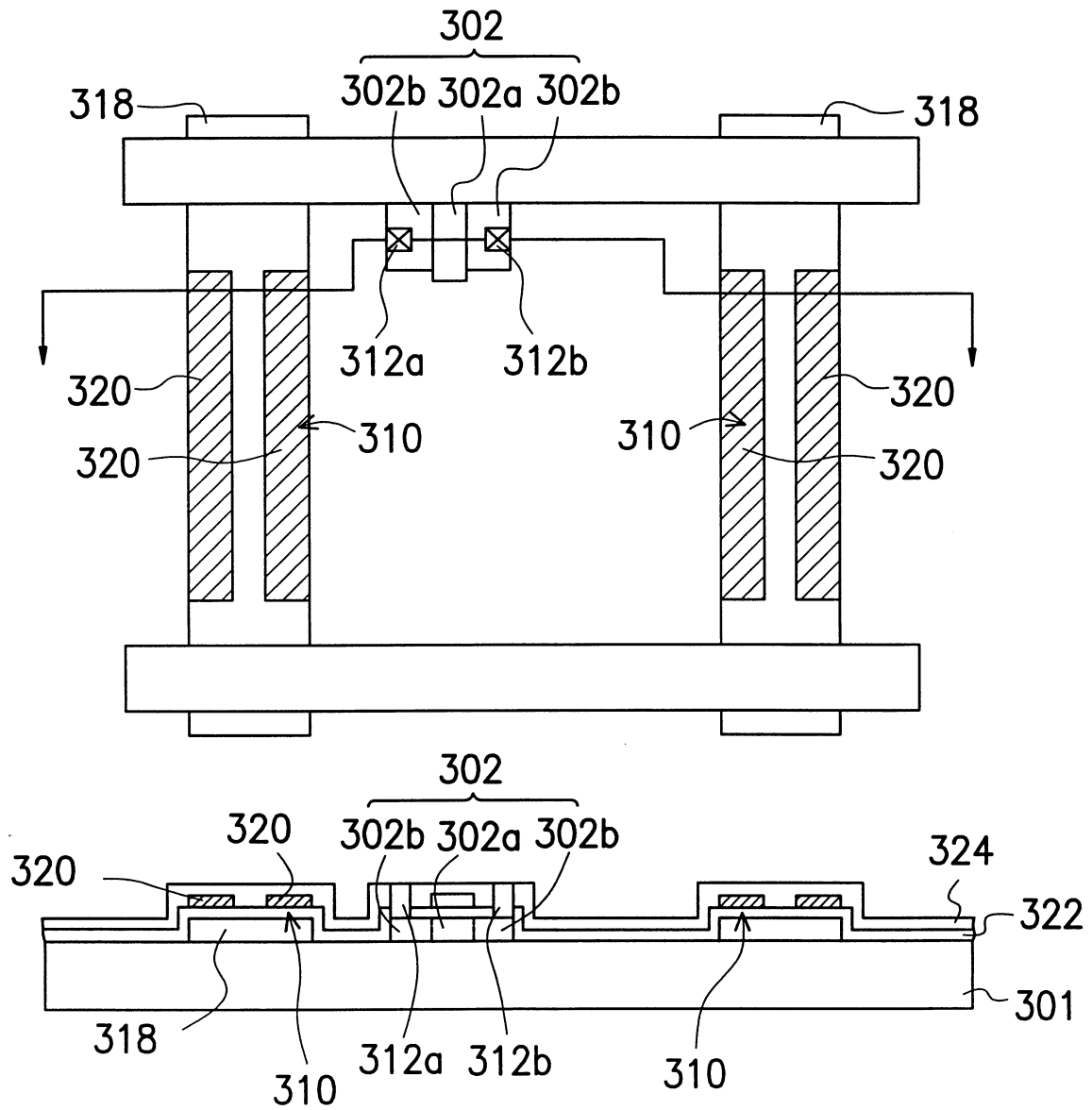
第 2 圖



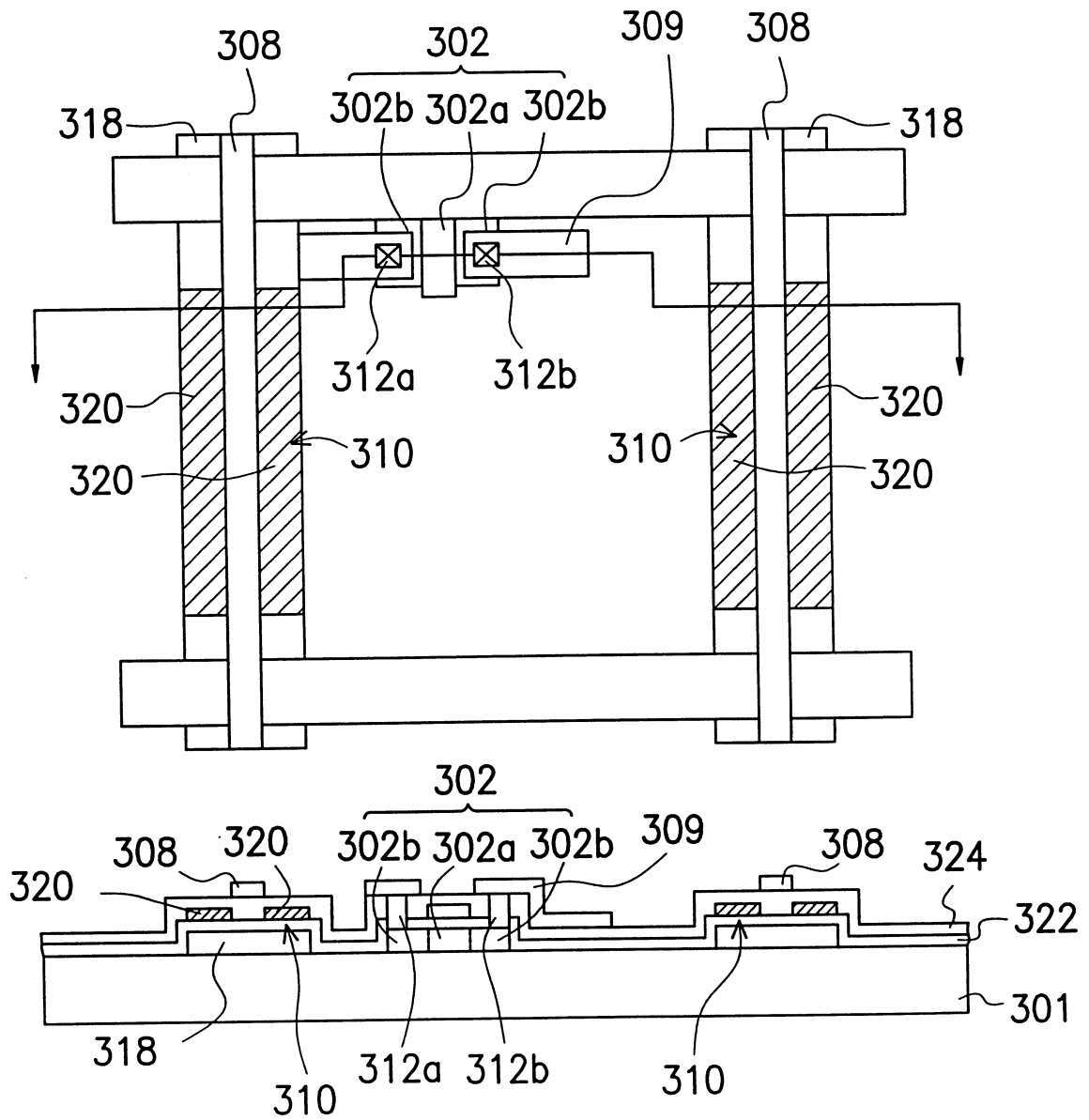
第 3 圖



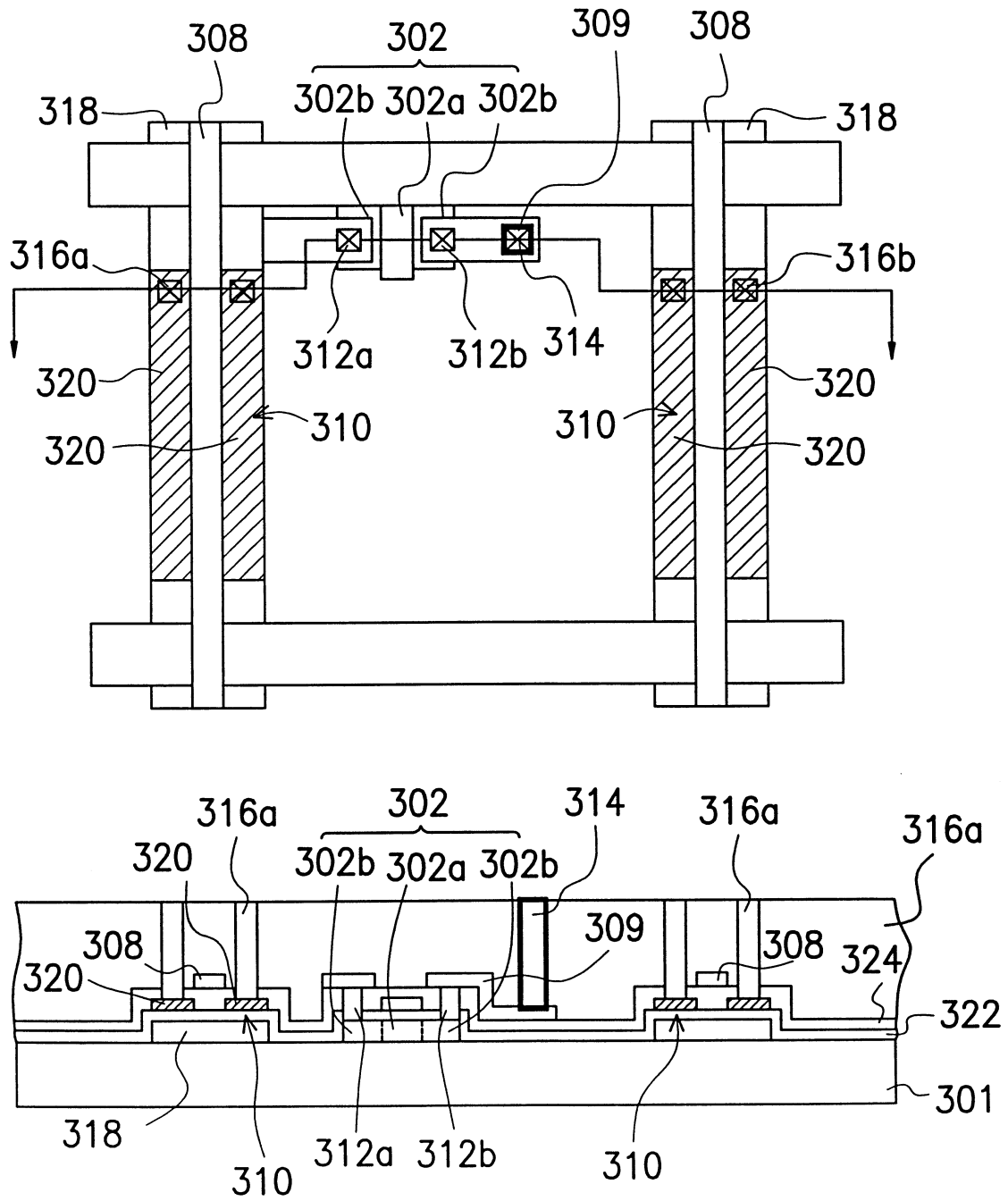
第 4 圖



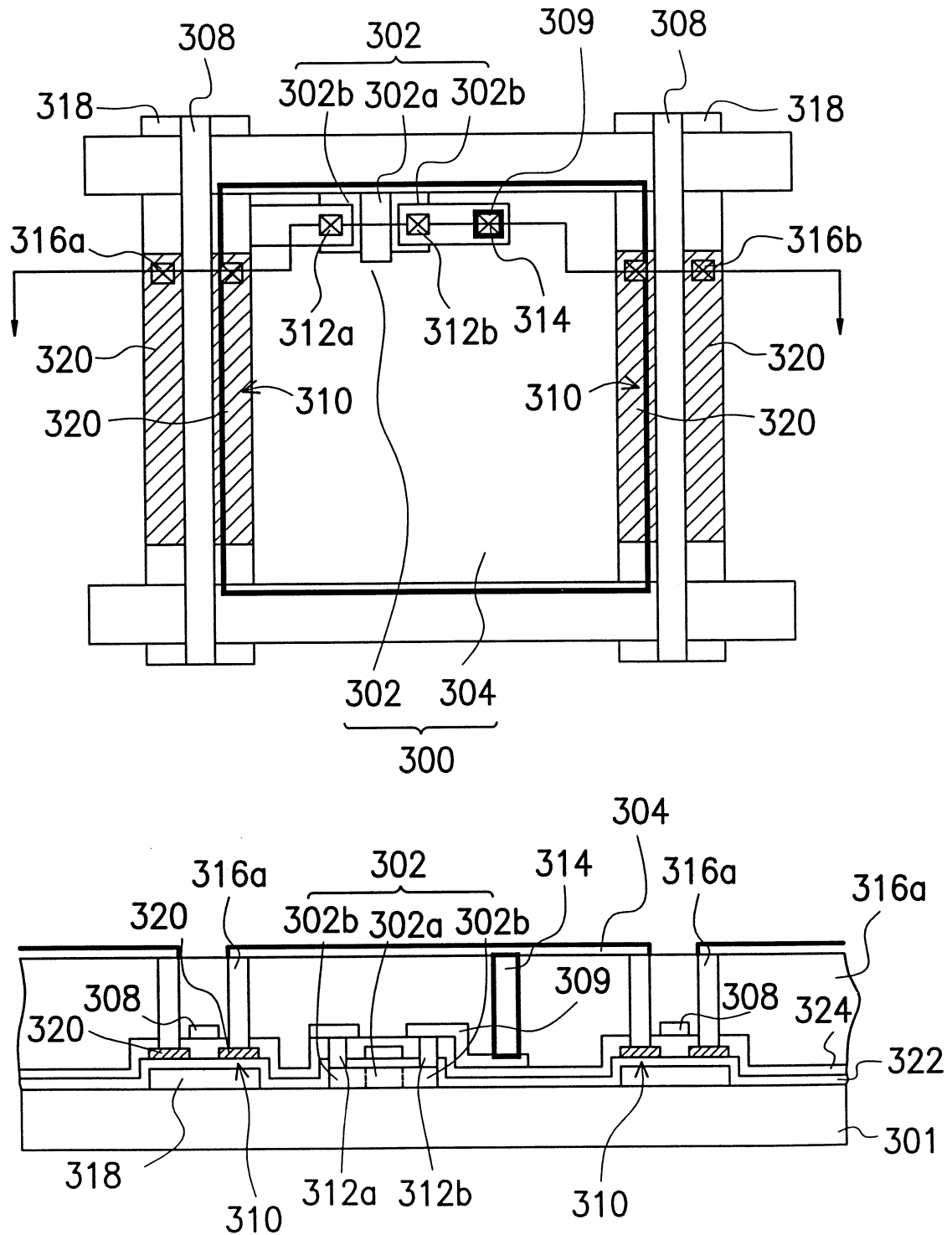
第 5 圖



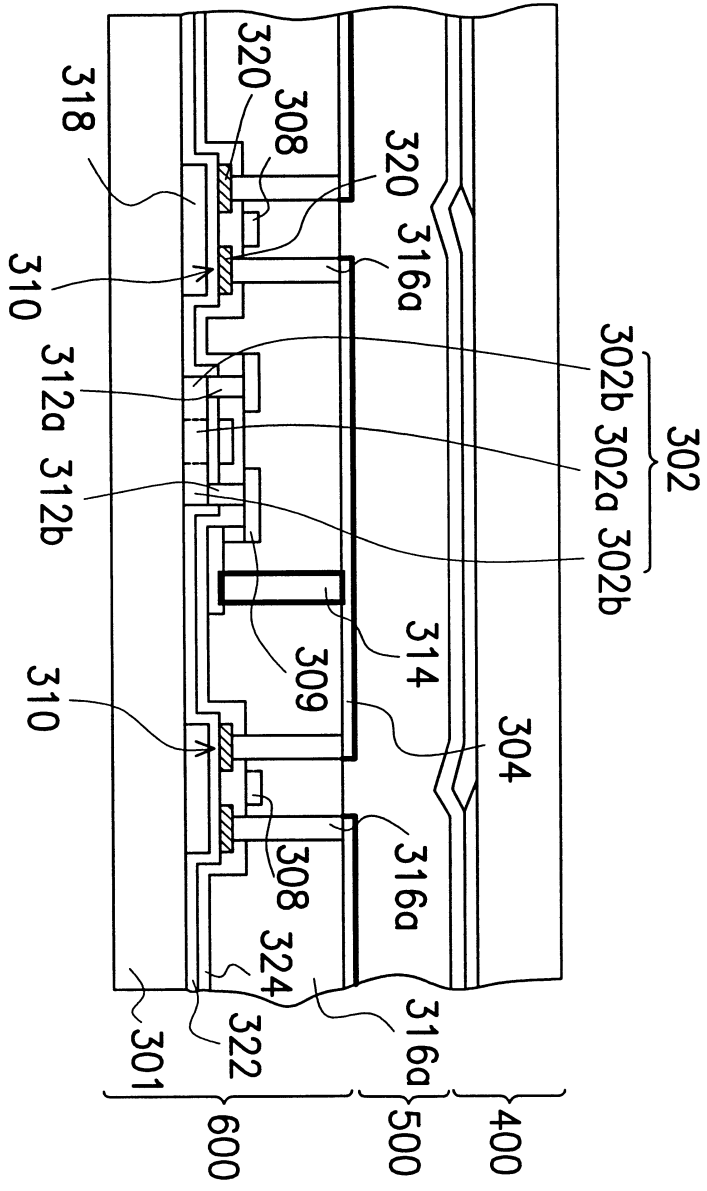
第 6 圖



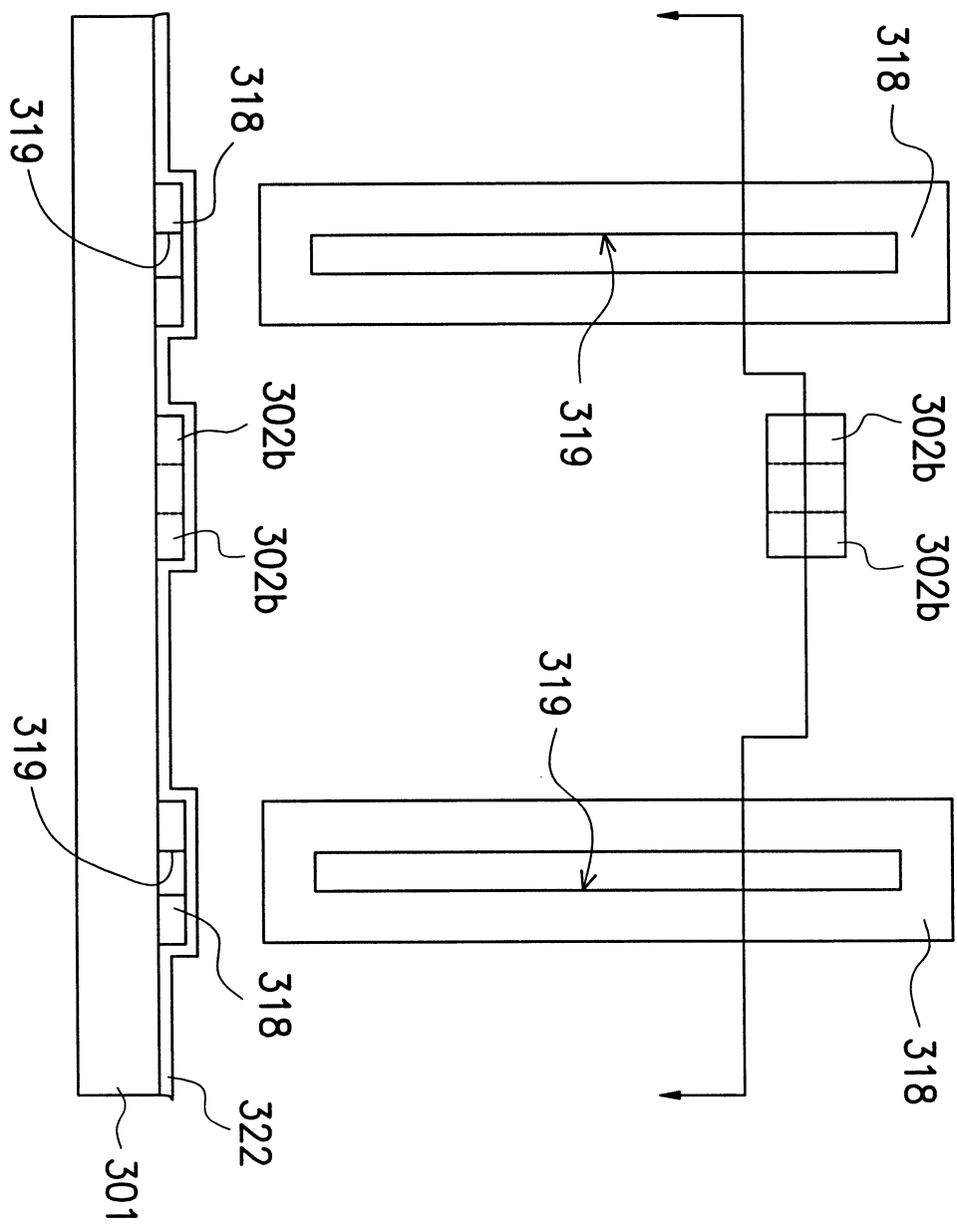
第 7 圖



第 8 圖



第 9 圖



第10圖

