



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I387023B1

(45) 公告日：中華民國 102 (2013) 年 02 月 21 日

(21) 申請案號：097150598

(22) 申請日：中華民國 97 (2008) 年 12 月 25 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L21/8247(2006.01)

G11C16/22 (2006.01)

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION, INC. (TW)

新竹縣竹北市台元街 36 號 8 樓之 1

(72) 發明人：歐旭斌 OU, HSU PING (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 7181572B2

US 2004/0181303A1

US 2004/0221287A1

US 2005/0182985A1

US 2008/0059703A1

審查人員：詹利澤

申請專利範圍項數：22 項 圖式數：5 共 0 頁

(54) 名稱

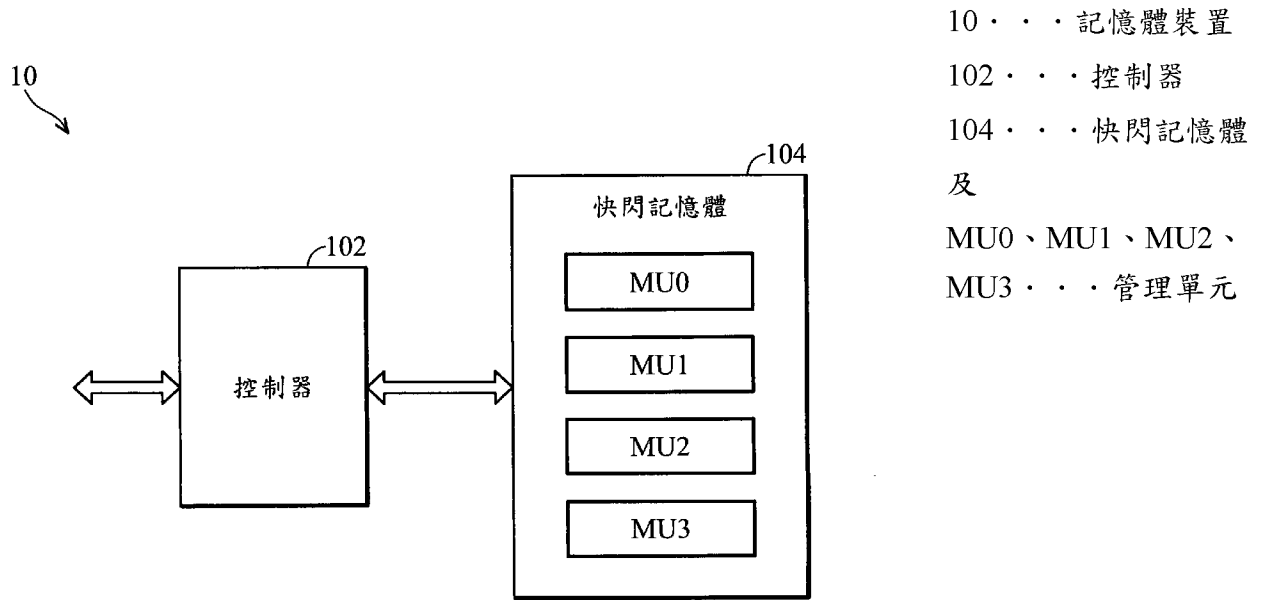
防止迴焊過程中資料遺失之方法及使用該方法之記憶體裝置

METHOD OF PREVENTING DATA LOSS DURING A SOLDER REFLOW PROCESS AND MEMORY DEVICE USING THE SAME

(57) 摘要

本發明提供一種防止迴焊過程中資料遺失之方法，適用於一快閃記憶體，其中，該快閃記憶體具有複數之記憶區塊，且每一記憶區塊包括複數之強頁面及複數之弱頁面。首先，接收一預錄資料，並將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中。接著，加熱該快閃記憶體，用以進行迴焊。之後，根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

The invention provides a method of preventing data loss in a flash memory during a solder reflow process. The flash memory includes a plurality of memory blocks and each memory block includes a plurality of strong pages and weak pages. Preloading data is first received and stored into the strong pages of at least one of first memory block within the flash memory. Then, the flash memory is heated for the solder reflow process. Next, the preloading data is reorganized according to a trigger signal and the strong pages and weak pages of at least one of second memory block within the flash memory are provided for storing the reorganized preloading data.



第 1 圖

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97150598

H01L 21/60 (2006.01)

※申請日： 97.12.25 ※IPC 分類：

H01L 21/8247 (2006.01)

一、發明名稱：(中文/英文)

G11C 16/22 (2006.01)

防止迴焊過程中資料遺失之方法及使用該方法之記憶體裝置

METHOD OF PREVENTING DATA LOSS DURING A SOLDER REFLOW PROCESS AND MEMORY DEVICE USING THE SAME

二、中文發明摘要：

本發明提供一種防止迴焊過程中資料遺失之方法，適用於一快閃記憶體，其中，該快閃記憶體具有複數之記憶區塊，且每一記憶區塊包括複數之強頁面及複數之弱頁面。首先，接收一預錄資料，並將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中。接著，加熱該快閃記憶體，用以進行迴焊。之後，根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

三、英文發明摘要：

The invention provides a method of preventing data loss in a flash memory during a solder reflow process. The flash memory includes a plurality of memory blocks and each memory block includes a plurality of strong pages and weak pages. Preloading data is first received and stored into the

strong pages of at least one of first memory block within the flash memory. Then, the flash memory is heated for the solder reflow process. Next, the preloading data is reorganized according to a trigger signal and the strong pages and weak pages of at least one of second memory block within the flash memory are provided for storing the reorganized preloading data.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

10~記憶體裝置；

102~控制器；

104~快閃記憶體；及

MU0、MU1、MU2、MU3~管理單元。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

六、發明說明：

【發明所屬之技術領域】

本發明係有關於快閃記憶體，特別是有關於多位準單元（multi-level cell, MLC）快閃記憶體的資料儲存方法。

【先前技術】

於非揮發性記憶體（non-volatile memory）中，反及閘型快閃記憶體（NAND flash memory）因為具備編程（program）時間短、晶圓面積小及低耗電量之優點，廣泛地作為各種多媒體資料之儲存媒體，例如：安全數位卡（SD card）或小型快閃卡（CF card）。一般而言，反及閘型快閃記憶體可分為單位準單元（single-level cell, SLC）快閃記憶體及多位準單元（multi-level cell, MLC）快閃記憶體。每一個單位準單元可儲存“0”或“1”兩個值，而每一個多位準單元至少可儲存“00”、“01”、“10”或“11”四個以上的值，具有較高的儲存密度。

然而，受限於多位準單元快閃記憶體之架構，相較於單位準單元快閃記憶體，多位準單元快閃記憶體較容易產生資料遺失的情況。特別是在將記憶體焊接至印刷電路板（printed circuit board）的過程中，多位準單元

快閃記憶體中所預存的資料，往往會因為迴焊過程（solder reflow）之高溫加熱，而使資訊遺失，導致記憶體無法正常操作或需重新寫入預存資料，嚴重地降低量產效能並增加成本。

因此，需要一種方法，用以解決多位準單元快閃記憶體於迴焊過程中，因高溫而產生資料遺失之問題，進而有效提升量產之效能。

【發明內容】

有鑑於此，本發明提供一種防止迴焊過程中資料遺失之方法，適用於一快閃記憶體。於一實施例中，該快閃記憶體具有複數之記憶區塊，且每一記憶區塊包括複數之強頁面及複數之弱頁面。首先，接收一預錄資料，並將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中。之後，加熱該快閃記憶體，用以進行迴焊。接著，根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

另一方面，本發明更提供一種記憶體裝置。於一實施例中，該記憶體裝置包括一快閃記憶體及一控制器。該快閃記憶體具有複數之記憶區塊用以儲存資料，且每一記憶區塊包括複數之強頁面及複數之弱頁面。該控制

器耦接於該快閃記憶體，用以接收一預錄資料，並將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中。於加熱該快閃記憶體進行迴焊後，該控制器根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

【實施方式】

下文係說明本發明之較佳實施方式，用以更容易瞭解本發明，並非用以限制本發明。本發明之保護範圍當視後附之申請專利範圍所界定者為準。

第 1 圖係顯示依據本發明實施例之一記憶體裝置 10 方塊圖。該記憶體裝置 10 包括一快閃記憶體 104 及一控制器 102。

於一實施例中，該記憶體裝置 10 為一記憶卡或一固態硬碟 (solid state disk, SSD)，而該快閃記憶體 104 為反及閘型快閃記憶體。該記憶體裝置 10 可藉由不同介面，例如：通用串列匯流排 (universal serial bus, USB) 介面、個人電腦記憶卡國際協會 (personal computer memory card international association, PCMCIA) 介面或串列式先進附加技術 (serial advanced technology attachment, SATA) 介面，與一外部主機 (未圖示)，

如：數位相機或手機，傳送接收資料。

操作上，該控制器 102 耦接於該快閃記憶體 104 及該外部主機間。該控制器 102 接收來自該外部主機之控制信號、邏輯位址及資料，用以根據控制信號及邏輯位址將資料儲存至該快閃記憶體 104 中。進一步，該快閃記憶體 104 可包括複數之管理單元 (management unit)，如第 1 圖所示之 MU0 至 MU3，每一管理單元用以管理一既定數量之記憶區塊。亦即，該控制器 102 透過該等管理單元 MU0~MU3 存取對應之記憶區塊以及儲存於其中之資料。

第 2 圖係顯示依據本發明實施例之一快閃記憶體 104 示意圖。如第 2 圖所示，該快閃記憶體 104 包括多個多位準單元記憶區塊，如記憶區塊 0、...、記憶區塊 N、...、記憶區塊 1023，可分別由 4 個管理單元 MU0~MU3 管理。於此實施例中，每一記憶區塊，如記憶區塊 N，係各自包括複數之頁面。其中，該等頁面包括複數之強頁面 (strong page) 及複數之弱頁面 (weak page)。

參考第 2 圖，強頁面及弱頁面以一既定排列方式交錯排列，例如，於記憶區塊 N 中，頁面 0 (S0) 至頁面 3 (S3) 為強頁面、頁面 4 (W0) 及 5 (W1) 為弱頁面、

頁面 6 (S4) 及 7 (S5) 為強頁面、頁面 8 (W2) 及 9 (W3) 為弱頁面、...、頁面 12 (W4) 及 13 (W5) 為弱頁面...以此類推。

一般而言，寫入資料時，相對於弱頁面，強頁面的編程忙碌時間 (program busy time) 較短，而強頁面也較不易因為溫度或溼度等因素而影響到資料的正確性。在量產記憶卡時，對該快閃記憶體 104 所進行之高溫迴焊過程，例如：以紅外線或錫爐加以烘烤，容易導致預存於弱頁面之預錄資料，如系統檔案或測試資料，產生損毀或遺失的情況。甚至使得記憶卡無法正常運作，而必須重新寫入預錄資料。如此一來，除了增加重新寫入之成本外，亦將嚴重影響量產之效能。因此，為防止高溫環境造成弱頁面遺失資料之情況發生，在進行迴焊過程前，選擇將預錄資料儲存於強頁面中，詳細操作方式將配合第 3 及 4 圖說明如下。

第 3 圖係顯示依據本發明實施例之一記憶區塊 30 示意圖。於一實施例中，該記憶區塊 30 為該快閃記憶體 104 中之任一記憶區塊，例如：記憶區塊 N。如第 3 圖所示，該記憶區塊 30 被配置為強頁面寫入狀態 (strong page only state)。意即，當寫入資料至該記憶區塊 30 時，資料僅可以被寫入至強頁面中，如頁面 0

~3、6~7、10~11、…、以此類推。於此情況下，該記憶區塊 30 之儲存容量小於未被配置前之記憶區塊（如第 2 圖之記憶區塊 N）之儲存容量。於一實施例中，當強頁面及弱頁面交錯排列時，則該記憶區塊 30 之儲存容量為該記憶區塊 N 之儲存容量之一半。

更具體地，在將預錄資料寫入至該快閃記憶體 104 之前，先選擇該快閃記憶體 104 之全部或部份管理單元欲被配置為強頁面寫入狀態。於一實施例中，該控制器 102 可以根據預錄資料之大小設定欲配置之管理單元。隨後，該快閃記憶體 104 進行低階格式化（low-level format）。其次，該控制器 102 將預錄資料寫入至已配置之管理單元中。如此一來，所有預錄資料依序被寫入對應記憶區塊之強頁面中，如第 3 圖之頁面 0~3、6~7 及 10~11。接著，加熱或烘烤該控制器 102 及該快閃記憶體 104，用以進行迴焊流程。於一實施例中，可藉由紅外線熱流（infrared reflow）、氣相熱流（vapor phase reflow）或熱熔爐（heating furnace）來進行迴焊流程。

將該控制器 102 及該快閃記憶體 104 焊接至至印刷電路板後，該控制器 102 隨即根據一觸發信號，用以重組（reorganize）該預錄資料。預錄資料之重組操作將詳細說明如下。

第 4 圖係顯示依據本發明實施例之一預錄資料重組示意圖。於此實施例中，假設於進行迴焊流程前，預錄資料分別儲存於管理單元 MU0 之記憶區塊 402 及 404 中。其中，記憶區塊 402 及 404 均被配置為強頁面寫入狀態。

當迴焊完成後，第 1 圖之控制器 102 根據一觸發信號，對記憶區塊 402 及 404 之強頁面中所儲存之預錄資料進行重組。於一實施例中，該控制器 102 可以軟體或韌體的方式，透過外部測試主機所傳送一回復命令，用以產生該觸發信號並進行預錄資料重組。於另一實施例中，該控制器 102 亦可以利用硬體來進行控制，於該快閃記憶體 104 中，預先配置一腳位。接著，該控制器 102 根據該腳位之狀態，用以判斷迴焊是否完成，從而產生該觸發信號來進行預錄資料重組。

如第 4 圖所示，從其它未被配置為強頁面寫入狀態之管理單元中，該控制器 102 決定用以儲存重組後預錄資料之記憶區塊，例如：管理單元 MU1 之記憶區塊 406。換言之，重組後之預錄資料將依序被寫入至記憶區塊 406 中之所有強頁面及弱頁面中。

舉例來講，假設記憶區塊 406 和未被配置為強頁面寫入狀態前之記憶區塊 402 及 404，均各自包括 128 個

頁面，且該等頁面包括複數交錯排列之強頁面及弱頁面。換句話說，配置後之記憶區塊 402 及 404 之儲存容量為記憶區塊 406 之儲存容量之一半。

進行重組時，於記憶區塊 402 中，強頁面（如頁面 0~3、6~7、10~11 等）所儲存之預錄資料，將被重組並依序儲存至該記憶區塊 406 之頁面 0~63 中。同樣地，記憶區塊 404 之強頁面所儲存之預錄資料，將連續地儲存於該記憶區塊 406 之頁面 64~127 中。

值得一提的是，當迴焊完成後，上述預錄資料之重組操作可以於在背景進行，使得記憶體裝置可同時進行其它功能性測試。

進一步，預錄資料重組完成後，於記憶區塊 402 及 404 所對應之管理單元 MU0 中，該控制器 102 對所有記憶區塊進行抹除操作。因此，於抹除後之管理單元 MU0 中，所有記憶區塊之儲存容量將被重置。意即，記憶區塊 402、404 及 406 具有相同之儲存容量。

於一實施例中，該控制器 102 可進一步檢測記憶區塊 406 所儲存之預錄資料是否正確。如果儲存之預錄資料有誤，可透過該控制器 102 回傳至外部測試主機加以記錄，或直接標記預錄失敗的記憶體裝置。

第 5 圖係顯示依據本發明實施例之防止焊接過程中資料遺失之方法 50 流程圖。如上所述，該方法適用於一快閃記憶體。於一實施例中，該快閃記憶體為反及閘型快閃記憶體，其中，該快閃記憶體具有多個管理單元，且每一管理單元包括一既定數量之多位準單元記憶區塊，用以透過每一管理單元存取對應之記憶區塊。進一步，每一記憶區塊包括複數之強頁面及複數之弱頁面，係以一既定排列方式交錯排列。於儲存資料時，每一強頁面之編程忙碌時間小於每一弱頁面之編程忙碌時間。

首先，載入或接收一預錄資料（步驟 S502）。於操作上，先從該快閃記憶體中，選擇一個或多個管理單元進行配置。於所選擇管理單元中，對應之記憶區塊會被配置為強頁面寫入狀態，用以儲存該預錄資料。如前所述，於每一記憶區塊中，當強頁面及弱頁面以既定排列方式交錯排列時，則配置後之記憶區塊之儲存容量僅為配置前之一半。

進一步，該快閃記憶體 104 進行低階格式化（low-level format），並將所有預錄資料依序寫入記憶區塊之強頁面中（步驟 S504）。

然後，加熱該快閃記憶體，用以進行迴焊流程（步

驟 S506)。

接著，該預錄資料根據一觸發信號進行重組（步驟 S508）。更具體地，先根據該預錄資料所需之記憶容量，從未被配置為強頁面寫入狀態之管理單元中，選擇用以儲存重組後預錄資料新記憶區塊。如此一來，便可將重組後之預錄資料，重新寫入至新記憶區塊之所有頁面中（步驟 S510）。

需注意該觸發信號可以軟體之方式產生，例如：根據一回復命令。或者，亦可利用硬體之方式產生該觸發信號，例如：根據該快閃記憶體之一既定腳位之一狀態。

再者，於預錄資料重組後，針對強頁面寫入狀態之管理單元進行資料抹除操作，並恢復記憶區塊之儲存容量（步驟 S512）。除此之外，亦可進一步判斷重組後之預錄資料是否正確，用以確保預錄資料之正確性。

本發明實施例之防止迴焊過程中資料遺失之方法及使用該方法之記憶體裝置，可有效解決習知上因為高溫導致弱頁面預錄資料遺失或損毀之問題。此外，該記憶體裝置之控制器可根據軟體或硬體方式所產生之觸發信號，用以重組預錄資料，並將重組後之預錄資料重新儲存至記憶區塊之強頁面及弱頁面中。因此，除了能夠大幅提高量產效能外，亦毋需犧牲記憶容量，同時確

保預錄資料之完整性及正確性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示依據本發明實施例之一記憶體裝置方塊圖。

第 2 圖係顯示依據本發明實施例之一快閃記憶體示意圖。

第 3 圖係顯示依據本發明實施例之一記憶區塊示意圖。

第 4 圖係顯示依據本發明實施例之一預錄資料重組示意圖。

第 5 圖係顯示依據本發明實施例之防止焊接過程中資料遺失之方法流程圖。

【主要元件符號說明】

10~記憶體裝置；

102~控制器；

104~快閃記憶體；

30、402、404、406~記憶區塊；及

MU0、MU1、MU2、MU3~管理單元。

七、申請專利範圍：

1. 一種防止迴焊過程中資料遺失之方法，適用於一快閃記憶體，其中，該快閃記憶體具有複數之記憶區塊，且每一記憶區塊包括複數之強頁面及複數之弱頁面，該方法包括：

接收一預錄資料；

將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中；

加熱該快閃記憶體，用以進行迴焊；以及

根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

2. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，係根據一回復命令產生該觸發信號。

3. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，係根據該快閃記憶體之一既定腳位之一狀態，用以產生該觸發信號。

4. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，於每一記憶區塊中，該等強頁面及該等弱頁面為交錯排列。

5. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，每一個第一記憶區塊之儲存容量係

小於每一個第二記憶區塊之儲存容量。

6. 如申請專利範圍第 5 項所述之防止迴焊過程中資料遺失之方法，其中，每一個第一記憶區塊之儲存容量係為每一個第二記憶區塊之儲存容量之一半。

7. 如申請專利範圍第 5 項所述之防止迴焊過程中資料遺失之方法，更包括：

於該至少一第二記憶區塊儲存該重組後之預錄資料之後，抹除該至少一第一記憶區塊，抹除後之每一個第一記憶區塊與每一個第二記憶區塊具有相同之儲存容量。

8. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，更包括：

判斷儲存於該至少一第二記憶區塊之預錄資料是否正確。

9. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，於儲存資料時，每一強頁面之編程忙碌時間係小於每一弱頁面之編程忙碌時間。

10. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，該快閃記憶體為一反及閘型快閃記憶體。

11. 如申請專利範圍第 1 項所述之防止迴焊過程中資料遺失之方法，其中，每一記憶區塊為一多位準單元記憶區塊。

12. 一種記憶體裝置，包括：

一快閃記憶體，用以儲存資料，其中，該快閃記憶體具有複數之記憶區塊，且每一記憶區塊包括複數之強頁面及複數之弱頁面；以及

一控制器，耦接於該快閃記憶體，接收一預錄資料，並將該預錄資料儲存至該快閃記憶體之至少一第一記憶區塊之該等強頁面中，

其中，於加熱該快閃記憶體用以進行迴焊後，該控制器根據一觸發信號重組該預錄資料，並將重組後之預錄資料連續寫入至該快閃記憶體之至少一第二記憶區塊之該等強頁面及該等弱頁面中。

13. 如申請專利範圍第 12 項所述之記憶體裝置，其中，係根據一主機所傳送之一回復命令產生該觸發信號。

14. 如申請專利範圍第 12 項所述之記憶體裝置，其中，係根據該快閃記憶體之一既定腳位之一狀態，用以產生該觸發信號。

15. 如申請專利範圍第 12 項所述之記憶體裝置，其中，於每一記憶區塊中，該等強頁面及該等弱頁面為交錯排列。

16. 如申請專利範圍第 12 項所述之記憶體裝置，其中，每一個第一記憶區塊之儲存容量係小於每一個第二記憶區塊之儲存容量。

17. 如申請專利範圍第 16 項所述之記憶體裝置，其中，每一個第一記憶區塊之儲存容量係為每一個第二記憶區塊之儲存容量之一半。

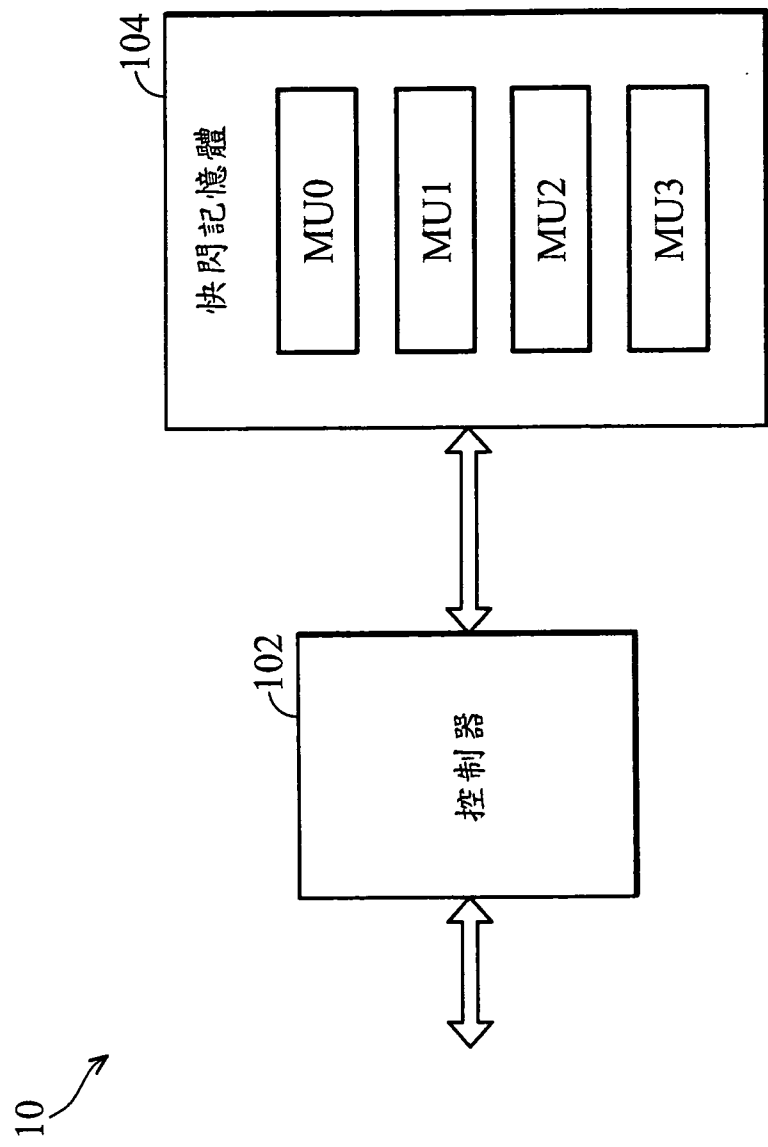
18. 如申請專利範圍第 16 項所述之記憶體裝置，其中，於該至少一第二記憶區塊儲存該重組後之預錄資料之後，該控制器抹除該至少一第一記憶區塊，使抹除後之每一個第一記憶區塊與每一個第二記憶區塊具有相同之儲存容量。

19. 如申請專利範圍第 12 項所述之記憶體裝置，其中，該控制器判斷儲存於該至少一第二記憶區塊之預錄資料是否正確。

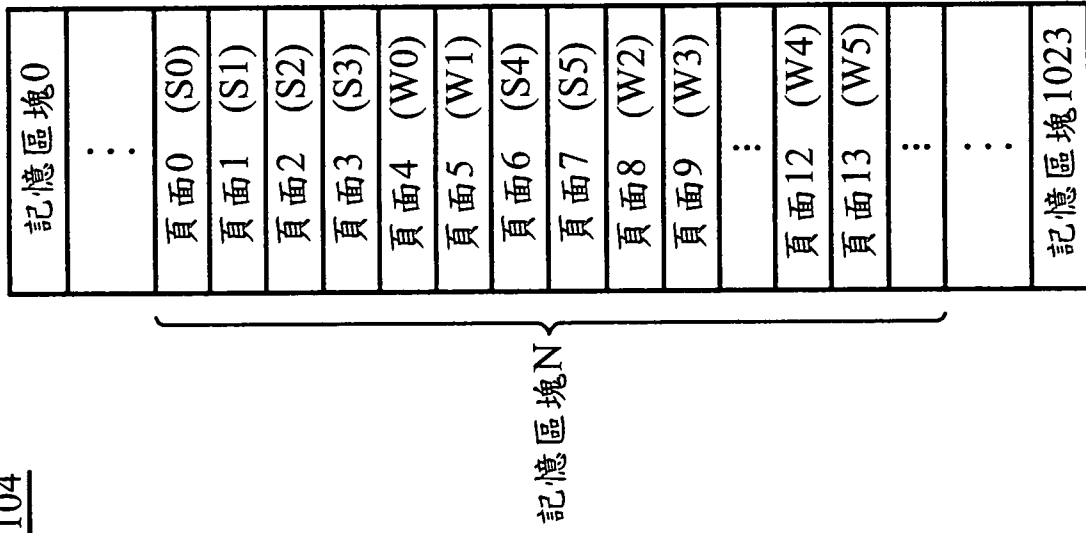
20. 如申請專利範圍第 12 項所述之記憶體裝置，其中，於儲存資料時，每一強頁面之編程忙碌時間係小於每一弱頁面之編程忙碌時間。

21. 如申請專利範圍第 12 項所述之記憶體裝置，其中，該快閃記憶體為一反及閘型快閃記憶體。

22. 如申請專利範圍第 12 項所述之記憶體裝置，其中，每一記憶區塊為一多位準單元記憶區塊。



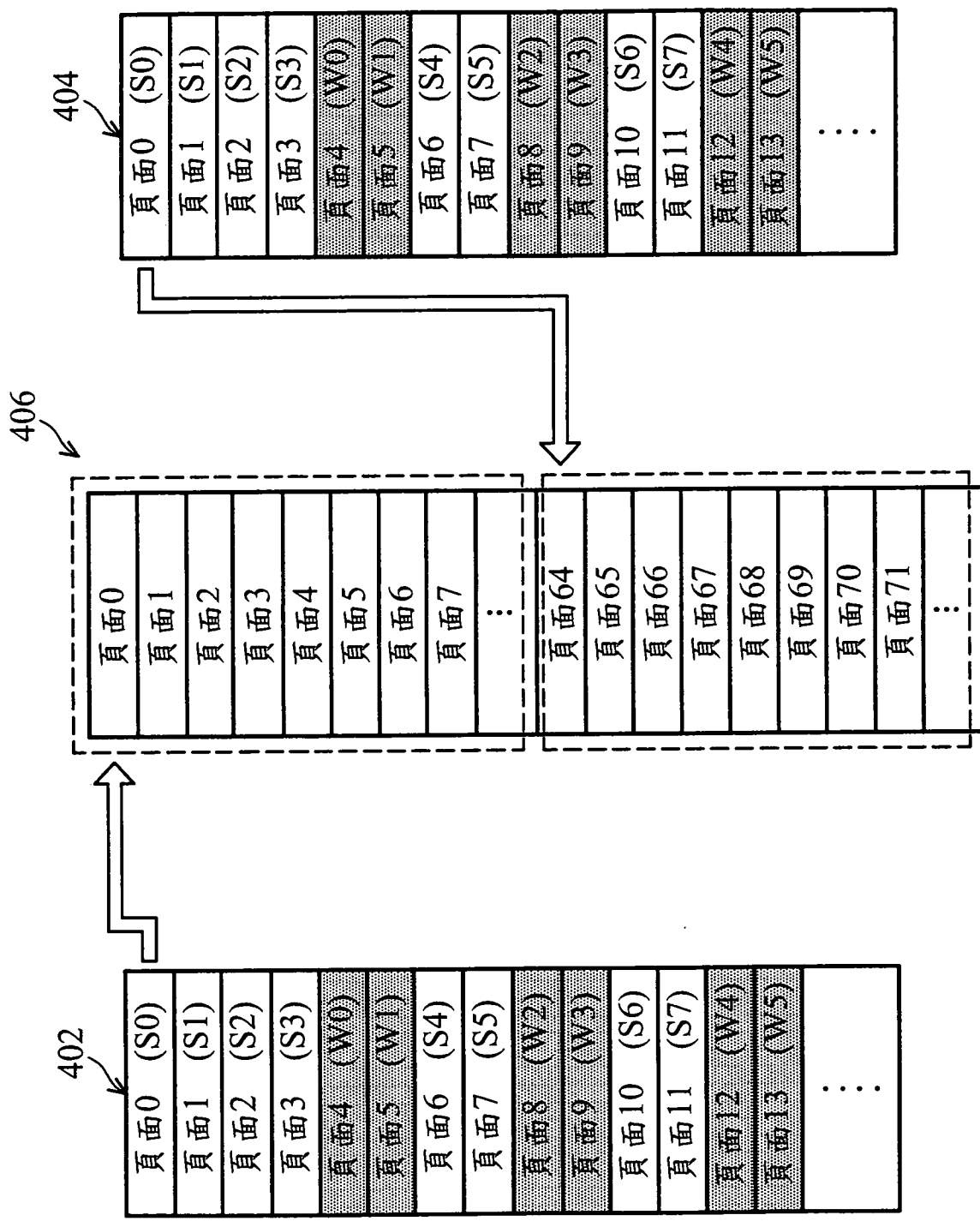
第 1 圖



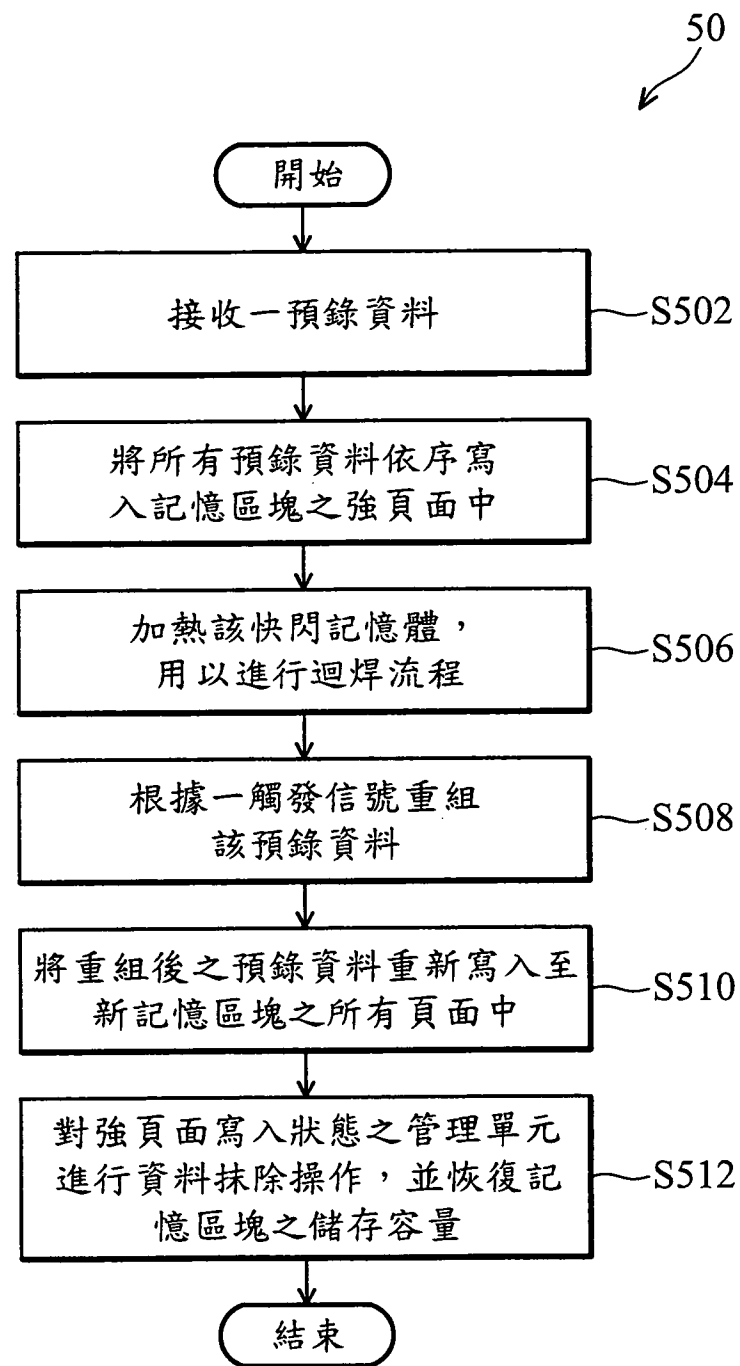
第2圖

頁面0 (S0)
頁面1 (S1)
頁面2 (S2)
頁面3 (S3)
頁面4 (W0)
頁面5 (W1)
頁面6 (S4)
頁面7 (S5)
頁面8 (W2)
頁面9 (W3)
頁面10 (S6)
頁面11 (S7)
頁面12 (W4)
頁面13 (W5)
⋮

第3圖



第 4 圖



第 5 圖