



(12)发明专利

(10)授权公告号 CN 104268030 B

(45)授权公告日 2019.03.22

(21)申请号 201410301005.8

(22)申请日 2010.12.08

(65)同一申请的已公布的文献号
申请公布号 CN 104268030 A

(43)申请公布日 2015.01.07

(30)优先权数据
12/634286 2009.12.09 US

(62)分案原申请数据
201010592177.7 2010.12.08

(73)专利权人 英特尔公司
地址 美国加利福尼亚州

(72)发明人 K.S.贝恩斯 D.J.齐默曼
D.W.布热津斯基 M.威廉斯
J.B.哈尔伯特

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 叶晓勇 汤春龙

(51)Int.Cl.
G06F 11/10(2006.01)

(56)对比文件
CN 101303716 A,2008.11.12,
CN 101206703 A,2008.06.25,
US 2004030737 A1,2004.02.12,
US 2008155378 A1,2008.06.26,
CN 101258471 A,2008.09.03,

审查员 王倩

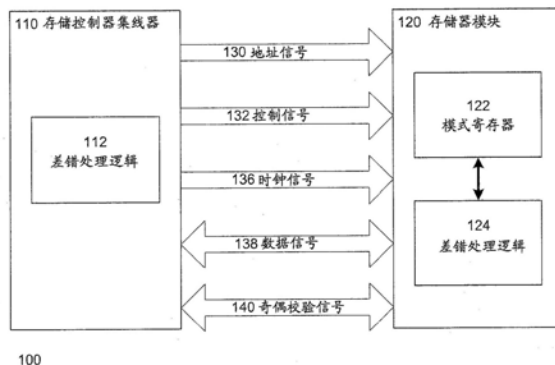
权利要求书3页 说明书7页 附图6页

(54)发明名称

用于存储器装置中的差错管理的方法和系统

(57)摘要

用于存储器装置中的差错管理的方法和系统。在本发明的一个实施例中,存储器装置可处理命令和地址奇偶校验差错以及循环冗余校验差错。在本发明的一个实施例中,存储器可通过确定所接收命令的命令位或地址位是否具有任何奇偶校验差错,来检测所接收命令是否具有任何奇偶校验差错。如果检测到所接收命令中的奇偶校验差错或循环冗余校验差错,则触发差错处理机制,以便从错误命令进行恢复。



1. 一种存储器系统,包括:
存储器控制器;和
耦合到所述存储器控制器的DRAM存储器装置,
其中,所述存储器控制器包括用于以下的差错处理逻辑单元:
提供命令以及与所述命令关联的奇偶校验位信号;
为所述命令计算奇偶校验;
为所述命令提供循环冗余校验CRC校验和;以及
接收警报信号并且确定所述警报信号是否指示CRC差错或者奇偶校验差错,
其中,所述DRAM存储器装置包括:模式寄存器;以及差错处理逻辑单元,耦合到所述模式寄存器并且配置成:
接收所述命令和与所述命令相关联的所述奇偶校验位信号;以及
响应于所述奇偶校验差错为连续信号声明所述警报信号,并且响应于所述CRC差错为脉冲宽度声明所述警报信号。
2. 如权利要求1所述的系统,其中,响应于检测到所述奇偶校验差错,所述DRAM存储器装置的差错处理逻辑单元还配置成:
忽略所接收命令;
存储所述所接收命令的命令位和地址位在差错日志中;
声明差错状态位;
声明差错指示信号;
等待,直到一个或多个未决有效命令全部已经完成执行,其中在所述所接收命令之前接收所述一个或多个未决有效命令;
在关闭打开的页面之前,等待,直到经过了有效至预充电命令延迟。
3. 如权利要求1所述的系统,其中,所述DRAM存储器装置的所述差错处理逻辑单元能够声明具有脉冲宽度的脉动警报信号,其允许所述存储器控制器在奇偶校验差错和CRC差错间进行区分。
4. 如权利要求1所述的系统,其中,所述命令包括写命令。
5. 如权利要求1所述的系统,其中,所述DRAM装置包括DDR4 DRAM装置。
6. 如权利要求1所述的系统,其中,所述DRAM装置包括SDRAM装置。
7. 一种存储器装置,包括:
寄存器;以及
差错处理逻辑单元,其要:
接收命令和与所述命令关联的奇偶校验位信号;
检测所接收命令是否具有奇偶校验差错,其中所述所接收命令由芯片选择信号限制;
并且
响应于检测到所述所接收命令的所述奇偶校验差错,
忽略所述所接收命令;
将所述所接收命令的命令位和地址位存储在差错寄存器中;
声明所述寄存器的差错状态位;
声明差错指示信号;

等待,直到一个或多个未决有效命令全部已经完成执行,其中在所述所接收命令之前接收所述一个或多个未决有效命令;以及

在关闭打开的页面之前,等待,直到经过了有效至预充电命令延迟。

8. 如权利要求7所述的存储器装置,其中,检测所述所接收命令是否具有奇偶校验差错的所述差错处理逻辑单元要:

确定所述所接收命令的所述命令位或者所述地址位是否具有所述奇偶校验差错。

9. 如权利要求7所述的存储器装置,其中,所述差错处理逻辑单元响应于检测到所述奇偶校验差错并且在声明所述差错指示信号时的间隔期间还要:

仅对刷新命令、模式寄存器组读命令或模式寄存器组写命令其中之一作出响应。

10. 如权利要求7所述的存储器装置,其中,所述差错处理逻辑单元响应于检测到所述奇偶校验差错还要:

确定所述差错状态位被解除声明;

解除声明所述指示信号。

11. 如权利要求7所述的存储器装置,其中,所述差错处理逻辑单元还要:

检测写操作是否具有循环冗余校验CRC差错;以及

响应于检测到所述CRC差错,在所述差错指示信号上发送脉冲。

12. 如权利要求7所述的存储器装置,其中,所述存储器装置是双倍数据速率4同步动态随机存取存储器DDR4 SDRAM。

13. 一种存储器控制器,包括:

耦合到差错指示信号线并且能够在所述差错指示信号线上接收不同差错指示的输入/输出接口;

耦合到命令信号线的输入/输出接口;以及

差错处理逻辑单元,其要:

响应于所述命令信号线上发送的命令,检测在所述差错指示信号线上是否指示奇偶校验差错或者循环冗余校验CRC差错;并且

响应于检测到所述奇偶校验差错,

等待,直到在具有所述奇偶校验差错的命令之前向一个或多个存储器装置发送的一个或多个命令全部已经完成执行;

向所有存储器装置发送预充电命令和刷新命令;以及

确定所述一个或多个存储器装置中的哪一个已经接收到具有所述奇偶校验差错的所述命令。

14. 如权利要求13所述的存储器控制器,其中,提供与所述命令相关联的奇偶校验位信号的所述差错处理逻辑单元要:

计算所述命令的地址信号和命令信号的奇偶校验;并且

选择位信号作为所提供的与所述命令相关联的奇偶校验位信号,其中基于所计算的奇偶校验和所述位信号的组合的偶数或奇数奇偶校验选择所述位信号。

15. 如权利要求13所述的存储器控制器,其中,确定所述一个或多个存储器装置中的哪一个已经接收到具有所述奇偶校验差错的命令的所述差错处理逻辑单元要:

读取所述一个或多个存储器装置中的每一个存储器装置的差错状态位,以便确定所述

一个或多个存储器装置中的哪一个已经接收到所述命令,其中所述差错状态位指示所述奇偶校验差错。

16. 如权利要求13所述的存储器控制器,其中,所述差错处理逻辑单元响应于检测到所述奇偶校验差错还要:

重置所确定的一个存储器装置的差错状态位;以及
向所述所确定的一个存储器装置发送所述命令。

17. 如权利要求13所述的存储器控制器,其中,检测所述奇偶校验差错或者所述CRC差错是否在所述差错指示信号线上被指示的所述差错处理逻辑单元要:

确定是否在所述差错指示信号线上发送声明信号或脉冲,其中所述奇偶校验差错包括所述声明信号并且所述CRC差错包括所述脉冲。

18. 如权利要求13所述的存储器控制器,其中,所述命令包括写命令。

19. 如权利要求13所述的存储器控制器,其中,所述存储器控制器被集成到与处理器相同的集成电路。

用于存储器装置中的差错管理的方法和系统

技术领域

[0001] 本发明涉及存储器装置,更具体但非排他地,涉及存储器装置中诸如命令和/或地址奇偶校验差错和循环冗余校验差错之类的差错的差错管理。

背景技术

[0002] 在典型的计算机系统中,存储控制器便于对计算机系统中的一个或多个存储器的访问。在存储控制器与存储器之间的通信被破坏的情况下,存储器可能接收到错误命令。这导致存储器中的数据破坏,因为存储器没有任何机制来检测错误命令,并且将执行所有写操作。为了从错误命令进行恢复,计算机系统需要重新引导。这影响计算机系统的性能,并且可能丢失关键数据。

发明内容

[0003] 按照本发明的一个方面,提供一种方法,包括:

[0004] 检测所接收命令是否具有奇偶校验差错;以及

[0005] 响应于检测到所述奇偶校验差错,

[0006] 忽略所述所接收命令;

[0007] 存储所述所接收命令的命令位和地址位;以及

[0008] 声明指示信号。

[0009] 按照本发明的另一方面,提供一种方法,包括:

[0010] 检测在指示信号上是否指示奇偶校验差错或者循环冗余校验 (CRC) 差错;以及

[0011] 响应于检测到所述奇偶校验差错,

[0012] 等待,直到一个或多个所发送命令全部已经完成执行;

[0013] 向一个或多个存储器模块全体发送预充电命令和刷新命令;以及

[0014] 确定所述一个或多个存储器模块中的哪一个已经接收到具有所述奇偶校验差错的命令。

[0015] 按照本发明的又一方面,提供一种存储器模块,包括:

[0016] 寄存器;以及

[0017] 执行下列步骤的差错处理逻辑:

[0018] 检测所接收命令是否具有奇偶校验差错;以及

[0019] 响应于检测到所述奇偶校验差错,

[0020] 忽略所述所接收命令;

[0021] 将所述所接收命令的命令位和地址位存储在所述寄存器中;以及

[0022] 声明指示信号。

[0023] 按照本发明的又一方面,提供一种存储控制器,包括:

[0024] 执行下列步骤的逻辑:

[0025] 向一个或多个存储器模块提供命令以及与所述命令关联的奇偶校验位信号;

- [0026] 检测是否接收到所述命令的奇偶校验差错的指示;以及
[0027] 响应于检测到所述奇偶校验差错的指示,
[0028] 确定所述一个或多个存储器模块中的哪一个已经接收到所述命令。

附图说明

- [0029] 通过以下对主题的详细描述,本发明的实施例的特征和优点将变得显而易见,其中:
[0030] 图1示出根据本发明的一个实施例的存储控制器集线器和存储器模块的框图;
[0031] 图2示出根据本发明的一个实施例的模式寄存器的格式;
[0032] 图3示出根据本发明的一个实施例、处理存储器模块中的奇偶校验差错的序列;
[0033] 图4示出根据本发明的一个实施例、处理存储器模块中的循环冗余校验差错的序列;
[0034] 图5示出根据本发明的一个实施例、在存储器模块中执行差错管理的步骤的流程图;
[0035] 图6示出根据本发明的一个实施例、在存储控制器集线器中执行差错管理的步骤的流程图;以及
[0036] 图7示出根据本发明的一个实施例、实现本文所公开的方法的系统。

具体实施方式

[0037] 在附图中,通过示例而不是通过限制来说明本文所述的本发明的实施例。为了说明的简洁和清楚起见,图中所示的元件不一定按比例绘制。例如,为了清楚起见,一些元件的尺寸可能相对于其它元件被放大。另外,在认为适当的情况下,附图之中重复参考标号,以指示对应或相似的元件。说明书中提到本发明的“一个实施例”或“实施例”,表示结合该实施例所述的具体特征、结构或特性包含在本发明的至少一个实施例中。因此,短语“在一个实施例中”在说明书全文的各种位置的出现不一定都指的是同一个实施例。

[0038] 本发明的实施例提供用于存储器装置中的差错管理的方法和系统。在本发明的一个实施例中,存储器装置可处理命令和地址奇偶校验差错以及循环冗余校验差错。在本发明的一个实施例中,存储器可通过确定所接收命令的命令位或地址位是否具有任何奇偶校验差错,来检测所接收命令是否具有任何奇偶校验差错。如果检测到所接收命令中的奇偶校验差错,则触发差错处理机制,以便从错误命令进行恢复。

[0039] 通过存储器装置中的命令/地址 (C/A) 奇偶校验支持,利用存储器装置的系统的性能可得到提高。系统不需要重新引导以便从存储器装置所接收的错误命令进行恢复。在本发明的一个实施例中,存储器装置包括,但不限于,同步动态随机存取存储器 (SDRAM)、动态随机存取存储器 (DRAM)、RAMBUS 动态随机存取存储器 (RDRAM)、双倍数据速率 3SDRAM (DDR3)、DDR4SDRAM (DDR4) 以及任何其它类型的随机存取存储器装置。

[0040] 图1示出根据本发明的一个实施例的存储控制器集线器110和存储器模块120的框图100。在本发明的一个实施例中,存储器模块120包括,但不限于,DRAM、寄存器装置、缓冲器装置。存储控制器集线器110具有差错处理逻辑112,它在存储器模块120接收到错误命令时处理命令和地址奇偶校验差错。存储控制器集线器110使用信号与存储器模块120进行通

信,信号包括,但不限于,地址信号130、控制信号132、时钟信号136、数据信号138、奇偶校验信号140以及便于存储控制器集线器110与存储器模块120之间的通信的任何其它信号。

[0041] 在本发明的一个实施例中,当要求存储控制器集线器110向存储器模块120发送命令时,存储控制器集线器110中的差错处理逻辑112计算命令的地址信号位和命令信号位的奇偶性。根据所计算的奇偶性和奇偶校验位信号的组合的偶数或奇数奇偶性来选择或确定奇偶校验位信号。在本发明的一个实施例中,差错处理逻辑112涵盖信号的奇偶性,所述信号包括,但不限于,存储器模块120的行地址选通(RAS)信号、列地址选通(CAS)信号、写使能(WE)信号、地址总线信号和存储体(bank)选择信号。

[0042] 当命令发送给存储器模块120时,存储控制器集线器110提供奇偶校验位信号作为奇偶校验信号140之一。在本发明的一个实施例中,存储器模块120在接收到命令及其关联奇偶校验信号时,能够检测或确定所接收命令是否具有任何C/A奇偶校验差错。在本发明的另一个实施例中,存储器模块120能够检测或确定所接收命令是否具有任何循环冗余校验(CRC)差错。存储器模块120具有执行C/A奇偶校验或CRC差错检测的差错处理逻辑124。

[0043] 在本发明的一个实施例中,如果存储器模块120检测到所接收命令中的奇偶校验差错,则它忽略所接收命令,并且将所接收命令的命令位和地址位存储在模式寄存器122中。当检测到所接收命令中的奇偶校验差错时,存储器模块120向存储控制器集线器110声明指示信号作为奇偶校验信号140之一。类似地,当检测到所接收命令中的CRC差错时,存储器模块120向存储控制器集线器110声明指示信号作为奇偶校验信号140之一。

[0044] 存储控制器集线器110在接收到指示信号时,从该指示信号确定奇偶校验或CRC差错是否存在于所接收命令中。存储控制器集线器110执行从奇偶校验或CRC差错进行恢复的适当恢复机制。通过存储控制器集线器110中的差错处理逻辑112,它具有从存储器模块120中的差错进行恢复的手段。

[0045] 相关领域的普通技术人员易于理解,可实现其它形式的检错机制,而没有影响本发明的工作。在本发明的另一个实施例中,不止一个存储器模块120或存储控制器集线器110存在于系统中。在本发明的另一个实施例中,将存储控制器集线器110集成到系统的处理器中。

[0046] 图2示出根据本发明的一个实施例的模式寄存器122的格式200。模式寄存器122具有C/A奇偶校验位210和CRC差错位215,它们只能由存储控制器集线器110来写入或设置。C/A奇偶校验位210允许存储器模块120的奇偶校验检查的激活或去激活。在存储器模块120中检测到CRC差错时,CRC差错位215允许CRC指示脉冲的激活或去激活。当C/A奇偶校验位210被声明或设置成逻辑“1”时,启用存储器模块120的差错处理逻辑124。当C/A奇偶校验位210被解除声明或设置成逻辑“0”时,禁用存储器模块120的差错处理逻辑124。

[0047] 模式寄存器122具有可读取和写入的差错状态位220和CRC差错状态位225。当存储器模块120检测到奇偶校验差错时,存储器模块声明差错状态位220或者将差错状态位220设置成逻辑“1”。当存储器模块120检测到CRC差错时,存储器模块声明CRC差错状态位225或者将CRC差错状态位225设置成逻辑“1”。当存储控制器集线器110已经完成用于奇偶校验或CRC差错的恢复机制或过程时,它对差错状态位220或CRC差错状态位225解除声明或者将其分别设置成逻辑“0”。

[0048] 当存储器模块120检测到所接收命令中的奇偶校验差错时,存储器模块120将所接

收命令的命令位和地址位存储在模式寄存器122的差错日志位230中。存储控制器集线器110可读取差错日志位230,以便确定哪一个具有奇偶校验差错的命令由存储器模块120接收。

[0049] 模式寄存器122的格式200示出本发明的一个实施例中的一种配置,而不是要进行限制。相关领域的普通技术人员易于理解,可使用模式寄存器122的配置的其它变型,而没有影响本发明的工作。在本发明的一个实施例中,模式寄存器122是DRAM装置上的模式寄存器组(MRS)寄存器的一部分。

[0050] 图3示出根据本发明的一个实施例、处理存储器模块120中的奇偶校验差错的序列300。事件310示出当存储器模块120接收到具有奇偶校验差错的命令时的事件的可能序列300。在事件312中,存储器模块120以有效或正确的奇偶校验位信号响应所有命令。差错状态位220和ALERT信号340在事件312期间没有被设置或声明。这在事件“未设置位”332中示出。ALERT信号340是送往存储控制器集线器110的关于存储器模块120已经接收到具有奇偶校验差错的命令的指示信号。在本发明的一个实施例中,ALERT信号是连接到系统中的所有存储器模块的OR(“或”)信号。

[0051] 在事件314中,存储器模块120检测或确定它已经接收到具有不正确奇偶性的命令。在事件316中,存储器模块120忽略具有不正确奇偶性的命令和其它所有外部命令。存储器模块120将错误命令和地址存储在差错日志位230中,并且声明差错状态位220。这在事件“已设置位”334中示出。当声明差错状态位220时,声明ALERT信号340。在事件316中,存储器模块120清空在所接收的错误命令之前已收到的未决有效命令的队列,即,存储器模块120等待所有未决有效命令完成执行。

[0052] 在事件318中,存储器模块120等待有效至预充电命令延迟(t_{RAS})经过。 t_{RAS} 延迟是存储体有效命令与发出预充电命令之间所需的时钟周期数。在本发明的一个实施例中,存储器模块120等待 t_{RAS} 所需的最小延迟时间。当经过了 t_{RAS} 延迟时,存储器模块120关闭可能存在的所有打开的页面。

[0053] 在事件320中,存储器模块120向存储器模块120的所有存储体发出内部预充电命令。在事件322中,存储器模块120响应来自存储控制器集线器110的刷新命令和模式寄存器组(MRS)读和写命令。当差错状态位220被声明时,存储器模块120在事件322中不响应任何其它命令。刷新命令包括,但不限于,刷新全部命令和刷新组命令。

[0054] 在事件324中,存储控制器集线器110已经完成其差错处理恢复过程,并且使用对模式寄存器122的MRS写命令来解除声明差错状态位220。存储器模块120恢复其正常操作,并且响应具有有效奇偶性的所有命令。当差错状态位220被解除声明时,ALERT信号340被解除声明。这如事件“未设置位”336所示。

[0055] 图4示出根据本发明的一个实施例、处理存储器模块120中的CRC差错的序列400。在本发明的一个实施例中,CRC差错机制共享相同的ALERT信号340。为了确定是CRC差错还是奇偶校验差错,存储控制器集线器110需要读取各存储器模块的差错状态位220。这是费时的,并且降低系统的效率。

[0056] 要克服这个问题,事件410示出当存储器模块120正写入具有CRC差错的数据时的事件的可能序列400。在事件412至418中,存储器模块120响应写操作而已经写入数据。差错状态位220和ALERT信号440在事件412至418期间没有被设置或声明。在事件420中,存储器

模块接收已写入数据的CRC,并且根据该CRC来检查已写入的数据是否正确。当检测到或确定CRC差错时,存储器模块120在事件432中设置差错状态位220。存储器模块120在ALERT信号440上发送脉冲,以便向存储控制器集线器110指示已检测到CRC差错。

[0057] 存储控制器集线器110可易于通过检查ALERT信号440来区分来自存储器模块120的CRC差错或奇偶校验差错。时钟周期数或者脉冲宽度可设置成存储控制器集线器能够检测的任何适当数值。在本发明的一个实施例中,当存储器模块120检测到CRC差错时,ALERT信号440的脉冲宽度设置成两个时钟周期。相关领域的普通技术人员易于理解,可使用向存储控制器集线器110指示CRC差错的其它变型,而没有影响本发明的工作。

[0058] 图5示出根据本发明的一个实施例、在存储器模块120中执行差错管理的步骤的流程图500。为了说明的清楚性,参照图1来论述图5。在步骤505,存储器模块120检查在任何所接收命令中是否存在任何C/A奇偶校验差错,其中所接收命令由芯片选择(CS)信号来限制。如果没有C/A奇偶校验差错,则存储器模块120在步骤508检查是否存在任何CRC差错。如果没有CRC差错,则存储器模块120回到步骤505。如果存在CRC差错,则存储器模块120在步骤522声明X个脉冲的指示信号。

[0059] 标号X可以是允许存储控制器集线器110区分奇偶校验差错和CRC差错的任何适当数量。在本发明的一个实施例中,X个脉冲的宽度也可改变。在可选步骤542,存储器模块检查差错状态位220是否被存储控制器集线器110清除或解除声明。存储控制器集线器110在它已经完成针对错误命令的差错恢复之后清除差错状态位220。如果清除差错状态位220,则该流程结束。如果没有清除差错状态位220,则存储器模块120返回到步骤542。

[0060] 如果存在C/A奇偶校验差错,则存储器模块120在步骤510忽略具有C/A奇偶校验差错的所接收命令。在步骤510,存储器模块忽略所有其它外部命令。在步骤515,存储器模块120设置或声明差错状态位220,并且将错误命令帧存储在差错日志位230中。在步骤520,存储器模块120连续声明指示信号。在本发明的一个实施例中,指示信号是ALERT信号340。在步骤525,存储器模块120等待所有当前命令被完成。所述当前命令是在错误命令之前接收的。

[0061] 在步骤530,存储器模块120等待最小有效至预充电命令延迟(t_{RAS_min})经过。在步骤535,存储器模块120关闭所有打开的存储器页面,并且仅响应来自存储控制器集线器110的刷新命令和MRS读/写命令。在步骤540,存储器模块120检查差错状态位220是否被存储控制器集线器110清除。存储控制器集线器110在它已经完成针对错误命令的差错恢复之后清除差错状态位220。如果差错状态位220被清除或解除声明,则在步骤545,存储器模块120解除声明指示信号,并且该流程结束。如果没有清除差错状态位220,则存储器模块120返回到步骤540。

[0062] 图6示出根据本发明的一个实施例、在存储控制器集线器110中执行差错管理的步骤的流程图600。为了说明的清楚性,参照图1来论述图6。在步骤610,存储控制器集线器110检查它是否接收到任何指示信号。在本发明的一个实施例中,指示信号是ALERT信号340。如果未接收到指示信号,则存储控制器集线器110返回到步骤610。如果接收到指示信号,则在步骤615,存储控制器集线器110检查指示信号是否指示奇偶校验差错。如果指示信号已指示奇偶校验差错,则在步骤620,存储控制器集线器110等待当前命令队列被完成。

[0063] 在步骤625,存储控制器集线器110向所有存储器模块发送预充电命令。除了具有

奇偶校验差错的存储器模块之外的所有存储器模块执行或完成来自存储控制器集线器110的预充电命令。在步骤630,存储控制器集线器110向所有存储器模块发送刷新命令,以便保持各存储器模块中的数据。包括具有奇偶校验差错的存储器模块在内的所有存储器模块执行或完成来自存储控制器集线器110的刷新命令。

[0064] 在步骤635,存储控制器集线器110从每个存储器模块读取差错状态位220,以便确定哪一个存储器模块是差错的来源。例如,在本发明的一个实施例中,存储控制器集线器110连接到四个存储器模块。存储控制器集线器110从四个存储器模块中的每一个读取差错状态位220,以便确定四个存储器模块中的哪一个已接收到具有C/A奇偶校验差错的命令。

[0065] 在步骤640,存储控制器集线器110从已接收到具有C/A奇偶校验差错的命令的存储器模块中清除差错状态位220。在步骤645,存储控制器集线器110向已接收到具有C/A奇偶校验差错的命令的存储器模块重发写命令(若需要的话),并且该流程结束。

[0066] 在步骤615,如果没有在指示信号中检测到奇偶校验差错,则这意味着已经检测到CRC差错,并且该流程转到可选步骤622。为了说明的目的,存储控制器集线器110能够检测奇偶校验差错或CRC差错。在可选步骤622,存储器模块确定存储器模块中哪一个已经接收到具有CRC差错的写命令。在本发明的一个实施例中,存储控制器集线器110通过检查指示信号的定时以及指示信号的传播延迟,来检测或确定存储器模块中哪一个已经接收到具有CRC差错的写命令。在本发明的另一个实施例中,步骤622没有被执行,并且存储控制器集线器110通过将写命令备份到假定最远的DRAM装置具有CRC差错的某个点,来处理CRC差错,然后重发从那个点开始的所有写命令。可在使用写命令的存储器通道之前,作为训练的一部分,确定ALERT信号的最坏情况等待时间。

[0067] 图7示出根据本发明的一个实施例、实现本文所公开的方法的系统700。系统700包括,但不限于,台式计算机、膝上型计算机、上网本、笔记本电脑、个人数字助理(PDA)、服务器、工作站、蜂窝电话、移动计算装置、因特网设备或者任何其它类型的计算装置。在另一个实施例中,用于实现本文所公开的方法的系统700可以是片上系统(SOC)系统。

[0068] 处理器710具有执行系统700的指令的处理核心712。处理核心712包括,但不限于,取指令的预取逻辑、对指令进行解码的解码逻辑、执行指令的执行逻辑等等。处理器710具有缓存系统700的指令和/或数据的高速缓存存储器716。在本发明的另一个实施例中,高速缓存存储器716包括,但不限于,处理器710内的一级、二级和三级高速缓存存储器或者高速缓存存储器的任何其它配置。

[0069] 存储控制器集线器(MCH)714执行使处理器710能够访问包括易失性存储器732和/或非易失性存储器734的存储器730并且与其进行通信的功能。易失性存储器732包括,但不限于,同步动态随机存取存储器(SDRAM)、动态随机存取存储器(DRAM)、RAMBUS动态随机存取存储器(RDRAM)和/或其它任何类型的随机存取存储器装置。非易失性存储器734包括,但不限于,NAND闪存、相变存储器(PCM)、只读存储器(ROM)、电可擦可编程只读存储器(EEPROM)或者任何其它类型的非易失性存储器装置。

[0070] 存储器730存储信息和将由处理器710执行的指令。存储器730还可在处理器710正执行指令时存储临时变量或者其它中间信息。芯片组720经由点对点(PtP)接口717和722与处理器710连接。芯片组720使处理器710能够连接到系统700中的其它模块。在本发明的一个实施例中,接口717和722按照诸如Intel®QuickPath互连(QPI)等等的PtP通信协议进行

操作。

[0071] 芯片组720连接到显示装置740,显示装置740包括,但不限于,液晶显示器(LCD)、阴极射线管(CRT)显示器或者任何其它形式的可视显示装置。在本发明的一个实施例中,处理器710和芯片组720合并到SOC中。另外,芯片组720连接到互连各种模块774、760、762、764和766的一个或多个总线750和755。如果在总线速度或通信协议中存在不匹配,则总线750和755可经由总线桥772互连在一起。芯片组720与非易失性存储器760、大容量存储装置762、键盘/鼠标764和网络接口766(但不限于这些装置)进行耦合。

[0072] 大容量存储装置762包括,但不限于,固态驱动器、硬盘驱动器、通用串行总线闪存驱动器或者任何其它形式的计算机数据存储介质。网络接口766使用任何类型的众所周知的网络接口标准来实现,包括但不限于以太网接口、通用串行总线(USB)接口、外围部件互连(PCI) Express接口、无线接口和/或任何其它适当类型的接口。无线接口按照(但不限于)IEEE802.11标准及其相关系列、家庭插座AV (HPAV)、超宽带(UWB)、蓝牙、WiMaX或者任何形式的无线通信协议进行操作。

[0073] 虽然图7所示的模块被示为系统700内的分开的块,但是这些块中的一些块所执行的功能可集成在单个半导体电路内,或者可使用两个或更多分开的集成电路来实现。例如,虽然高速缓存存储器716被示为处理器710内的分开的块,但是高速缓存存储器716可分别结合到处理器核心712中。在本发明的另一个实施例中,系统700可包括不止一个处理器/处理核心。

[0074] 本文所公开的方法可通过硬件、软件、固件或它们的任何其它组合来实现。虽然描述了所公开的主题的实施例的示例,但是相关领域的普通技术人员易于理解,备选地可使用实现所公开主题的许多其它方法。在前面的描述中,已经描述了所公开主题的各个方面。为了说明的目的,提出具体数量、系统和配置,以便提供对所述主题的透彻理解。但是,获益于本公开的相关领域的技术人员清楚地知道,即使没有这些具体细节也可实施所述主题。在其它情况下,众所周知的特征、组件或模块被省略、简化、组合或者分割,以免使公开的主题变得模糊。

[0075] 本文所使用的术语“可操作”表示装置、系统、协议等在装置或系统处于断电状态时,能够操作或者适合操作以实现其预期功能性。所公开主题的各种实施例可通过硬件、固件、软件或者它们的组合来实现,并且可通过引用或者结合程序代码来描述,所述程序代码包括例如指令、函数、过程、数据结构、逻辑、应用程序、用于设计的模拟、模仿和制作的设计表示或格式,所述程序代码在由机器访问时,使机器执行任务、定义抽象数据类型或低级硬件上下文、或者产生结果。

[0076] 附图所示的技术可使用在诸如通用计算机或计算装置之类的一个或多个计算装置上存储和执行的代码和数据来实现。这类计算装置使用诸如机器可读存储介质(例如磁盘、光盘、随机存取存储器、只读存储器、闪存装置、相变存储器)和机器可读通信介质(例如电、光、声或其它形式的传播信号-诸如载波、红外信号、数字信号等等)之类的机器可读介质来存储和(在内部以及通过网络与其它计算装置之间)传递代码和数据。

[0077] 虽然参照说明性实施例描述了本公开主题,但是这种描述不应当被理解为限制性的。对本公开主题所涉及领域的技术人员显而易见的、本主题的说明性实施例的各种修改以及本主题的其他实施例被认为处于本公开主题的范围之内。

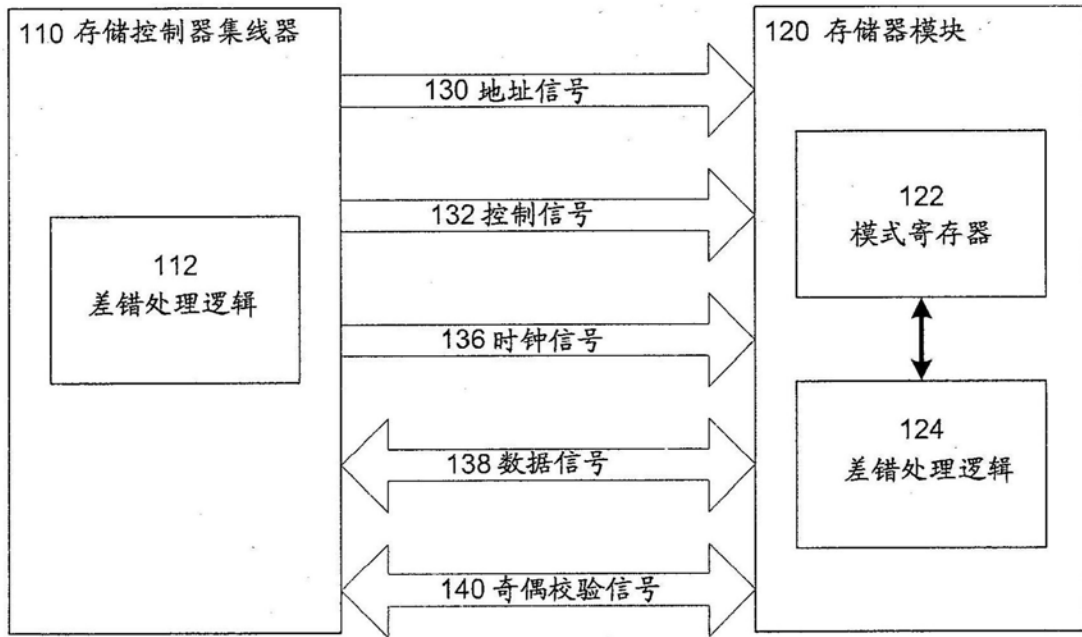


图1

210 C/A 奇偶校验 (写)	215 CRC 差错(写)	220 差错状态 (读/写)	225 CRC 差错状态 (读/写)	230 差错日志(读)
0=禁用 1=启用	0=禁用 1=启用	0=无差错 1=差错	0=无差错 1=差错	错误 C/A 帧

200

图2

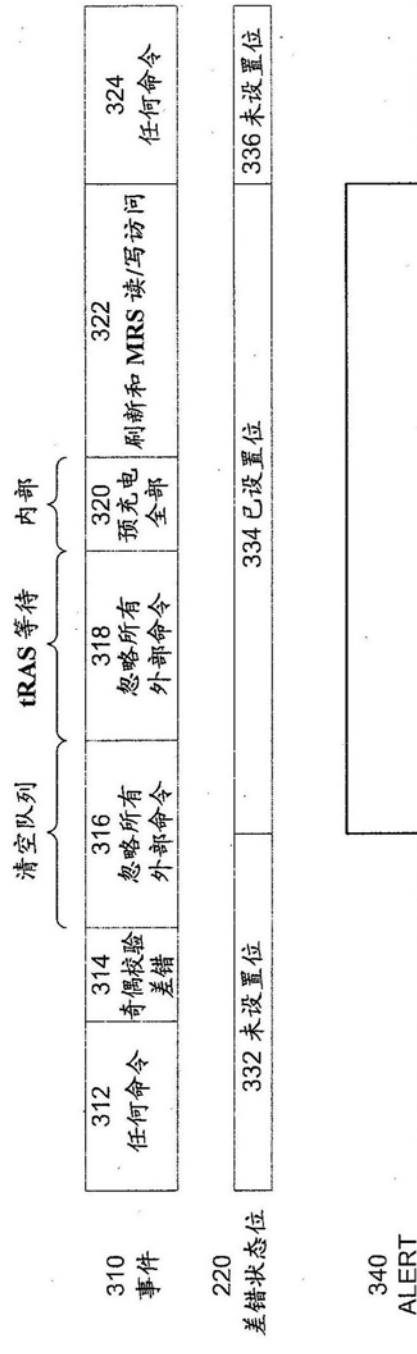


图3

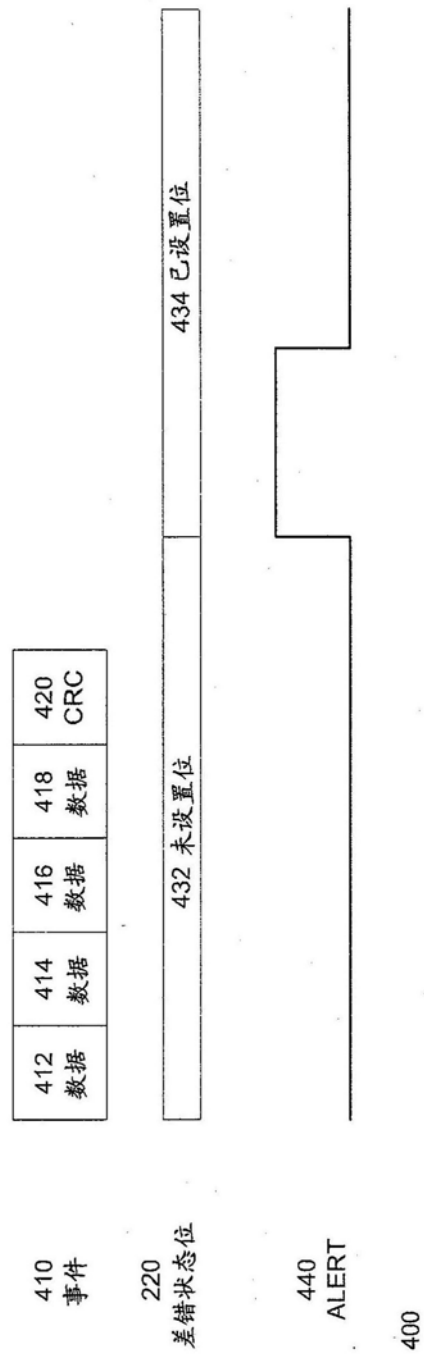


图4

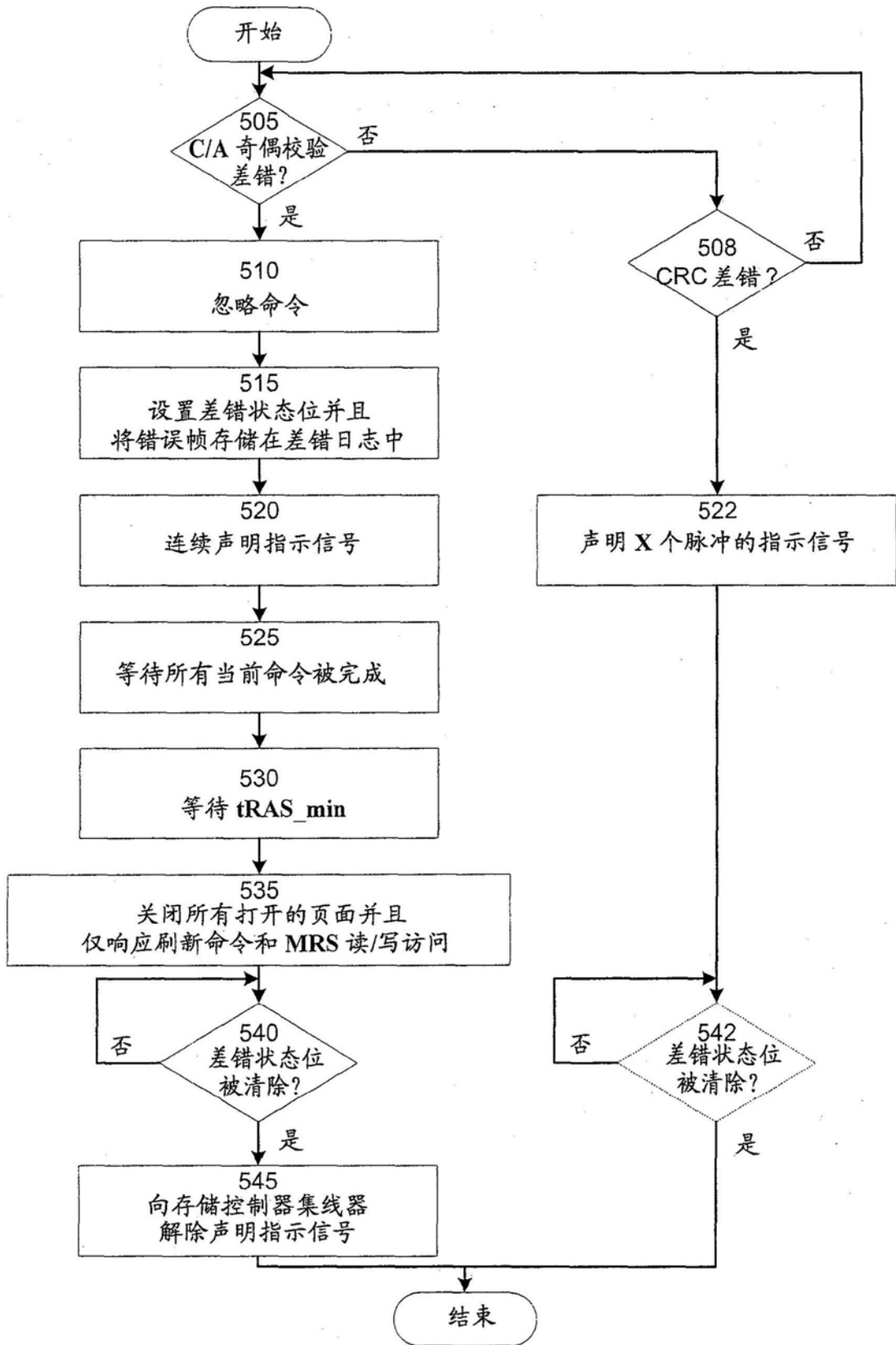
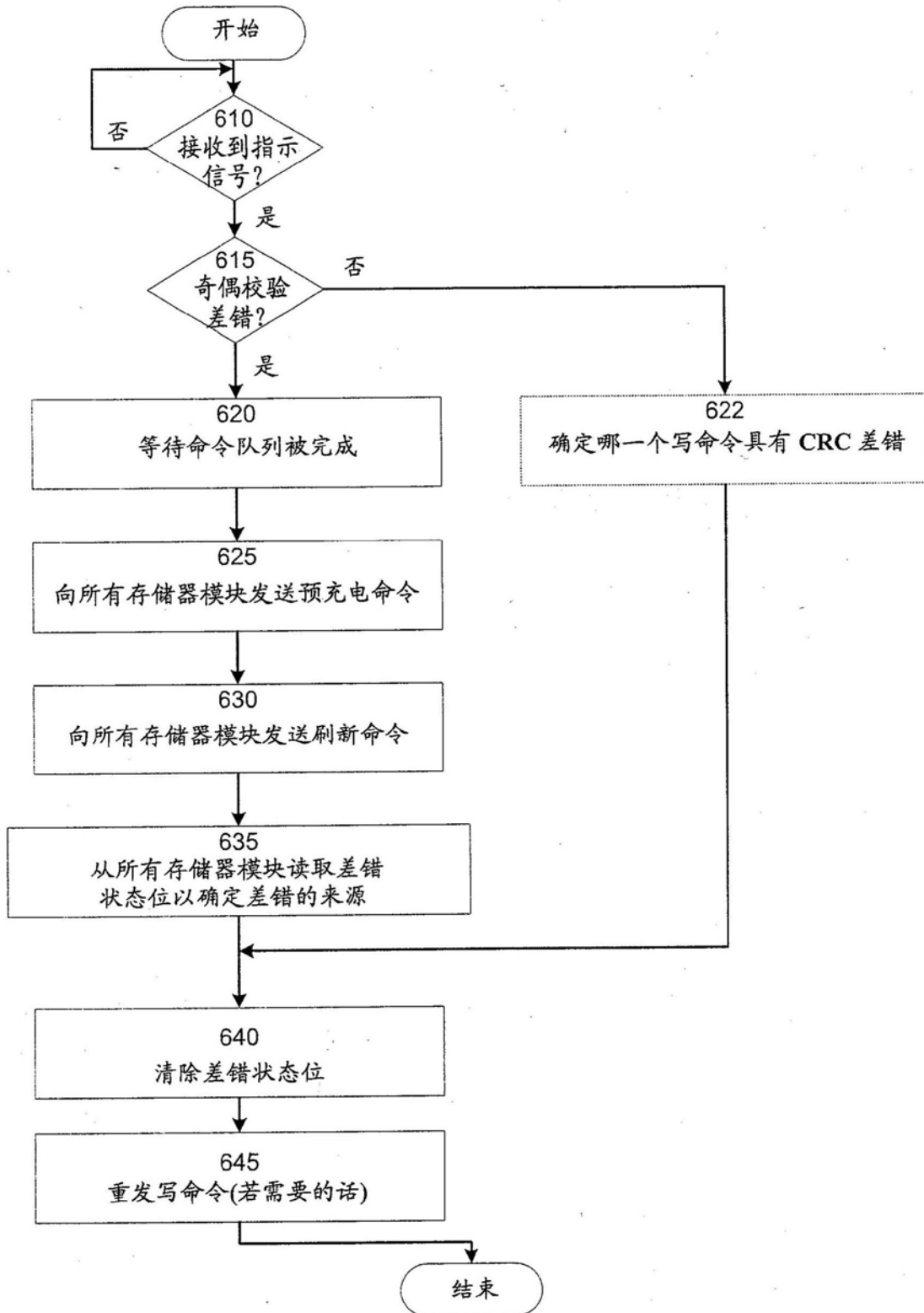
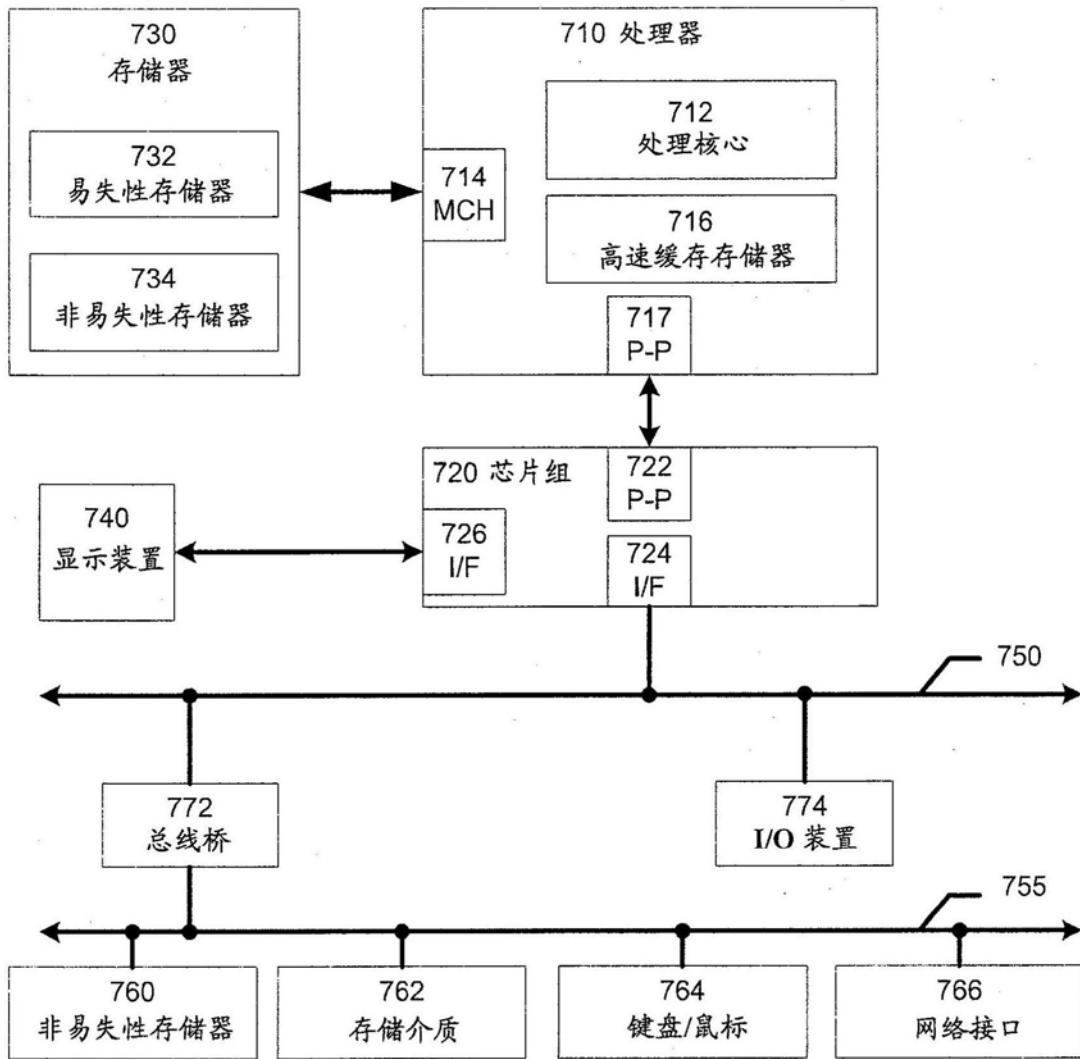


图5



600

图6



700

图7